



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년01월21일
 (11) 등록번호 10-0796133
 (24) 등록일자 2008년01월11일

(51) Int. Cl.

G09G 3/30 (2006.01) *G09G 3/20* (2006.01)
H05B 33/08 (2006.01)

(21) 출원번호 10-2006-0084839

(22) 출원일자 2006년09월04일

심사청구일자 2006년09월04일

(56) 선행기술조사문현

JP04134395 A

(뒷면에 계속)

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김도익

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙
연구소

류도형

경기도 수원시 팔달구 영통동 1028-2 303호

(74) 대리인

신영무

전체 청구항 수 : 총 16 항

심사관 : 김민수

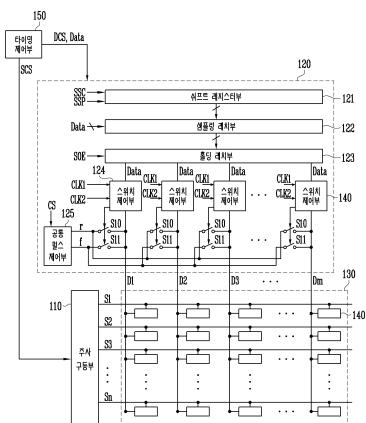
(54) 데이터 구동부 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명은 디지털 구동으로 구동하면서 소비전력을 감소시킬 수 있도록 한 데이터 구동부에 관한 것이다.

본 발명의 데이터 구동부는 데이터선들 각각과 접속되도록 형성되는 제 1스위치 및 제 2스위치와; 상기 데이터선들 각각과 접속되며, 타이밍 제어부로부터 공급되는 제 1클럭신호, 제 2클럭신호 및 데이터에 대응하여 상기 제 1스위치 및 제 2스위치의 턴-온 및 턴-오프를 제어하기 위한 스위치 제어부와; 상기 제 1스위치들에 접속되는 하강라인으로 계단파 형태로 하강되는 전압을 공급하고, 상기 제 2스위치들에 접속되는 상승라인으로 계단파 형태로 상승되는 전압을 공급하기 위한 공통 펄스 제어부를 구비하며; 상기 스위치 제어부는 상기 데이터선의 전압이 상승 또는 하강된 이후에 로우극성에 대응하는 제 1데이터신호 및 하이극성에 대응하는 제 2데이터신호 중 어느 하나를 상기 데이터선으로 공급한다.

대표도 - 도7



(56) 선 행 기술조사 문현

KR1020000010461 A

KR1020030096878 A

KR1020050113704 A

KR1020050116310 A

특허청구의 범위

청구항 1

데이터선들 각각과 접속되도록 형성되는 제 1스위치 및 제 2스위치와;

상기 데이터선들 각각과 접속되며, 타이밍 제어부로부터 공급되는 제 1클럭신호, 제 2클럭신호 및 데이터에 대응하여 상기 제 1스위치 및 제 2스위치의 턴-온 및 턴-오프를 제어하기 위한 스위치 제어부와;

상기 제 1스위치들에 접속되는 하강라인으로 계단파 형태로 하강되는 전압을 공급하고, 상기 제 2스위치들에 접속되는 상승라인으로 계단파 형태로 상승되는 전압을 공급하기 위한 공통 펄스 제어부를 구비하며;

상기 스위치 제어부는 상기 데이터선의 전압이 상승 또는 하강된 이후에 로우극성에 대응하는 제 1데이터신호 및 하이극성에 대응하는 제 2데이터신호 중 어느 하나를 상기 데이터선으로 공급하는 것을 특징으로 하는 데이터 구동부.

청구항 2

제 1항에 있어서,

상기 공통 펄스 제어부는

서로 다른 전압을 충전하는 복수의 커패시터들과;

상기 복수의 커패시터들 각각과 상기 상승라인 사이에 접속되며, 상기 제 1클럭신호의 상승기간 동안 서로 중첩되지 않도록 턴-온되면서 상기 상승라인으로 계단파 형태로 상승하는 전압을 공급하기 위한 제 3스위치들과;

상기 복수의 커패시터들 각각과 상기 하강라인 사이에 접속되며, 상기 제 1클럭신호의 상승기간 동안 서로 중첩되지 않도록 턴-온되면서 상기 하강라인으로 계단파 형태로 하강하는 전압을 공급하기 위한 제 4스위치들을 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 3

제 2항에 있어서,

상기 제 3스위치들은 낮은 전압이 충전된 커패시터로부터 높은 전압이 충전된 커패시터가 순차적으로 상기 상승라인에 접속되도록 턴-온되는 것을 특징으로 하는 데이터 구동부.

청구항 4

제 2항에 있어서,

상기 제 4스위치들은 높은 전압이 충전된 커패시터로부터 낮은 전압이 충전된 커패시터가 순차적으로 상기 하강라인에 접속되도록 턴-온되는 것을 특징으로 하는 데이터 구동부.

청구항 5

제 2항에 있어서,

상기 스위치 제어부는

상기 데이터 및 제 2클럭신호를 공급받으며, 상기 제 2클럭신호의 상승시점에 상기 데이터를 출력하는 디-플립 플롭과;

상기 디-플립플롭의 입력 데이터와 출력 데이터를 배타적 논리합 연산하기 위한 배타적 논리합 게이트와;

상기 제 1클럭신호와 상기 배타적 논리합 게이트의 출력을 논리곱 연산하기 위한 제 1논리곱 게이트와;

상기 디-플립플롭의 출력과 상기 제 1논리곱 게이트의 출력을 논리곱 연산하여 상기 제 1스위치의 턴-온 및 턴-오프를 제어하기 위한 제 2논리곱 게이트와;

상기 디-플립플롭의 출력을 반전하기 위한 인버터와;

상기 인버터의 출력과 상기 제 1논리곱 게이트의 출력을 논리곱 연산하여 상기 제 2스위치의 턴-온 및 턴-오프

를 제어하기 위한 제 3논리곱 게이트와;

상기 디-플립플롭의 출력 데이터를 하이극성 또는 로우극성의 데이터신호로 변환하기 위한 레벨 쉬프터와;

상기 제 1클럭신호의 하이기간 동안 턴-오프되고, 그 외의 기간 동안 상기 레벨 쉬프터와 상기 데이터선을 전기적으로 접속하기 위한 버퍼를 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 6

제 5항에 있어서,

상기 제 1클럭신호와 제 2클럭신호는 동일한 주기를 가지며 서로 다른 위상차로 설정되는 것을 특징으로 하는 데이터 구동부.

청구항 7

제 6항에 있어서,

상기 제 1클럭신호가 하강되기 전에 상기 제 2클럭신호가 상승되도록 설정되는 것을 특징으로 하는 데이터 구동부.

청구항 8

제 2항에 있어서,

상기 커패시터들 각각의 용량은 상기 데이터선들 각각의 기생 커패시터보다 크게 설정되는 것을 특징으로 하는 데이터 구동부.

청구항 9

제 1항에 있어서,

순차적으로 샘플링 신호를 생성하기 위한 쉬프트 레지스터부와,

상기 샘플링 신호에 대응하여 순차적으로 상기 데이터를 공급받는 샘플링 래치부와,

상기 샘플링 래치부로부터 데이터를 공급받고, 공급된 상기 데이터를 상기 스위치 제어부들로 공급하는 홀딩 래치부를 더 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 10

한 프레임을 복수의 서브 프레임으로 나누어 구동하는 유기전계발광 표시장치에 있어서;

상기 서브 프레임 기간마다 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와;

상기 주사신호가 공급될 때 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와;

상기 주사 구동부 및 데이터 구동부를 제어하기 위한 타이밍 제어부와;

상기 주사선들 및 데이터선들과 접속되도록 형성되는 화소들을 구비하며;

상기 데이터 구동부는 상기 데이터선들 각각과 접속되도록 형성되는 제 1스위치 및 제 2스위치와;

상기 데이터선들 각각과 접속되며, 상기 타이밍 제어부로부터 공급되는 제 1클럭신호, 제 2클럭신호 및 데이터에 대응하여 상기 제 1스위치 및 제 2스위치의 턴-온 및 턴-오프를 제어하기 위한 스위치 제어부와;

상기 제 1스위치들에 접속되는 하강라인으로 계단파 형태로 하강되는 전압을 공급하고, 상기 제 2스위치들에 접속되는 상승라인으로 계단파 형태로 상승되는 전압을 공급하기 위한 공통 펄스 제어부를 구비하며;

상기 스위치 제어부는 상기 데이터선의 전압이 상승 또는 하강된 이후에 상기 화소들이 발광되는 제 1데이터신호 및 상기 화소들이 비발광되는 제 2데이터신호 중 어느 하나를 상기 데이터선으로 공급하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제 10항에 있어서,

상기 공통 펠스 제어부는

서로 다른 전압을 충전하는 복수의 커패시터들과;

상기 복수의 커패시터들 각각과 상기 상승라인 사이에 접속되며, 상기 제 1클럭신호의 상승기간 동안 서로 중첩되지 않도록 턴-온되면서 상기 상승라인으로 계단파 형태로 상승하는 전압을 공급하기 위한 제 3스위치들과;

상기 복수의 커패시터들 각각과 상기 하강라인 사이에 접속되며, 상기 제 1클럭신호의 상승기간 동안 서로 중첩되지 않도록 턴-온되면서 상기 하강라인으로 계단파 형태로 하강하는 전압을 공급하기 위한 제 4스위치들을 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 11항에 있어서,

상기 제 3스위치들은 낮은 전압이 충전된 커패시터로부터 높은 전압이 충전된 커패시터가 순차적으로 상기 상승라인에 접속되도록 턴-온되는 것을 특징으로 하는 유기전계발광 표시장치

청구항 13

제 11항에 있어서,

상기 제 4스위치들은 높은 전압이 충전된 커패시터로부터 낮은 전압이 충전된 커패시터가 순차적으로 상기 하강라인에 접속되도록 턴-온되는 것을 특징으로 하는 유기전계발광 표시장치

청구항 14

제 11항에 있어서,

상기 스위치 제어부는

상기 데이터 및 제 2클럭신호를 공급받으며, 상기 제 2클럭신호의 상승시점에 상기 데이터를 출력하는 디-플립플롭과;

상기 디-플립플롭의 입력 데이터와 출력 데이터를 배타적 논리합 연산하기 위한 배타적 논리합 게이트와;

상기 제 1클럭신호와 상기 배타적 논리합 게이트의 출력을 논리곱 연산하기 위한 제 1논리곱 게이트와;

상기 디-플립플롭의 출력과 상기 제 1논리곱 게이트의 출력을 논리곱 연산하여 상기 제 1스위치의 턴-온 및 턴-오프를 제어하기 위한 제 2논리곱 게이트와;

상기 디-플립플롭의 출력을 반전하기 위한 인버터와;

상기 인버터의 출력과 상기 제 1논리곱 게이트의 출력을 논리곱 연산하여 상기 제 2스위치의 턴-온 및 턴-오프를 제어하기 위한 제 3논리곱 게이트와;

상기 디-플립플롭의 출력 데이터를 하이극성 또는 로우극성의 데이터신호로 변환하기 위한 레벨 쉬프터와;

상기 제 1클럭신호의 하이기간 동안 턴-오프되고, 그 외의 기간 동안 상기 레벨 쉬프터와 상기 데이터선을 전기적으로 접속하기 위한 베틀을 구비하는 것을 특징으로 하는 유기전계발광 표시장치

청구항 15

제 14항에 있어서,

상기 제 1클럭신호와 제 2클럭신호는 동일한 주기를 가지며 서로 다른 위상차로 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제 15항에 있어서,

상기 제 1클럭신호가 하강되기 전에 상기 제 2클럭신호가 상승되도록 설정되는 것을 특징으로 하는 유기전계발

광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 데이터 구동부 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 디지털 구동으로 구동하면서 소비전력을 감소시킬 수 있도록 한 데이터 구동부 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.
- <22> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.
- <23> 평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)들을 이용하여 화상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.
- <24> 도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도이다.
- <25> 도 1을 참조하면, 종래의 유기전계발광 표시장치의 화소(4)는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)를 제어하기 위한 화소회로(2)를 구비한다.
- <26> 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(2)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(2)로부터 공급되는 전류에 대응되어 소정 휙도의 빛을 생성한다.
- <27> 화소회로(2)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터신호에 대응되어 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다. 이를 위해, 화소회로(2)는 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된 제 2트랜지스터(M2)와, 제 2트랜지스터(M2), 데이터선(Dm) 및 주사선(Sn)의 사이에 접속된 제 1트랜지스터(M1)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된 스토리지 커패시터(Cst)를 구비한다.
- <28> 제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 스토리지 커패시터(Cst)의 일측단자에 접속된다. 여기서, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다. 주사선(Sn) 및 데이터선(Dm)에 접속된 제 1트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 텐-온되어 데이터선(Dm)으로부터 공급되는 데이터신호를 스토리지 커패시터(Cst)로 공급한다. 이때, 스토리지 커패시터(Cst)는 데이터신호에 대응되는 전압을 충전한다.
- <29> 제 2트랜지스터(M2)의 게이트전극은 스토리지 커패시터(Cst)의 일측단자에 접속되고, 제 1전극은 스토리지 커패시터(Cst)의 다른측단자 및 제 1전원(ELVDD)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 이와 같은 제 2트랜지스터(M2)는 스토리지 커패시터(Cst)에 저장된 전압값에 대응하여 제 1전원(ELVDD)으로부터 유기 발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 이때, 유기 발광 다이오드(OLED)는 제 2트랜지스터(M2)로부터 공급되는 전류량에 대응되는 빛을 생성한다.
- <30> 하지만, 이와 같은 종래의 유기전계발광 표시장치의 화소들은 스토리지 커패시터(Cst)에 저장된 전압을 이용하여 계조를 표시하기 때문에 원하는 계조를 정확히 표현하는데 어려움이 있다.(아날로그 구동) 실제로, 스토리지 커패시터(Cst)에 저장될 수 있는 일정전압을 이용하여 다수의 계조를 표현해야 하기 때문에 인접 계조간의 밝기차가 정확히 표현되기 곤란하다.
- <31> 그리고, 종래의 유기전계발광 표시장치들에 포함되는 제 2트랜지스터(M2)는 공정편차에 의하여 화소들(4)마다 문턱전압 및 전자 이동도 등이 상이하게 설정된다. 이와 같이 화소들(4)마다 제 2트랜지스터(M2)의 문턱전압

및 전자 이동도의 편차가 발생되면 동일한 계조 전압에 대하여 서로 다른 계조의 빛이 생성되고, 이에 따라 균일한 휘도의 영상을 표시할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<32> 따라서, 본 발명의 목적은 디지털 구동으로 구동하면서 소비전력을 감소시킬 수 있도록 한 데이터 구동부 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

발명의 구성 및 작용

<33> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 데이터 구동부는 데이터선들 각각과 접속되도록 형성되는 제 1스위치 및 제 2스위치와; 상기 데이터선들 각각과 접속되며, 타이밍 제어부로부터 공급되는 제 1클럭신호, 제 2클럭신호 및 데이터에 대응하여 상기 제 1스위치 및 제 2스위치의 턴-온 및 턴-오프를 제어하기 위한 스위치 제어부와; 상기 제 1스위치들에 접속되는 하강라인으로 계단파 형태로 하강되는 전압을 공급하고, 상기 제 2스위치들에 접속되는 상승라인으로 계단파 형태로 상승되는 전압을 공급하기 위한 공통 펄스 제어부를 구비하며; 상기 스위치 제어부는 상기 데이터선의 전압이 상승 또는 하강된 이후에 로우극성에 대응하는 제 1데이터신호 및 하이극성에 대응하는 제 2데이터신호 중 어느 하나를 상기 데이터선으로 공급한다.

<34> 본 발명의 실시 예에 따른 한 프레임을 복수의 서브 프레임으로 나누어 구동하는 유기전계발광 표시장치에 있어서; 상기 서브 프레임 기간마다 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와; 상기 주사신호가 공급될 때 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와; 상기 주사 구동부 및 데이터 구동부를 제어하기 위한 타이밍 제어부와; 상기 주사선들 및 데이터선들과 접속되도록 형성되는 화소들을 구비하며; 상기 데이터 구동부는 상기 데이터선들 각각과 접속되도록 형성되는 제 1스위치 및 제 2스위치와; 상기 데이터선들 각각과 접속되며, 상기 타이밍 제어부로부터 공급되는 제 1클럭신호, 제 2클럭신호 및 데이터에 대응하여 상기 제 1스위치 및 제 2스위치의 턴-온 및 턴-오프를 제어하기 위한 스위치 제어부와; 상기 제 1스위치들에 접속되는 하강라인으로 계단파 형태로 하강되는 전압을 공급하고, 상기 제 2스위치들에 접속되는 상승라인으로 계단파 형태로 상승되는 전압을 공급하기 위한 공통 펄스 제어부를 구비하며; 상기 스위치 제어부는 상기 데이터선의 전압이 상승 또는 하강된 이후에 상기 화소들이 발광되는 제 1데이터신호 및 상기 화소들이 비발광되는 제 2데이터신호 중 어느 하나를 상기 데이터선으로 공급한다.

<35> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 2 내지 도 11을 참조하여 상세히 설명하면 다음과 같다.

<36> 도 2는 본 발명의 제 1실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

<37> 도 2를 참조하면, 본 발명의 제 1실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

<38> 타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(20)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(20)로 공급한다.

<39> 데이터 구동부(20)는 한 프레임에 포함된 복수의 서브 프레임 기간마다 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 여기서, 데이터신호는 화소(40)가 발광할 수 있는 제 1데이터신호와 화소(40)가 발광되지 않는 제 2데이터신호로 나누어진다. 즉, 데이터 구동부(20)는 각각의 서브 프레임 기간에서 주사신호가 공급될 때마다 화소(40)의 발광여부를 제어하는 제 1데이터신호 및/또는 제 2데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

<40> 주사 구동부(10)는 각각의 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 공급되면 화소(40)들이 라인별로 순차적으로 선택된다. 이때, 주사신호에 의하여 선택된 화소(40)들은 데이터선들(D1 내지 Dm)로부터 제 1데이터신호 또는 제 2데이터신호를 공급받는다.

<41> 화소부(30)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제

1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(40) 각각은 주사신호가 공급될 때 데이터신호(제 1데이터신호 또는 제 2데이터신호)를 공급받고, 공급받은 데이터신호에 대응하여 각각의 서브 프레임 기간 동안 발광 또는 비발광된다. 예를 들어, 주사신호가 공급될 때 제 1데이터신호를 공급받은 화소(40)는 해당 서브 프레임 기간 동안 발광되고, 제 2데이터신호를 공급받은 화소(40)는 해당 서브 프레임 기간 동안 비발광된다.

<42> 도 3은 본 발명의 한 프레임을 개략적으로 나타내는 도면이다. 도 4는 서브 프레임 기간동안 공급되는 구동파형을 나타내는 과형도이다.

<43> 도 3 및 도 4를 참조하면, 본 발명의 한 프레임(1F)은 복수의 서브 프레임(SF1 ~ SF8)으로 나뉘어 구동된다.(디지털 구동) 여기서, 각각의 서브 프레임(SF1 ~ SF8)은 주사신호를 순차적으로 공급하기 위한 주사기간 및 주사기간 동안 제 1데이터신호를 공급받은 화소들(40)이 발광되는 발광기간으로 나뉘어 구동된다.

<44> 주사기간 동안 주사선들(S1 내지 Sn)로는 주사신호가 순차적으로 공급된다. 그리고, 데이터선들(D1 내지 Dm)로는 제 1데이터신호 또는 제 2데이터신호가 공급된다. 즉, 주사기간 동안 화소들(40)은 제 1데이터신호 또는 제 2데이터신호를 공급받는다.

<45> 발광기간 동안 화소들(40) 각각은 주사기간 동안 공급된 제 1데이터신호 또는 제 2데이터신호를 유지하면서 발광 또는 비발광된다. 즉, 주사기간 동안 제 1데이터신호를 공급받은 화소들(40)은 해당 서브 프레임기간 동안 발광상태로 설정되고, 제 2데이터신호를 공급받은 화소들(40)은 해당 서브 프레임기간 동안 비발광상태로 설정된다.

<46> 여기서, 서브 프레임(SF1 ~ SF8) 각각에서 발광기간은 상이하게 설정된다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우 도 3과 같이 한 프레임에 8개의 서브필드(SF1 내지 SF8)로 나뉘어진다. 그리고, 8개의 서브필드들(SF1 내지 SF8) 각각에서 발광기간은 2^n (n=0,1,2,3,4,5,6,7)의 비율로 증가된다. 즉, 본 발명에서는 각각의 서브 프레임에서 화소들(40)의 발광여부를 제어하여 소정 계조의 화상을 표시하게 된다. 다시 말하여, 본 발명에서는 서브 프레임 기간 동안 상기 화소가 발광되는 시간을 합의 이용하여 한 프레임 기간 동안 소정의 계조를 표현한다.

<47> 한편, 도 3에 도시된 한 프레임은 본 발명의 일례로써 본 발명이 이에 한정되지는 않는다. 예를 들어, 한 프레임은 10개 이상의 서브 프레임으로 분할될 수 있고, 각 서브 프레임의 발광기간도 설계자에 의하여 다양하게 설정될 수 있다. 그리고, 각각의 서브 프레임에는 주사기간 및 발광기간 이외에 리셋기간이 추가로 포함될 수 있다. 리셋기간은 화소들(40)을 초기 상태로 설정하기 위하여 사용된다.

<48> 이와 같이 디지털 구동은 화소들의 발광시간을 이용하여 계조를 표현하기 때문에 원하는 계조를 정확히 표현할 수 있는 장점이 있다. 다시 말하여, 일정 전압을 분압하여 계조를 표현하지 않고, 발광시간을 이용하여 계조를 표현하기 때문에 좀더 정확한 계조를 표현할 수 있는 장점이 있다. 또한, 본 발명에서는 화소들 각각에 포함된 트랜지스터의 온 또는 오프 상태를 이용하여 계조를 표현하기 때문에 트랜지스터의 불균일과 무관하게 균일한 휘도의 영상을 표시할 수 있는 장점이 있다.

<49> 하지만, 이와 같은 디지털 구동은 한 프레임에 포함된 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 공급하기 때문에 데이터선들(D1 내지 Dm)로 펄스 형태의 과형이 고속으로 공급된다. 이 경우, 데이터선들(D1 내지 Dm)로 공급되는 데이터신호의 충/방전 전류에 의하여 많은 소비전력이 소모되는 문제점이 있다. 실제로, 데이터선들(D1 내지 Dm)로 데이터신호가 공급될 때 배선의 기생 커패시터 및 화소들(40) 마다 형성되는 스토리지 커패시터의 충/방전에 의하여 많은 소비전력이 소모된다.

<50> 이와 같은 데이터선들(D1 내지 Dm)의 소비전력 문제를 극복하기 위하여 도 5와 같은 펄스 제어부(60)가 제안된다.

<51> 도 5는 본 발명의 실시예에 의한 펄스 제어부를 나타내는 도면이다. 도 6은 도 5의 펄스 제어부의 동작과정을 나타내는 과형도이다. 이와 같은 본 발명의 펄스 제어부는 각각의 데이터선들(D1 내지 Dm) 마다 설치된다. 도 5에서는 설명의 편의성을 위하여 제 1데이터선(D1)과 접속된 펄스 제어부를 도시하기로 한다. 그리고, 제 1데이터선(D1)과 접속되도록 도시된 저항(R)은 제 1데이터선(D1)의 저항성분을 나타내는 것이고, 커패시터(Cp)는 제 1데이터선(D1)에 존재하는 기생성분을 등가적으로 표현한 것이다.

<52> 도 5 및 도 6을 참조하면, 본 발명의 실시예에 의한 펄스 제어부(60)는 제 3전원(VDD)과 제 4전원(VSS) 사이에 접속되는 제 1스위치(S1) 및 제 6스위치(S6)와, 제 1스위치(S1) 및 제 6스위치(S6) 사이의 제 1노드(N1)와 제 4전원(VSS) 사이에 설치되는 적어도 하나의 스위치 및 커패시터를 구비한다.

- <53> 제 1노드(N1)와 제 4전원(VSS) 사이에는 제 2스위치(S2) 및 제 1커패시터(C1), 제 2스위치(S2) 및 제 1커패시터(C1)와 병렬로 위치되는 제 3스위치(S3) 및 제 2커패시터(C2), 제 2스위치(S2) 및 제 1커패시터(C1)와 병렬로 위치되는 제 4스위치(S4) 및 제 3커패시터(C3), 제 2스위치(S2) 및 제 1커패시터(C1)와 병렬로 위치되는 제 5스위치(S5) 및 제 4커패시터(C4)가 설치된다.
- <54> 이와 같은 제 2스위치(S2) 내지 제 5스위치(S5) 및 커패시터들(C1 내지 C4)은 데이터선(D1)으로 공급되는 데이터신호(하이극성 또는 로우극성)가 계단파 형태로 상승 및 하강되도록 제어한다. 이를 위하여, 커패시터들(C1 내지 C4) 각각의 용량은 기생 커패시터(Cp)보다 높은 용량으로 설정된다. 그리고, 커패시터들(C1 내지 C4) 각각은 동일한 용량으로 설정되며, 일정한 직류 전압이 충전된다.
- <55> 도 5 및 도 6을 결부하여 동작과정을 상세히 설명하면, 먼저 데이터신호가 제 3전원(VDD)으로부터 제 4전원(VSS)으로 하강되는 경우 제 1스위치(S1)가 터н-온상태를 유지한다. 이 경우, 기생 커패시터(Cp)에는 제 3전원(VDD)의 전압이 충전된다.
- <56> 이후, 제 1스위치(S1)가 터н-오프되고, 제 2스위치(S2)가 터н-온된다. 제 2스위치(S2)가 터н-온되면 기생 커패시터(Cp)에 충전된 전압 중 일부전압이 제 1커패시터(C1)에 충전된다. 여기서, 제 2스위치(S2)는 기생 커패시터(Cp)에 $4/5 \times VDD$ 의 전압이 충전될 때까지 터n-온 상태를 유지한다. 그러면, 데이터선(D1)의 전압은 $4/5 \times VDD$ 의 전압으로 하강된다.
- <57> 데이터선(D1)의 전압이 $4/5 \times VDD$ 의 전압으로 하강된 후 제 2스위치(S2)가 터n-오프되고, 제 3스위치(S3)가 터n-온된다. 제 3스위치(S3)가 터n-온되면 기생 커패시터(Cp)에 충전된 전압 중 일부전압이 제 2커패시터(C2)에 충전된다. 여기서, 제 3스위치(S3)는 기생 커패시터(Cp)에 $3/5 \times VDD$ 의 전압이 충전될 때까지 터n-온 상태를 유지한다. 그러면, 데이터선(D1)의 전압은 $3/5 \times VDD$ 의 전압으로 하강된다.
- <58> 데이터선(D1)의 전압이 $3/5 \times VDD$ 의 전압으로 하강된 후 제 3스위치(S3)가 터n-오프되고, 제 4스위치(S4)가 터n-온된다. 제 4스위치(S4)가 터n-온되면 기생 커패시터(Cp)에 충전된 전압 중 일부전압이 제 3커패시터(C3)에 충전된다. 여기서, 제 4스위치(S4)는 기생 커패시터(Cp)에 $2/5 \times VDD$ 의 전압이 충전될 때까지 터n-온 상태를 유지한다. 그러면, 데이터선(D1)의 전압은 $2/5 \times VDD$ 의 전압으로 하강된다.
- <59> 데이터선(D1)의 전압이 $2/5 \times VDD$ 의 전압으로 하강된 후 제 4스위치(S4)가 터n-오프되고, 제 5스위치(S5)가 터n-온된다. 제 5스위치(S5)가 터n-온되면 기생 커패시터(Cp)에 충전된 전압 중 일부전압이 제 4커패시터(C4)에 충전된다. 여기서, 제 5스위치(S5)는 기생 커패시터(Cp)에 $1/5 \times VDD$ 의 전압이 충전될 때까지 터n-온 상태를 유지한다. 그러면, 데이터선(D1)의 전압은 $1/5 \times VDD$ 의 전압으로 하강된다.
- <60> 이후, 제 5스위치(S5)가 터n-오프되고, 제 6스위치(S6)가 터n-온된다. 제 6스위치(S6)가 터n-온되면 데이터선(D1)으로 제 4전원(VSS)의 전압이 공급된다. 이후, 제 6스위치(S6)는 소정기간 터n-온 상태를 유지하면서 데이터선(D1)으로 제 4전원(VSS)의 전압, 즉 로우극성의 데이터신호를 공급한다.
- <61> 한편, 데이터신호가 제 4전원(VSS)으로부터 제 3전원(VDD)으로 상승되는 경우 제 6스위치(S6)는 터n-온 상태를 유지한다. 이 경우, 기생 커패시터(Cp)에는 제 4전원(VSS)에 대응되는 전압이 충전된다.
- <62> 이후, 제 6스위치(S6)가 터n-오프되고, 제 5스위치(S5)가 터n-온된다. 제 5스위치(S5)가 터n-온되면 데이터선(D1)으로 $1/5 \times VDD$ 의 전압이 공급된다. 여기서, 제 4커패시터(C4)가 기생 커패시터(Cp)보다 높은 용량으로 설정되기 때문에 데이터선(D1)으로는 안정적으로 $1/5 \times VDD$ 의 전압이 공급된다.
- <63> 데이터선(D1)의 전압이 $1/5 \times VDD$ 의 전압으로 상승된 후 제 5스위치(S5)가 터n-오프되고, 제 4스위치(S4)가 터n-온된다. 제 4스위치(S4)가 터n-온되면 데이터선(D1)으로 $2/5 \times VDD$ 의 전압이 공급된다. 여기서, 제 3커패시터(C3)가 기생 커패시터(Cp)보다 높은 용량으로 설정되기 때문에 데이터선(D1)으로는 안정적으로 $2/5 \times VDD$ 의 전압이 공급된다.
- <64> 데이터선(D1)의 전압이 $2/5 \times VDD$ 의 전압으로 상승된 후 제 4스위치(S4)가 터n-오프되고, 제 3스위치(S3)가 터n-온된다. 제 3스위치(S3)가 터n-온되면 데이터선(D1)으로 $3/5 \times VDD$ 의 전압이 공급된다. 여기서, 제 2커패시터(C2)가 기생 커패시터(Cp)보다 높은 용량으로 설정되기 때문에 데이터선(D1)으로는 안정적으로 $3/5 \times VDD$ 의 전압이 공급된다.
- <65> 데이터선(D1)의 전압이 $3/5 \times VDD$ 의 전압으로 상승된 후 제 3스위치(S3)가 터n-오프되고, 제 2스위치(S2)가 터n-온된다. 제 2스위치(S2)가 터n-온되면 데이터선(D1)으로 $4/5 \times VDD$ 의 전압이 공급된다. 여기서, 제 1커패시터(C1)가 기생 커패시터(Cp)보다 높은 용량으로 설정되기 때문에 데이터선(D1)으로는 안정적으로 $4/5 \times VDD$ 의 전압이

공급된다.

<66> 이후, 제 2스위치(S2)가 턴-오프되고, 제 1스위치(S1)가 턴-온된다. 제 1스위치(S1)가 턴-온되면 데이터선(D1)으로 제 3전원(VDD)의 전압이 공급된다. 이후, 제 1스위치(S1)는 소정기간 턴-온 상태를 유지하면서 데이터선(D1)으로 제 3전원(VDD)의 전압, 즉 하이극성의 데이터신호를 공급한다.

<67> 상술한, 본 발명의 펄스 제어부(60)는 데이터신호를 계단파 형태로 상승 및 하강시키기 때문에 소비전력을 줄일 수 있는 장점이 있다. 실제로, 도 5에 도시된 펄스 제어부(60)의 경우 최종적으로 총/방전에 필요한 전압은 $1/5 \times VDD$ 로 설정되기 때문에 소비전력을 대략 $1/5$ 정도로 감소할 수 있다. 하지만, 도 5에 도시된 펄스 제어부(60)의 경우 데이터선(D1 내지 Dm) 각각마다 설치되는 문제점이 있다. 여기서, 펄스 제어부(60)에는 높은 용량의 커패시터들(C1 내지 C4)이 포함되기 때문에 데이터 구동부(20)에 펄스 제어부(60)를 내장하는 경우 데이터 구동부(20)의 사이즈가 증가하는 문제점이 발생한다. 또한, 펄스 제어부(60)에 포함되는 다수의 스위치(S1 내지 S6)들의 턴-온 및 턴-오프 과정에서 추가적인 전력소비가 발생하는 문제점이 있다.

<68> 도 7은 본 발명의 제 2실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

<69> 도 7을 참조하면, 본 발명의 제 2실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

<70> 타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.

<71> 데이터 구동부(120)는 한 프레임에 포함된 복수의 서브 프레임 기간마다 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 여기서, 데이터신호는 화소(140)가 발광할 수 있는 제 1데이터신호와 화소(140)가 발광하지 않는 제 2데이터신호로 나누어진다. 실제로, 데이터 구동부(120)는 각각의 서브 프레임 기간에서 주사신호가 공급될 때마다 하이극성 또는 로우극성의 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

<72> 주사 구동부(110)는 각각의 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 공급되면 화소들(140)이 라인별로 순차적으로 선택된다. 이때, 주사신호에 의하여 선택된 화소(140)들은 데이터선들(D1 내지 Dm)로부터 제 1데이터신호 또는 제 2데이터신호를 공급받는다.

<73> 화소부(130)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(140)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(140) 각각은 주사신호가 공급될 때 데이터신호(제 1데이터신호 또는 제 2데이터신호)를 공급받고, 공급받은 데이터신호에 대응하여 각각의 서브 프레임 기간 동안 발광 또는 비발광된다.

<74> 이와 같은 본 발명의 제 2실시예에 의한 유기전계발광 표시장치에서 데이터 구동부(120)는 데이터신호를 계단파 형태로 하강 및 상승시키면서 소비전력을 저감하게 된다. 이를 위하여, 데이터 구동부(120)는 쉬프트 레지스터부(121), 샘플링 래치부(122), 훌딩 래치부(123), 스위치 제어부들(124), 공통 펄스 제어부(125) 및 스위치들(S10, S11)을 구비한다.

<75> 쉬프트 레지스터부(121)는 타이밍 제어부(150)로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받은 쉬프트 레지스터부(121)는 소스 쉬프트 클럭(SSC)의 1주기마다 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로 복수개(예를 들면, 4개)의 샘플링 신호를 생성한다.

<76> 샘플링 래치부(122)는 쉬프트 레지스터부(121)로부터 순차적으로 공급되는 샘플링신호에 응답하여 데이터(Data)를 순차적으로 저장한다. 여기서, 샘플링 래치부(122)는 복수개의 샘플링신호에 대응하여 복수개의 데이터(Data)를 저장한다.

<77> 훌딩 래치부(123)는 타이밍 제어부(150)로부터 소스 출력 인에이블(SOE) 신호가 입력될 때 샘플링 래치부(122)로부터 데이터(Data)를 입력받아 저장한다. 그리고, 훌딩 래치부(123)는 타이밍 제어부(150)로부터 소스 출력 인에이블(SOE) 신호가 입력될 때 자신에게 저장된 데이터(Data)를 각각의 채널마다 위치되는 스위치 제어부

(124)로 공급한다.

<78> 스위치 제어부(124)는 각각의 채널마다 위치된다. 다시 말하여, 스위치 제어부(124)는 데이터선들(D1 내지 Dm) 각각마다 설치된다. 이와 같은 스위치 제어부(124)는 타이밍 제어부(150)로부터 공급되는 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)에 대응하여 제 10스위치(S10) 및 제 11스위치(S11)를 제어하면서 데이터선(D)으로 데이터신호를 공급한다.

<79> 공통 펠스 제어부(125)는 데이터신호가 계단파 형태로 상승하거나 계단파 형태로 하강하도록 제어한다. 여기서, 공통 펠스 제어부(125)는 데이터 드라이버(120) 내에 하나만 설치되어 데이터선들(D1 내지 Dm)로 공급되는 데이터신호의 상승 및 하강을 제어한다.

<80> 제 10스위치(S10) 및 제 11스위치(S11)는 데이터선들(D1 내지 Dm) 각각과 공통 펠스 제어부(125)의 사이에 위치된다. 제 10스위치(S10)는 공통 펠스 제어부(125)의 상승라인(r)과 데이터선(D) 사이에 위치되고, 제 11스위치(S11)는 공통 펠스 제어부(125)의 하강라인(f)과 데이터선(D) 사이에 위치된다. 이와 같은 제 10스위치(S10) 및 제 11스위치(S11)는 스위치 제어부(124)에 의하여 제어되면서 선택적으로 공통 펠스 제어부(125)와 데이터선(D)을 전기적으로 접속시킨다.

<81> 도 8은 도 7에 도시된 공통 펠스 제어부를 나타내는 도면이다.

<82> 도 8을 참조하면, 공통 펠스 제어부(125)는 데이터신호가 계단파 형태로 하강하도록 제어하는 하강부(126)와, 데이터신호가 계단파 형태로 상승하도록 제어하는 상승부(127)와, 동일한 용량을 가지며 서로 다른 전압값을 충전하는 커패시터들(C10 내지 C13)을 구비한다. 여기서, 커패시터들(C10 내지 C13) 각각은 데이터선(D)의 기생 커패시터보다 높은 용량을 갖는다.

<83> 하강부(126)는 제 10커패시터(C10)와 하강라인(f) 사이에 위치되는 제 20스위치(S20), 제 11커패시터(C11)와 하강라인(f) 사이에 위치되는 제 21스위치(S21), 제 12커패시터(C12)와 하강라인(f) 사이에 위치되는 제 22스위치(S22) 및 제 13커패시터(C13)와 하강라인(f) 사이에 위치되는 제 23스위치(S23)를 구비한다.

<84> 상승부(127)는 제 10커패시터(C10)와 상승라인(r) 사이에 위치되는 제 27스위치(S27), 제 11커패시터(C11)와 상승라인(r) 사이에 위치되는 제 26스위치(S26), 제 12커패시터(C12)와 상승라인(r) 사이에 위치되는 제 25스위치(S25) 및 제 13커패시터(C13)와 상승라인(r) 사이에 위치되는 제 24스위치(S24)를 구비한다.

<85> 커패시터들(C10 내지 C13)은 동일한 용량으로 설정되며 서로 다른 전압을 충전한다. 예를 들어, 제 10커패시터(C10)는 제 3전원(VDD)의 4/5의 전압을 충전하고, 제 11커패시터(C11)는 제 3전원(VDD)의 3/5의 전압을 충전한다. 그리고, 제 12커패시터(C12)는 제 3전원(VDD)의 2/5의 전압을 충전하고, 제 13커패시터(C13)는 제 3전원(VDD)의 1/5의 전압을 충전한다. 여기서, 커패시터들(C10 내지 C13)에 충전되는 전압은 스위치들(S20 내지 S27)의 턠-온 및 턠-오프 타이밍을 이용하여 제어한다. 이와 같은 과정은 도 5를 설명할 때 상세히 설명되어 있다.

<86> 도 9는 도 8에 도시된 스위치들의 턠-온 타이밍을 나타내는 파형도이다.

<87> 도 9를 참조하면, 하강부(126)에 포함되는 스위치들(S20 내지 S23)은 제 20스위치(S20), 제 21스위치(S21), 제 22스위치(S22) 및 제 23스위치(S23)의 순으로 턠-온된다. 그러면, 하강라인(f)과 접속된 데이터선들(D)에서 데이터신호의 전압이 순차적으로 하강된다.

<88> 마찬가지로, 상승부(127)에 포함되는 스위치들(S24 내지 S27)은 제 24스위치(S24), 제 25스위치(S25), 제 26스위치(S26) 및 제 27스위치(S27)의 순으로 턠-온된다. 그러면, 상승라인(r)과 접속된 데이터선들(D)에서 데이터신호의 전압이 순차적으로 상승된다.

<89> 여기서, 제 20스위치(S20)는 제 24스위치(S24)와 동일하게 턠-온 및 턠-오프되고, 제 21스위치(S21)는 제 25스위치(S25)와 동일하게 턠-온 및 턠-오프된다. 또한, 제 22스위치(S22)는 제 26스위치(S26)와 동일하게 턠-온 및 턠-오프되고, 제 23스위치(S23)는 제 27스위치(S27)와 동일하게 턠-온 및 턠-오프된다. 여기서, 상승부(127)에 포함되는 스위치들(S24 내지 S27)의 턠-온 시간은 서로 중첩되지 않는다. 마찬가지로, 하강부(126)에 포함되는 스위치들(S20 내지 S23)의 턠-온 시간은 서로 중첩되지 않는다.

<90> 도 10은 도 7에 도시된 스위치 제어부(를 상세히 나타내는 도면이다. 도 11은 도 10에 도시된 스위치 제어부의 동작과정을 나타내는 파형도이다.

<91> 도 10을 참조하면, 본 발명의 스위치 제어부(124)는 홀딩 래치부(123)로부터 데이터(Data1)를 입력받고 제 2클

력신호(CLK2)에 대응하여 출력하는 디-플립플롭(D-FF)과, 디-플립플롭(D-FF)의 입력과 출력을 배타적 논리합 연산하기 위한 배타적 논리합 게이트(XOR)와, 제 1클럭신호(CLK1)와 배타적 논리합 게이트(XOR)의 출력을 논리합 연산하기 위한 제 1논리합 게이트(AND1)와, 디-플립플롭(D-FF)의 출력과 제 1논리합 게이트(AND1)의 출력을 논리합 연산하기 위한 제 2논리합 게이트(AND2) 및 제 3논리합 게이트(AND3)와, 디-플립플롭(D-FF)의 출력의 전압값을 변경하기 위한 레벨 쉬프터(128)와, 레벨 쉬프터(128)의 출력을 데이터선(D)으로 공급하기 위한 버퍼(BUF)를 구비한다.

- <92> 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 동일한 주기를 갖음과 동시에 서로 다른 위상차로 설정된다. 여기서, 제 2클럭신호(CLK2)가 상승시점이 제 1클럭신호(CLK1)의 하강시점보다 빠르도록 위상차가 설정된다.
- <93> 디-플립플롭(D-FF)은 제 2클럭신호(CLK2)의 상승시점에 구동되어 홀딩 래치부(123)로부터 공급되는 데이터(Data)를 출력단자로 공급한다. 이후, 설명의 편의성을 위하여 홀딩 래치부(123)로부터 공급되는 데이터(Data)를 제 1데이터(Data1)라 부르고, 디-플립플롭(D-FF)에서 출력되는 데이터(Data)를 제 2데이터(Data2)라 부르기로 한다.
- <94> 레벨 쉬프터(128)는 디-플립플롭(D-FF)으로부터 공급되는 제 2데이터(Data2)에 대응하여 데이터신호를 생성한다. 예를 들어, 레벨 쉬프터(128)는 제 2데이터(Data2)에 대응하여 하이극성의 데이터신호를 생성하거나, 로우극성의 데이터신호를 생성한다. 이 경우, 하이극성의 데이터신호를 제 3전원(VDD)의 전압값으로 설정되고, 로우극성의 데이터신호는 제 4전원(VSS)의 전압값으로 설정된다.
- <95> 버퍼(BUF)는 제 1클럭신호(CLK1)가 하이극성으로 설정될 때 오프되고, 로우극성으로 설정될 때 온된다. 버퍼(BUF)가 온되는 경우 레벨 쉬프터(128)의 출력이 데이터선(D)으로 공급된다.
- <96> 도 10 및 도 11을 결부하여 동작과정을 상세히 설명하면, 먼저 홀딩 래치부(123)로부터 "1" "0" "1" "0" "0"의 데이터가 순차적으로 공급된다고 가정하기로 한다.
- <97> 홀딩 래치부(123)로부터 공급되는 제 1데이터(Data1)는 디-플립플롭(D-FF)을 경유하면서 소정기간 지연되어 제 2데이터(Data2)로 출력된다. 여기서, 제 1기간(T1) 동안 제 1데이터(Data1) 및 제 2데이터(Data2)가 동일하게 설정되기 때문에 배타적 논리합 게이트(XOR)에서는 로우신호가 출력된다. 배타적 논리합(XOR) 게이트에서 로우신호가 출력되면 제 1논리합 게이트(AND1), 제 2논리합 게이트(AND2) 및 제 3논리합 게이트(AND3)에서 로우신호가 출력된다. 이 경우, 제 1기간(T1) 동안 제 10스위치(S10) 및 제 11스위치(S11)는 턴-오프 상태를 유지한다.
- <98> 그리고, 제 1기간(T1) 동안 레벨 쉬프터(128)는 "0"의 제 2데이터(Data2)에 대응하여 로우극성의 데이터신호를 생성하여 버퍼(BUF)로 공급한다. 즉, 레벨 쉬프터(128)는 제 4전원(VSS)의 전압값을 가지는 데이터신호를 버퍼(BUF)로 공급한다. 로우극성의 데이터신호를 공급받은 버퍼(BUF)는 제 1기간(T1) 동안 로우극성의 데이터신호를 데이터선(D)으로 공급한다.
- <99> 이후, 레벨 쉬프터(128)에서 "1"의 제 1데이터(Data1)가 공급된다. 그러면, 제 2기간(T2) 동안 배타적 논리합 게이트(XOR)에서 하이신호가 출력된다. 이때, 제 2기간(T2) 동안 제 1논리합 게이트(AND1)에서 하이신호가 출력된다. 한편, 제 2기간(T2) 동안 제 2데이터(Data2)는 "0"으로 설정된다. 따라서, 인버터(IN)를 경유하여 제 2데이터(Data2)를 공급받는 제 3논리합 게이트(AND3)에서 하이신호가 출력된다.
- <100> 제 3논리합 게이트(AND3)에서 하이신호가 출력되면 제 11스위치(SW11)가 턴-온된다. 제 11스위치(SW11)가 턴-온되면 도 9에 도시된 바와 같이 제 1클럭신호(CLK1)의 하이기간 동안 순차적으로 턴-온되는 제 24스위치(S24), 제 25스위치(S25), 제 26스위치(S26) 및 제 27스위치(S27)에 대응하여 데이터선(D)의 전압이 계단파 형태로 상승된다. 여기서, 버퍼(BUF)는 클럭신호(CLK1)의 하이기간 동안 차단되기 때문에 데이터선(D)의 전압은 안정적으로 상승될 수 있다.
- <101> 이후, 제 3기간(T3) 기간 동안 디-플립플롭(D-FF)은 "1"의 제 2데이터(Data2)를 출력한다. 그러면, 레벨 쉬프터(128)에서는 "1"의 제 2데이터(Data2)에 대응하여 하이극성의 데이터신호(즉, 제 3전원(VDD)의 전압)가 생성된다. 버퍼(BUF)는 제 3기간(T3) 동안 하이극성의 데이터신호를 데이터선(D)으로 공급한다.
- <102> 제 4기간(T4)에는 레벨 쉬프터(128)에서 "0"의 제 1데이터(Data1)가 공급된다. 그러면, 제 4기간(T4) 동안 배타적 논리합 게이트(XOR)에서 하이신호가 출력되고, 이에 따라 제 1논리합 게이트(AND1)에서도 하이신호가 출력된다. 한편, 제 4기간(T4) 동안 제 2데이터(Data2)는 "1"로 설정된다. 따라서, 제 2논리합 게이트(AND2)에서 하이신호가 출력된다.
- <103> 제 2논리합 게이트(AND2)에서 하이신호가 출력되면 제 10스위치(SW10)가 턴-온된다. 제 10스위치(SW10)가 턴-

온되면 제 1클럭신호(CLK1)의 하이기간 동안 순차적으로 턴-온되는 제 20스위치(S20), 제 21스위치(S21), 제 22스위치(S22) 및 제 23스위치(S23)에 대응하여 데이터선(D)의 전압이 계단과 형태로 하강된다. 여기서, 버퍼(BUF)는 제 1클럭신호(CLK1)의 하이기간 동안 차단되기 때문에 데이터선(D)의 전압은 안정적으로 하강될 수 있다.

<104> 이후, 제 5기간(T5) 동안 디-플립플롭(D-FF)은 "0"의 제 2데이터(Data2)를 출력한다. 그러면, 레벨 쉬프터(128)에서는 "0"의 제 2데이터(Data2)에 대응하여 로우극성의 데이터신호(즉, 제 4전원(VSS)의 전압)가 생성된다. 버퍼(BUF)는 제 5기간(T5) 동안 로우극성의 데이터신호를 데이터선(D)으로 공급한다

<105> 실제로, 본 발명의 제 2실시예에서는 이와 같은 과정을 반복하면서 데이터선들(D1 내지 Dm)로 로우극성 및/또는 하이극성의 데이터신호를 공급하게 된다. 여기서, 본 발명의 제 2실시예에서는 데이터신호를 계단과 형태로 상승 및 하강시키기 때문에 소비전력을 줄일 수 있다. 또한, 본 발명의 제 2실시예에서는 공통적으로 형성되는 하나의 공통 펠스 제어부(125)가 사용되기 때문에 데이터 구동부(120)에 내장되는 경우 데이터 구동부(120)의 사이즈를 본 발명의 제 1실시예의 경우보다 작게 할 수 있다. 다시 말하여, 높은 용량의 커패시터들(C10, C11, C12, C13)이 채널마다 설치되지 않고 하나의 공통 펠스 제어부(125)에만 설치되기 때문에 데이터 구동부(120)를 쉽게 집적화함과 아울러 사이즈를 줄일 수 있는 장점이 있다. 또한, 본 발명에서는 하나의 공통 펠스 제어부(125)만이 사용되기 때문에 스위치들(S20 내지 S27)의 턴-온 및 턴-오프 과정에서 발생되는 추가적인 소비전력을 최소화할 수 있다.

<106> 상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적으로서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여 져야만 할 것이다.

발명의 효과

<107> 상술한 바와 같이, 본 발명의 실시 예에 따른 데이터 구동부 및 이를 이용한 유기전계발광 표시장치에 의하면 데이터 구동부에 공통적으로 형성되는 공통 펠스 제어부를 이용하여 데이터선들로 공급되는 데이터신호가 계단과 형태로 상승 및/또는 하강하도록 제어하고, 이에 따라 소비전력을 절감할 수 있는 장점이 있다. 또한, 본 발명에서는 하나의 공통 펠스 제어부를 이용하기 때문에 데이터 구동부의 사이즈를 절감할 수 있는 효과가 있다.

도면의 간단한 설명

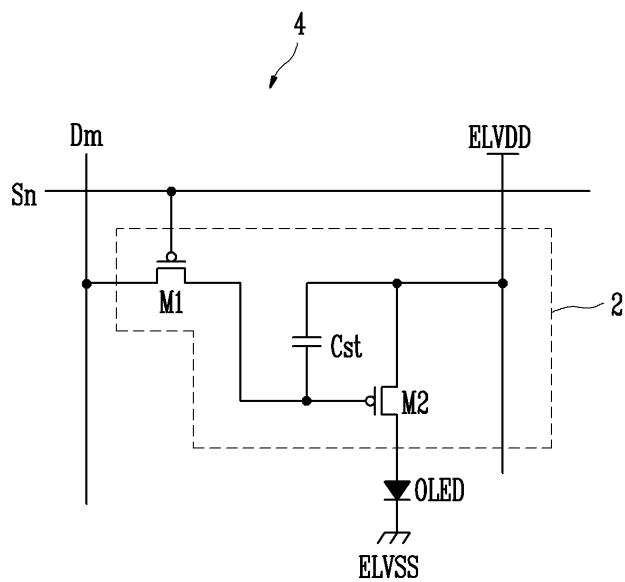
- <1> 도 1은 일반적인 유기전계발광 표시장치의 화소를 나타내는 회로도이다.
- <2> 도 2는 본 발명의 제 1실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <3> 도 3은 본 발명의 실시예에 의한 유기전계발광 표시장치의 한 프레임을 나타내는 도면이다.
- <4> 도 4는 도 3에 도시된 서브 프레임 기간에 공급되는 구동파형을 나타내는 도면이다.
- <5> 도 5는 본 발명의 실시예에 의한 펠스 제어부를 나타내는 도면이다.
- <6> 도 6은 도 5에 도시된 펠스 제어부의 동작과정을 나타내는 파형도이다.
- <7> 도 7은 본 발명의 제 2실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <8> 도 8은 도 7에 도시된 공통 펠스 제어부를 나타내는 회로도이다.
- <9> 도 9는 도 8에 도시된 스위치들의 동작과정을 나타내는 파형도이다.
- <10> 도 10은 도 7에 도시된 스위치 제어부를 나타내는 도면이다.
- <11> 도 11은 도 10에 도시된 스위치 제어부의 동작과정을 나타내는 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

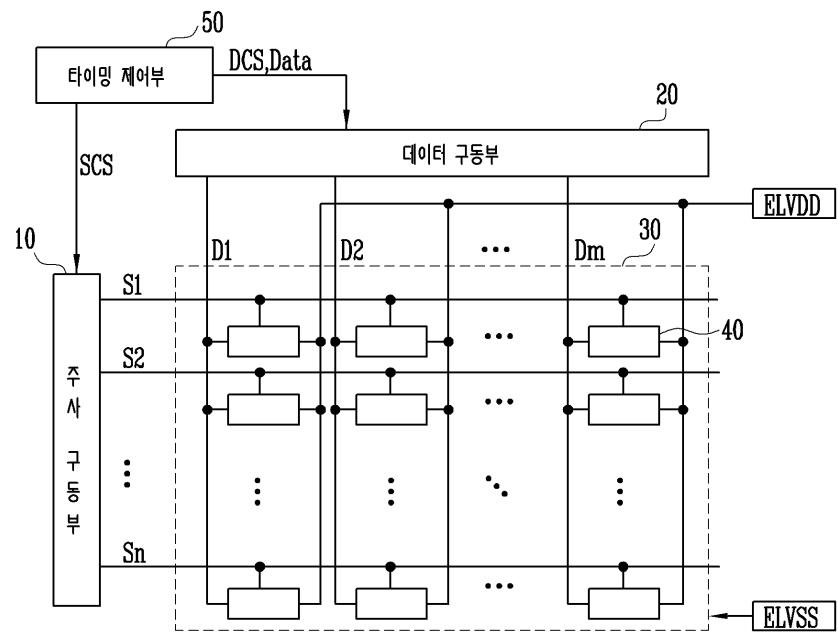
- | | | |
|------|-------------------|-------------------|
| <14> | 10, 110 : 주사 구동부 | 20, 120 : 데이터 구동부 |
| <15> | 121 : 쉬프트 레지스터부 | 122 : 샘플링 래치부 |
| <16> | 123 : 홀딩 래치부 | 124 : 스위치 제어부 |
| <17> | 125 : 공통 펄스 제어부 | 126 : 하강부 |
| <18> | 127 : 상승부 | 128 : 레벨 쉬프터 |
| <19> | 30, 130 : 화소부 | 40, 140 : 화소 |
| <20> | 50, 150 : 타이밍 제어부 | 60 : 펄스 제어부 |

도면

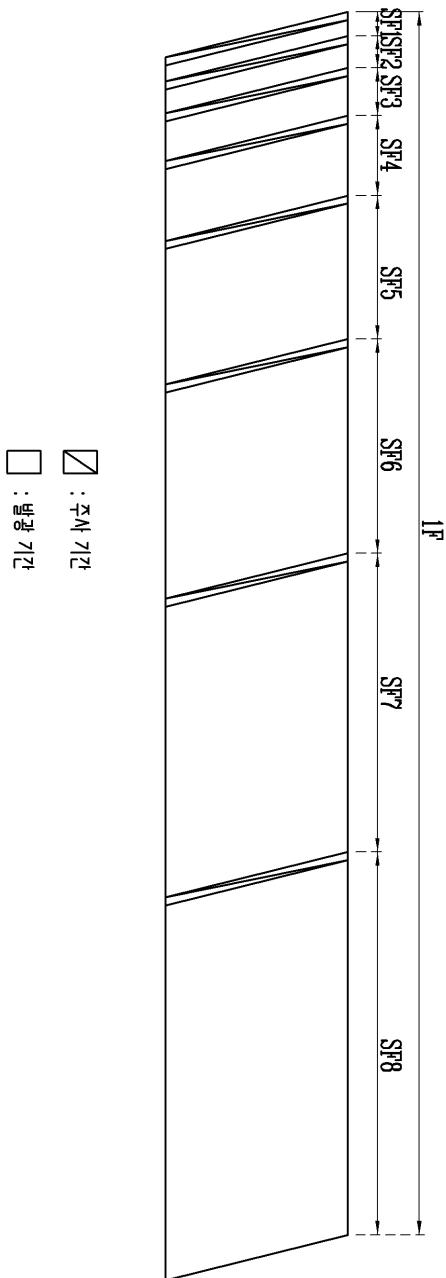
도면1



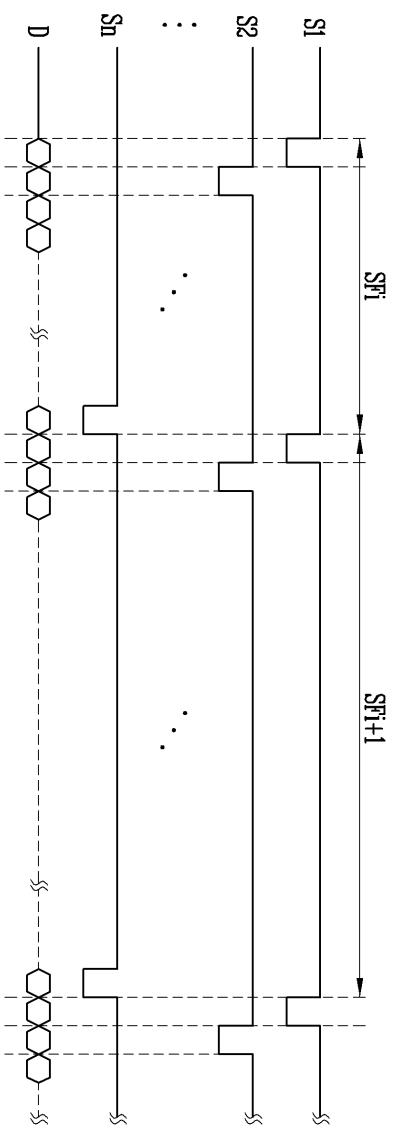
도면2



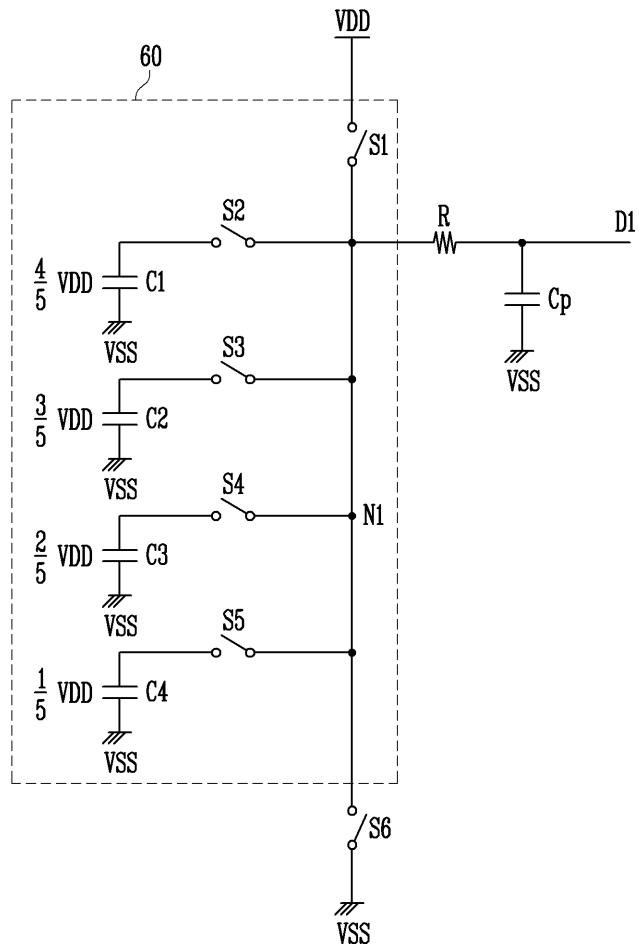
도면3



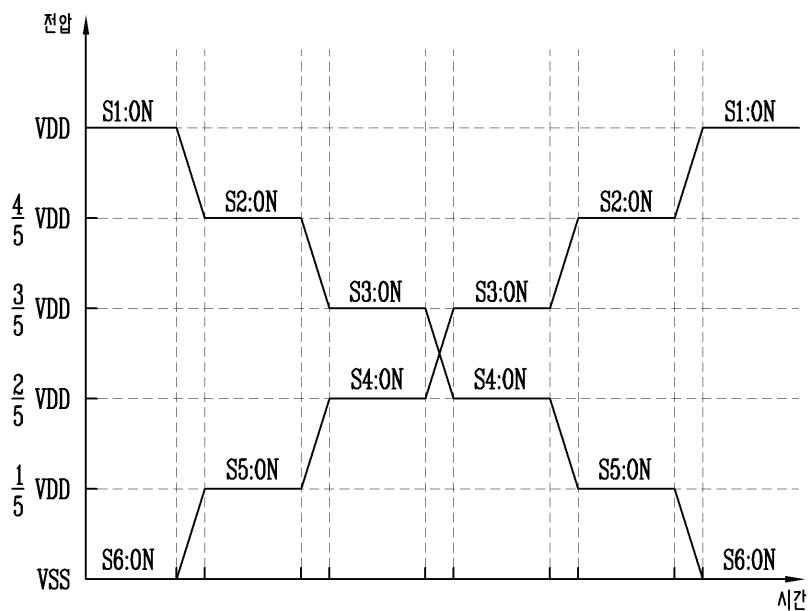
도면4



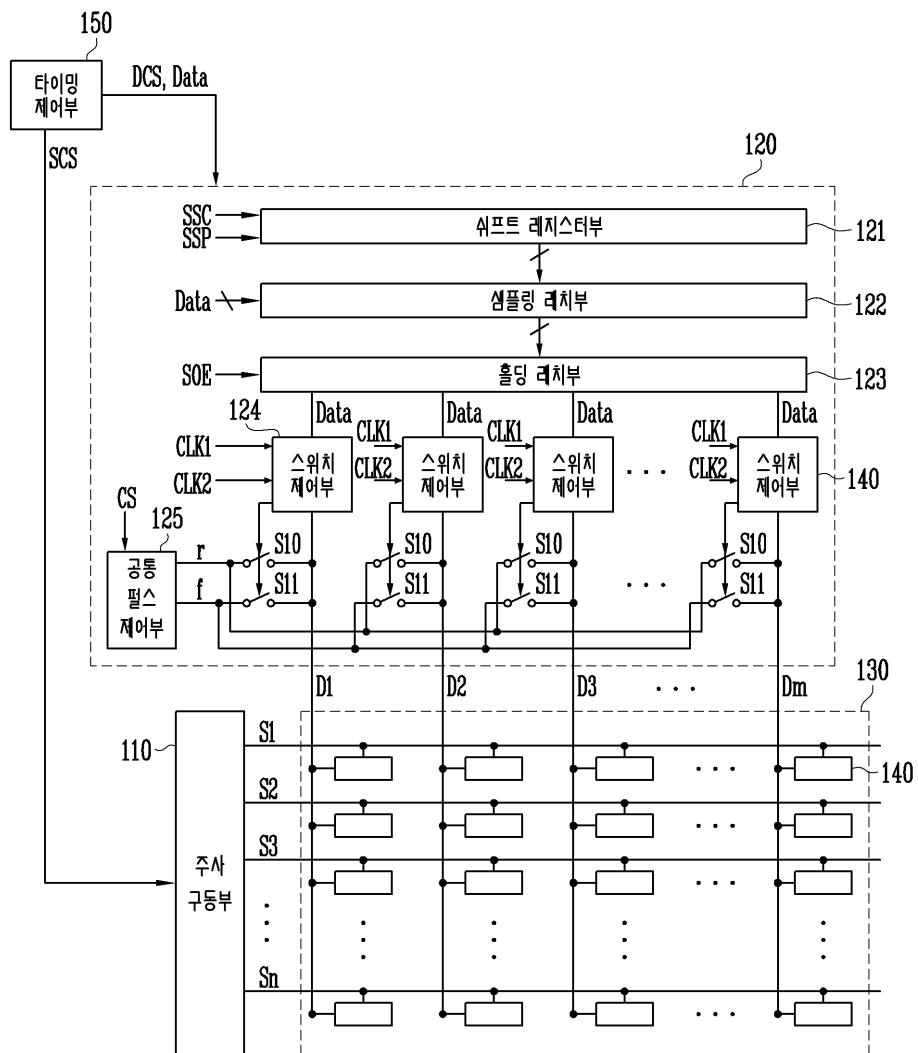
도면5



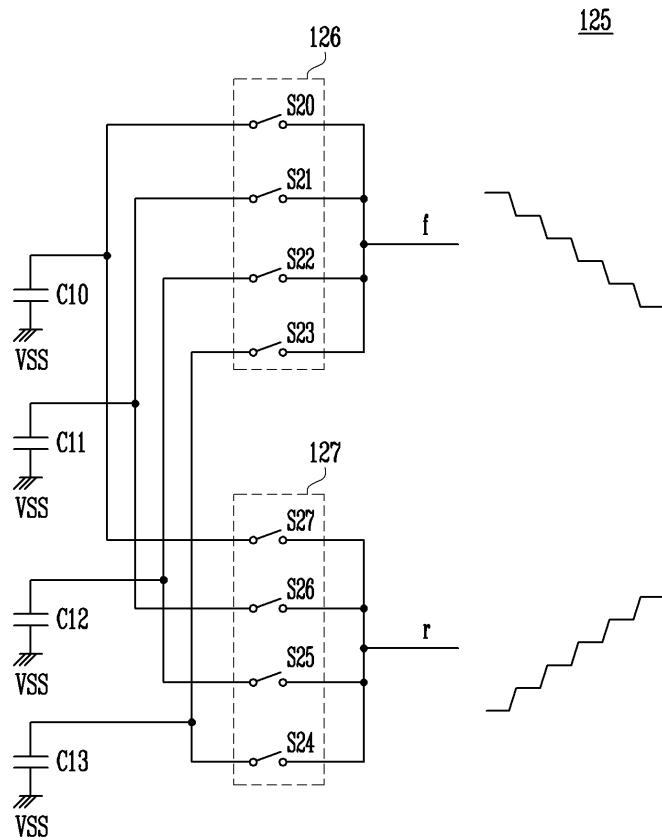
도면6



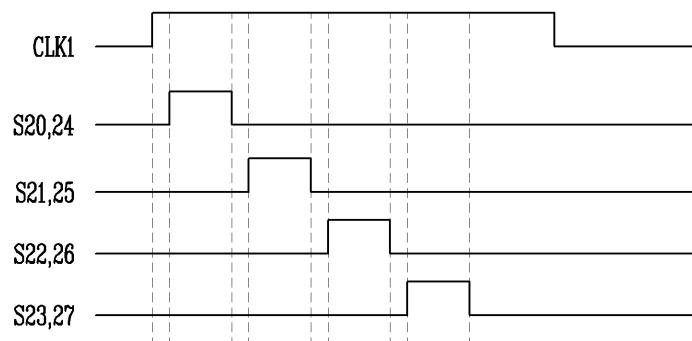
도면7



도면8

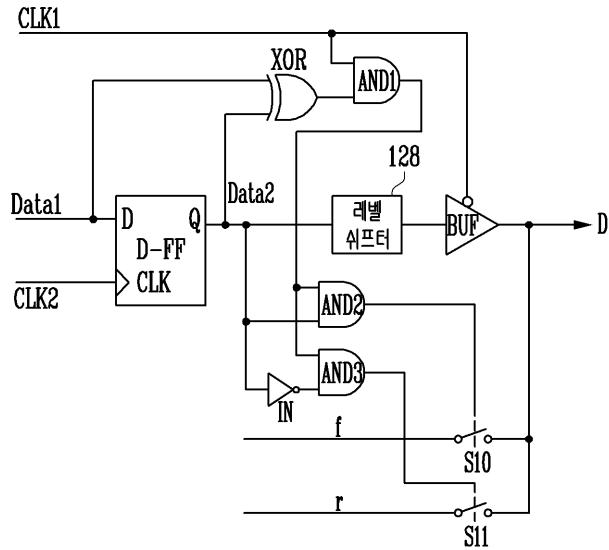


도면9

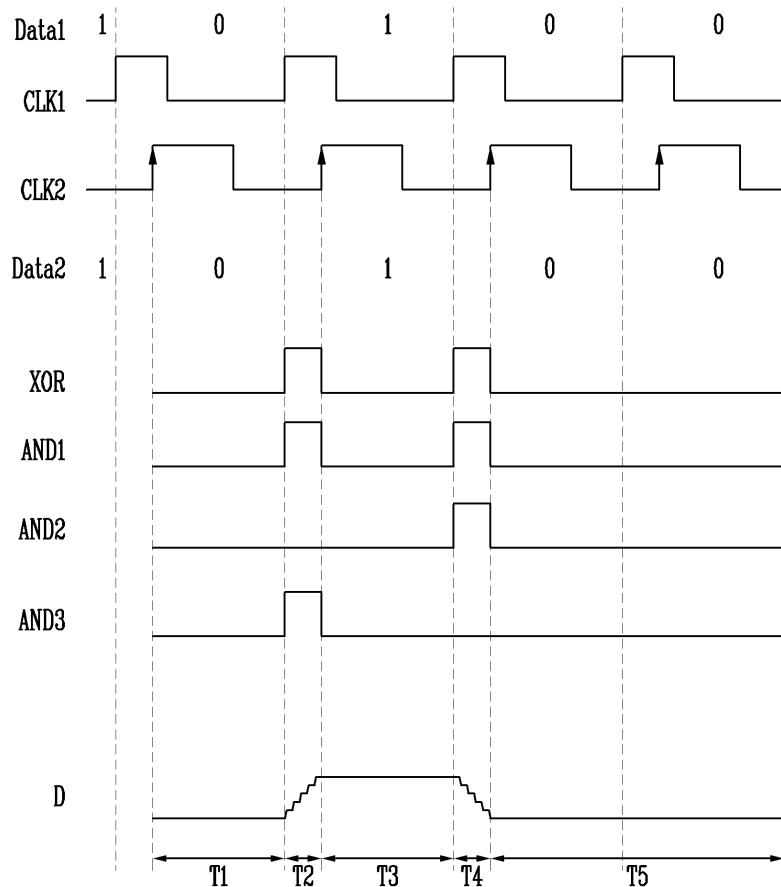


도면10

124



도면11



专利名称(译)	数据驱动器和使用其的有机发光显示器		
公开(公告)号	KR100796133B1	公开(公告)日	2008-01-21
申请号	KR1020060084839	申请日	2006-09-04
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DOIK KIM 김도익 DOHYUNG RYU 류도형		
发明人	김도익 류도형		
IPC分类号	G09G3/30 G09G3/20 H05B33/08		
CPC分类号	Y02B20/346 Y02B20/343 G09G3/3275 G09G2310/08 G09G2320/0233 G09G2330/00 H03K23/44		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供数据驱动器和使用其的有机发光二极管，以通过使用公共脉冲控制单元来减小其尺寸。第一和第二开关连接到数据线。开关控制单元(124)连接到数据线，并根据第一时钟信号，第二时钟信号和时序控制器的数据控制第一和第二开关的接通/断开操作。公共脉冲控制单元(125)将阶跃函数电压提供给连接到第一开关的下降线，并将阶跃函数电压提供给连接到第二开关的上升线。切换控制单元向数据线提供对应于低极性的第一数据信号和对应于高极性的第二数据信号中的一个。

