



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년08월09일
G09G 3/30 (2006.01)	(11) 등록번호	10-0748321
G09G 3/20 (2006.01)	(24) 등록일자	2007년08월03일

(21) 출원번호	10-2006-0031636	(65) 공개번호
(22) 출원일자	2006년04월06일	(43) 공개일자
심사청구일자	2006년04월06일	

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 신동용
 서울특별시 관악구 봉천1동 969-37

(74) 대리인 신영무

(56) 선행기술조사문헌	
KR 1020030095135 A	KR 1020030081610 A
KR 1020030096878 A	KR 1020030075946 A

심사관 : 최정윤

전체 청구항 수 : 총 17 항

(54) 주사 구동회로와 이를 이용한 유기 전계발광 표시장치

(57) 요약

본 발명의 제 1측면은, 다수의 스테이지(SCU)를 구비하며, 입력 신호 또는 이전단 출력 전압 및 제 1 및 제 2클럭신호를 입력받아 주사신호를 출력하는 제 1주사구동부와; 다수의 스테이지(CCU)를 구비하며, 상기 각 스테이지가 상기 제 1주사구동부에서 순차적으로 출력되는 2개의 주사신호 및 상기 제 1 및/또는 제 2클럭신호를 입력받아 하나의 발광제어신호를 출력하는 제 2주사구동부를 포함하여 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

이와 같은 본 발명에 의하면, 주사 구동회로에 있어서 트랜지스터의 문턱전압을 보상하여 휘도의 불균일을 보상하며, 주사 신호에 의해 발광제어신호를 생성하고 저전력을 소비하는 상기 제 2주사구동부를 구비하고 스테틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써, 소비전력을 최소화하는 장점이 있다.

대표도

도 3

특허청구의 범위

청구항 1.

다수의 스테이지(SCU)를 구비하며, 입력 신호 또는 이전단 출력 전압 및 제 1 및 제 2클럭신호를 입력받아 주사신호를 출력하는 제 1주사구동부와;

다수의 스테이지(CCU)를 구비하며, 상기 각 스테이지가 상기 제 1주사구동부에서 순차적으로 출력되는 2개의 주사신호 및 상기 제 1 및/또는 제 2클럭신호를 입력받아 하나의 발광제어신호를 출력하는 제 2주사구동부를 포함하여 구성됨을 특징으로 하는 주사 구동회로.

청구항 2.

제 1항에 있어서,

상기 제 1주사구동부에 구비되는 각 스테이지(SCU)는,

이전단 출력전압 또는 최초 입력 신호(IN)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)가 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 3.

제 2항에 있어서,

상기 제 1트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 4.

제 1항에 있어서,

상기 주사 구동 유닛을 구성하는 각 스테이지들은, 위상이 반전되고 하이 레벨에서 소정부분 오버랩되어 제공되는 제1 및 제2 클럭신호(CLK1,CLK2)를 각각 입력받는 제1 클럭단자(CLKa)와 제2 클럭단자(CLKb)를 구비함을 특징으로 하는 주사 구동회로.

청구항 5.

제 4항에 있어서,

상기 주사 구동 유닛을 구성하는 각 스테이지들 중 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1클럭신호(CLK1)가 공급되고, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급됨을 특징으로 하는 주사 구동회로.

청구항 6.

제 5항에 있어서,

상기 제 1클럭신호(CLK1)가 로우 레벨로, 상기 제 2클럭신호(CLK2)가 하이 레벨로 입력되는 기간에 프리차지(Precharge)가 수행되고, 상기 제 1클럭신호(CLK1)가 하이 레벨로, 상기 제 2클럭신호(CLK2)가 로우 레벨로 입력되는 기간에 평가(Evaluation) 수행됨을 특징으로 하는 주사 구동회로.

청구항 7.

제 4항에 있어서,

상기 주사 구동 유닛을 구성하는 각 스테이지들 중 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2클럭신호(CLK2)가 공급되고, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급됨을 특징으로 하는 주사 구동회로.

청구항 8.

제 7항에 있어서,

상기 제 1클럭신호(CLK1)가 하이 레벨로, 상기 제 2클럭신호(CLK2)가 로우 레벨로 입력되는 기간에 프리차지(Precharge)가 수행되고, 상기 제 1클럭신호(CLK1)가 로우 레벨로, 상기 제 2클럭신호(CLK2)가 하이 레벨로 입력되는 기간에 평가(Evaluation) 수행됨을 특징으로 하는 주사 구동회로.

청구항 9.

제 6항 또는 제 8항에 있어서,

상기 프리차지 기간에는 하이 레벨이 출력되고, 상기 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 레벨의 신호가 출력되며,

상기 제 1, 2클럭신호(CLK1, CLK2)가 하이 레벨일 때 이전이 프리차지 기간이면 이전 출력을 유지하고, 평가 기간이면 하이 레벨이 출력됨을 특징으로 하는 주사 구동회로.

청구항 10.

제 1항에 있어서,

상기 제 2주사구동부에 구비되는 각 스테이지(CCU)는,

제 1 전원(VDD)과 출력단(N2) 사이에 접속된 제 1 스위칭소자(SW1)와; 출력단(N2)과 제 2 전원(VSS) 사이에 접속된 제 2 스위칭소자(SW2)와; 제 1 전극이 출력단(N2)에 접속되고 제 2 전극이 제 2 스위칭소자(SW2)의 게이트전극에 연결된 제 1 노드(N1)에 접속된 제 1 캐패시터(C1)와; 제 1 노드(N1)와 출력단(N2) 및 제 1 스위칭소자(SW1)의 게이트전극에 접속된 제 3 스위칭소자(SW3)와; 제 1 노드(N1)와 제 2 전원(VSS) 사이에 접속되고 게이트 전극이 컨버전부의 출력단에 접속된 제 4 스위칭소자(SW4)를 포함하여 구성됨을 특징으로 하는 주사 구동회로.

청구항 11.

제 10항에 있어서,

상기 제 1 및 제 3 스위칭소자(SW1, SW3)는 각각 두 개의 트랜지스터가 결합되어 구현되어 있는 트랜스미션 게이트(Transmission Gate)구조를 갖는 트랜지스터로 구현됨을 특징으로 하는 주사 구동회로.

청구항 12.

제 10항에 있어서,

상기 컨버전부는 제 1 전원(VDD)과 제 3노드(N3) 사이에 접속된 제 5스위칭소자(SW5)와; 제 3노드(N3)와 제 1입력단자 사이에 접속된 제 6스위칭소자(SW6)와; 컨버전부 출력단(N4)과 제 2입력단자 사이에 접속되고, 게이트전극이 제 3노드(N3)에 접속된 제 7 스위칭소자(SW7)와; 상기 제 3노드(N3)과 컨버전부 출력단(N4) 사이에 접속된 제 2캐패시터(C2)가 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 13.

제 10항에 있어서,

제 1 전원(VDD)과 컨버전부 출력단(N4) 사이에 접속된 제 8스위칭소자(SW8)가 더 포함됨을 특징으로 하는 주사 구동회로.

청구항 14.

제 13항에 있어서,

상기 제 8스위칭소자(SW8)의 게이트전극은 제 2주사신호 입력라인 또는 제 1클럭신호(CLK1)에 접속됨을 특징으로 하는 주사 구동회로.

청구항 15.

제 12항에 있어서,

상기 제 5스위칭소자(SW5)의 게이트전극은 제 1주사신호 입력라인에 접속되며, 상기 제 6스위칭소자(SW6)의 게이트전극은 제 2주사신호 입력라인 또는 제 1클럭신호(CLK1)에 접속됨을 특징으로 하는 주사 구동회로.

청구항 16.

제 10항에 있어서,

상기 제 1입력단자로는 제 2주사신호 또는 제 1클럭신호(CLK1)가 입력되고, 제 2입력단자로는 제 2클럭신호(CLK2)가 입력됨을 특징으로 하는 주사 구동회로.

청구항 17.

선택 신호선들, 데이터선들, 발광 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와;

상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와;

다수의 스테이지(SCU)를 구비하며, 입력 신호 또는 이전단 출력 전압 및 제 1 및 제 2클럭신호를 입력받아 주사신호를 출력하는 제 1주사구동부 및 다수의 스테이지(CCU)를 구비하며, 상기 각 스테이지가 상기 제 1주사구동부에서 순차적으로 출력되는 2개의 주사신호 및 상기 제 1 및/또는 제 2클럭신호를 입력받아 하나의 발광제어신호를 출력하는 제 2주사구동부를 포함하여 구성됨을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 전류 기입형 유기전계발광 장치에 이용되는 주사 구동회로에 관한 것이다.

최근 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한, 유기 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기 발광 표시장치는 화소마다 형성되는 트랜지스터를 이용하여 데이터신호에 대응하는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛이 발생되게 한다.

이와 같은 종래의 유기 발광 표시장치는 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부, 발광 제어선으로 발광 제어신호를 공급하기 위한 발광제어 구동부 및 데이터선들, 주사선들 및 발광 제어선들과 접속되는 복수의 화소를 구비하는 화소부를 구비한다.

화소부에 포함된 화소들은 주사선으로 주사신호가 공급될 때 선택되어 데이터선으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소들은 데이터신호에 대응하는 소정 휘도의 빛을 생성하면서 소정의 영상을 표시한다. 여기서, 화소들의 발광시간은 발광 제어선으로부터 공급되는 발광 제어신호에 의하여 제어된다.

여기서, 유기 발광 표시장치가 대형 패널로 갈수록 사이즈, 무게 및 제조비용을 절감하기 위하여 주사 구동부 또는 발광제어 구동부가 패널에 실장되어야 한다. 하지만, 종래의 주사 구동부 또는 발광제어 구동부는 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성되기 때문에 패널에 실장되기 곤란했다. 그리고, 종래의 발광제어 구동부는 클럭신호의 한주기 이상마다 출력신호를 생성하기 때문에 고속으로 구동하기 곤란하다. 또한, 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성된 종래의 주사 구동부 또는 발광제어 구동부는 출력신호를 생성할 때 소정의 정적전류(Static Current)가 흐르기 때문에 많은 소비전력이 소모되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 능동 구동 방식의 전류 기입형 유기 전계발광 표시장치에서 주사 신호를 제공하는 제 1주사구동부와, 발광제어 신호를 제공하는 제 2주사구동부로 구성된 주사 구동회로에 있어서, 트랜지스터의 문턱전압을 보상하여 휘도의 불균일을 보상하며, 주사신호에 의해 발광제어신호를 생성하고 저전력을 소비하는 상기 제 2주사구동부를 구비하고 스테틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써, 소비전력이 적은 주사 구동회로와 이를 이용한 유기 전계발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 제 1측면은, 다수의 스테이지(SCU)를 구비하며, 입력 신호 또는 이전단 출력 전압 및 제 1 및 제 2클럭신호를 입력받아 주사신호를 출력하는 제 1주사구동부와; 다수의 스테이지(CCU)를 구비하며, 상기 각 스테이지가 상기 제 1주사구동부에서 순차적으로 출력되는 2개의 주사신호 및 상기 제 1 및/또는 제 2클럭신호를 입력받아 하나의 발광제어신호를 출력하는 제 2주사구동부를 포함하여 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

여기서, 상기 제 1주사구동부에 구비되는 각 스테이지(SCU)는, 이전단 출력전압 또는 최초 입력 신호(IN)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)가 포함되어 구성됨을 특징으로 한다.

또한, 상기 제 2주사구동부에 구비되는 각 스테이지(CCU)는, 제 1 전원(VDD)과 출력단(N2) 사이에 접속된 제 1 스위칭소자(SW1)와; 출력단(N2)과 제 2 전원(VSS) 사이에 접속된 제 2 스위칭소자(SW2)와; 제 1 전극이 출력단(N2)에 접속되고 제 2 전극이 제 2 스위칭소자(SW2)의 게이트전극에 연결된 제 1 노드(N1)에 접속된 제 1 캐패시터(C1)와; 제 1 노드(N1)와 출력단(N2) 및 제 1 스위칭소자(SW1)의 게이트전극에 접속된 제 3 스위칭소자(SW3)와; 제 1 노드(N1)와 제 2 전원(VSS) 사이에 접속되고 게이트 전극이 컨버전부의 출력단에 접속된 제 4 스위칭소자(SW4)를 포함하여 구성됨을 특징으로 한다.

여기서, 상기 컨버전부는 제 1 전원(VDD)과 제 3노드(N3) 사이에 접속된 제 5스위칭소자(SW5)와; 제 3노드(N3)와 제 1 입력단자 사이에 접속된 제 6스위칭소자(SW6)와; 컨버전부 출력단(N4)과 제 2입력단자 사이에 접속되고, 게이트전극이 제 3노드(N3)에 접속된 제 7 스위칭소자(SW7)와; 상기 제 3노드(N3)과 컨버전부 출력단(N4) 사이에 접속된 제 2캐패시터(C2)가 포함되어 구성됨을 특징으로 한다.

또한, 본 발명의 제 2측면은 선택 신호선들, 데이터선들, 발광 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와; 상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와; 다수의 스테이지(SCU)를 구비하며, 입력 신호 또는 이전단 출력 전압 및 제 1 및 제 2클럭신호를 입력받아 주사신호를 출력하는 제 1주사구동부 및 다수의 스테이지(CCU)를 구비하며, 상기 각 스테이지가 상기 제 1주사구동부에서 순차적으로 출력되는 2개의 주사신호 및 상기 제 1 및/또는 제 2클럭신호를 입력받아 하나의 발광제어신호를 출력하는 제 2주사구동부를 포함하여 구성됨을 특징으로 하는 유기 전계발광 표시장치를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치를 나타내는 구성도이다.

도 1을 참조하여 설명하면, 본 발명에 따른 유기 전계발광 표시장치는 화상을 표현하는 화상표시부(100), 데이터신호를 전달하는 데이터구동회로(200), 주사신호 및 발광제어신호를 전달하는 주사구동회로(300)를 포함한다.

상기 화상 표시부(100)는 열 방향으로 뻗어 있는 복수의 데이터선($D_1 \sim D_n$), 행 방향으로 뻗어 있는 복수의 신호선($S_1 \sim S_m$, $E_1 \sim E_m$), 및 매트릭스 모양으로 형성된 복수의 화소 회로(110)를 포함한다.

여기서, 상기 신호선은 화소를 선택하기 위한 주사신호를 전달하는 복수의 주사신호선($S_1 \sim S_m$) 및 유기 EL 소자의 발광 기간을 제어하기 위한 발광제어신호를 전달하는 복수의 발광제어신호선($E_1 \sim E_m$)을 포함한다.

이에 상기 주사 구동회로(300)는 상기 주사 신호를 제공하는 제 1주사구동부와, 상기 발광제어신호를 제공하는 제 2주사구동부로 구성된다.

그리고, 데이터선($D_1 \sim D_n$)과 주사 및 발광제어신호선($S_1 \sim S_m$, $E_1 \sim E_m$)에 의해 정의되는 화소 영역에 각각 화소 회로(110)가 형성되어 있다.

데이터 구동회로(200)는 데이터선(D_1 - D_n)에 데이터 전류(I_{DATA})를 인가하며, 주사 구동회로(300)의 제 1주사 구동부는 주사신호선(S_1 - S_m)에 화소 회로를 선택하기 위한 주사신호를 순차적으로 인가한다. 또한, 주사 구동회로(300)의 제 2주사 구동부는 화소 회로(110)의 휘도를 제어하기 위한 발광제어신호를 발광제어신호선(E_1 - E_m)에 순차적으로 인가한다.

본 발명의 경우 상기 주사 구동회로(300)가 주사신호를 생성하는 제 1주사구동부 및 상기 주사신호를 입력받아 발광제어신호를 생성하는 제 2주사구동부를 포함하여 구성됨을 특징으로 하며, 상기 제 2주사구동부는 복수의 스테이지(CCU)를 포함하고, 각 스테이지(CCU)는 2개의 주사신호 및 1개 또는 2개의 클럭신호를 입력받아 하나의 발광제어신호를 출력한다.

도 2는 도 1에 도시된 유기 전계발광 표시장치의 각 화소영역에 구비되는 화소 회로의 일 실시예를 나타내는 회로도이다.

단, 도 2에서는 설명의 편의상 j번째 데이터선(D_j)과 i번째 신호선(S_i , E_i)에 연결된 화소 회로만을 도시하였다.

도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110)는 유기 EL 소자(OLED), 트랜지스터(m1-m4), 및 캐패시터(Cst)를 포함한다. 여기서, 트랜지스터(m1-m4)로는 PMOS 트랜지스터가 사용되었지만, 이에 한정되지는 않는다.

제 1트랜지스터(m1)는 전원(VDD)과 유기 EL 소자(OLED) 간에 접속되어, 유기 EL 소자에 흐르는 전류를 제어한다. 구체적으로는, 트랜지스터(m1)의 소스는 전원(VDD)에 접속되고, 드레인은 트랜지스터(m3)를 통하여 유기 EL 소자(OLED)의 캐소드에 접속된다.

또한, 제 2트랜지스터(m2)는 주사신호선(S_j)으로부터의 주사신호에 응답하여 데이터선(D_j)으로부터의 데이터 신호를 제 1트랜지스터(m1)의 게이트로 전달하고, 제 4트랜지스터(m4)는 선택 신호에 응답하여 제 1트랜지스터(m1)을 다이오드 연결시킨다.

또한, 캐패시터(Cst)는 제 1트랜지스터(m1)의 게이트 및 소스 간에 접속되어, 데이터선(D_j)으로부터의 데이터 전류(I_{DATA})에 해당하는 전압을 충전하며, 제 3트랜지스터(m3)는 발광제어신호선(E_i)으로부터의 발광제어신호에 응답하여 제 1트랜지스터(m1)에 흐르는 전류를 유기 EL 소자(OLED)로 전달한다.

도 3은 본 발명의 실시예에 의한 주사 구동회로의 구성을 나타내는 블록도이다.

도 3을 참조하면, 상기 주사 구동회로(300)는 주사신호를 출력하는 제 1주사구동부(310)와 상기 주사신호를 입력받아 발광제어신호를 출력하는 제 2주사구동부(320)를 포함한다.

상기 제 1주사구동부(310)는 다수의 스테이지(SCU)로 구성되며, 제 1 스테이지에는 최초 입력 신호(IN)가 공급되고 제 1 내지 제 n-1 스테이지들의 출력신호는 각각 후단의 스테이지들에 입력 신호로서 공급된다.

또한, 상기 각 스테이지들(SCU)은 위상이 반전되고 하이 레벨에서 소정부분 오버랩되어 제공되는 제1 및 제2 클럭신호(CLK1, CLK2)가 각각 공급되는 제1 클럭단자(CLKa)와 제2 클럭단자(CLKb)를 구비하며, 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1 클럭신호(CLK1)가 공급되고, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급된다. 이와 반대로 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2 클럭신호(CLK2)가 공급되며, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급된다.

즉, 최초 입력 신호(IN) 또는 이전단 출력전압과, 제1 및 제2 클럭신호(CLK1, CLK2)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 순차적으로 로우 레벨의 신호를 출력한다.

반면 상기 제 2주사구동부(320)는 다수의 스테이지(CCU)로 구성되며, 각 스테이지(CCU)는 도시된 바와 같이 상기 제 1주사구동부(310)에서 순차적으로 출력되는 2개의 주사신호 및 상기 제 1 및/또는 제 2클럭신호(CLK1, CLK2)를 입력받아 하나의 발광제어신호를 생성한다.

이 때, 상기 각 스테이지들(CCU)은 위상 반전된 제1 및/또는 제2 클럭신호(CLK1, CLK2)가 각각 공급되는 제1 클럭단자(CLKa)와 제2 클럭단자(CLKb)를 구비하며, 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1 클럭신호(CLK1)가 공급되고, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급된다. 이와 반대로 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2 클럭신호(CLK2)가 공급되며, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급된다.

일 예로 상기 제 2주사구동부(320)의 제 1스테이지(CCU1)는 도시된 바와 같이 제 1 및 제 2클럭신호와 제 1주사구동부(310)의 제 1, 2스테이지에서 출력되는 주사신호(S1, S2)가 입력된다.

단, 상기 제 1 또는 제 2클럭신호는 상기 제 2주사구동부(320)의 각 스테이지에 각각 입력될 수 있을 뿐 아니라, 적어도 하나 이상 입력됨을 특징으로 한다.

또한, 상기 제 2주사구동부(320) 각 스테이지(CCU)로부터의 출력라인에는 도시된 바와 같이 소정의 캐패시터(C)가 구비되는 것이 바람직하다.

그리고, 상기 제 1주사구동부(310)에서 출력되는 주사신호는 별도의 라인을 통해 제 2주사구동부(320)를 거치지 않고 화상표시부(100)에 입력되도록 구성할 수도 있다.

즉, 본 발명에 의한 주사 구동회로(300)는 제 2주사구동부(320)의 출력만을 화상표시부(100)에 제공하여 발광제어신호를 제공하도록 구성될 수 있을 뿐 아니라, 상기 제 1주사구동부(310)에서 출력되는 주사신호를 별도의 라인을 통해 상기 화상표시부에 입력되도록 구성하여 주사신호 및 발광제어신호를 동시에 제공할 수 있는 것이다.

도 4는 도 3에 도시된 제 1주사구동부의 임의 스테이지(SCU)에 대한 회로도로서, 일 예로 첫번째 스테이지의 회로 구성을 나타내며, 도 5는 본 발명의 실시예에 의한 주사 구동부의 입출력 신호 파형에 대한 타이밍도이다.

도 4 및 도 5를 참조하면, 상기 제 1주사구동부를 구성하는 스테이지(SCU)는, 입력되는 클럭신호(CLK1, CLK2)에 대해 서로 위상이 다른 제 1기간 동안에는 프리차지(Precharge)를 수행하고, 상기 제 1기간과 반전된 위상을 갖는 제 2 기간 동안에 평가(Evaluation)를 수행하여, 결과적으로 로우 레벨의 펄스를 상기 클럭신호가 하이 레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 출력한다.

즉, 상기 프리차지 기간에서는 하이 레벨의 출력을 내며, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

단, 상기 제 1주사구동부를 구성하는 스테이지의 경우 기수번째 스테이지의 평가 기간(프리차지 기간)을 우수번째 스테이지의 프리차지 기간(평가 기간)과 같게 한다.

이하, 도 4에 도시된 제 1주사구동부의 제 1스테이지의 회로 구성을 통해 보다 구체적으로 스테이지의 동작을 설명하도록 한다.

단, 스테이지에 구비되는 트랜지스터의 경우 이하에서는 PMOS 박막트랜지스터를 그 예로 설명하고 있으나 본 발명의 실시예가 반드시 이에 한정되는 것은 아니다.

도 4를 참조하면, 본 발명에 의한 제 1주사구동부의 기수번째 스테이지로서의 제 1 스테이지(400)는 최초 입력 신호(IN)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2PMOS 트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3PMOS 트랜지스터(M3)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4PMOS 트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5PMOS 트랜지스터(M5)가 포함되어 구성된다.

또한, 상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성된다.

여기서, 도시된 바와 같이 상기 스테이지가 제 1주사구동부의 기수번째 스테이지인 경우에는 상기 제 1 클럭단자에 제 1 클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급된다. 이와 반대로 상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에는 제 2클럭신호(CLK2)가 공급되며, 제 2클럭단자에는 제 1클럭신호(CLK1)가 공급된다.

또한, 상기 제 2전원(VSS)에는 별도의 음의 전원이 인가될 수 있으나, 도시된 바와 같이 접지(GND) 되어 구성될 수도 있다. 본 발명의 실시예에서는 상기 제 2전원이 접지로 구현되는 것이 도시되어 있다.

이와 같은 각 스테이지는 크게 전달부(transfer unit), 반전부(inversion unit), 버퍼부(buffer unit)로 이루어지며, 상기 전달부는 제 1, 2 POMS 트랜지스터(M1,M2) 및 제 1캐패시터(C1)로 구성되고, 상기 반전부는 제 1, 3, 4 PMOS 트랜지스터(M1,M3,M4)로 구성되고, 상기 버퍼부는 제 5 PMOS 트랜지스터(M5)로 구성된다.

이 때, 상기 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨인 기간이 프리차지 기간이 되고, 제 1 클럭신호(CLK1)가 하이 레벨 즉, 제 2클럭신호(CLK2)가 로우 레벨인 기간이 평가 기간이 된다. 이에 상기 프리차지 기간에서는 하이 레벨의 출력을 내고, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

단, 본 발명의 실시예의 경우 각 스테이지에 입력되는 신호로서의 제 1, 2클럭신호가 각각 도시된 바와 같이 하이 레벨에서 소정부분 오버랩되어 제공됨을 특징으로 한다.

이는 상기 각 스테이지로 입력되는 한쌍의 클럭신호(CLK1,CLK2)가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 로우 레벨의 신호를 출력하도록 하며, 이와 같이 각 스테이지의 출력 신호간에 소정의 시간 간격을 두도록 하는 것은 클럭 스큐(skew) 또는 지연(delay)에 대한 마진을 확보하기 위함이다.

도 4 및 도 5를 참조하여 먼저 제 1주사구동부의 기수번째 스테이지에 대한 회로의 동작을 살펴보면, 먼저 프리차지(Precharge) 기간 즉, 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨로 입력되는 동안에는 M1, M3이 온(ON) 되고, 이에 입력신호(IN1)가 각각 M2, M4의 게이트 단자에 전달된다.

따라서, 상기 프리차지 기간에는 상기 제 1 캐패시터(C1)에 입력 신호로서의 상기 이전단 출력전압 또는 입력 신호(IN1)가 저장되고, 제 1노드(N1)에는 제 2클럭신호(CLK2) 또는 제 2전원(VSS)에 의해 로우 레벨의 신호가 충전되므로 상기 M5가 온되어 하이 레벨의 제 1전원(VDD)가 출력단(OUT)을 통해 출력된다.

즉, 상기 프리차지 기간에서 상기 스테이지의 버퍼부 출력은 하이 레벨이 된다.

또한, 평가(Evaluation) 기간 동안에는 M1이 오프되어 입력 신호(IN1)가 차단되고, 이에 M3, M4 또한 오프된다.

이 때, 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 입력 신호(IN1)가 하이 레벨인 경우에는 상기 프리차지 기간 동안에 프리차지된 신호 레벨이 유지되어 상기 버퍼부는 여전히 하이 레벨을 출력하게 된다.

반면에 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 입력 신호(IN1)가 로우 레벨인 경우에는 상기 제 1캐패시터(C1)에 의해 저장된 상기 로우 레벨 신호에 의해 상기 M2가 온 되는데, 이에 상기 전달부에서는 상기 M2가 온 됨에 따라 로우 레벨 값을 갖는 제 2클럭신호(CLK2)가 출력단(OUT)을 통해 출력된다.

즉, 상기 평가 기간에 있어서 상기 스테이지는 이전 프리차지 기간에 입력 받은 신호 즉, 이전단 출력전압 또는 최초 입력 신호(IN1)가 로우 레벨인 경우에는 로우 레벨을 출력하고, 하이 레벨인 경우에는 하이 레벨을 출력하는 동작을 수행한다.

단, 앞서 설명한 바와 같이 상기 스테이지에 입력되는 신호로서의 제 1, 2클럭신호는 도시된 바와 같이 하이 레벨에서 소정부분 오버랩되어 제공됨을 특징으로 한다.

이에 상기 제 1 및 제 2 클럭신호(CLK1, CLK2)가 하이 레벨일 때 그 이전이 프리차지(Precharge) 기간이면 제 1클럭신호(CLK1)에 의해 제어되는 M1, M3이 모두 오프 되고, C1의 전압이 그대로 유지되므로 이전의 출력을 유지한다.

반면에 그 이전이 평가(Evaluation) 기간이면 상기 M1, M3이 오프 되어 있고, M2는 이전 상태를 유지하는데 상기 M2가 오프되어 있으면 하이 레벨을 입력 받은 것이므로 결과적으로 M5에 의해 하이 레벨 출력이 유지된다.

반대로 상기 M3가 온 되어 있으면 로우 레벨을 입력 받은 것이므로 상기 M2의 게이트 단자가 플로팅(floating)되어 있기 때문에 C1의 전압이 그대로 유지되며 그에 따라 M2는 계속 온 되어 출력을 하이 레벨인 제 2클럭신호가 출력됨으로써 결과적으로 하이 레벨이 출력된다.

이와 같이 제 1, 2클럭신호(CLK1, CLK2)가 하이 레벨일 때 이전이 프리차지 기간이면 이전 출력을 유지하고, 평가 기간이면 출력이 하이 레벨이 되므로, 제 1, 2클럭신호(CLK1, CLK2)의 하이 레벨이 오버랩된 만큼 인접한 스테이지의 출력 펄스 사이에 시간 간격을 줄 수 있게 되는 것이다.

단, 도 5에 도시된 바와 같이 제 1주사구동부의 첫번째 스테이지에 입력되는 입력신호(IN)가 최초 2번의 프리차지가 수행되는 기간을 포함하여 인가되기 때문에 이에 따라 상기 스테이지(SCU)에서는 도시된 바와 같이 각각의 주사선 또는 제 2주사구동부의 각 스테이지(CCU)에 연속적인 2번의 로우 레벨 주사신호를 제공함을 특징으로 한다.

도 6은 도 3에 도시된 제 2주사구동부의 제 1실시예에 의한 임의 스테이지(CCU)의 회로도이다.

단, 도 6은 일 예로서 제 2주사구동부의 제 1스테이지의 회로 구성을 도시하고 있으며, 이에 상기 제 2주사구동부의 제 1스테이지(CCU1)는 제 1 및/또는 제 2클럭신호와 제 1주사구동부의 제 1, 2스테이지에서 출력되는 주사신호(S1, S2)가 입력된다.

도 5 및 도 6을 참조하면, 상기 제 2주사구동부를 구성하는 스테이지(CCU)는, 제 1 전원(VDD)과 출력단(N2) 사이에 접속된 제 1 스위칭소자(SW1)와; 출력단(N2)과 제 2 전원(VSS) 사이에 접속된 제 2 스위칭소자(SW2)와; 제 1 전극이 출력단(N2)에 접속되고 제 2 전극이 제 2 스위칭소자(SW2)의 게이트전극에 연결된 제 1 노드(N1)에 접속된 제 1 캐패시터(C1)와; 제 1 노드(N1)과 출력단(N2) 및 제 1 스위칭소자(SW1)의 게이트전극에 접속된 제 3 스위칭소자(SW3)와; 제 1 노드(N1)과 제 2 전원(VSS) 사이에 접속되고 게이트 전극이 컨버전부의 출력단에 접속된 제 4 스위칭소자(SW4)를 구비한다. 여기서, 제 1 전원(VDD)의 전압레벨은 제 2 전원(VSS)의 전압레벨보다 높다.

또한, 제 1 내지 제 4 스위칭소자(SW1 내지 SW4)는 PMOS 트랜지스터이며, 제 1 및 제 3 스위칭소자(SW1, SW3)는 각각 두 개의 트랜지스터가 결합되어 구현되어 있는 트랜스미션 게이트(Transmission Gate)구조를 갖는 트랜지스터로 구현되어 각각 하나의 소스와 하나의 드레인과 두 개의 제 1 게이트와 제 2 게이트를 구비한다. 그리고, 제 2 및 제 4 스위칭소자(SW2, SW4)는 하나의 트랜지스터로 구현된다.

제 1 스위칭소자(SW1)의 소스는 제 1 전원(VDD)에 접속되고, 드레인은 출력단(N2)에 접속된다. 제 1 스위칭소자(SW1)의 제 1 게이트전극에는 상기 제 1주사구동부에서 출력되는 제 1 주사신호(S1)가 전달되고 제 2 게이트전극에는 상기 제 1주사구동부에서 제 2 주사신호(S2)가 전달된다. 이러한, 제 1 스위칭소자(SW1)는 제 1 또는 제 2 주사신호(S1 또는 S2)에 따라 제 1 전압을 출력단(N2)으로 공급하는 제 1 패스를 형성한다.

제 2 스위칭소자(SW2)의 게이트는 제 1 노드(N1)에 접속되고, 소스는 출력단(N2)에 접속되며 드레인은 제 2 전원(VSS)에 접속된다. 이러한, 제 2 스위칭소자(SW2)는 제 1 노드(N1), 즉 게이트의 전압에 따라 제 2 전원(VSS)을 출력단(N2)에 공급하는 제 2 패스를 형성한다. 이때, 제 1 전원(VDD)의 전압레벨은 제 2 전원(VSS)의 전압레벨보다 높다.

제 3 스위칭소자(SW3)의 소스는 출력단(N2)에 접속되고 드레인은 제 1 노드(N1)에 접속되며 제 3 스위칭소자(SW3)의 제 1 게이트에는 제 1 주사신호(S1)가 전달되고 제 2 게이트에는 제 2 주사신호(S2)가 전달된다. 이러한, 제 3 스위칭소자(SW3)는 제 1 또는 제 2 주사신호(S1 또는 S2)에 따라 제 1 스위칭소자(SW1)를 경유하여 공급되는 제 1 전원(VDD)을 제 1 노드(N1)에 공급한다.

이에 따라, 제 3 스위칭소자(SW3)는 로우 레벨의 제 1 또는 제 2 주사신호(S1 또는 S2)에 의해 온 상태가 되어 제 2 스위칭소자(SW2)의 게이트-소스간의 전압이 동일하게 하여 제 2 스위칭소자(SW2)를 통해 형성되는 제 2 패스를 차단하는 역할을 한다.

제 4 스위칭소자(SW4)의 소스는 제 1 노드(N1)에 접속되고 드레인은 제 2 전원(VSS)에 접속되며 게이트에는 컨버전부(conversion part)의 출력단(N4)과 접속된다.

여기서, 상기 컨버전부는 제 1 전원(VDD)과 제 3노드(N3) 사이에 접속된 제 5스위칭소자(SW5)와; 제 3노드(N3)와 제 1 입력단자 사이에 접속된 제 6스위칭소자(SW6)와; 컨버전부 출력단(N4)과 제 2입력단자 사이에 접속되고, 게이트전극이 제 3노드(N3)에 접속된 제 7 스위칭소자(SW7)와; 제 1 전원(VDD)과 컨버전부 출력단(N4) 사이에 접속된 제 8스위칭소자(SW8)와; 상기 제 3노드(N3)과 컨버전부 출력단(N4) 사이에 접속된 제 2캐패시터(C2)가 포함되어 구성된다.

여기서, 상기 제 5스위칭소자(SW5)의 게이트전극은 제 1주사신호(S1) 입력라인에 접속되며, 상기 제 6스위칭소자(SW6) 및 제 8스위칭소자(SW8)의 게이트전극은 제 2주사신호(S2) 입력라인에 접속된다. 또한, 상기 제 1입력단자로는 제 2주사신호(S2)가 입력되고, 제 2입력단자로는 제 2클럭신호(CLK2)가 입력된다.

즉, 상기 제 4스위칭소자(SW4)는 상기 컨버전부의 출력 신호에 온-오프가 제어된다.

또한, 상기 제 1캐패시터(C1)는 출력단(N2)에 접속되는 제 1 전극과 제 1 노드(N1)에 접속되는 제 2 전극을 가진다. 이러한, 제 1캐패시터(C1)는 제 4 스위칭소자(SW4)의 스위칭동작에 따라 제 2 스위칭소자(SW2)의 게이트-소스간의 전압을 저장한 후, 제 2 스위칭소자(SW2)의 게이트-소스간의 전압에 따라 제 2 스위칭소자(SW2)를 스위칭시키는 역할을 한다. 이러한, 제 1캐패시터(C1)는 제 4 스위칭소자(SW4)의 스위칭동작에 따라 제 2 스위칭소자(SW2)의 온(On) 상태를 유지시켜 제 2 패스가 지속적으로 유지되도록 한다.

도 5 및 도 6을 통해 상기 제 2주사구동부의 제 1스테이지의 동작을 설명하면 다음과 같다.

상기 제 1주사신호(S1)가 로우 레벨로 입력되고, 제 2주사신호(S2)가 하이 레벨로 입력되는 제 1 및 제 3구간(T1, T3)과, 상기 제 1주사신호(S1)가 하이 레벨로 입력되고, 제 2주사신호(S2)가 로우 레벨로 입력되는 제 2 및 제 4구간(T2, T4)에서는 제 1 스위칭소자(SW1)와 제 3 스위칭소자(SW3)는 온상태가 되고, 컨버전부의 출력이 상기 구간에서 하이 레벨이므로 제 4 스위칭소자(SW4)는 오프 상태가 된다.

따라서, 제 1 전원(VDD)이 제 1 스위칭소자(SW1)를 통해 출력단에 전달되고 제 1 스위칭소자(SW1)와 제 3 스위칭소자(SW3)를 통해 제 1 노드(N1)에 전달된다. 따라서, 제 1 및 3 구간(T1, T3)과, 제 2 및 4 구간(T2, T4)에서 출력단(N2)에는 제 1 전원(VDD)의 전압레벨이 출력된다.

또한, 제 3 스위칭소자(SW3)에 의해 제 2 스위칭소자(SW2)에 소스와 게이트에 각각 제 1 전원(VDD)이 전달되어 제 2 스위칭소자(SW2)의 게이트-소스간의 전압차이는 제로(0)가 되어 제 2 스위칭소자(SW2)의 소스와 드레인 간의 패스가 차단되며 출력단(N2)과 제 2 스위칭소자(SW2)를 통해 제 2 전원(VSS)으로 정적전류(Static Current)가 흐르지 못하게 된다.

따라서, 출력단(N2)에서 제 1 전원(VDD)의 전압레벨을 출력하는 동안 제 3 스위칭소자(SW3)를 이용하여 제 2 스위칭소자(SW2)의 게이트-소스간의 전압레벨의 차이를 제로(0)로 하여 정적전류 패스를 차단함으로써 소비전력을 감소시킨다.

또한, 제 1주사신호(S1) 및 제 2주사신호(S2)가 하이 레벨로 중첩되어 인가되는 구간(T')에서는 컨버전부의 출력은 하이 레벨로 유지되므로 결과적으로 제 1 및 제 3 스위칭소자(SW1, SW3)와 제 4 스위칭소자(SW4)는 모두 오프 상태가 되어 이전 구간의 출력이 유지되므로 출력단(N2)에는 제 1 전원(VDD)의 전압레벨이 출력된다.

이어서, 제 1 및 제 2주사신호(S1, S2)가 하이 레벨로 인가되고, 제 2클럭신호(CLK2)가 로우 레벨로 인가되는 제 5구간(T5)에서는 컨버전부의 출력이 로우 레벨이므로 제 1 및 제 3 스위칭소자(SW1, SW3)는 오프 상태가 되고 제 4 스위칭소자(SW4)는 온상태가 된다.

제 4 스위칭소자(SW4)가 온상태가 됨에 따라 제 1 노드(N1)의 전압이 강하하여, 제 1캐패시터(C)의 제 2 단자와 제 1 단자 사이, 즉 제 2 스위칭소자(SW2)의 소스와 게이트 사이에는 제 2 스위칭소자(SW2)의 문턱전압의 절대값($|V_{th}|$) 이상의 전압이 인가된다. 이와 같이 동작하여, 제 2 스위칭소자(SW2)는 온상태가 된다.

그 후, 제 1 노드(N1)의 전압이 계속 강하하여 제 4 스위칭소자(SW4)의 소스와 게이트 사이의 전압이 제 4 스위칭소자(SW4)의 문턱전압의 절대값 이하가 되면, 제 4 스위칭소자(SW4)는 오프상태가 된다.

제 4 스위칭소자(SW4)가 오프상태가 되면, 캐피시터(C)의 제 1 단자는 플로팅(floating) 상태가 되어 제 1 캐피시터(C1)에 저장된 전압은 일정하게 유지된다. 따라서, 제 1 캐피시터(C1)의 제 2 단자와 제 1 단자 사이에 저장된 전압은 제 2 스위칭소자(SW2)의 문턱전압의 절대값($|V_{th}|$) 이상의 전압을 유지하게 되므로, 출력단(N2)의 전압이 제 2 전원(VSS)의 전압레벨에 도달하도록 제 2 스위칭소자(SW2)가 온 상태를 유지하도록 하여 풀-다운(Full-Down)이 되도록 한다.

즉, 본 발명의 실시예에 따른 제 2 주사구동회로의 스테이지는 제 3 스위칭소자(SW3)를 이용하여 제 1 전원(VDD)의 전압레벨을 출력하는 동안에 제 2 스위칭소자(SW2)의 정적전류 패스를 차단하여 전류손실을 감소시킴과 아울러 제 1 캐피시터(C1)를 이용하여 제 2 스위칭소자(SW2)의 온 상태를 유지시켜 풀-다운되는 제 2 전원(VSS)의 전압레벨을 출력하게 된다.

결과적으로, 이는 풀 스윙(Full Swing)되는 제 1 전원의 전압레벨과 제 2 전원의 전압레벨의 출력이 가능함과 아울러 PMOS 트랜지스터의 정적전류에 의한 전류손실을 줄여 소비전력이 감소된다.

또한, 이를 통해 출력되는 발광제어신호는 제 1 전원의 전압레벨과 제 2 전원의 전압레벨 사이를 풀스윙하게 되어 화상표시부(100)에서 발광제어신호를 입력받아 정확한 동작을 할 수 있게 된다.

도 7a 내지 도 7e는 도 3에 도시된 제 2 주사구동부의 제 2 내지 제 6 실시예에 의한 임의 스테이지(CCU)의 회로도이다.

단, 이는 앞서 도 6을 통해 설명한 스테이지와 동일한 구성에 대해서는 동일한 도면부호를 사용하도록 하며, 구체적인 구성 및 동작의 설명은 이전과 동일하므로 생략하도록 한다.

도 7에 도시된 각 실시예는 앞서 도 6에 도시된 제 2 주사구동부의 스테이지 회로 구성 중 컨버전부에 입력되는 신호가 상이한 점 외에는 그 동작 및 구성이 동일하다.

즉, 상기 컨버전부는 제 1 전원(VDD)과 제 3 노드(N3) 사이에 접속된 제 5 스위칭소자(SW5)와; 제 3 노드(N3)와 제 1 입력단자 사이에 접속된 제 6 스위칭소자(SW6)와; 컨버전부 출력단(N4)과 제 2 입력단자 사이에 접속되고, 게이트전극이 제 3 노드(N3)에 접속된 제 7 스위칭소자(SW7)와; 제 1 전원(VDD)과 컨버전부 출력단(N4) 사이에 접속된 제 8 스위칭소자(SW8)와; 상기 제 3 노드(N3)과 컨버전부 출력단(N4) 사이에 접속된 제 2 캐피시터(C2)가 포함되어 구성된다.

도 7a의 경우 상기 제 6 스위칭소자(SW6) 및 제 8 스위칭소자(SW8)의 게이트전극이 제 2 주사신호(S2) 입력라인이 아닌 제 1 클럭신호(CLK1) 입력라인에 접속됨을 특징으로 한다.

또한, 도 7b의 경우 상기 제 6 스위칭소자(SW6)의 게이트전극은 제 2 주사신호(S2) 입력라인에 접속되고 제 8 스위칭소자(SW8)의 게이트전극은 제 1 클럭신호(CLK1) 입력라인에 접속됨을 특징으로 한다.

또한, 도 7c의 경우 상기 제 6 스위칭소자(SW6) 및 제 8 스위칭소자(SW8)의 게이트전극이 제 1 클럭신호(CLK1) 입력라인에 접속되고, 제 1 입력단자로 제 2 주사신호(S2)가 아닌 제 1 클럭신호(CLK1)이 입력됨을 특징으로 한다.

또한, 도 7d의 경우 상기 제 6 스위칭소자(SW6)의 게이트전극은 제 1 클럭신호(CLK1) 입력라인에 접속되고 제 8 스위칭소자(SW8)의 게이트전극은 제 2 주사신호(S2) 입력라인에 접속되며, 제 1 입력단자로 제 1 클럭신호(CLK1)가 입력됨을 특징으로 한다.

또한, 도 7e의 경우와 같이 상기 제 8 스위칭소자(SW8)이 제거되어 구성될 수 있으며, 이 때 제 6 스위칭소자의 게이트전극, 제 1 입력단자, 제 2 입력단자에 입력되는 신호는 앞서 설명한 바와 같이 다양한 신호가 입력될 수 있다.

발명의 효과

이와 같은 본 발명에 의하면, 주사 구동회로에 있어서 트랜지스터의 문턱전압을 보상하여 휘도의 불균일을 보상하며, 주사신호에 의해 발광제어신호를 생성하고 저전력을 소비하는 상기 제 2 주사구동부를 구비하고 스테틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써, 소비전력을 최소화하는 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정하여져야만 한다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치를 나타내는 구성도.

도 2는 도 1에 도시된 유기 전계발광 표시장치의 각 화소영역에 구비되는 화소 회로의 일 실시예를 나타내는 회로도.

도 3은 본 발명의 실시예에 의한 주사 구동회로의 구성을 나타내는 블록도.

도 4는 도 3에 도시된 제 1주사구동부의 임의 스테이지(SCU)에 대한 회로도.

도 5는 본 발명의 실시예에 의한 주사 구동부의 입출력 신호 파형에 대한 타이밍도.

도 6은 도 3에 도시된 제 2주사구동부의 제 1실시예에 의한 임의 스테이지(CCU)의 회로도.

도 7a 내지 도 7e는 도 3에 도시된 제 2주사구동부의 제 2 내지 제 6실시예에 의한 임의 스테이지(CCU)의 회로도.

<도면의 주요 부분에 대한 부호의 설명>

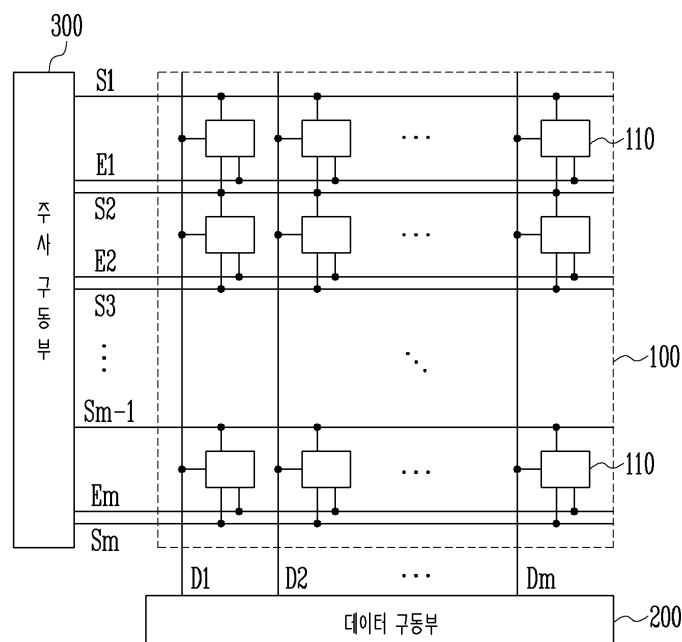
100 : 화상표시부 110 : 화소 회로

200 : 데이터 구동회로 300 : 주사 구동회로

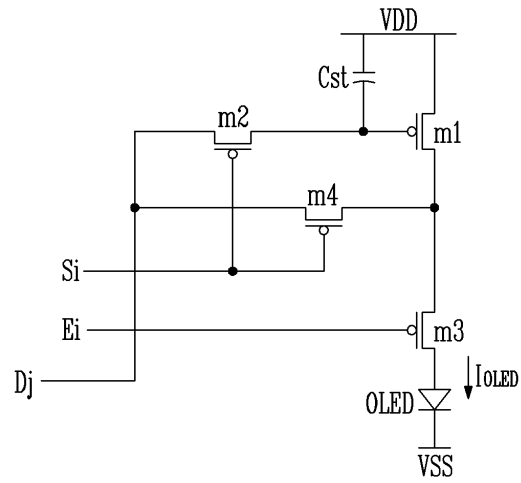
310 : 제 1주사구동부 320 : 제 2주사구동부

도면

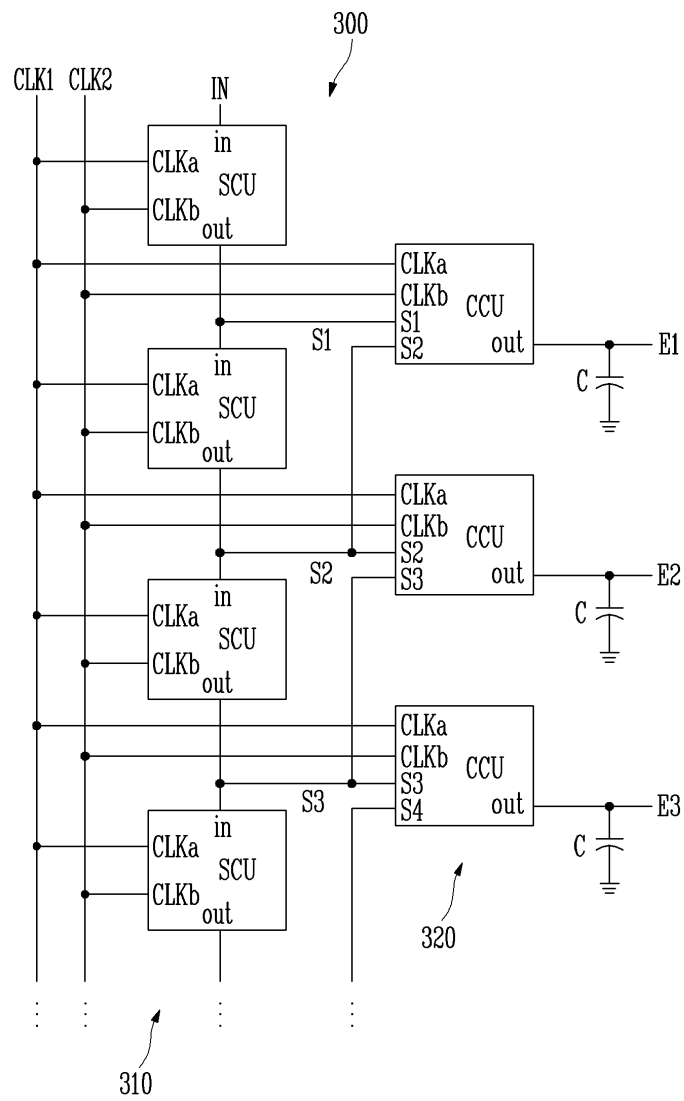
도면1



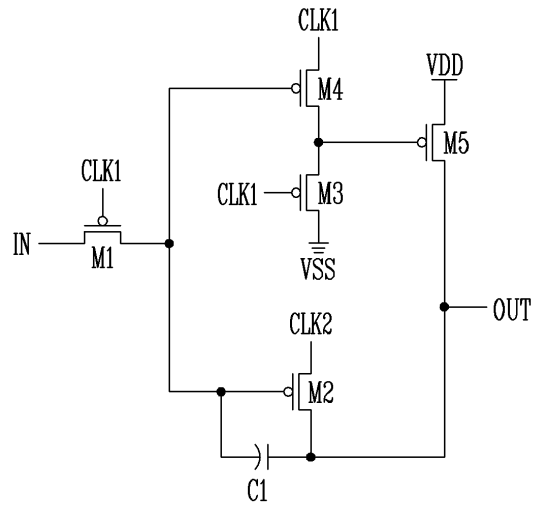
도면2



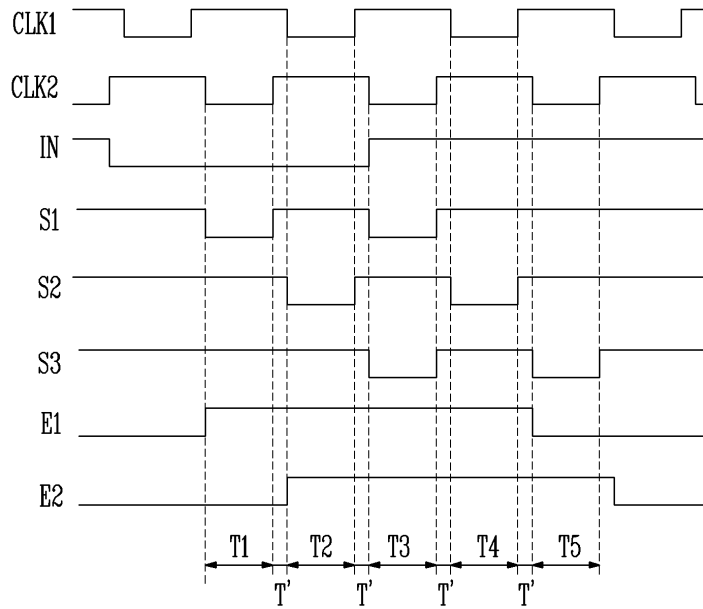
도면3



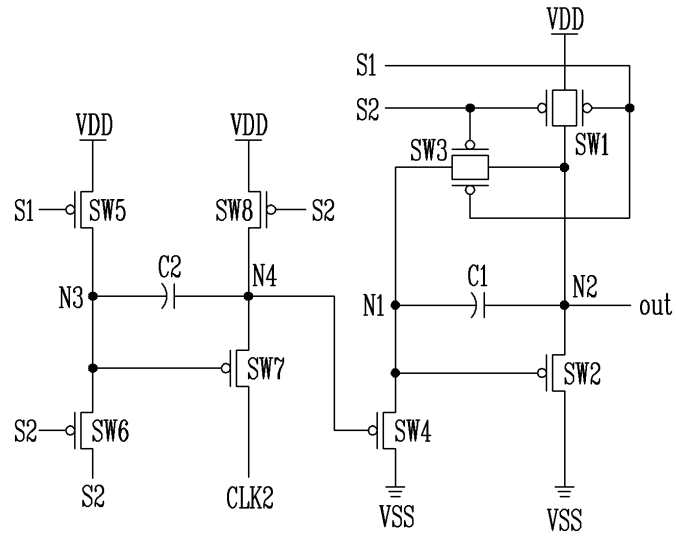
도면4



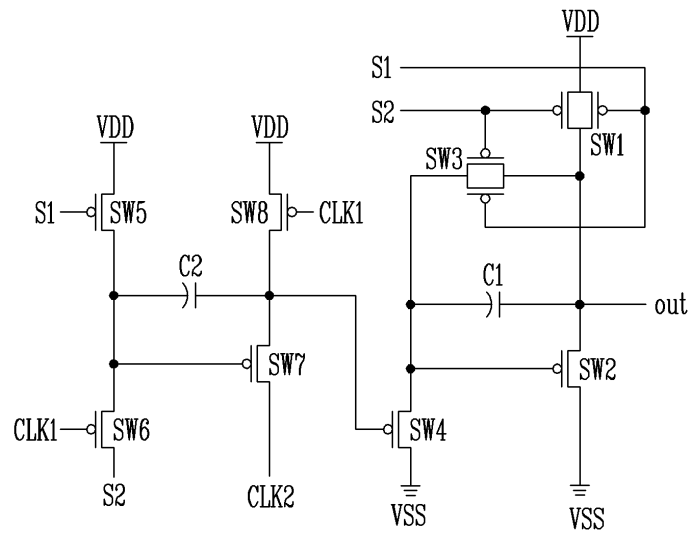
도면5



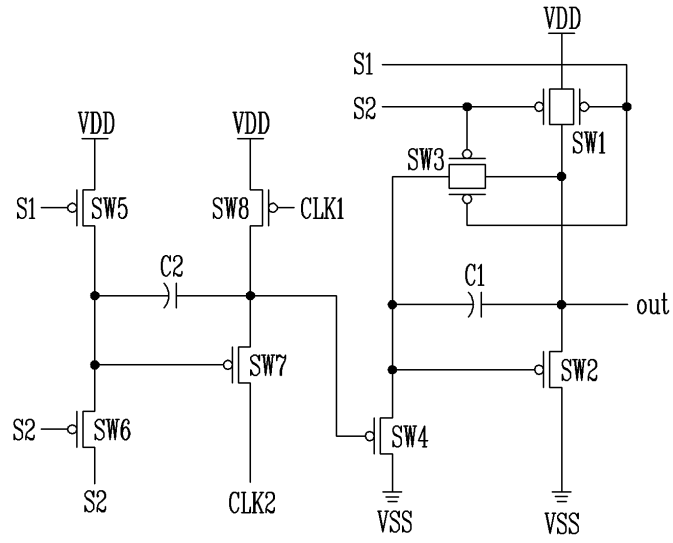
도면6



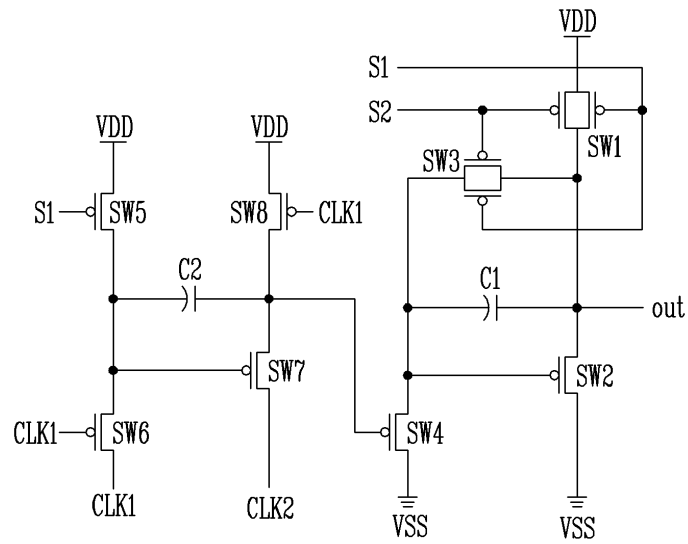
도면7a



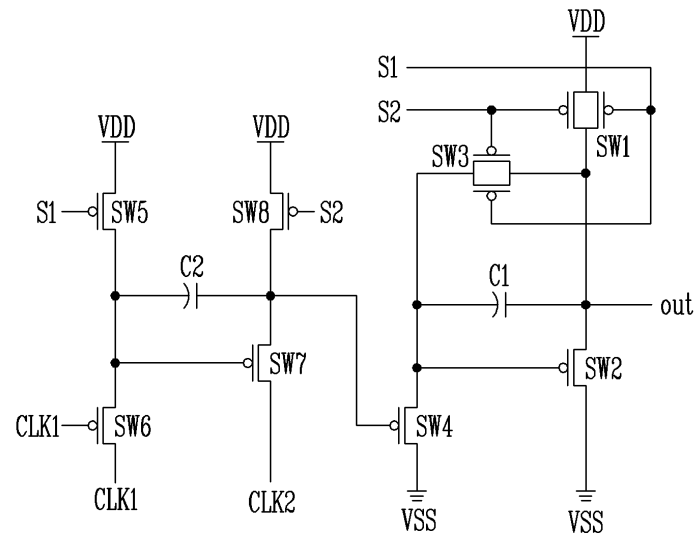
도면7b



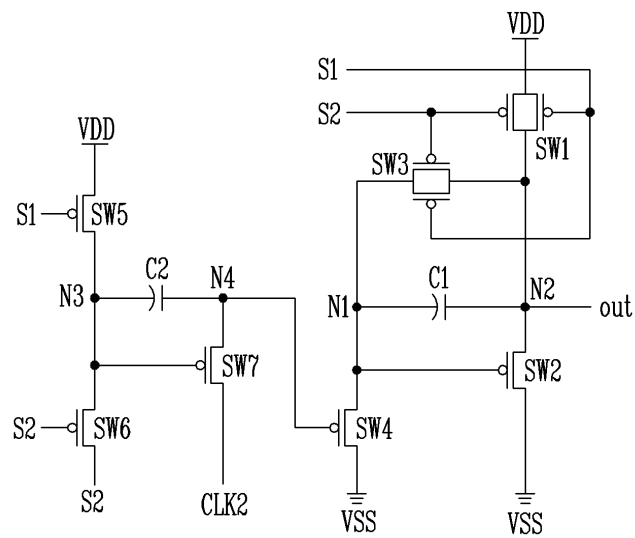
도면7c



도면7d



도면7e



专利名称(译)	扫描驱动电路及使用其的有机电致发光显示装置		
公开(公告)号	KR100748321B1	公开(公告)日	2007-08-09
申请号	KR1020060031636	申请日	2006-04-06
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN 신동용		
发明人	신동용		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0842 G09G3/325 G09G3/20 G09G2330/021 G09G2310/0286 G11C19/184 G09G3/3266		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

本发明的第一方面是一种显示装置，包括具有多个级并具有第一扫描信号和第二扫描信号的第一扫描驱动器，多个设置有阶段（CCU），各个级接受在序列输出在所述第一扫描驱动器和所述第一和/或输入输出光发射控制信号的第二时钟信号的前两个扫描信号文章本发明提供一种扫描驱动电路，包括扫描驱动电路，用于补偿晶体管的阈值电压以补偿亮度的不均匀性，第二个扫描驱动器，用于产生信号并消耗低功率并消除静态电流可以流过的路径，从而最小化功耗有。

