



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년04월13일
<i>G09G 3/30</i> (2006.01)	(11) 등록번호	10-0707619
<i>G09G 3/20</i> (2006.01)	(24) 등록일자	2007년04월06일

(21) 출원번호	10-2006-0041481	(65) 공개번호
(22) 출원일자	2006년05월09일	(43) 공개일자
심사청구일자	2006년05월09일	

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 정경훈
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(74) 대리인 신영무

(56) 선행기술조사문헌
kr 1020050018350 A
kr 1020050110463 A
* 심사관에 의하여 인용된 문헌

심사관 : 최정윤

전체 청구항 수 : 총 10 항

(54) 데이터 구동회로 및 이를 구비한 유기 전계발광 표시장치

(57) 요약

본 발명의 실시예에 의한 데이터 구동회로는, 샘플링 신호를 발생하는 쉬프트 레지스터와; 외부로부터의 디지털 데이터를 상기 샘플링 신호에 따라 샘플링하는 샘플링 래치와; 상기 샘플링 래치로부터의 샘플링된 디지털 데이터를 일정 시간 홀딩시키는 홀딩 래치와; 상기 홀딩 래치로부터 공급되는 각 채널별 디지털 데이터(RGB)에 대응되는 데이터 전류 및 상기 데이터 전류에 독립적인 소정의 기준 전류를 생성하여 상기 데이터 전류 및 기준 전류의 합에 해당하는 전류를 출력하는 디지털-아날로그 변환기와; 상기 디지털-아날로그 변환기로부터 공급되는 전류를 각각의 채널을 통해 표시 패널에 구비된 다수의 데이터선에 공급하는 전류 출력 스테이지가 포함되어 구성됨을 특징으로 한다.

이와 같은 본 발명에 의하면, 계조 표현을 위해 데이터 구동부에서 출력되는 데이터 전류에 소정의 기준 전류를 추가하여 각 화소에 제공하고, 이에 각 화소는 EL 발광 시간 조절 등을 통해 상기 기준 전류 추가 전의 데이터 전류에 대응되는 계조 표현을 수행함으로써, 전류 기입형 유기 전계발광 표시장치에 대해서 고계조 뿐 아니라 저계조 표현시에도 균일한 화면을 구현할 수 있다는 장점이 있다.

대표도

도 3

특허청구의 범위

청구항 1.

샘플링 신호를 발생하는 쉬프트 레지스터와;

외부로부터의 디지털 데이터를 상기 샘플링 신호에 따라 샘플링하는 샘플링 래치와;

상기 샘플링 래치로부터의 샘플링된 디지털 데이터를 일정 시간 홀딩시키는 홀딩 래치와;

상기 홀딩 래치로부터 공급되는 각 채널별 디지털 데이터(RGB)에 대응되는 데이터 전류 및 상기 데이터 전류에 독립적인 소정의 기준 전류를 생성하여 상기 데이터 전류 및 기준 전류의 합에 해당하는 전류를 출력하는 디지털-아날로그 변환기와;

상기 디지털-아날로그 변환기로부터 공급되는 전류를 각각의 채널을 통해 표시 패널에 구비된 다수의 데이터선에 공급하는 전류 출력 스테이지가 포함되어 구성됨을 특징으로 하는 데이터 구동회로.

청구항 2.

제 1항에 있어서,

상기 디지털-아날로그 변환기는,

상기 홀딩 래치로부터 공급되는 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생하는 제 1DAC부와; 상기 디지털 데이터에 관계없이 일정한 기준 전류(I_O)를 발생하는 제 2DAC부가 포함되어 구성됨을 특징으로 하는 데이터 구동회로.

청구항 3.

제 2항에 있어서,

상기 디지털-아날로그 변환기는 상기 제 1DAC부에서 발생된 각 채널별 데이터 전류(I_{DATA})에 상기 제 2DAC부에서 발생된 기준 전류(I_O)를 합하여 각 채널에 출력함을 특징으로 하는 데이터 구동회로.

청구항 4.

제 2항에 있어서,

상기 제 2DAC부는 전류 미러(current mirror) 회로로 구성됨을 특징으로 하는 데이터 구동회로.

청구항 5.

전류 기입 방식의 유기 전계발광 표시장치에 있어서,

선택 신호선들, 데이터선들, 발광 신호선들 및 부스트 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 표시 패널과;

상기 선택 신호선들, 발광 신호선들 및 부스트 신호선들에 각각 선택 신호, 발광 신호 및 부스트 신호를 제공하는 주사 구동부와;

상기 데이터선들에 데이터 신호를 제공하는 데이터 구동회로가 포함되어 구성되며,

상기 데이터 신호는, 외부에서 공급되는 각 채널별 디지털 데이터(RGB)에 대응되는 데이터 전류 및 상기 데이터 전류에 독립적인 소정 기준 전류의 합에 해당하는 전류임을 특징으로 하는 유기 전계발광 표시장치.

청구항 6.

제 5항에 있어서,

상기 데이터 구동회로는,

샘플링 신호를 발생하는 쉬프트 레지스터와;

외부로부터의 디지털 데이터를 상기 샘플링 신호에 따라 샘플링하는 샘플링 래치와;

상기 샘플링 래치로부터의 샘플링된 디지털 데이터를 일정 시간 홀딩시키는 홀딩 래치와;

상기 홀딩 래치로부터 공급되는 각 채널별 디지털 데이터(RGB)에 대응되는 데이터 전류 및 상기 데이터 전류에 독립적인 소정의 기준 전류를 생성하여 상기 데이터 전류 및 기준 전류의 합에 해당하는 전류를 출력하는 디지털-아날로그 변환기와;

상기 디지털-아날로그 변환기로부터 공급되는 전류를 각각의 채널을 통해 표시 패널에 구비된 다수의 데이터선에 공급하는 전류 출력 스테이지가 포함되어 구성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 7.

제 6항에 있어서,

상기 디지털-아날로그 변환기는,

상기 홀딩 래치로부터 공급되는 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생하는 제 1DAC부와; 상기 디지털 데이터에 관계없이 일정한 기준 전류(I_O)를 발생하는 제 2DAC부가 포함되어 구성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 8.

제 6항에 있어서,

상기 디지털-아날로그 변환기는 상기 제 1DAC부에서 발생된 각 채널별 데이터 전류(I_{DATA})에 상기 제 2DAC부에서 발생된 기준 전류(I_O)를 합하여 각 채널에 출력함을 특징으로 하는 유기 전계발광 표시장치.

청구항 9.

제 6항에 있어서,

상기 제 2DAC부는 전류 미러(current mirror) 회로로 구성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 10.

제 5항에 있어서,

상기 화소는, 상기 기준 전류가 추가됨에 따라 상기 기준 전류값의 크기에 대응되는 소정의 기간 만큼 줄어드는 발광 기간 동안 발광됨을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 데이터 구동회로 및 이를 구비한 전류 기입형 유기 전계발광 표시장치에 관한 것이다.

일반적으로 유기 전계발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N*M 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현한다. 상기 유기 발광셀은 애노드, 유기 박막, 캐소드 레이어의 구조로 이루어지며, 이는 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL), 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함할 수 있다.

상기 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 상기 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 접속하고 박막트랜지스터의 게이트에 접속된 커패시터의 용량에 의해 유지된 전압에 의하여 구동하는 방식이다. 이때, 커패시터에 전압을 기록하기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나뉘어진다.

이 때, 상기 전류 기입 방식 유기 전계발광 표시장치의 경우 상기 유기 발광셀에 전류를 공급하는 전류원이 패널 전체를 통해 균일하게 인가될 경우 각 화소 내의 구동 박막트랜지스터가 불균일한 전압-전류특성을 갖더라도 균일한 디스플레이 특성을 얻을 수 있다는 장점이 있다.

그러나, 상기 전류 기입 방식은, 상기 각각의 유기 발광셀 즉, 각 화소 회로에서 데이터 기입시간이 이전 화소 라인의 데이터 전류에 의하여 데이터선의 기생 커패시턴스에 충전된 전압 상태에 영향을 받게되어, 특히 저계조에서 데이터 기입 속도가 낮아지는 문제점이 있다.

즉, 상기 유기발광셀 내의 유기 EL 소자에 흐르는 전류(I_{OLED})는 데이터 전류(I_{DATA})와 동일하므로, 기입 전류원이 데이터선 전체에 대해서 균일하다면 모든 화소가 균일한 특성을 가지게 되나, 유기 EL 소자에 흐르는 전류(I_{OLED})는 미세 전류이면서 데이터선의 전압 범위가 넓으므로, 미세 전류(I_{DATA})로 화소 회로를 구동하는 경우에는 데이터선의 기생 용량 등을 충전하는데 시간이 많이 걸린다는 문제점이 있다. 예를 들어, 데이터선 부하 커패시턴스가 30pF이라 가정할 경우에 수십 nA에서 수백 nA 정도의 데이터 전류로 데이터선의 부하를 충전하려면 수ms의 시간이 필요하다. 이는 수십 μ s 수준인 라인 시간(예를 들면 수평 주사 시간)을 고려 해볼 때 충전 시간이 충분하지 못하다는 문제점이 있다.

또한, 상기 전류 기입 방식의 특성상 저계조 표현을 위해 저전류를 기입할 경우, 저전류에서 기입 오류(programming error)가 매우 커서 원하는 저계조 표현 즉, 저휘도까지 도달하지 않을 뿐 아니라, 이는 상기 각 화소 회로에 구비되는 구동 박막트랜지스터의 특성 편차에 의해 기입(programming) 전류 편차로 나타나 앞서 전류 기입 방식의 장점으로 언급한 균일한 디스플레이 특성 구현이 어려워진다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전류 기입 방식의 유기 전계발광 표시장치에 있어서, 계조 표현을 위해 데이터 구동회로에서 출력되는 데이터 전류에 소정의 기준 전류를 추가하여 각 화소에 제공하고, 이에 각 화소는 EL 발광 시간 조절 등을 통해 상기 기준 전류 추가 전의 데이터 전류에 대응되는 계조 표현을 수행함으로써, 고계조 뿐 아니라 저계조 표현시에도 균일한 화면을 구현토록 하는 데이터 구동회로 및 이를 구비한 유기 전계발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 데이터 구동회로는, 샘플링 신호를 발생하는 쉬프트 레지스터와; 외부로부터의 디지털 데이터를 상기 샘플링 신호에 따라 샘플링하는 샘플링 래치와; 상기 샘플링 래치로부터의 샘플링된 디지털 데이터를 일정 시간 홀딩시키는 홀딩 래치와; 상기 홀딩 래치로부터 공급되는 각 채널별 디지털 데이터(RGB)에 대응되는 데이터 전류 및 상기 데이터 전류에 독립적인 소정의 기준 전류를 생성하여 상기 데이터 전류 및 기준 전류의 합에 해당하는 전류를 출력하는 디지털-아날로그 변환기와; 상기 디지털-아날로그 변환기로부터 공급되는 전류를 각각의 채널을 통해 표시 패널에 구비된 다수의 데이터선에 공급하는 전류 출력 스테이지가 포함되어 구성됨을 특징으로 한다.

또한, 상기 디지털-아날로그 변환기는, 상기 홀딩 래치로부터 공급되는 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생하는 제 1DAC부와; 상기 디지털 데이터에 관계없이 일정한 기준 전류(I_O)를 발생하는 제 2DAC부가 포함되어 구성됨을 특징으로 한다.

또한, 상기 디지털-아날로그 변환기는 상기 제 1DAC부에서 발생된 각 채널별 데이터 전류(I_{DATA})에 상기 제 2DAC부에서 발생된 기준 전류(I_O)를 합하여 각 채널에 출력하며, 상기 제 2DAC부는 전류 미러(current mirror) 회로로 구성됨을 특징으로 한다.

또한, 본 발명의 실시예에 의한 전류 기입 방식의 유기 전계발광 표시장치는, 선택 신호선들, 데이터선들, 발광 신호선들 및 부스트 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 표시 패널과; 상기 선택 신호선들, 발광 신호선들 및 부스트 신호선들에 각각 선택 신호, 발광 신호 및 부스트 신호를 제공하는 주사 구동부와; 상기 데이터선들에 데이터 신호를 제공하는 데이터 구동회로가 포함되어 구성되며, 상기 데이터 신호는, 외부에서 공급되는 각 채널별 디지털 데이터(RGB)에 대응되는 데이터 전류 및 상기 데이터 전류에 독립적인 소정 기준 전류의 합에 해당하는 전류임을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 1은 본 발명의 일 실시예에 따른 유기 전계발광 표시장치의 블록도이다.

단, 이는 각 화소의 계조 표현을 위해 데이터 구동회로에서 소정의 데이터 전류를 기입하는 전류 기입 방식의 유기 전계발광 표시장치를 그 예로 설명한다.

도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 전계발광 표시장치는, 유기 EL 표시 패널(이하, 표시 패널)(100), 데이터 구동회로(200), 주사 구동회로를 포함하여 구성되며, 상기 주사 구동회로(300)는 선택 신호 및/또는 부스트 신호를 제공하는 제 1주사 구동부(310)와, 발광 신호를 제공하는 제 2주사 구동부(320) 및 (320)로 이루어진다.

상기 표시 패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D_1 - D_n), 행 방향으로 뻗어 있는 복수의 신호선(S_1 - S_m , E_1 - E_m , B_1 - B_m), 및 매트릭스 모양으로 형성된 복수의 화소(110)를 포함한다.

여기서, 상기 신호선은 화소를 선택하기 위한 선택 신호를 전달하는 복수의 선택 신호선(S_1-S_m) 및 유기 EL 소자의 발광 기간을 제어하기 위한 발광 신호를 전달하는 복수의 발광 신호선(E_1-E_m)과 구동 박막트랜지스터(m1)의 게이트 전압을 원하는 값으로 설정하기 위한 부스트 신호를 전달하는 복수의 부스트 신호선(B_1-B_m)을 포함한다.

그리고, 데이터선(D_1-D_n)과 선택, 발광 및 부스트 신호선(S_1-S_m , E_1-E_m , B_1-B_m)에 의해 정의되는 화소 영역에 각각 화소(110)가 형성되어 있다.

데이터 구동회로(200)는 데이터선(D_1-D_n)에 각각의 데이터 전류(I_{DATA})를 인가하며, 주사 구동회로(300)의 제 1주사 구동부(310)는 선택 신호선(S_1-S_m)에 화소 회로를 선택하기 위한 선택 신호를 순차적으로 인가하고, 각 화소의 구동 박막트랜지스터 게이트 전압을 원하는 값으로 설정하기 위한 부스트 신호를 부스트 신호선(B_1-B_m)에 순차적으로 인가한다.

또한, 주사 구동회로(300)의 제 2주사 구동부(320)는 화소 회로(110)의 휘도를 제어하기 위한 발광 신호를 발광 신호선(E_1-E_m)에 순차적으로 인가한다.

그러나, 앞서 설명한 바와 같이 상기 전류 기입 방식의 유기 전계발광 표시장치는, 그 특성상 저계조 표현을 위해 상기 저전류의 데이터 전류를 기입할 경우, 기입 오류(programming error)가 매우 커서 원하는 저계조 표현 즉, 저휘도까지 도달하지 않을 뿐 아니라, 이는 상기 각 화소에 구비되는 구동 박막트랜지스터의 특성 편차에 의해 기입(programming) 전류 편차로 나타나 앞서 전류 기입 방식의 장점으로 언급한 균일한 디스플레이 특성 구현이 어려워진다는 단점이 있다.

이에 본 발명은 데이터 구동회로에서 출력되는 데이터 전류(I_{DATA})에 소정의 기준 전류(I_O)를 추가하여 각 화소에 제공하고, 이에 각 화소는 EL 발광 시간 조절 등을 통해 상기 기준 전류 추가 전의 데이터 전류에 대응되는 계조 표현을 수행토록 함으로써, 고계조 뿐 아니라 저계조 표현시에도 균일한 화면을 구현토록 함을 특징으로 한다.

도 2는 도 1에 도시된 데이터 구동부의 구성을 나타내는 블록도이다.

도 2를 참조하면, 상기 데이터 구동부는 쉬프트 레지스터(10), 샘플링 래치(20), 홀딩 래치(30), 디지털-아날로그 변환기(40) 및 전류출력 스테이지(50)를 포함하여 구성된다.

상기 쉬프트 레지스터(10)는 입력되는 클럭신호(CLK)에 따라 시작신호(IE)를 순차적으로 쉬프트시켜 샘플링 신호를 발생하여 샘플링 래치(20)에 공급한다. 이러한, 쉬프트 레지스터(10)는 전류출력 스테이지(50)의 출력채널 수와 동일한 수의 레지스터(일례로, D 플립플롭)로 구성될 수 있다. 또한, 쉬프트 레지스터(10)는 쉬프트 방향을 결정하는 쉬프트 방향신호(SHL)에 따라 양방향(좌→우, 우→좌)으로 샘플링 신호를 출력할 수 있다.

상기 샘플링 래치(20)는 시작신호(IE)에 응답하여 쉬프트 레지스터(10)로부터 순차적으로 공급되는 샘플링 신호에 따라 외부로부터 디지털 데이터(RGB)를 래칭하여 저장한다. 이러한, 샘플링 래치(20)는 쉬프트 레지스터(10)의 출력채널 수와 동일한 수의 레지스터(일례로, D 플립플롭)로 구성될 수 있다.

상기 홀딩 래치(30)는 외부로부터 공급되는 홀딩 시작신호(DH)에 따라 샘플링 래치(20)로부터 래칭된 디지털 데이터(RGB)를 공급받아 1수평라인 동안 홀딩시키게 된다. 이러한, 홀딩 래치(30)는 샘플링 래치(20)의 출력채널 수와 동일한 수의 레지스터(일례로, D 플립플롭)로 구성될 수 있다.

상기 디지털-아날로그 변환기(이하 DAC)(40)는 전류원(미도시)으로부터 공급되는 전류를 이용하여 홀딩 래치(30)로부터 공급되는 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생한다. 그리고, DAC(40)는 입력되는 클럭신호(SCLK)에 따라 발생된 전류를 전류출력 스테이지(50)에 공급한다.

단, 본 발명은 상기 DAC에서 상기 데이터 전류(I_{DATA})에 소정의 기준 전류(I_O)를 추가한 전류를 최종적으로 출력함을 특징으로 하며, 이를 위해 상기 DAC는 상기 홀딩 래치(30)로부터 공급되는 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생함과 아울러 상기 기준 전류(I_O)를 별도로 발생시킨다. 즉, 각 채널별로 출력되는 데이터 전류(I_{DATA})에 상기 기준 전류(I_O)를 추가한 전류를 각 채널별로 최종적으로 출력한다.

이는 전류 기입 방식의 유기 전계발광 표시장치의 특성상 저계조 표현을 위해 상기 저전류의 데이터 전류(I_{DATA})를 기입할 경우, 기입 오류(programming error)가 매우 커서 원하는 저계조 표현 즉, 저휘도까지 도달하지 않고, 이와 같은 저전류의 데이터 전류가 상기 각 화소에 구비되는 구동 박막트랜지스터의 특성 편차에 의해 기입(programming) 전류 편차로 나타나 균일한 디스플레이 특성 구현이 어려워지는 점을 극복하기 위함이다.

즉, 저계조에 대응되는 저전류의 데이터 전류를 상기 기준 전류(I_O)값 만큼 상승시켜 제공함으로써, 상기 기입 오류에 의한 문제를 극복하고자 함이며, 상기 기준 전류값으로 인해 표현하고자 하는 계조의 휘도가 상승되는 것은 각 화소의 EL 발광 시간 조절 등을 통해 상기 기준 전류(I_O) 추가 전의 데이터 전류(I_{DATA})에 대응되는 계조 표현을 수행토록 하여 극복한다.

상기 전류출력 스테이지(50)는 상기 DAC(40)로부터 공급되는 전류를 순차적으로 샘플링하고 샘플링된 전류를 상기 각각의 채널을 통해 출력하여 이를 표시 패널에 구비된 다수의 데이터선(D_1 - D_n)에 공급한다.

도 3은 도 2에 도시된 데이터 구동부의 DAC의 일 실시예에 대한 개략적인 블록도이다.

도 3a에 도시된 바와 같이 본 발명에 의한 데이터 구동부의 DAC(40)는, 상기 홀딩 래치(30)로부터 공급되는 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생하는 제 1DAC부(41)와, 상기 디지털 데이터에 관계없이 일정한 기준 전류(I_O)를 발생하는 제 2DAC부(44)가 포함되어 구성되며, 이에 상기 DAC(40)는 최종적으로 제 1DAC부(41)에서 발생된 각 채널별 데이터 전류(I_{DATA})에 제 2DAC부(44)에서 발생된 기준 전류(I_O)를 합하여 각 채널에 제공한다.

상기 제 1 DAC부(41)는 디코더(42) 및 DAC 코어(43)를 포함하여 구성된다. 상기 디코더(42)는 상기 홀딩 래치(40)로부터 공급되는 홀딩된 디지털 데이터(RGB)를 디코딩하여 DAC 코어(43)로 공급한다.

이에 상기 DAC 코어(43)는 디코더(42)로부터 공급되는 디코딩된 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생한다. 상기 DAC 코어(43)는 디코더(42)로부터 공급되는 디코딩된 디지털 데이터(RGB)에 대응되는 데이터 전류(I_{DATA})를 발생하기 위한 전류 소스 어레이(미도시)와 전류 소스 어레이에 레퍼런스 전류를 공급하는 DAC 바이어스 회로를 가지게 된다. 이러한, DAC 코어(43)는 전류 소스 어레이에 의해 발생하는 레퍼런스 전류를 이용하여 디코더(42)로부터 공급되는 디지털 데이터(RGB)에 대응되는 전류(I_{DATA})를 발생하고, 발생된 전류(I_{DATA})를 외부로부터 공급되는 클럭신호(SCLK)에 동기되도록 전류출력 스테이지(50)로 출력한다.

단, 본 발명의 경우 상기 발생된 데이터 전류(I_{DATA})가 전류출력 스테이지(50)로 출력됨에 있어 상기 제 2DAC부(44)에서 발생된 기준 전류(I_O)가 상기 각 채널별로 출력되는 데이터 전류(I_{DATA})에 합하여 출력됨을 특징으로 한다.

도 4a 및 도 4b는 도 3에 도시된 제 2DAC부 내부 회로의 실시예를 간략하게 도시한 회로도이다.

도 4에 도시된 바와 같이 상기 제 2DAC부는 전류 미러(current mirror) 회로로 구성된다. 즉, 도 4a에 도시된 기본적인 전류 미러(basic current mirror) 회로 또는 도 4b에 도시된 캐스캐이드 전류 미러(cascade current mirror) 회로로 구현될 수 있다.

상기 전류 미러 회로는 도 4a를 참조하면, 제 1트랜지스터에 제공되는 레퍼런스 전류(I_{ref})에 의해 상기 제 1 트랜지스터에 대응되는 제 2트랜지스터에 상기 레퍼런스 전류(I_{ref})와 동일한 기준 전류(I_O)가 발생되어 흐르는 회로이다. 단, 상기 제 1 트랜지스터 및 제 2트랜지스터로는 소자 특성이 동일한 것을 사용하는 것이 바람직하다.

도 4b에 도시된 캐스캐이드 전류 미러 회로 또한 상기 도 4a에 도시된 전류 미러 회로와 동일한 동작을 수행하나, 이 경우 각 트랜지스터의 채널 폭 변화(channel length modulation)에 의해 기준 전류(I_O)가 상기 레퍼런스 전류(I_{ref}) 값과 달라지는 것을 억제하는 효과가 있다.

단, 이는 실시예에 불과하며 상기 제 2DAC부는 도 4에 도시된 전류 미러 회로 이외의 다른 종류의 전류 미러 회로로도 구현될 수 있다.

즉, 상기 구성을 갖는 제 2DAC부(44)에 의해 소정의 기준 전류(I_O)가 발생되며, 이에 본 발명에 의한 DAC(40)는 앞서 설명한 바와 같이 상기 제 2DAC부(44)에서 발생된 기준 전류(I_O)가 상기 제 1DAC부(41)를 통해 상기 각 채널별로 출력되는 데이터 전류(I_{DATA})에 합하여 출력됨을 특징으로 한다.

이와 같이 상기 데이터 전류(I_{DATA})에 기준 전류(I_O)를 추가하여 출력함은 저계조 표현을 위해 상기 저전류의 데이터 전류(I_{DATA})를 기입할 경우, 기입 오류(programming error)에 의한 문제를 극복하고자 함이며, 상기 기준 전류값으로 인해 표현하고자 하는 계조의 휘도가 상승되는 것은 각 화소의 OLED 발광 시간 조절 등을 통해 상기 기준 전류(I_O) 추가 전의 데이터 전류(I_{DATA})에 대응되는 계조 표현을 수행토록 하여 극복한다.

도 5는 도 1의 유기 전계발광 표시장치에 채용된 화소의 일 실시예를 나타내는 회로도이고, 도 6은 도 5에 도시된 화소를 구동하기 위한 신호의 타이밍도이다.

단, 도 5에서는 설명의 편의상 j번째 데이터선(D_j)과 i번째 신호선(S_i , E_i , B_i)에 연결된 화소 회로만을 도시하였다.

도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 화소(110)는 유기 EL 소자(OLED), 트랜지스터(m1-m4), 및 캐패시터(C1, C2)를 포함한다. 여기서, 트랜지스터(m1-m4)로는 PMOS 트랜지스터가 사용되었지만, 이에 한정되지는 않는다.

제 1트랜지스터(m1)는 전원(VDD)과 유기 EL 소자(OLED) 간에 접속되어, 유기 EL 소자에 흐르는 전류를 제어한다. 구체적으로는, 트랜지스터(m1)의 소스는 전원(VDD)에 접속되고, 드레인은 트랜지스터(m3)를 통하여 유기 EL 소자(OLED)의 캐소드에 접속된다.

또한, 제 2트랜지스터(m2)는 선택 신호선(S_i)으로부터의 선택 신호에 응답하여 데이터선(D_j)으로부터의 데이터 신호를 제 1트랜지스터(m1)의 게이트로 전달하고, 제 4트랜지스터(m4)는 선택 신호에 응답하여 제 1트랜지스터(m1)을 다이오드 연결시킨다.

또한, 제 1캐패시터(C2)는 제 1트랜지스터(m1)의 게이트 및 소스 간에 접속되어, 데이터선(D_j)으로부터의 데이터 전류와 기준 전류의 합($I_{DATA} + I_O$)에 해당하는 전압을 충전하며, 제 3트랜지스터(m3)는 발광 신호선(E_i)으로부터의 발광 신호에 응답하여 제 1트랜지스터(m1)에 흐르는 전류를 유기 EL 소자(OLED)로 전달한다.

또한, 제 2캐패시터(C2)는 제 1트랜지스터(m1)의 게이트 및 부스트 신호선(B_i) 간에 접속된다.

이 때, 상기 제 2캐패시터(C2)의 노드의 전압은 부스트 신호선(B_i)으로부터의 부스트 신호의 전압 상승폭(ΔV_B)만큼 상승하게 되어, 제 1트랜지스터(m1)의 게이트 전압(V_G)의 증가량(ΔV_G)은 수학식 1과 같이 된다. 따라서 트랜지스터(m1, m2, m4)의 기생 커패시턴스 성분에 대응하여 부스트 신호의 전압 상승폭(ΔV_B)을 조절하여 트랜지스터(m1)의 게이트 전압(V_G)의 상승폭(ΔV_G)을 원하는 값으로 설정할 수 있다. 즉, 유기 EL 소자(OLED)에 공급되는 전류(I_{OLED})를 원하는 값으로 설정할 수 있다.

$$\text{수학식 1} \\ \Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2}$$

도 6은 도 5의 화소 회로에 입력되는 선택 신호 및 발광 신호, 부스트 신호에 대한 타이밍도이다.

도 5 및 도 6을 참조하면, 선택 신호선(S_n)의 선택 신호에 의해 제 1 및 제 4트랜지스터(m2, m4)가 턴온되어 제 1트랜지스터(m1)에 데이터 전류와 기준 전류의 합($I_{DATA} + I_O$)이 전달되는 동안 제 3트랜지스터(m3)가 턴오프되어 있을 필요가 있다. 만약, 제 1트랜지스터(m1)에 데이터 전류와 기준 전류의 합($I_{DATA} + I_O$)이 전달되는 동안 제 3트랜지스터(m3)가 턴온

되어 유기 EL 소자(OLED)에 전류가 흐르면, 제 1트랜지스터(m1)의 드레인에는 데이터 전류와 기준 전류의 합($I_{DATA} + I_O$)과 유기 EL 소자(OLED)에 흐르는 전류의 차에 해당하는 전류가 흐르고, 이 전류에 대응하는 전압이 커패시터(C1)에 기입되게 된다.

이에 따라 도 6에 도시된 바와 같이 발광 신호선(E_n)의 발광 신호 펄스 끝을 선택 신호선(S_n)의 선택 신호의 펄스 끝보다 나중에 오도록 하면, 제 2트랜지스터(m2)가 턴온되어 있는 중간에 제 3트랜지스터(m3)가 턴온되지 않는다.

즉, 본 발명의 경우 수평 주기를 기준으로 상기 선택 신호의 로우 레벨 펄스 폭이 상기 수평 주기보다 약 2us 적게 인가되고, 이에 대해 상기 발광 신호의 하이 레벨 펄스 폭은 상기 선택 신호의 로우 레벨 펄스 폭을 모두 포함하도록 크게 인가된다.

그리고, 부스트 신호선(B_n)으로부터의 부스트 신호의 펄스 끝이 선택 신호의 펄스 끝보다 먼저 오면 제 2캐패시터(C2)의 노드 전압이 상승한 후에 데이터 전류(I_{DATA})의 기입이 완료되므로, 제 2캐패시터(C2)의 노드 전압을 상승시킨 효과가 없어진다. 따라서, 본 발명의 경우 도 6에 도시된 바와 같이 선택 신호선(S_n)에 전달되는 선택 신호의 펄스 끝을 부스트 신호선(B_n)에 전달되는 부스트 신호의 펄스 끝보다 먼저 오게 하면, 데이터 전류와 기준 전류의 합($I_{DATA} + I_O$)의 기입 이후에 커패시터(C2)의 노드 전압이 상승한다.

또한, 부스트 신호의 펄스 시작이 선택 신호의 펄스 시작보다 나중에 오면, 제 1캐패시터(C1)에 전압이 기입되는 중간에 제 2캐패시터(C2)의 노드 전압 하강에 의해 제 1캐패시터(C1)의 전압이 바뀐다. 이와 같이 제 1캐패시터(C1)의 전압이 변경되면 제 1캐패시터(C1)의 전압 기입 동작이 다시 이루어져야 하므로 제 1캐패시터(C1)에 전압을 기입하는 시간이 부족해진다. 따라서, 도 6에 도시된 바와 같이 선택 신호선(S_n)에 전달되는 선택 신호의 시작을 부스트 신호선(B_n)에 전달되는 부스트 신호의 시작보다 나중에 오게 하면, 커패시터(C2)의 노드 전압이 하강한 이후에 데이터 전류와 기준 전류의 합($I_{DATA} + I_O$)의 기입 동작이 이루어진다.

그리고, 상기 부스트 신호선(B_n)과 발광 신호선(E_n)에 연결되는 부하의 차이로 인해 발광 신호의 펄스 끝이 부스트 신호의 펄스 끝보다 먼저 오면, 발광 신호의 펄스 끝과 부스트 신호의 펄스 끝 사이의 기간 동안 제 2캐패시터(C2)의 노드 전압 상승 전의 전류가 유기 EL 소자(OLED)에 흘러 유기 EL 소자(OLED)에 스트레스를 준다. 이러한 동작이 계속 반복되면 유기 EL 소자(OLED)의 수명이 짧아질 수 있다. 따라서, 도 6에 도시된 바와 같이 부스트 신호선(B_n)에 전달되는 부스트 신호의 펄스 끝을 발광 주사선(E_n)에 전달되는 발광 신호의 펄스 끝보다 먼저 오게 하여, 제 2캐패시터(C2)의 노드 전압 상승 이후에 유기 EL 소자(OLED)에 전류가 흐르도록 한다.

또한, 발광 신호의 펄스 시작이 부스트 신호의 펄스 시작보다 나중에 오면, 부스트 신호의 펄스 시작과 발광 신호의 펄스 시작 사이의 기간 동안 제 2캐패시터(C2)의 노드 전압 하강에 따른 전류가 유기 EL 소자(OLED)에 흘러 유기 EL 소자(OLED)에 스트레스를 준다. 이러한 스트레스가 반복되면 유기 EL 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 6에 도시된 바와 같이 발광 신호의 펄스 시작을 부스트 신호의 펄스 시작보다 먼저 오게 하여, 제 3트랜지스터(m3)가 턴오프된 이후에 제 2캐패시터(C2)의 노드 전압이 하강하도록 한다.

단, 본 발명의 경우 상기 화소에 기입되는 전류는 데이터 전류(I_{DATA})가 아닌 상기 데이터 전류에 기준 전류값이 추가된 전류이므로, 상기 기준 전류값으로 인해 원래 표현하고자 하는 계조의 휘도가 상승되는 문제가 있다.

이에 본 발명은 이를 극복하기 위해 각 화소의 OLED 발광 시간 조절을 통해 상기 기준 전류(I_O) 추가 전의 데이터 전류(I_{DATA})에 대응되는 계조 표현을 수행한다.

즉, 도 6에 도시된 바와 같이, 본 발명의 경우 1 프레임 기간 중 발광 신호가 로우 레벨로 제공되는 발광 기간을 상기 기준 전류(I_O)값의 크기에 대응되도록 줄임으로써, 상기 기준 전류(I_O) 추가에 의한 휘도 상승을 억제할 수 있다.

도 6을 참조하면, 본 발명의 실시예는 상기 기준 전류(I_O)가 추가됨에 의해 상기 기준 전류값의 크기에 대응되는 소정의 기간(t) 만큼 발광 기간을 줄이며, 이를 통해 상기 기준 전류 추가 전의 데이터 전류(I_{DATA})에 대응되는 계조 표현을 수행함으로써, 고계조 뿐 아니라 저계조 표현시에도 균일한 화면을 구현할 수 있게 된다.

도 7a 내지 도 7c는 계조 표현을 위해 데이터 구동부에서 출력되는 데이터 전류(7a, 7b) 및 화소의 OLED 소자에 흐르는 OLED 전류(7c)를 나타내는 그래프이다.

즉, 도 7a는 앞서 도 3에 도시된 제 1DAC부에서 출력되는 데이터 전류(I_{DATA}) 및 이에 대응되는 계조를 나타내는 그래프이고, 도 7b는 상기 제 1DAC부에서 출력되는 데이터 전류와 제 2DAC부에서 출력되는 기준 전류를 합한 전류($I_{DATA} + I_O$)의 값 및 이에 대응되는 계조를 나타내는 그래프이고, 도 7c는 상기 데이터 전류와 기준전류의 합에 해당하는 전류가 화소에 인가된 뒤 각 화소의 OLED 발광 시간 조절을 통해 상기 기준 전류(I_O) 추가 전의 데이터 전류(I_{DATA})에 대응되는 계조 표현을 수행함을 나타내는 그래프이다.

상기 그래프들을 통해 알 수 있듯이, 본 발명은 계조 표현을 위해 데이터 구동부에서 출력되는 데이터 전류에 소정의 기준 전류를 추가하여 각 화소에 제공하여 저전류 기입시 발생하는 문제를 극복하고, 또한, 각 화소는 EL 발광 시간 조절을 통해 상기 기준 전류 추가 전의 데이터 전류에 대응되는 계조 표현을 수행하여 전류 기입형 유기 전계발광 표시장치에 대해서 고계조 뿐 아니라 저계조 표현시에도 균일한 화면을 구현할 수 있음을 특징으로 한다.

발명의 효과

이와 같은 본 발명에 의하면, 계조 표현을 위해 데이터 구동부에서 출력되는 데이터 전류에 소정의 기준 전류를 추가하여 각 화소에 제공하고, 이에 각 화소는 EL 발광 시간 조절 등을 통해 상기 기준 전류 추가 전의 데이터 전류에 대응되는 계조 표현을 수행함으로써, 전류 기입형 유기 전계발광 표시장치에 대해서 고계조 뿐 아니라 저계조 표현시에도 균일한 화면을 구현할 수 있다는 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정하여져야만 한다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 유기 전계발광 표시장치의 블록도.

도 2는 도 1에 도시된 데이터 구동회로의 구성을 나타내는 블록도.

도 3은 도 2에 도시된 데이터 구동회로의 DAC에 대한 개략적인 블록도이다.

도 4a 및 도 4b는 도 3에 도시된 제 2DAC부 내부 회로의 실시예를 간략하게 도시한 회로도이다.

도 5는 도 1의 유기 전계발광 표시장치에 채용된 화소의 일 실시예를 나타내는 회로도.

도 6은 도 5에 도시된 화소를 구동하기 위한 신호의 타이밍도.

도 7a 내지 도 7c는 계조 표현을 위해 데이터 구동부에서 출력되는 데이터 전류(7a, 7b) 및 화소의 OLED 소자에 흐르는 OLED 전류(7c)를 나타내는 그래프.

<도면의 주요 부분에 대한 부호의 설명>

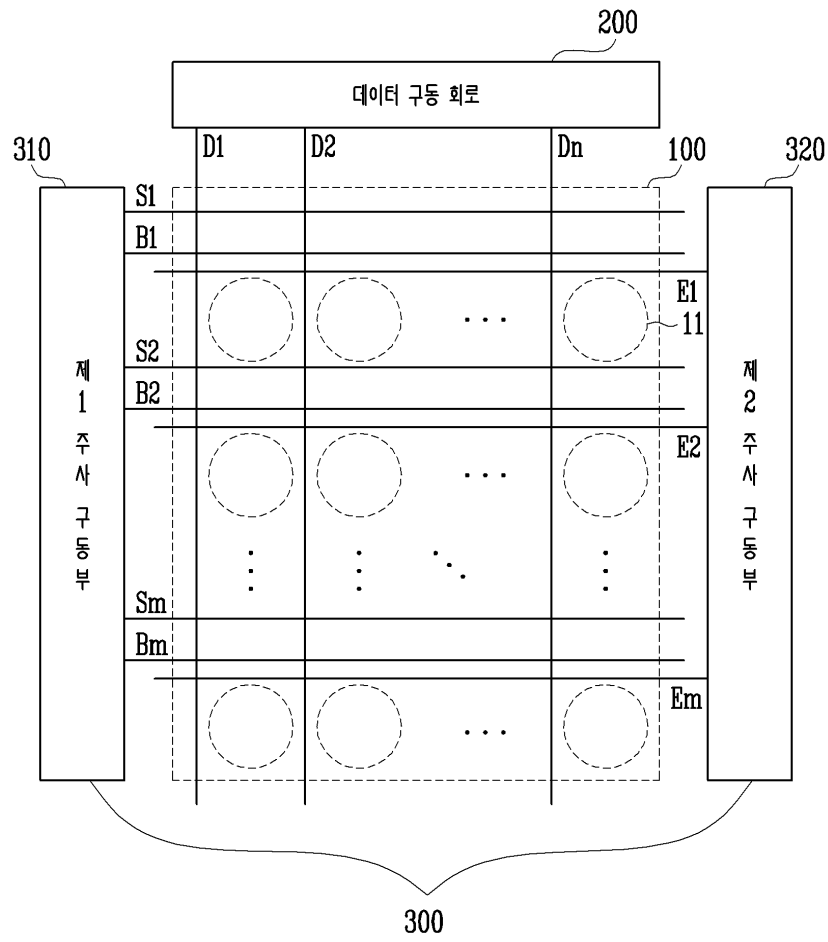
40 : DAC 41 : 제 1 DAC부

42 : 디코더 43 : DAC 코어

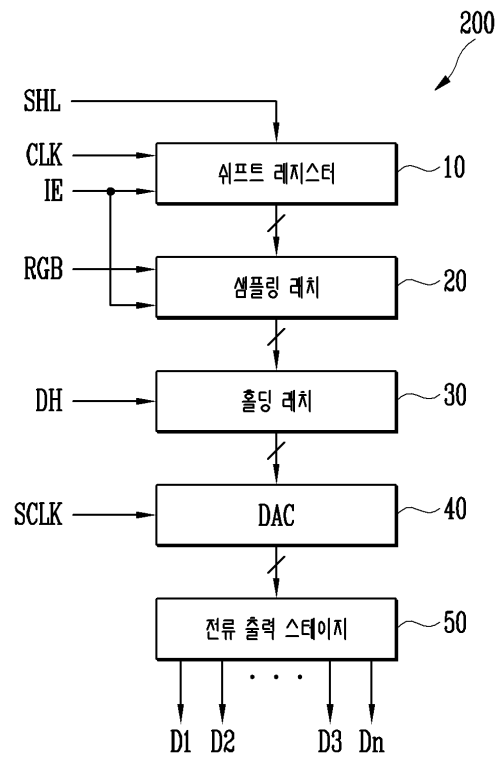
44 : 제 2 DAC부

도면

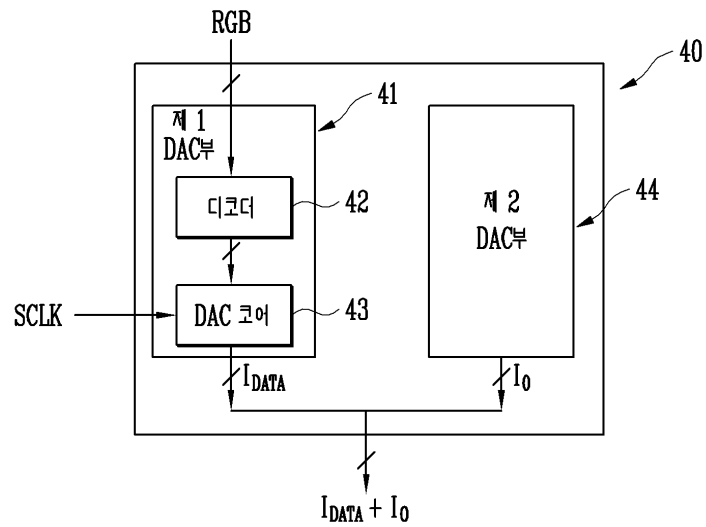
도면1



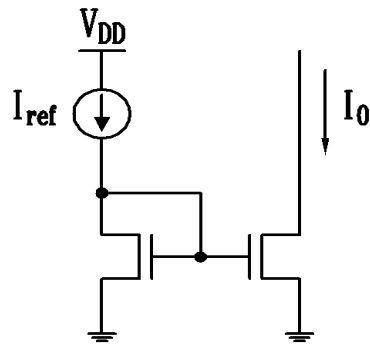
도면2



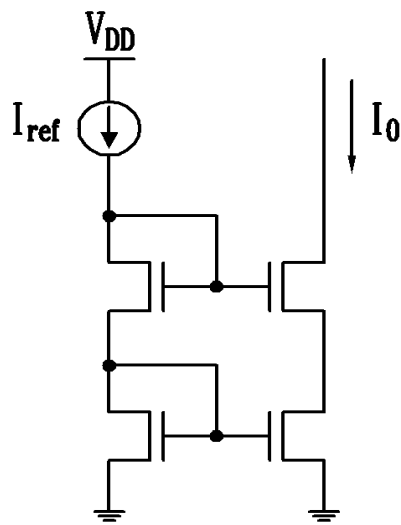
도면3



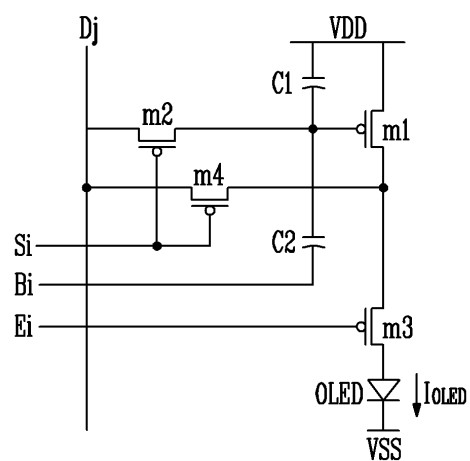
도면4a



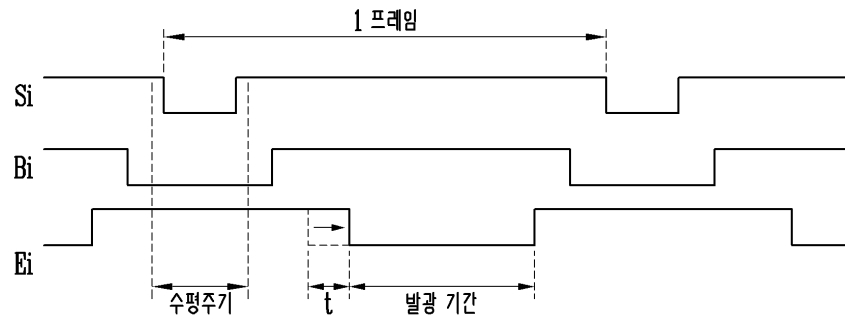
도면4b



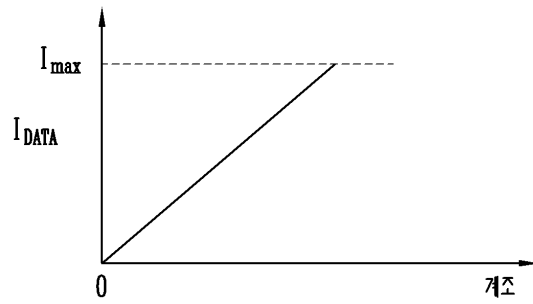
도면5



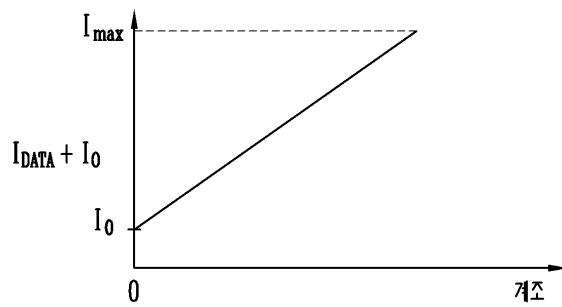
도면6



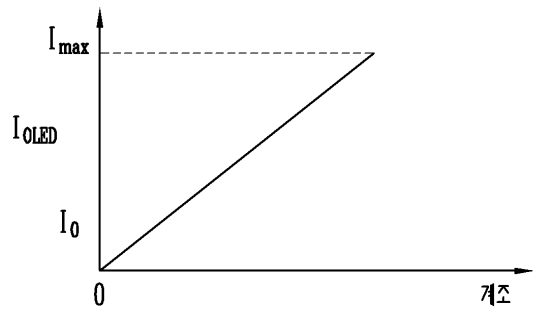
도면7a



도면7b



도면7c



专利名称(译)	数据驱动电路和具有该数据驱动电路的有机发光显示装置		
公开(公告)号	KR100707619B1	公开(公告)日	2007-04-06
申请号	KR1020060041481	申请日	2006-05-09
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KYUNGHOON CHUNG 정경훈		
发明人	정경훈		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3266 G09G3/3283 G09G2300/0828 G09G2310/0286 G09G2320/0233 H01L27/3248 H04B14/044		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

用途：提供数据驱动器和使用该数据驱动器的有机发光显示装置，以通过调节各个像素的发光周期来在低灰度级和高灰度级两者上显示均匀图像。组成：数据驱动器包括移位寄存器（10），采样锁存器（20），保持锁存器（30），DAC（40）和电流输出级（50）。移位寄存器产生采样信号。采样锁存器根据采样信号从外部采样数字数据。保持锁存器将采样的数字数据保持预定时间。DAC（数模转换器）产生对应于从保持锁存器提供的数字数据的数据电流和与数据电流无关的预定参考电流。DAC输出与数据和参考电流之和相对应的总和电流。电流输出级通过各自的通道向显示面板中的数据线提供总和电流。

