



## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 의한 전계발광 디스플레이 패널의 구동 장치를 보여주는 도면이다.

도 2는 도 1의 전계발광 디스플레이 패널의 구동을 위한 제어 및 구동 신호들을 보여주는 타이밍도이다.

도 3은 도 1의 데이터 구동부의 내부 구성을 보여주는 회로도이다.

도 4는 도 5의 출력 회로의 내부 구성을 보여주는 회로도이다.

도 5는 도 1의 전원 공급부에 포함되어 주사 바이어스 전압을 발생시키는 주사 바이어스 발생부를 보여주는 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

1...주 제어부, 22<sub>D</sub>...데이터 구동부,

22<sub>S</sub>...주사 구동부, 9...프리-차지 회로,

7...전원 공급부, S<sub>DM</sub>...영상 신호,

D<sub>DA</sub>...영상 데이터, S<sub>DC</sub>...데이터 제어 신호,

S<sub>SA</sub>...주사 제어 신호, S<sub>PC</sub>...프리-차지 제어 신호,

H<sub>SYNC</sub>...수평 동기 신호, D<sub>DAL</sub>...라인 데이터.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 이 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널의 구동 방법 및 장치에 관한 것으로서, 보다 상세하게는, 각각의 수평 구동 시간에서, 주사될 주사 전극 라인에 주사 전압을 인가하고, 주사되지 않을 주사 전극 라인들에 상기 주사 전압보다 높은 바이어스 전압을 인가하며, 각각의 데이터 전극 라인에 자신의 계조에 비례한 양의 전류를 흘려주는 전계발광 디스플레이 패널의 구동 방법에 관한 것이다.

전계발광 디스플레이 패널의 구조에 대해서는 미국 특허 제6,236,443호에 잘 설명되어 있으므로 생략된다.

상기와 같은 통상적인 전계-발광 디스플레이 패널의 구동 장치에 있어서, 각각의 수평 구동 시간에서, 주사되지 않는 주사 전극 라인들의 전계발광 셀들의 발광을 방지하기 위하여 주사되지 않는 주사 전극 라인들에는 높은 바이어스 전압이 인가되어야 한다. 하지만, 이로 인하여 주사되지 않는 주사 전극 라인들의 전계발광 셀들에서 누설 전류가 흐르게 됨에 따라, 전계발광 셀들의 수명이 단축되고 소비전력이 증대되는 문제점들이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 효율적인 주사 동작을 수행하여, 전계발광 셀들의 수명을 연장하고 소비전력을 줄일 수 있는 전계발광 디스플레이 패널의 구동 방법 및 장치를 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 이루기 위한 본 발명은, 데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널의 구동 방법 및 장치이다. 이 구동 방법 및 장치는, 각각의 수평 구동 시간에서, 주사될 주사 전극 라인에 주사 전압을 인가하고, 주사되지 않을 주사 전극 라인들에 상기 주사 전압보다 높은 바이어스 전압을 인가하며, 각각의 데이터 전극 라인에 자신의 계조에 비례한 양의 전류를 흘려준다. 여기에서, 주사되지 않을 주사 전극 라인들에 인가되는 상기 바이어스 전압이 상기 각각의 데이터 전극 라인의 계조들 중에서 최고 계조에 비례하여 변한다.

본 발명의 상기 전계발광 디스플레이 패널의 구동 방법 및 장치에 의하면, 상기 각각의 데이터 전극 라인의 계조들 중에서 최고 계조에 대응하여 요구되는 바이어스 전압이 인가될 수 있다. 즉, 주사되지 않는 주사 전극 라인들에 인가되는 바이어스 전압이 적응적으로 최소화될 수 있다. 이에 따라, 주사되지 않는 주사 전극 라인들의 전계발광 셀들에서 누설 전류가 최소화되므로, 전계발광 셀들의 수명이 연장되고 소비전력이 줄어들 수 있다.

이하, 본 발명에 따른 바람직한 실시예가 상세히 설명된다.

도 1은 본 발명의 일 실시예에 의한 전계발광 디스플레이 패널(32)의 구동 장치를 보여준다. 도 1에서 참조 부호 EC는 전계 발광 셀들을 가리키며, 이 전계발광 셀들(EC) 각각은 전계발광 다이오드 및 기생 캐패시터를 포함한다.

도 1을 참조하면, 본 발명의 일 실시예에 의한 전계발광 디스플레이 패널(32)의 구동 장치는 주 제어부(1), 데이터 구동부(22<sub>D</sub>), 주사 구동부(22<sub>S</sub>), 프리-차지 회로(9), 및 전원 공급부(7)를 포함한다.

주 제어부(1)는 입력 영상 신호(S<sub>DM</sub>)를 처리하여 디스플레이 데이터 신호들(D<sub>DA</sub>) 및 스위칭 제어 신호들(S<sub>DC</sub>, S<sub>SA</sub>, S<sub>PC</sub>)을 발생시킨다.

데이터 구동부(22<sub>D</sub>)는 전계발광 디스플레이 패널(32)의 데이터 전극 라인들(3a 내지 3z)의 신호-입력단들에 연결된다. 데이터 구동부(22<sub>D</sub>)는 주 제어부(1)로부터 입력되는 스위칭 제어 신호들(S<sub>DC</sub>)에 따라 디스플레이 데이터 신호들(D<sub>DA</sub>)에 상응하는 데이터 전류 신호들을 전류원들(8a 내지 8z)에서 생성하여 데이터 전극 라인들(3a 내지 3z)에 인가한다. 또한, 데이터 구동부(22<sub>D</sub>)는, 각각의 수평 구동 주기(도 2의 T<sub>HD1</sub>, T<sub>HD2</sub>)의 초기에서, 스위칭 제어 신호들(S<sub>DC</sub>)에 포함되어 있는 피크-부팅 제어 신호(도 2의 S<sub>PB</sub>)에 따른 시간(도 2의 t<sub>3</sub>~t<sub>4</sub>, t<sub>6</sub>~t<sub>7</sub>, t<sub>9</sub>~t<sub>10</sub>) 동안에 피크-부팅 전류들(도 2의 I<sub>PK</sub>)을 데이터 전극 라인들(3a 내지 3z)에 인가한다.

한편, 데이터 구동부(22<sub>D</sub>)는 주 제어부(1)로부터 입력되는 스위칭 제어 신호들(S<sub>DC</sub>)에 포함된 수평 동기 신호(H<sub>SYNC</sub>) 및 주사될 주사 전극 라인에 상응하는 라인 데이터(D<sub>DAL</sub>)를 전원 공급부(7)에 제공한다.

주사 구동부(22<sub>S</sub>)는 주 제어부(1)로부터 입력되는 스위칭 제어 신호들(S<sub>SA</sub>)에 따른 주사 전위를 주사 전극 라인들(4a 내지 4z) 각각에 순차적으로 인가한다.

프리-차지 회로(9)는 스위칭 회로(25)와 예비 충전부(22)를 포함한다. 주 제어부(1)로부터의 프리-차지 제어 신호(S<sub>PC</sub>)에 따라 동작하는 스위칭 회로(25)는 데이터 전극 라인들(3a 내지 3z) 각각에 연결된 스위칭 소자들(25a 내지 25z)을 구비한다. 예비 충전부(22)는, 스위칭 회로(25)의 공통 출력 단자와 접지 단자 사이에 연결되어, 각각의 수평 구동 시간의 종료 직전에 스위칭 회로(25)의 스위칭 소자들(25a 내지 25z)이 온(On)됨에 따라 방전된 전류에 의하여 예비 충전을 수행한다.

보다 상세하게는, 각각의 수평 구동 주기의 종료 직전에서, 스위칭 회로(25)의 스위칭 소자들(25a 내지 25z)이 온(On)된다. 이로 인하여, 데이터 전극 라인들(3a 내지 3z)로부터 예비 충전부(22) 안의 제너 다이오드(23)를 통하여 접지 단자로 전류가 흐르며, 데이터 전극 라인들(3a 내지 3z)의 전압이 제너 다이오드(23)의 항복 전압(breakdown voltage)과 같아지는 시점에서 전류가 흐르지 않는다.

상기와 같은 프리-차지(pre-charge) 동작에 의하면, 다음 수평 구동 주기의 초기에서 모든 데이터 전극 라인들(3a 내지 3z)의 초기 전압이 캐패시터(24)의 충전 전압 즉, 제너 다이오드(23)의 항복 전압으로서 균일하게 되며, 다음 수평 구동 주기에서 선택된 셀들의 턴-온(turn-on) 동작이 상기 충전 전압에 의하여 빨라진다.

전원 공급부(7)는 주 제어부(1), 데이터 구동부(22<sub>D</sub>), 및 주사 구동부(22<sub>S</sub>)의 동작 전압들(V1 내지 V4)을 발생시킨다. 전원 공급부(7)에 포함되어 주사 바이어스 전압(V2)을 발생시키는 주사 바이어스 발생부(도 5, 7a)는 데이터 구동부(22<sub>D</sub>)로부터의 수평 동기 신호(H<sub>SYNC</sub>) 및 상기 라인 데이터(D<sub>DAL</sub>)에 따라 동작한다. 여기에서, 주사 바이어스 발생부(도 5, 7a)로부터 주사 구동부(22<sub>S</sub>)에 공급되는 주사 바이어스 전압(V2)은 각각의 데이터 전극 라인(3a 내지 3z)의 계조들중에서 최고 계조에 비례하여 변한다. 이와 관련된 내용은 도 2를 참조하여 보다 상세히 설명될 것이다.

도 2는 도 1의 전계발광 디스플레이 패널(32)의 구동을 위한 제어 및 구동 신호들을 보여준다. 도 2에서, 참조 부호 S<sub>HS</sub>는 주 제어부(도 1의 1)로부터 데이터 구동부(도 1의 22<sub>D</sub>)에 입력되는 스위칭 제어 신호들(S<sub>DC</sub>)에 포함된 수평 동기 신호를 가리킨다. 참조 부호 S<sub>PC</sub>는, 주 제어부(1)로부터 데이터 구동부(22<sub>D</sub>)에 입력되는 스위칭 제어 신호들(S<sub>DC</sub>)에 포함된 프리-차지 제어 신호, 및 주 제어부(1)로부터 프리-차지 회로(9)로 입력되는 프리-차지 제어 신호를 가리킨다. 참조 부호 S<sub>PB</sub>는 주 제어부(1)로부터 데이터 구동부(22<sub>D</sub>)에 입력되는 스위칭 제어 신호들(S<sub>DC</sub>)에 포함된 피크-부팅 제어 신호를 가리킨다. 참조 부호 S<sub>CV</sub>는 어느 한 데이터 전극 라인(3a 내지 3z)의 전위를 가리킨다. 참조 부호 S<sub>CI</sub>는 어느 한 데이터 전극 라인(3a 내지 3z)의 전류량을 가리킨다. 참조 부호 S<sub>4A</sub>는 첫번째 주사 전극 라인(4a)에 인가되는 구동 신호를 가리킨다. 참조 부호 S<sub>4B</sub>는 두번째 주사 전극 라인(4b)에 인가되는 구동 신호를 가리킨다. 참조 부호 S<sub>4Z</sub>는 최종 주사 전극 라인(4z)에 인가되는 구동 신호를 가리킨다.

도 1 및 2를 참조하면, 수평 동기 신호(S<sub>HS</sub>)의 전위가 접지 전위(V<sub>GND</sub>)로부터 높은 전위(V<sub>HS\_H</sub>)로 상승하는 시점에서 각각의 수평 구동 주기(T<sub>HD1</sub>, T<sub>HD2</sub>)가 시작된다.

각각의 수평 구동 주기(T<sub>HD1</sub>, T<sub>HD2</sub>)에 있어서, 주사될 주사 전극 라인(T<sub>HD1</sub>의 경우 4a, T<sub>HD2</sub>의 경우 4b)에 주사 전압(V<sub>GND</sub>)을 인가하고, 주사되지 않을 주사 전극 라인들에 상기 주사 전압(V<sub>GND</sub>)보다 높은 바이어스 전압(T<sub>HD1</sub>의 경우 V2b, T<sub>HD2</sub>의 경우 V2a)을 인가하며, 각각의 데이터 전극 라인(3a 내지 3z)에 자신의 계조에 비례한 양의 전류를 흘려준다.

여기에서, 주사되지 않을 주사 전극 라인들에 인가되는 바이어스 전압은 각각의 데이터 전극 라인(3a 내지 3z)의 계조들중에서 최고 계조에 비례하여 변한다. 예를 들어, 제1 수평 구동 주기(T<sub>HD1</sub>)에서의 최고 계조가 그 이전 주기 즉, 그 이전 프레임의 최종 수평 구동 주기의 것과 같으면, 도 2에 도시된 바와 같이 제1 수평 구동 주기(T<sub>HD1</sub>)에서의 주사 바이어스 전압(V2b)은 그 이전 주기에서의 것과 같다. 하지만, 제1 수평 구동 주기(T<sub>HD1</sub>)에서의 최고 계조가 그 다음 주기인 제2 수평 구동 주기(T<sub>HD2</sub>)에서의 것보다 낮으므로, 제1 수평 구동 주기(T<sub>HD1</sub>)에서의 주사 바이어스 전압(V2b)은 그 다음 주기인 제2 수평 구동 주기(T<sub>HD2</sub>)에서의 것(V2a)보다 낮다. 또한, 제1 수평 구동 주기(T<sub>HD1</sub>)에서의 최고 계조가 제2 수평 구동 주기(T<sub>HD2</sub>)의 다음 주기에서의 것보다 높으므로, 제1 수평 구동 주기(T<sub>HD1</sub>)에서의 주사 바이어스 전압(V2b)은 제2 수평 구동 주기(T<sub>HD2</sub>)의 다음 주기에서의 것(V2c)보다 높다.

요약하면, 각각의 데이터 전극 라인(3a 내지 3z)의 계조들중에서 최고 계조에 대응하여 요구되는 바이어스 전압이 인가된다. 즉, 주사되지 않을 주사 전극 라인들에 인가되는 바이어스 전압이 적응적으로 최소화될 수 있다. 이에 따라, 주사되지 않을 주사 전극 라인들의 전계발광 셀들에서 누설 전류가 최소화되므로, 전계발광 셀들의 수명이 연장되고 소비전력이 줄어들 수 있다.

제1 수평 구동 주기(T<sub>HD1</sub>)에 있어서, 피크-부팅 제어 신호(S<sub>PB</sub>)가 높은 전위(V<sub>PC\_H</sub>)로부터 접지 전위(V<sub>GND</sub>)로 하강하는 시간(t3~t4) 동안에 최대 전류량(I<sub>PK</sub>)의 피크-부팅 전류가 데이터 전극 라인들(3a 내지 3z)에 인가된다. 이에 따라, 각 전계발광 셀(EC)의 기생 캐패시터에서 적절한 충전을 일으키게 한다. 이로 인하여, t4 내지 t5 시간의 실제 구동 시간에서 기생 캐패시터의 간섭을 최소화할 수 있다.

t4 내지 t5 시간의 실제 구동 시간에서는, 계조 데이터에 비례한 구동 전류(I<sub>GRAY</sub>)가 데이터 전극 라인들(3a 내지 3z)로부터 각 전계발광 셀들(EC)에 흐른다.

끝으로, 프리차지 시간( $t_5$  내지  $t_6$ )에서는, 스위칭 회로(25)의 스위칭 소자들(25a 내지 25z)이 온(On)된다. 이로 인하여,  $t_4$  내지  $t_5$  시간의 실제 구동 시간의 종료 후, 데이터 전극 라인들(3a 내지 3z)로부터 예비 충전부(22) 안의 제너 다이오드(23)를 통하여 접지 단자로 전류가 흐르며, 데이터 전극 라인들(3a 내지 3z)의 전압이 제너 다이오드(23)의 항복 전압(breakdown voltage)과 같아지는 시점에서 전류가 흐르지 않는다.

상기와 같은 프리-차지(pre-charge) 동작에 의하면, 다음 수평 구동 주기의 초기에서 모든 데이터 전극 라인들(3a 내지 3z)의 초기 전압이 캐패시터(24)의 충전 전압 즉, 제너 다이오드(23)의 항복 전압으로서 균일하게 되며, 다음 수평 구동 주기에서 선택된 셀들의 턴-온(turn-on) 동작이 상기 충전 전압에 의하여 빨라진다.

상기 제1 수평 구동 주기( $T_{HD1}$ )의 동작 순서는 제2 수평 구동 주기( $T_{HD2}$ )에서도 동일하게 적용된다.

도 3을 참조하면, 도 1의 데이터 구동부(22<sub>D</sub>)는 인터페이스(30), 래치 회로(31), 디지털-아날로그 변환기들(32), 및 출력 회로(33)를 포함한다. 도 1 내지 3을 참조하여, 도 1의 데이터 구동부(22<sub>D</sub>)의 내부 동작을 설명하면 다음과 같다.

래치 회로(31)와 디지털-아날로그 변환기들(32)은 주 제어부(1)로부터 입력되는 스위칭 제어 신호들( $S_{DC}$ )에 포함되어 인터페이스(30)를 통하여 입력되는 수평 동기 신호( $H_{SYNC}$ )에 따라 동작한다.

래치 회로(31)는, 주 제어부(1)로부터 인터페이스(30)를 통하여 입력되는 디스플레이 데이터 신호들( $D_{DA}$ )을 주기적으로 저장하는 한편, 각각의 수평 구동 시간의 디스플레이 데이터 신호들 즉, 라인 데이터( $D_{DAL}$ )를 주기적으로 출력한다.

한편, 래치 회로(31)로부터의 라인 데이터( $D_{DAL}$ )는 인터페이스(30)로부터의 수평 동기 신호( $H_{SYNC}$ )와 함께 전원 공급부(도 1의 7)에 입력된다.

디지털-아날로그 변환기들(32)은, 래치 회로(31)로부터의 현재 수평 구동 시간의 디스플레이 데이터 신호들 즉, 라인 데이터( $D_{DAL}$ ) 각각을 데이터 전압 신호들( $V_{D1}$  내지  $V_{Dm}$ )로 변환시킨다.

출력 회로(33)는, 주 제어부(1)로부터의 스위칭 제어 신호들( $S_{DC}$ )에 포함되어 인터페이스(30)를 통하여 입력되는 피크-부팅 제어 신호( $S_{PB}$ )에 따른 시간( $t_3 \sim t_4$ ,  $t_6 \sim t_7$ ,  $t_9 \sim t_{10}$ ) 동안에 피크-부팅 전류들을 데이터 전극 라인들(도 1의 3a 내지 3z)에 인가한다. 또한, 디지털-아날로그 변환기들(32)로부터의 데이터 전압 신호들( $V_{D1}$  내지  $V_{Dm}$ )에 따른 데이터 전류 신호들을 데이터 전극 라인들(3a 내지 3z)에 인가한다. 그리고, 주 제어부(1)로부터의 스위칭 제어 신호들( $S_{DC}$ )에 포함되어 인터페이스(30)를 통하여 입력되는 프리-차지 제어 신호( $S_{PC}$ )에 따라 구동 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ )을 제어한다. 이 출력 회로(33)와 관련된 내용을 보다 상세히 설명하면 다음과 같다.

도 2 내지 4를 참조하면, 데이터 전극 라인들(도 1의 3a 내지 3z)에 데이터 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ )이 인가되고, 데이터 구동부(22<sub>D</sub>)의 출력 회로(33)는 이 구동 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ ) 각각에 대하여 3 개의 트랜지스터들이 형성된다.

데이터 전극 라인들(3a 내지 3z)이  $m$  개인 경우,  $m$  개의 제1 트랜지스터들( $TR_{11}$  내지  $TR_{m1}$ )과  $m$  개의 제2 트랜지스터들( $TR_{12}$  내지  $TR_{m2}$ )의 드레인(Drain) 전극들에는 설정 바이어스 전압( $V_1$ )이 인가된다. 제1 트랜지스터들( $TR_{11}$  내지  $TR_{m1}$ ) 각각의 게이트(Gate) 전극들에는 디지털-아날로그 변환기들(32)로부터의 각각의 데이터 전압 신호( $V_{D1}$  내지  $V_{Dm}$ )가 인가된다. 주 제어부(1)로부터의 스위칭 제어 신호들( $S_{DC}$ )에 포함되어 인터페이스(30)를 통하여 입력되는 피크-부팅 제어 신호( $S_{PB}$ )는 제2 트랜지스터들( $TR_{12}$  내지  $TR_{m2}$ )의 게이트(Gate) 전극들에 인가된다.

제1 트랜지스터들( $TR_{11}$  내지  $TR_{m1}$ )의 소오스(Source) 전극들 각각은  $m$  개의 제3 트랜지스터들( $TR_{13}$  내지  $TR_{m3}$ )의 드레인(Drain) 전극들 각각에 연결된다.

주 제어부(1)로부터의 스위칭 제어 신호들( $S_{DC}$ )에 포함되어 인터페이스(30)를 통하여 입력되는 프리-차지 제어 신호( $S_{PC}$ )는 제3 트랜지스터들(TR13 내지 TRm3)의 게이트(Gate) 전극들에 인가된다. 제3 트랜지스터들(TR13 내지 TRm3)의 소오스(Source) 전극들 각각과 제2 트랜지스터들(TR12 내지 TRm2)의 소오스(Source) 전극들 각각은 서로 연결되어, m 개의 데이터 전극 라인들(3a 내지 3z) 각각에 인가되는 구동 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ )을 발생시킨다.

도 2 및 4를 참조하여, 도 4의 출력 회로(33)의 제1 수평 구동 주기( $T_{HD1}$ )에서의 동작을 살펴보면 다음과 같다. 이 동작은 제2 수평 구동 주기( $T_{HD2}$ )에서도 동일하다.

피크-부팅 제어 신호( $S_{PB}$ )가 높은 전위( $V_{PC\_H}$ )로부터 접지 전위( $V_{GND}$ )로 하강하는 시간( $t3$  내지  $t4$  시간) 동안에는 m 개의 제2 트랜지스터들(TR12 내지 TRm2)이 모두 온(On) 상태가 된다. 이에 따라, 최대 전류량( $I_{PK}$ )의 피크-부팅 전류가 구동 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ )로서 데이터 전극 라인들(3a 내지 3z)에 인가된다. 여기에서, m 개의 제2 트랜지스터들(TR12 내지 TRm2)은 다른 트랜지스터들보다 더 높은 전류를 발생시키는 특성을 가진다.

피크-부팅 제어 신호( $S_{PB}$ )가 높은 전위( $V_{PC\_H}$ )를 유지하는 실제 구동 시간( $t4 \sim t5$ )에는, m 개의 제2 트랜지스터들(TR12 내지 TRm2)이 모두 오프(Off) 상태이다. 또한, 제1 트랜지스터들(TR11 내지 TRm1)의 게이트들 각각에는 데이터 전압 신호들( $V_{D1}$  내지  $V_{Dm}$ ) 각각이 인가되고, 제3 트랜지스터들(TR13 내지 TRm3)이 온(On) 상태이다. 이에 따라, 데이터 전압 신호들( $V_{D1}$  내지  $V_{Dm}$ )에 따른 각각의 구동 전류( $I_{GRAY}$ )가 구동 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ )로서 데이터 전극 라인들(3a 내지 3z)에 인가된다.

끝으로, 프리-차지 시간( $t5$  내지  $t6$ )에서는, 주 제어부(1)로부터의 스위칭 제어 신호들( $S_{DC}$ )에 포함되어 인터페이스(30)를 통하여 입력되는 프리-차지 제어 신호( $S_{PC}$ )가 높은 전위( $V_{PC\_H}$ )를 가지므로, 제3 트랜지스터들(TR13 내지 TRm3)이 오프(Off) 상태가 된다. 또한, 제2 트랜지스터들(TR12 내지 TRm2)이 오프(Off) 상태이다. 또한, 스위칭 회로(도 1의 25)의 스위칭 소자들(도 1의 25a 내지 25z)이 모두 온(On) 상태가 되므로, 구동 전류 신호들( $S_{C1}$  내지  $S_{Cm}$ )에 의하여 전계발광 셀들(EC)에 전류가 흐르지 않는다. 이 프리-차지 동작에 대해서는 위에서 상세히 설명된 바와 같다.

도 5는 도 1의 전원 공급부에 포함되어 주사 바이어스 전압을 발생시키는 주사 바이어스 발생부(7a)를 보여준다.

도 3 및 5를 참조하면, 상기 주사 바이어스 발생부(7a)는 디지털 비교기(51), 이이피롬(Electrically Erasable and Programmable Read Only Memory, 52), 및 바이어스 전압 출력부(53)를 포함한다.

데이터 구동부(22<sub>D</sub>)의 인터페이스(30)로부터의 수평 동기 신호( $S_{HS}$ )에 따라 동작하는 디지털 비교기(51)는 데이터 구동부(22<sub>D</sub>)의 래치 회로(31)로부터의 라인 데이터( $D_{DAL}$ )를 상호 비교하여 최고 계조의 데이터( $D_{MAX}$ )를 발생시킨다. 이이피롬(EEPROM, 52)은 디지털 비교기(51)로부터의 최고 계조의 데이터( $D_{MAX}$ )를 어드레스로 입력받아 주사 바이어스용 데이터를 발생시킨다. 이에 따라, 바이어스 전압 출력부(53)는 이이피롬(EEPROM, 52)으로부터의 주사 바이어스용 데이터에 따라 바이어스 전압을 출력한다.

바이어스 전압 출력부(53)는 출력 버퍼(539), 제1 내지 제7 저항기들(R1~R7), 및 제1 내지 제6 스위치들(SW1~SW7)을 포함한다.

연산 증폭기로서의 출력 버퍼(539)는 자신의 + 입력 단자에 인가되는 전압이 출력 전압(V2) 즉, 상기 주사 바이어스 전압(V2)이 되도록 버퍼링을 수행한다. 제1 내지 제7 저항기들(R1~R7)은 접지 단자와 설정 공급 전압( $V_{CC}$ )의 단자 사이에서 직렬로 연결된다. 제1 내지 제6 스위치들(SW1~SW7)은 제1 내지 제6 저항기들(R1~R6) 각각에 병렬로 연결된다. 제7 저항기(R7)의 일단은 설정 공급 전압( $V_{CC}$ )의 단자와 연결되며, 제7 저항기(R7)의 타단 및 제6 저항기(R6)의 연결 노드가 출력 버퍼(539)의 + 입력 단자에 연결된다.

제1 내지 제6 스위치들(SW1~SW7)은 이이프로롬(EEPROM, 52)으로부터의 6 비트의 주사 바이어스용 데이터에 따라 동작한다. 이에 따라, 각각의 수평 구동 주기에 있어서, 주사되지 않을 주사 전극 라인들에 인가되는 주사 바이어스 전압(V2)은 각각의 데이터 전극 라인(도 1의 3a 내지 3z)의 계조들중에서 최고 계조에 비례하여 변한다.

### 발명의 효과

이상 설명된 바와 같이, 본 발명에 따른 전계발광 디스플레이 패널의 구동 방법 및 장치에 의하면, 각각의 데이터 전극 라인의 계조들중에서 최고 계조에 대응하여 요구되는 바이어스 전압이 인가될 수 있다. 즉, 주사되지 않는 주사 전극 라인들에 인가되는 바이어스 전압이 적응적으로 최소화될 수 있다. 이에 따라, 주사되지 않는 주사 전극 라인들의 전계발광 셀들에서 누설 전류가 최소화되므로, 전계발광 셀들의 수명이 연장되고 소비전력이 줄어들 수 있다.

본 발명은, 상기 실시예에 한정되지 않고, 청구범위에서 정의된 발명의 사상 및 범위 내에서 당업자에 의하여 변형 및 개량될 수 있다.

### (57) 청구의 범위

#### 청구항 1.

데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널에 대하여, 각각의 수평 구동 시간에서, 주사될 주사 전극 라인에 주사 전압을 인가하고, 주사되지 않을 주사 전극 라인들에 상기 주사 전압보다 높은 바이어스 전압을 인가하며, 각각의 데이터 전극 라인에 자신의 계조에 비례한 양의 전류를 흘려주는 전계발광 디스플레이 패널의 구동 방법에 있어서,

주사되지 않을 주사 전극 라인들에 인가되는 상기 바이어스 전압이 상기 각각의 데이터 전극 라인의 계조들중에서 최고 계조에 비례하여 변하는 구동 방법.

#### 청구항 2.

데이터 전극 라인들과 주사 전극 라인들이 소정 간격을 두고 서로 교차되게 형성되어 상기 교차 영역들에서 전계발광 셀들이 형성되는 전계발광 디스플레이 패널에 대하여, 각각의 수평 구동 시간에서, 주사될 주사 전극 라인에 주사 전압을 인가하고, 주사되지 않을 주사 전극 라인들에 상기 주사 전압보다 높은 바이어스 전압을 인가하며, 각각의 데이터 전극 라인에 자신의 계조에 비례한 양의 전류를 흘려주는 전계발광 디스플레이 패널의 구동 장치에 있어서,

주사되지 않을 주사 전극 라인들에 인가되는 상기 바이어스 전압이 상기 각각의 데이터 전극 라인의 계조들중에서 최고 계조에 비례하여 변하는 구동 장치.

#### 청구항 3.

제2항에 있어서,

디스플레이 데이터 신호들 및 스위칭 제어 신호들을 발생시키는 주 제어부;

상기 데이터 전극 라인들의 신호-입력단들에 연결되고, 상기 주 제어부로부터 입력되는 스위칭 제어 신호들에 따라 디스플레이 데이터 신호들에 상응하는 데이터 전류 신호들을 생성하여 상기 데이터 전극 라인들에 인가하는 데이터 구동부;

상기 주 제어부로부터 입력되는 스위칭 제어 신호들에 따라, 주사될 주사 전극 라인에 주사 전압을 인가하고, 주사되지 않을 주사 전극 라인들에 상기 주사 전압보다 높은 바이어스 전압을 인가하는 주사 구동부; 및

상기 주 제어부, 데이터 구동부, 및 주사 구동부의 동작 전압들을 발생시키는 전원 공급부를 포함한 전계발광 디스플레이 패널의 구동 장치.

#### 청구항 4.

제3항에 있어서, 상기 데이터 구동부가,

상기 주 제어부로부터의 디스플레이 데이터 신호들을 주기적으로 저장하는 래치 회로;

상기 래치 회로로부터의 디스플레이 데이터 신호들 각각을 데이터 전압 신호들로 변환시키는 디지털-아날로그 변환기들; 및

상기 디지털-아날로그 변환기들로부터의 데이터 전압 신호들에 따른 상기 데이터 전류 신호들을 상기 데이터 전극 라인들에 인가하는 출력 회로를 포함한 전계발광 디스플레이 패널의 구동 장치.

#### 청구항 5.

제4항에 있어서, 상기 전원 공급부에 포함되어 상기 바이어스 전압을 발생시키는 주사 바이어스 발생부가,

상기 데이터 구동부의 상기 래치 회로로부터의 라인 데이터를 상호 비교하여 최고 계조의 데이터를 발생시키는 디지털 비교기,

상기 디지털 비교기로부터의 최고 계조의 데이터를 어드레스로 입력받아 주사 바이어스용 데이터를 발생시키는 메모리, 및

상기 메모리로부터의 주사 바이어스용 데이터에 따라 상기 바이어스 전압을 출력하는 바이어스 전압 출력부를 포함한 전계발광 디스플레이 패널의 구동 장치.

#### 청구항 6.

제5항에 있어서, 상기 바이어스 전압 출력부가,

상기 바이어스 전압을 출력하는 출력 버퍼,

접지 단자와 설정 공급 전압의 단자 사이에 서로 직렬로 연결된 제1 내지 제 $n$ ( $n$ 은 3 이상의 정수) 저항기들, 및

상기 제1 내지 제 $n-1$  저항기들 각각에 병렬로 연결된 제1 내지 제 $n-1$  스위치들을 포함하고,

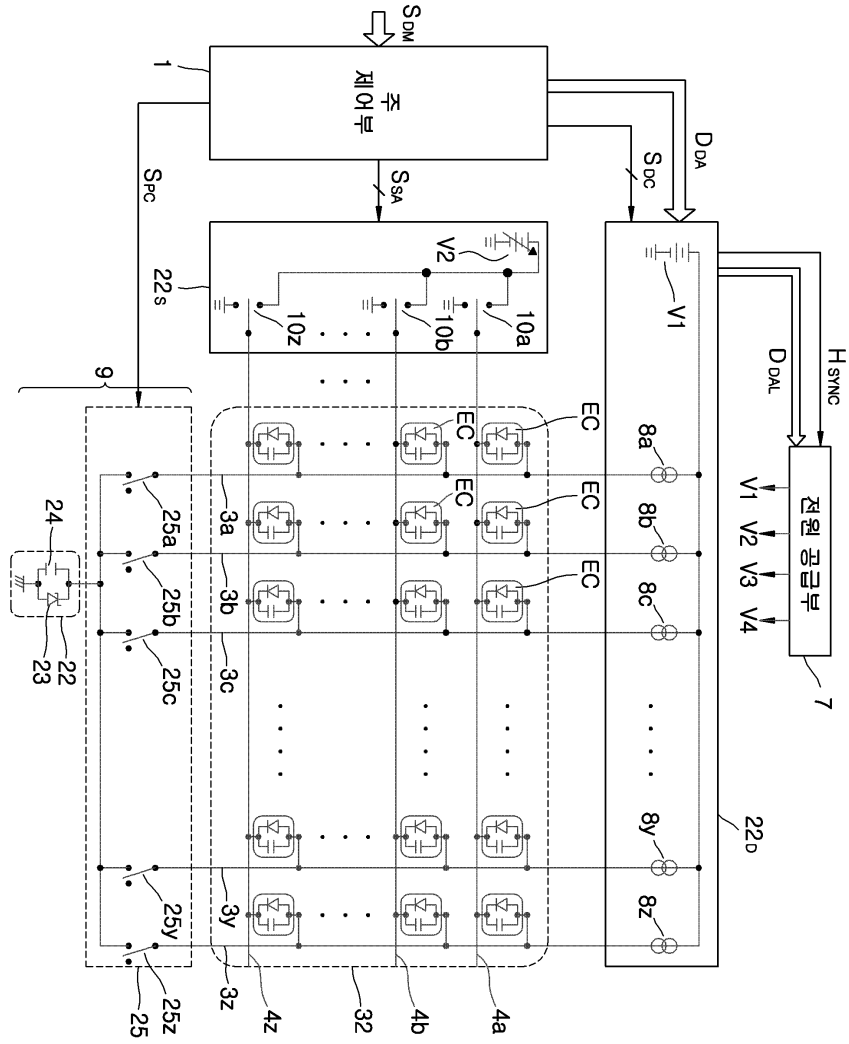
상기 제 $n$  저항기의 일단이 상기 설정 공급 전압의 단자와 연결되며,

상기 제 $n$  저항기의 타단 및 상기 제 $n-1$  저항기들의 연결 노드가 상기 출력 버퍼의 입력 단자에 연결되고,

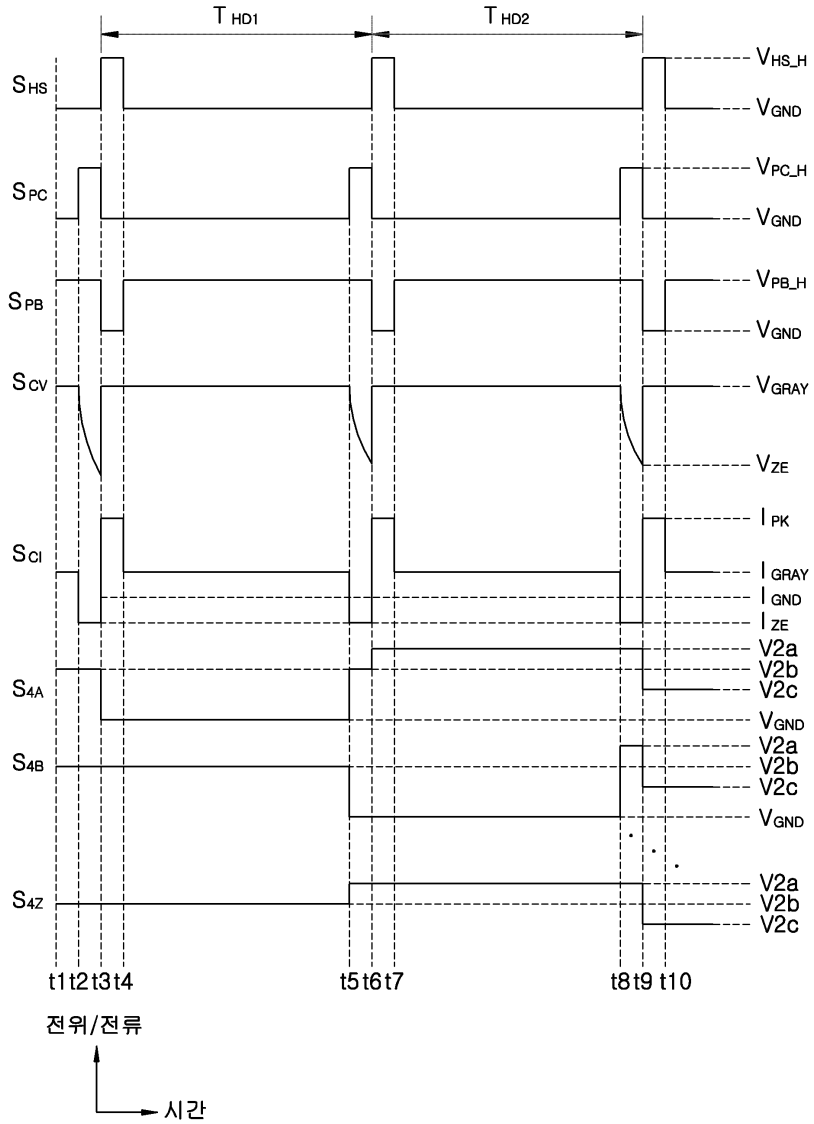
상기 제1 내지 제 $n-1$  스위치들이 상기 메모리로부터의  $n-1$  비트의 상기 주사 바이어스용 데이터에 따라 동작하는 전계발광 디스플레이 패널의 구동 장치.

도면

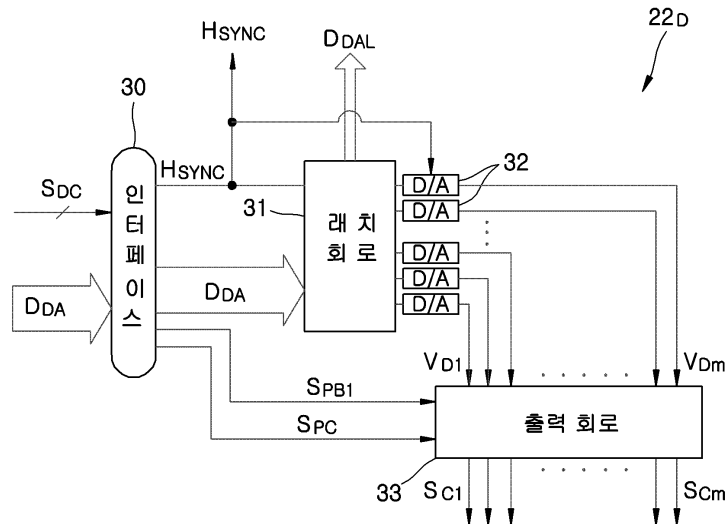
도면1



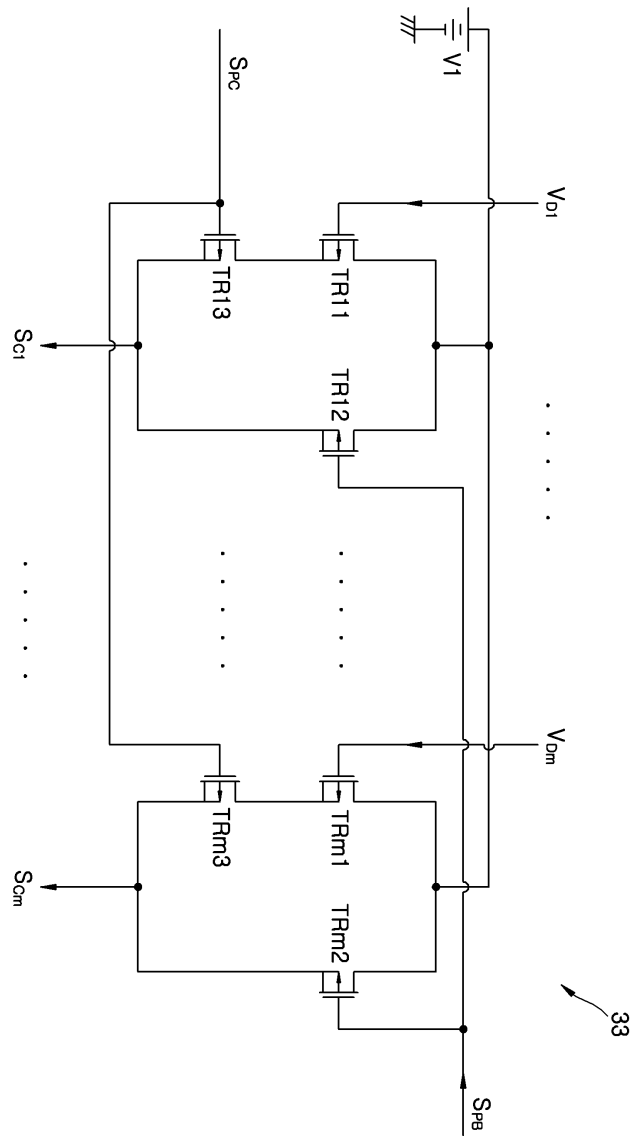
도면2



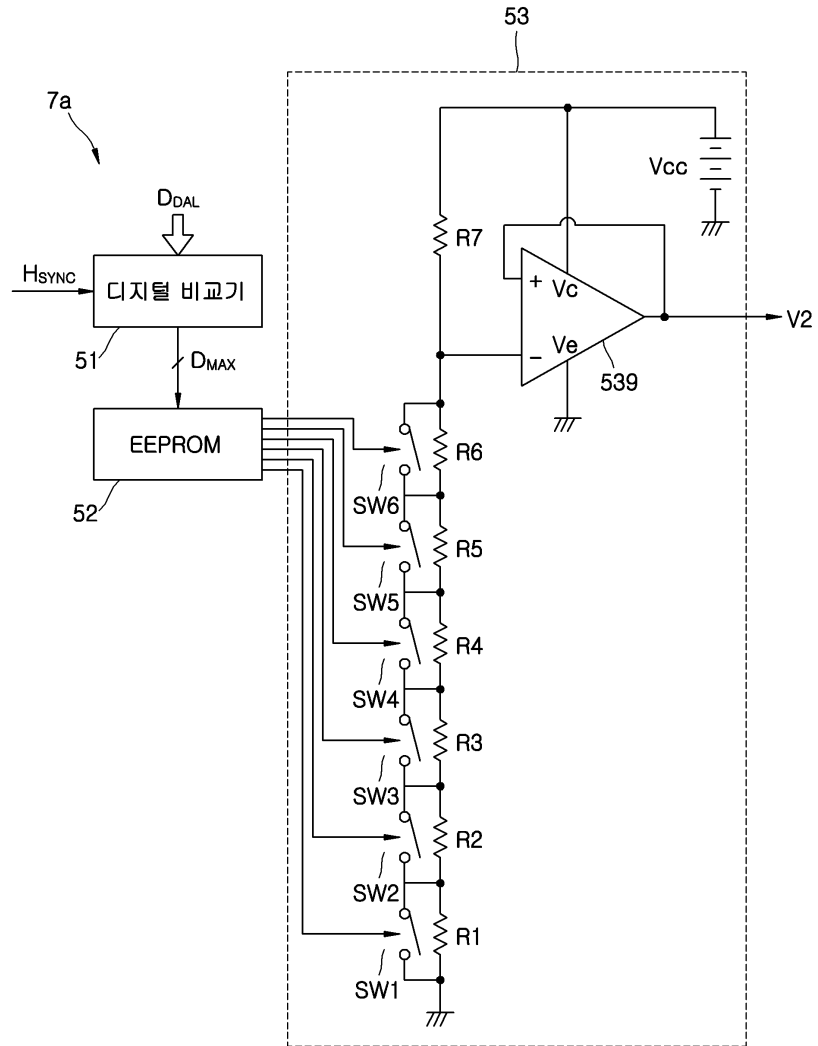
도면3



도면4



도면5



专利名称(译)	用于驱动电致发光显示板以进行有效扫描操作的方法和设备		
公开(公告)号	<a href="#">KR100615301B1</a>	公开(公告)日	2006-08-25
申请号	KR1020050004461	申请日	2005-01-18
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK JUNGKOOK 박정국 KIM HYUNGWOOK 김형욱 JUN HONGBAE 전홍배		
发明人	박정국 김형욱 전홍배		
IPC分类号	G09G3/30		
CPC分类号	G09G3/32 G09G2310/0202 G09G2310/0248		
其他公开文献	KR1020060083588A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及ELD面板的驱动方法和装置，其中它形成为扫描电极线，该固定间隔与数据电极线交叉并交叉，并且在这些交叉域形成电致发光单元。高于扫描电极线中的扫描电压的偏置电压被授权，其中该驱动方法和装置在扫描的扫描电极线中的每个水平驱动时间中授权扫描电压并且未被扫描。并且在每个数据电极线上溢出与其自身的灰度量成比例的电。这里，施加在未扫描的扫描电极线上的偏压在每个数据电极线的灰度级中与最大灰度成比例地变化。

