



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0062088
(43) 공개일자 2009년06월17일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2007-0129188

(22) 출원일자 2007년12월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이동원

경기 성남시 분당구 정자동 한솔마을청구아파트
110동 302호

추창용

경기 수원시 영통구 영통동 벽적골마을 삼성아파트
926동 703호

정진구

경기 수원시 영통구 영통동 벽적골9단지아파트
905동 1601호

(74) 대리인

권혁수, 송윤호, 오세준

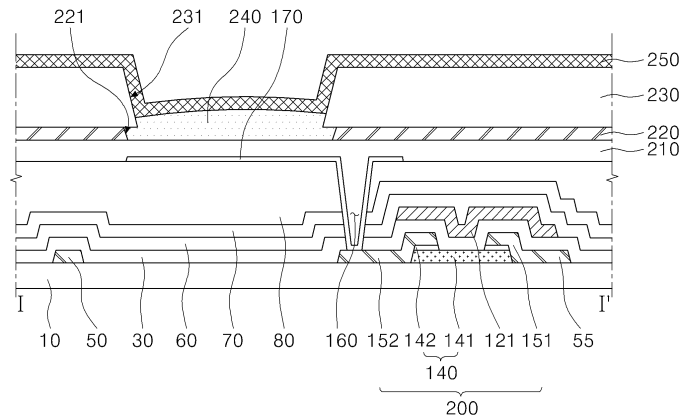
전체 청구항 수 : 총 20 항

(54) 유기 발광 장치 및 이의 제조방법

(57) 요약

본 발명은 유기 발광 장치 및 이에 제조방법에 관한 것으로, 정공 주입층과 캐소드 전극이 직접 접촉하는 것을 방지하고, 정공 주입층 위에 격벽을 형성하기 전에 무기 절연막을 형성함으로써 격벽 형성시 정공 주입층의 소실 및 손상을 방지할 뿐만 아니라, 균일하게 형성된 유기 발광층을 갖는 유기 발광 장치 및 이의 제조방법에 관한 것이다.

대표도 - 도2



특허청구의 범위

청구항 1

기판 위에 형성된 박막 트랜지스터;
상기 박막 트랜지스터와 접속된 애노드 전극;
상기 애노드 전극 위에 형성되는 정공 주입층;
상기 정공 주입층을 노출시키는 제1 홀을 포함하며, 상기 정공 주입층 위에 형성된 에치 아웃 버퍼층;
상기 제1 홀과 중첩된 제2 홀을 포함하며, 상기 에치 아웃 버퍼층 위에 형성된 격벽;
상기 제1 및 제2 홀에 의해 노출된 상기 정공 주입층 위에 형성된 유기 발광층; 및
상기 유기 발광층 위에 형성된 캐소드 전극을 포함하는 유기 발광 장치.

청구항 2

제 1 항에 있어서,
상기 에치 아웃 버퍼층은 비도전성 물질로 형성된 것을 특징으로 하는 유기 발광 장치.

청구항 3

제 2 항에 있어서,
상기 비도전성 물질은 Oxide, Nitride 및 Oxynitride 계열의 물질 중 적어도 적어도 어느 하나를 포함하는 것을 특징으로 하는 유기 발광 장치.

청구항 4

제 3 항에 있어서,
상기 에치 아웃 버퍼층의 두께는 100 내지 20,000Å 인 것을 특징으로 하는 유기 발광 장치.

청구항 5

제 4 항에 있어서,
상기 제1 홀은 상기 격벽 하부에 언더 컷(Under-cut)지게 형성된 것을 특징으로 하는 유기 발광 장치.

청구항 6

제 1 항에 있어서,
상기 제1 홀은 상기 격벽 하부에 언더 컷(Under-cut)지게 형성된 것을 특징으로 하는 유기 발광 장치.

청구항 7

제 6 항에 있어서,
상기 제1 및 제2 홀은 상기 애노드 전극과 중첩되어 형성된 것을 특징으로 하는 유기 발광 장치.

청구항 8

제 7 항에 있어서,
상기 유기 발광층은 적어도 상기 제1 홀 내에 언더 컷(Under-cut) 지게 형성된 영역 내에 내재 되어 상기 캐소드 전극과 상기 정공 주입층의 접속을 방지하는 것을 특징으로 하는 유기 발광 장치.

청구항 9

제 1 항에 있어서,

상기 유기 발광층은 잉크젯 방법으로 형성된 것을 특징으로 하는 유기 발광 장치.

청구항 10

제 9 항에 있어서,

상기 정공 주입층과 상기 유기 발광층 사이에 형성된 정공 수송층을 더 포함하는 유기 발광 장치.

청구항 11

제 10 항에 있어서,

상기 유기 발광층은 적색, 녹색, 청색 및 백색 중에서 선택된 어느 하나의 색을 발광하는 것을 특징으로 하는 유기 발광 장치.

청구항 12

기관 위에 박막 트랜지스터와 접속된 애노드 전극을 형성하는 단계;

상기 애노드 전극 위에 정공 주입층을 형성하는 단계;

상기 정공 주입층 위에 에치 아웃 버퍼층을 형성하는 단계;

상기 에치 아웃 버퍼층 위에 감광성 유기막을 형성하는 단계;

상기 감광성 유기막을 관통하는 홀을 형성하여 격벽을 형성하는 단계;

상기 격벽을 마스크로 하여 상기 에치 아웃 버퍼층에 상기 정공 주입층을 노출시키는 홀을 형성하는 단계;

상기 에치 아웃 버퍼층 및 상기 격벽에 형성된 홀을 통해 노출된 정공 주입층 위에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 위에 캐소드 전극을 형성하는 단계를 포함하는 유기 발광 장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 에치 아웃 버퍼층을 형성하는 단계에서,

상기 에치 아웃 버퍼층은 비도전성 물질로 형성하는 것을 특징으로 하는 유기 발광 장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 에치 아웃 버퍼층을 형성하는 단계에서,

상기 비도전성 물질은 Oxide, Nitride 및 Oxynitride 계열의 물질 중 적어도 어느 하나인 것을 특징으로 하는 유기 발광 장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 에치 아웃 버퍼층을 형성하는 단계에서,

상기 에치 아웃 버퍼층은 100 내지 20,000Å의 두께로 형성하는 단계를 포함하는 유기 발광 장치의 제조방법.

청구항 16

제 12 항에 있어서,

상기 에치 아웃 버퍼층에 형성된 홀을 형성하는 단계에서,

상기 에치 아웃 버퍼층에 형성된 홀은 상기 격벽 하부에 언더 컷(Under-cut)지게 형성되는 것을 특징으로 하는

유기 발광 장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 유기 발광층을 형성하는 단계에서,

상기 유기 발광층은 상기 제1 홀의 언더 컷(Under-cut) 지게 형성된 내부 영역에 형성되는 것을 특징으로 하는 유기 발광 장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 유기 발광층을 형성하는 단계에서,

상기 유기 발광층은 잉크젯 방법으로 형성되는 것을 특징으로 하는 유기 발광 장치의 제조방법.

청구항 19

제 18 항에 있어서,

상기 유기 발광층을 형성하는 단계는

상기 정공 주입층 상부에 정공 수송층을 형성하는 단계를 더 포함하는 유기 발광 장치의 제조방법.

청구항 20

제 12 항에 있어서,

상기 격벽을 형성하는 단계에서,

상기 격벽을 소수성 처리하는 단계를 더 포함하는 유기 발광 장치의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 유기 발광 장치 및 이의 제조방법에 관한 것으로, 특히 유기 발광층이 균일하게 형성된 유기 발광 장치 및 이의 제조방법에 관한 것이다.

배경기술

- <2> 일반적으로, 유기 발광 장치는 캐소드 전극과 애노드 전극 사이에 형성된 유기 발광층에 전하를 주입하면 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 소자로서, 낮은 전압에서 구동이 가능하고, 전력 소모가 적은 것이 특징인 차세대 디스플레이 소자이다.
- <3> 유기 발광 장치는 기판 위에 형성된 박막 트랜지스터 및 박막 트랜지스터와 연결된 유기 발광 소자를 포함한다.
- <4> 박막 트랜지스터는 각 화소마다 적어도 하나가 형성되어 구동신호에 따라 유기 발광 소자를 구동시킨다.
- <5> 유기 발광 소자는 애노드 전극, 캐소드 전극, 두 전극 사이에 개재된 발광층을 포함한다. 유기 발광 소자는 각 픽셀을 개별적으로 단독 구동하기 위해서 각 픽셀별로 발광층을 형성하기 위한 격벽을 형성한다. 이때, 발광층을 형성하기 전에 격벽 내에 마련된 공간에 정공 주입층을 더 형성할 수 있다.
- <6> 정공 주입층이 격벽 내에 형성될 때, 계면 현상으로 인하여 정공 주입층의 내부가 오목해져 발광층이 정공 주입층의 오목한 부분에 집중하여 형성됨으로써, 발광층이 정공 주입층을 완전히 덮도록 형성되지 않을 수 있다. 이 경우, 캐소드 전극과 정공 주입층이 직접 접촉하여 해당 셀이 발광하지 않을 수 있다.
- <7> 또한, 정공 주입층을 격벽 내에 잉크젯 방법으로 형성하는 경우 정공 주입층이 불균일하게 형성되고, 정공 주입층 상부에 형성되는 유기 발광층도 불균일하게 형성되어 표시 특성이 불균일할 수 있다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명이 해결하고자 하는 과제는 정공 주입층과 캐소드 전극이 직접 접촉하는 것을 방지하고, 균일한 표시 특성을 갖는 유기 발광 장치 및 이의 제조방법을 제공하는 데 있다.
- <9> 또한, 본 발명이 해결하고자 하는 과제는 정공 주입층 위에 격벽을 형성하기 전에 무기 절연막을 형성함으로써 격벽 형성시 정공 주입층의 소실 및 손상을 방지하는 유기 발광 장치 및 이의 제조방법을 제공하는 데 있다.

과제 해결수단

- <10> 상기의 문제점을 해결하기 위하여, 본 발명은 기관 위에 형성된 박막 트랜지스터; 상기 박막 트랜지스터와 접속된 애노드 전극; 상기 애노드 전극 위에 형성되는 정공 주입층; 상기 정공 주입층을 노출시키는 제1 홀을 포함하며 상기 정공 주입층 위에 형성된 에치 아웃 버퍼층; 상기 제1 홀과 중첩된 제2 홀을 포함하며, 상기 에치 아웃 버퍼층 위에 형성된 격벽; 상기 제1 및 제2 홀에 의해 노출된 상기 정공 주입층 위에 형성된 유기 발광층; 및 상기 유기 발광층 위에 형성된 캐소드 전극을 포함하는 유기 발광 장치를 제공한다.
- <11> 여기서, 상기 에치 아웃 버퍼층은 비도전성 물질로 형성될 수 있다.
- <12> 또한, 상기 비도전성 물질은 Oxide, Nitride 및 Oxynitride 계열 물질 중 적어도 어느 하나를 포함할 수 있다.
- <13> 그리고 상기 에치 아웃 버퍼층은 100 내지 20,000Å의 두께로 형성될 수 있다.
- <14> 그리고 상기 제1 홀은 상기 격벽 하부에 언더 컷(Under-cut)지게 형성될 수 있다.
- <15> 이때, 상기 제1 및 제2 홀은 상기 애노드 전극과 중첩되어 형성될 수 있다.
- <16> 여기서, 상기 유기 발광층은 적어도 상기 제1 홀 내에 언더 컷 지게 형성된 영역에 내재 되어 상기 캐소드 전극과 상기 정공 주입층의 접촉을 방지할 수 있다.
- <17> 그리고 상기 유기 발광층은 잉크젯 공정으로 형성될 수 있다.
- <18> 이때, 상기 유기 발광 장치는 상기 정공 주입층과 상기 유기 발광층 사이에 형성된 정공 수송층을 더 포함할 수 있다.
- <19> 여기서, 상기 유기 발광층은 적색, 녹색, 청색 및 백색 중에서 선택된 어느 하나의 색을 발광할 수 있다.
- <20> 그리고 본 발명은 기관 위에 박막 트랜지스터와 접속된 애노드 전극을 형성하는 단계; 상기 기관 전면애 상기 애노드 전극을 덮도록 정공 주입층을 형성하는 단계; 상기 정공 주입층 위에 에치 아웃 버퍼층을 형성하는 단계; 상기 에치 아웃 버퍼층 위에 감광성 유기막을 형성하는 단계; 상기 감광성 유기막을 관통하는 홀을 형성하여 격벽을 형성하는 단계; 상기 격벽을 마스크로 하여 상기 에치 아웃 버퍼층에 상기 정공 주입층을 노출시키는 홀을 형성하는 단계; 상기 에치 아웃 버퍼층 및 상기 격벽에 형성된 홀을 통해 노출된 정공 주입층 위에 유기 발광층을 형성하는 단계; 및 상기 유기 발광층 위에 캐소드 전극을 형성하는 단계를 포함하는 유기 발광 장치의 제조방법을 제공한다.
- <21> 여기서, 상기 에치 아웃 버퍼층을 형성하는 단계에서, 상기 에치 아웃 버퍼층은 비도전성 물질로 형성할 수 있다.
- <22> 그리고 상기 에치 아웃 버퍼층을 형성하는 단계에서, 상기 비도전성 물질은 Oxide, Nitride 및 Oxynitride 계열의 물질 중 적어도 어느 하나로 형성될 수 있다.
- <23> 이때, 상기 에치 아웃 버퍼층을 형성하는 단계에서 상기 에치 아웃 버퍼층은 100 내지 20,000Å의 두께로 형성될 수 있다.
- <24> 그리고 본 발명에 따른 유기 발광 장치의 제조방법은 상기 에치 아웃 버퍼층에 홀을 형성하는 단계에서, 상기 에치 아웃 버퍼층에 형성된 홀은 상기 격벽 하부에 언더 컷(Under-cut)지게 형성될 수 있다.
- <25> 이때, 상기 유기 발광층은 상기 에치 아웃 버퍼층의 언더 컷(Under-cut)지게 형성된 홀 내부 영역에 형성될 수 있다.
- <26> 또한, 본 발명에 따른 유기 발광 장치의 제조방법은 상기 유기 발광층을 형성하는 단계에서, 상기 유기 발광층

은 잉크젯 방법으로 형성될 수 있다.

- <27> 그리고 상기 유기 발광층을 형성하는 단계에서, 상기 정공 주입층 상부에 정공 수송층을 형성하는 단계를 더 포함할 수 있다.
- <28> 한편, 본 발명의 실시 예에 따른 유기 발광 장치의 제조방법은 상기 격벽을 형성하는 단계에서, 상기 격벽을 소수성 처리하는 단계를 더 포함할 수 있다.

효 과

- <29> 본 발명에 따른 유기 발광 장치 및 이의 제조방법은 에치 아웃 버퍼층을 구비하여 격벽 형성시 에치 아웃 버퍼층 하부에 형성된 정공 주입층의 손상을 방지할 수 있다.
- <30> 또한, 격벽 하부에 형성된 에치 아웃 버퍼층의 언더 컷 지게 형성된 홀부분에 유기 발광층이 내재되어 정공 주입층과 캐소드 전극이 직접 콘택하는 것을 방지할 수 있다.
- <31> 그리고, 상기 에치 아웃 버퍼층 형성시 언더컷 지게 형성되는 부분은 별도의 추가 공정 없이 진행할 수 있다.
- <32> 그리고 본 발명에 따른 유기 발광 장치 및 이의 제조방법은 정공 주입층을 기관 전면에 형성함으로써 잉크젯 공정을 줄일 수 있다. 이에 따라, 잉크젯 공정시 발생하는 불균일 현상을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- <33> 도 1은 본 발명의 실시 예에 따른 유기 발광 장치를 도시한 평면도이고, 도 2는 도 1에 도시된 I-I'선을 따라 절단된 단면을 도시한 단면도이다.
- <34> 도 1 및 도 2를 참조하면, 본 발명의 실시 예에 따른 유기 발광 장치는 기관(10), 제1 및 제2 박막 트랜지스터(100, 200) 및 유기 발광 소자를 포함한다.
- <35> 구체적으로, 상기 기관(10)은 유리 또는 플라스틱 등의 투명한 절연 물질로 형성될 수 있다.
- <36> 상기 제1 박막 트랜지스터(100)는 게이트 라인(20) 및 데이터 라인(50)과 접속되어 게이트 라인(20)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(50)에 공급된 데이터 신호를 스토리지 커패시터 및 제2 박막 트랜지스터(200)에 공급한다. 이를 위하여, 제1 박막 트랜지스터(100)는 게이트 라인(20)과 접속된 제1 게이트 전극(21), 데이터 라인(50)과 접속된 제1 소스 전극(51), 제1 소스 전극(51)과 마주하는 제1 드레인 전극(52), 제1 소스 전극(51) 및 제1 드레인 전극(52) 사이에 채널을 형성하는 제1 반도체 패턴(40)을 포함한다. 이때, 제1 드레인 전극(52)은 제2 박막 트랜지스터(200)의 제2 게이트 전극(121) 및 스토리지 커패시터와 접속된다. 그리고 제1 반도체 패턴(40)은 제1 게이트 절연막(30)을 사이에 두고 제1 게이트 전극(21)과 중첩되는 제1 활성층과, 제1 활성층 위에 형성된 제1 오믹 콘택층을 포함할 수 있다. 여기서, 제1 활성층 및 제1 오믹 콘택층은 아몰포스 실리콘 또는 폴리 실리콘으로 형성될 수 있다.
- <37> 상기 제2 박막 트랜지스터(200)는 제2 게이트 전극(121)으로 공급되는 데이터 신호에 응답하여 전원 라인(55)으로부터 유기 발광 소자로 공급되는 전류를 제어함으로써 유기 발광 소자의 발광량을 조절한다. 이를 위하여, 제2 박막 트랜지스터(200)는 제1 드레인 전극(52)과 연결 전극(90)을 통해 접속된 제2 게이트 전극(121), 전원 라인(55)과 접속된 제2 소스 전극(151), 제2 소스 전극(151)과 마주하며 유기 발광 소자의 애노드 전극(170)과 접속된 제2 드레인 전극(152), 제2 소스 전극(151) 및 제2 드레인 전극(152) 사이에 채널을 형성하는 제2 반도체 패턴(140)을 포함할 수 있다. 여기서, 연결 전극(90)은 평탄화층(80) 위에 애노드 전극(170)과 동일 재질로 형성된다. 이때, 평탄화층(80)은 보호막(70)의 상부에 형성되어 애노드 전극(170)이 평탄하게 형성될 수 있도록 한다.
- <38> 상기 연결 전극(90)은 제1 콘택홀(81)을 통해 노출된 제1 박막 트랜지스터(100)의 제1 드레인 전극(52)과, 제2 콘택홀(82)을 통해 노출된 제2 박막 트랜지스터(200)의 제2 게이트 전극(121)을 연결시킨다. 제1 콘택홀(81)은 보호막(70) 및 평탄화층(80)을 관통하여 제1 드레인 전극(52)을 노출시키며, 제2 콘택홀(82)은 제2 게이트 절연막(60), 보호막(70) 및 평탄화층(80)을 관통하여 제2 게이트 전극(121)을 노출시킨다.
- <39> 그리고, 제2 반도체 패턴(140)은 제1 게이트 절연막(30)을 사이에 두고 제2 게이트 전극(121)과 중첩되는 제2 활성층(141), 제2 소스 전극(151) 및 제2 드레인 전극(152)과의 오믹 접촉을 위하여 채널을 제외한 제2 활성층(141) 위에 형성된 제2 오믹 콘택층(142)을 포함한다. 이러한, 제 2 활성층(140)은 아몰포스 실리콘 또는 폴리

실리콘으로 형성될 수 있다.

- <40> 상기 스토리지 커패시터는 전원 라인(55)과 제2 박막 트랜지스터(200)의 제2 게이트 전극(121)이 제2 게이트 절연막(60)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 커패시터에 충전된 전압에 의해 제1 박막 트랜지스터(100)가 턴-오프되더라도 제2 박막 트랜지스터(200)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 유기 발광 소자가 발광을 유지하도록 한다.
- <41> 상기 유기 발광 소자는 평탄화층(80) 위에 형성된 애노드 전극(170), 격벽(230), 애노드 전극(170)과 평탄화층(80) 위에 형성된 정공 주입층(210), 정공 주입층(210)과 격벽(230) 사이에 형성된 에치 아웃 버퍼층(220) 및 정공 주입층(210)위에 형성된 유기 발광층(240), 유기 발광층(240) 위에 형성된 캐소드 전극(250)을 포함할 수 있다.
- <42> 구체적으로, 상기 애노드 전극(170)은 평탄화층(80) 위에 각 서브 화소 마다 독립적으로 형성될 수 있다. 애노드 전극(170)은 제1 게이트 절연막(30), 제2 게이트 절연막(60), 보호막(70) 및 평탄화층(80)을 관통하는 제3 콘택홀(160)을 통해 노출된 제2 박막 트랜지스터(200)의 제2 드레인 전극(152)과 접속된다. 여기서, 애노드 전극(170)은 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 등으로 형성될 수 있다.
- <43> 상기 캐소드 전극(250)은 유기 발광층(240) 위에 형성된다. 캐소드 전극(250)은 일함수가 낮은 금속 물질로 형성될 수 있다. 즉, 유기 발광층(240)과 인접한 영역에는 일함수가 낮은 금속으로 형성될 수 있다. 캐소드 전극(250)은 전자 공급 능력과 반사 특성이 우수한 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성될 수 있다.
- <44> 상기 정공 주입층(210)은 애노드 전극(170)을 덮도록 기판 전면에서 형성된다. 정공 주입층(210)은 수용성 재질 예를 들면, 폴리에틸렌 디옥시 티오펜(Polyethylene Dioxy Thiophene) 등의 고분자 유기 물질로 형성될 수 있다.
- <45> 한편, 정공 주입층(210)은 애노드 전극(170)과 중첩된 영역에만 형성될 수도 있다.
- <46> 상기 에치 아웃 버퍼층(220)은 정공 주입층(210) 위에 형성되고, 애노드 전극(170)과 중첩되는 영역에 형성된 제1 홀(221)을 포함한다. 에치 아웃 버퍼층(220)은 비도전성 물질로 형성될 수 있다. 에치 아웃 버퍼층(220)은 무기 절연 물질 또는 유기 절연 물질을 사용할 수 있다. 이때, 무기 절연 물질은 Oxide, Nitride 및 Oxynitride 계열의 물질을 사용할 수 있으며, 예를 들면 SiOx, SiNx, SiOxNy, AlOx, AlNx, AlOxNy, SiCxOy 등의 물질 중 적어도 어느 하나 또는 이들이 적층된 형태로 형성될 수 있다.
- <47> 유기 절연 물질은 예를 들면, 폴리이미드계 수지, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 퍼플로로사이클로부텐수지(PFCB)로 이루어진 군에서 선택된 적어도 하나일 수 있다.
- <48> 상기의 에치 아웃 버퍼층(220)은 100 내지 20,000Å의 두께로 형성될 수 있다. 예를 들어, 에치 아웃 버퍼층(220)의 두께가 100Å 미만이면 제1 홀(221)을 형성하기 위한 식각 공정시 에치 아웃 버퍼층(220)의 하부에 형성된 정공 주입층(210)에 손상을 줄 수 있다.
- <49> 그리고 에치 아웃 버퍼층(220)의 두께가 20,000Å 초과하면 에치 아웃 버퍼층(220)을 식각하는 공정 시간이 길어질 수 있다. 그리고 에치 아웃 버퍼층(220)의 두께가 20,000Å을 초과하면, 유기 발광층(240)과 격벽(230) 사이의 공간이 크게 벌어져 도 3에 도시된 바와 같이, 캐소드 전극(250)에 단선이 발생할 수 있다. 따라서, 에치 아웃 버퍼층(220)의 두께는 20,000Å 이하로 형성된다.
- <50> 상기 제1 홀(221)은 에치 아웃 버퍼층(220)을 관통하여 정공 주입층(210)을 노출시킨다. 제1 홀(221)은 애노드 전극(170)과 중첩되도록 형성될 수 있다. 이때, 제1 홀(221)의 상부 단면적이 제2 홀(231)의 상부 단면적보다 더 작게 형성될 수 있다. 즉, 제1 홀(221)이 형성될 때, 격벽(230)의 하부에 언더 컷(Under-cut) 지게 형성되어 제1 홀(221)의 주변부는 격벽(230)에 의해 가려질 수 있다.
- <51> 제1 홀(221)이 언더 컷(Under-cut)지게 형성됨으로써, 추후 유기 발광층(240)이 제1 홀(221)의 언더 컷(Under-cut)진 부분으로 내재되어 정공 주입층(210)의 노출부를 덮도록 형성될 수 있다. 이에 따라, 캐소드 전극(250)과 정공 주입층(210)이 직접 접촉되는 것을 방지할 수 있다.
- <52> 상기 격벽(230)은 제1 홀(221)과 중첩된 제2 홀(231)을 포함하고, 에치 아웃 버퍼층(220) 상부에 형성된다. 격벽(230)은 감광성 유기 절연 물질로 형성된다. 이때, 상기 제2 홀(231)은 유기 발광층(240)이 제1 홀(221)에

용이하게 내재 되도록 제1 홀(221) 및 애노드 전극(170)과 증착되게 형성된다.

- <53> 상기 제2 홀(231)은 하단부 단면적이 상단부 단면적에 비해 더 작게 형성될 수 있다. 격벽(230)은 소수성 처리되어 추후 유기 발광층(240)이 형성될 때 제2 홀(231)의 경계면을 따라 유기 발광층(240)이 제1 홀(221)로 유입될 수 있도록 한다.
- <54> 상기 유기 발광층(240)은 고분자 재료로 형성될 수 있다. 예를 들어, 유기 발광층(240)은 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 재료들을 사용할 수 있다.
- <55> 그러나 유기 발광층(240)은 저분자 재료로 형성될 수도 있다. 예를 들어, 저분자 재료로서, 구리 프탈로시아닌(CuPc: copper phthalocyanine), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 사용할 수 있다.
- <56> 유기 발광층(240)과 정공 주입층(210) 사이에 버퍼 기능을 하는 정공 수송층을 더 포함할 수 있다.
- <57> 또한, 캐소드 전극(250)과 유기 발광층(240) 사이에 전자 공급층 및 전자 수송층을 더 포함할 수 있다. 전자 공급층은 캐소드 전극(250)과 접촉되도록 적층되고, 전자 수송층은 전자 공급층과 유기 발광층(240) 사이에 적층될 수 있다.
- <58> 도 4a 내지 도 4g는 본 발명의 실시 예에 따른 유기 발광 표시 패널의 제조방법을 설명하는 단면도들이다. 이하, 도 4a 내지 도 4g를 도 1과 연관지어 설명하기로 한다.
- <59> 도 1 및 도 4a를 참조하면, 기판(10) 위에 제2 박막 트랜지스터(200)가 형성된다. 여기서, 제2 박막 트랜지스터(200)가 형성되는 동안 제1 박막 트랜지스터(100), 데이터 라인(50), 전원 라인(55) 및 게이트 라인(20)이 형성될 수 있다.
- <60> 구체적으로, 기판(10) 위에 제2 박막 트랜지스터(200)의 제2 반도체 패턴(140)을 형성한다. 이때, 제2 반도체 패턴(140)은 아몰포스 실리콘 또는 폴리 실리콘으로 형성될 수 있다. 여기서, 제2 반도체 패턴(140)은 제 2 활성층(141) 및 제2 오믹 콘택층(142)을 포함할 수 있다.
- <61> 다음으로, 제2 소스 전극(151) 및 제2 드레인 전극(152)을 형성한다. 구체적으로, 스퍼터링 방법을 이용하여 도전성 금속을 기판(10) 상에 전면 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 도전성 금속을 패터닝하여 제2 소스 전극(151) 및 제2 드레인 전극(152)을 형성한다. 그리고 제2 소스 전극(151)이 형성될 때, 전원 라인(55)과 데이터 라인(50)도 함께 형성될 수 있다.
- <62> 그런 다음, 기판(10) 전면에 걸쳐서 SiO_x, SiN_x 등의 무기 절연 물질로 제1 게이트 절연막(30)을 형성한다. 다음으로, 제1 게이트 절연막(30) 위에 도 1에 도시된 제1 게이트 전극(21)과 제2 게이트 전극(121)을 동시에 형성한다. 이때, 도 1에 도시된 제1 게이트 전극(21)과 연결된 게이트 라인(20)을 함께 형성할 수 있다. 그런 다음, 제1 게이트 전극(21) 및 제2 게이트 전극(121)이 형성된 기판(10) 위에 제1 게이트 절연막(30)과 동일한 물질 및 동일한 방법으로 제2 게이트 절연막(60)을 형성한다. 다음으로, 제2 게이트 절연막(60) 위에 제1 게이트 전극(21)과 증착되도록 제1 반도체 패턴(40)을 형성한다. 제1 반도체 패턴(40)은 아몰포스 실리콘 또는 폴리 실리콘으로 형성할 수 있다. 다음으로, 제1 소스 전극(51) 및 제1 드레인 전극(52)을 형성한다. 다음으로, 제 1 및 제2 소스 전극(51, 151) 및 제 1 및 제2 드레인 전극(52, 152)이 형성된 기판(10) 위에 보호막(70)을 형성한다. 그리고 보호막(70) 위에 평탄화층(80)을 더 형성할 수 있다. 보호막(70)은 SiN_x 또는 SiO_x와 같은 무기 절연 물질로 형성한다. 그런 다음, 도 1에 도시된 제1 내지 제3 콘택홀(81, 82, 160)을 포함하는 평탄화층(80)을 형성한다.
- <63> 평탄화층(80)은 보호막(70)이 형성된 기판(10) 상에 스핀 코팅(Spin Coating) 또는 스핀리스 코팅(Spinless Coating) 등의 방법으로 형성된다. 제 1 내지 제 3 콘택홀(160)은 제 1 및 제2 게이트 절연막(30, 60), 보호막(70) 및 평탄화층(80)이 선택적으로 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다.
- <64> 다음으로, 도 4a에 도시된 평탄화층(80) 위에 애노드 전극(170)을 형성한다.
- <65> 구체적으로, 평탄화층(80) 위에 스퍼터링 등의 증착 방법으로 투명 도전막을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝하여 애노드 전극(170)을 형성한다. 투명 도전막으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등의 일함수가 높은 도전 물질을 이용한다. 이때, 도 1에 도시된 연결 전극(90)을 더 형성할 수 있다.
- <66> 다음으로, 도 4b를 참조하면, 애노드 전극(170)과 평탄화층(80) 위에 정공 주입층(210)을 형성한다.

- <67> 구체적으로, 정공 주입층(210)은 폴리에틸렌 디옥시 티오펜(Polyethylene Dioxy Thiophene) 등의 유기 물질을 전면에 코팅 방법 등을 이용하여 형성할 수 있다. 상기와 같이, 정공 주입층(210)을 전면에 형성함으로써 잉크젯 공정수를 줄여, 잉크젯 공정시 발생할 수 있는 프린트 마크와 같은 표시 불량을 줄일 수 있다.
- <68> 다음으로, 도 4c 및 도 4d에 도시된 바와 같이, 정공 주입층(210) 위에 에치 아웃 버퍼층(220) 및 감광성 유기막(235)을 형성한다.
- <69> 구체적으로, 정공 주입층(210) 위에 CVD, PECVD, 코팅 등의 증착 방법을 통해 SiO_x, SiN_x, SiO_xN_y, AlO_x, AlN_x, AlO_xN_y, SiC_xO_y 등의 무기 절연 물질 또는 폴리이미드계 수지, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 퍼플로로사이클로부텐수지(PFCB)로 이루어진 군에서 선택된 적어도 하나의 유기 절연 물질로 에치 아웃 버퍼층(220)을 형성한다. 이때, 에치 아웃 버퍼층(220)은 200 내지 20,000Å의 두께로 형성한다. 다음으로, 스핀 코팅(Spin Coating) 또는 스핀리스 코팅(Spinless Coating) 등의 방법으로 감광성 유기막(235)을 형성한다. 이때, 감광성 유기막(235)은 포지티브 특성을 갖는 감광성 재료를 사용할 수 있다. 다음으로, 감광성 유기막(235)을 마스크를 이용하여 광을 조사한 후, 현상 공정을 통해 제2 홀(231)을 형성한다. 광은 제2 홀(231)이 형성될 영역에만 조사된다.
- <70> 이때, 제2 홀(231)은 애노드 전극(170)과 중첩되게 형성한다. 이에 따라, 제2 홀(231)이 구비된 격벽(230)을 형성한다. 여기서, 격벽(230) 하부에 형성된 에치 아웃 버퍼층(220)은 제2 홀(231)이 형성될 때, 정공 주입층(210)의 손상을 방지할 수 있다. 또한, 에치 아웃 버퍼층(220)이 정공 주입층(210)을 모두 덮고 있으므로, 정공 주입층(210)이 격벽(230)의 표면처리공정시 소실되거나 손상되는 것을 방지할 수 있도록 한다.
- <71> 다음으로, 상기 격벽(230)을 소수성 특성을 갖도록 표면처리한다. 표면처리공정을 통해 격벽(230)이 소수성 특성을 갖도록 한다. 표면처리공정은 불소계 플라즈마를 사용하여 표면을 소수성으로 만들어준다. 이때, 불소계 플라즈마를 이용한 표면처리공정은 CF₄ 또는 C₃F₈ 과 같은 불소계 가스를 이용한다. 상기와 같이, 격벽(230)을 소수성 처리를 하면 잉크젯 공정시 유기 발광층 분사체의 미스 얼라인이 발생하여도 유기 발광층이 제2 홀(231) 내로 용이하게 흘러들 수 있다.
- <72> 다음으로, 도 4e에 도시된 바와 같이, 격벽(230)을 마스크로 이용하여 에치 아웃 버퍼층(220)에 제1 홀(221)을 형성한다. 이때, 제1 홀(221)은 정공 주입층(210)을 노출시킨다. 제1 홀(221)은 습식 식각 공정으로 형성하며, 각각의 화소 영역에 균일한 크기의 제1 홀(221)을 형성하기 위하여 오버 에칭될 수 있다.
- <73> 제1 홀(221)은 하단의 단면적이 상단의 단면적보다 더 작게 형성될 수 있다. 즉, 제1 홀(221)은 언더 컷(Under-cut) 지게 형성될 수 있다. 제1 홀(221)의 상부 단면 중 적어도 일부는 제2 홀(231)의 하부 단면에 의해 가려지도록 언더 컷(Under-cut) 지게 형성된다. 이때, 제1 홀(221)은 애노드 전극(170)과 중첩되게 형성한다.
- <74> 다음으로, 도 4f에 도시된 제1 및 제2 홀(231, 221)에 의해 노출된 정공 주입층(210) 위에 유기 발광층(240)을 형성한다.
- <75> 구체적으로, 잉크젯 방법을 이용하여 유기 발광층(240)을 제1 및 제2 홀(231, 221)에 의해 노출된 정공 주입층(210) 위에 형성한다. 상기의 유기 발광층(240)은 제1 홀(221)의 언더 컷(Under-cut) 지게 형성된 영역 내에 채워질 수 있다. 이에 따라, 유기 발광층(240)이 제1 및 제2 홀(221, 231)에 의해 노출된 정공 주입층(210)의 상부면을 덮도록 형성된다.
- <76> 이때, 유기 발광층(240)은 적, 녹, 청색의 빛을 발광하는 유기 발광 물질을 사용할 수 있다. 또한, 유기 발광층(240)은 백색의 빛을 발광하는 유기 발광 물질을 사용할 수도 있다.
- <77> 또한, 유기 발광층(240)은 정공 수송층, 전자 주입층 및 전자 수송층이 더 형성될 수도 있다.
- <78> 다음으로, 도 4g에 도시된 유기 발광층(240) 및 격벽(230)의 상부에 캐소드 전극(250)을 형성한다.
- <79> 구체적으로, 스퍼터링 등의 증착 공정을 통해 유기 발광층(240)과 격벽(230)을 덮는 캐소드 전극(250)이 형성된다. 이때, 캐소드 전극(250)은 전자 공급 능력과 반사 특성이 우수한 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물을 포함하는 금속 물질로 형성할 수 있다.
- <80> 여기서, 유기 발광층(240)이 제1 홀(221)의 내부에 정공 주입층(210)을 덮도록 형성되어 있으므로, 캐소드 전극(250)이 형성될 때 정공 주입층(210)과 콘택되지 않는다. 또한, 상기의 에치 아웃 버퍼층(220)의 두께가 20,000Å 이하로 형성되기 때문에 유기 발광층(240)의 두께가 얇게 형성되어도 캐소드 전극(250)에서의 단선이

방지될 수 있다.

<81> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<82> 도 1은 본 발명의 실시 예에 따른 유기 발광 장치를 도시한 평면도이다.

<83> 도 2는 도 1에 도시된 유기 발광 장치의 I-I' 선을 따라 절단된 단면을 도시한 단면도이다.

<84> 도 3은 에치 아웃 버퍼층의 두께가 증가하여 캐소드 전극이 단선된 것을 도시한 단면도이다.

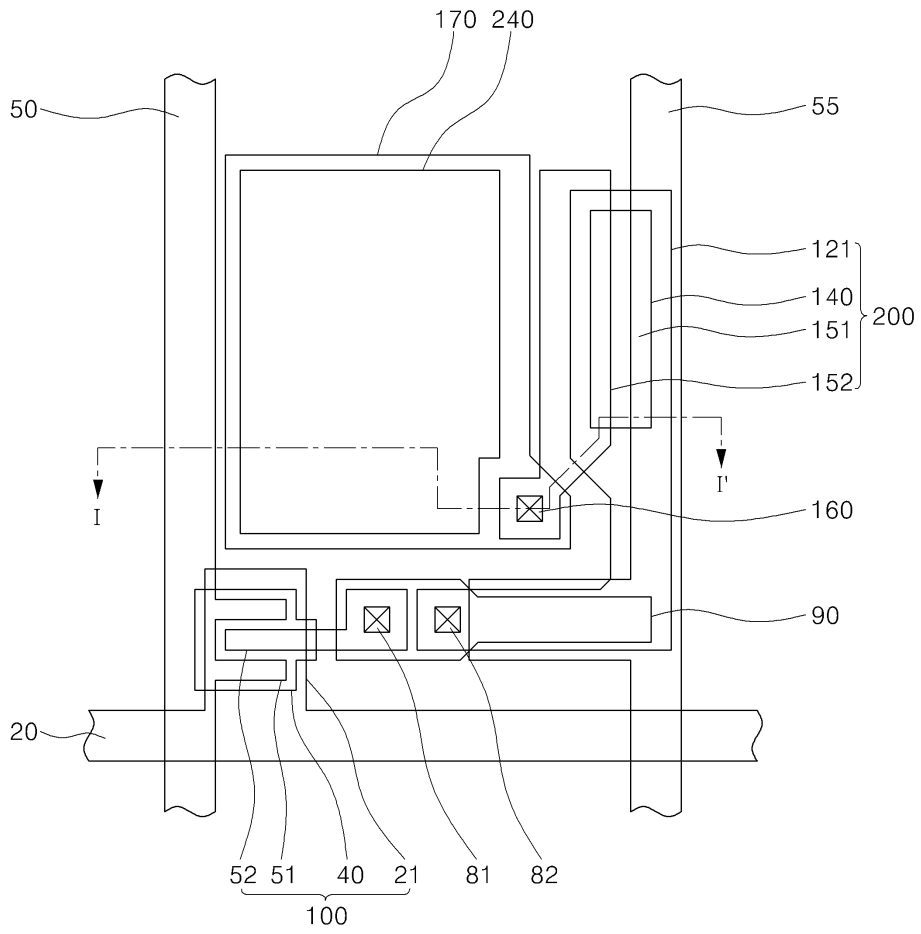
<85> 도 4a 내지 도 4g는 본 발명의 실시 예에 따른 유기 발광 장치의 제조방법을 도시한 단면도들이다.

<86> <도면부호의 간단한 설명>

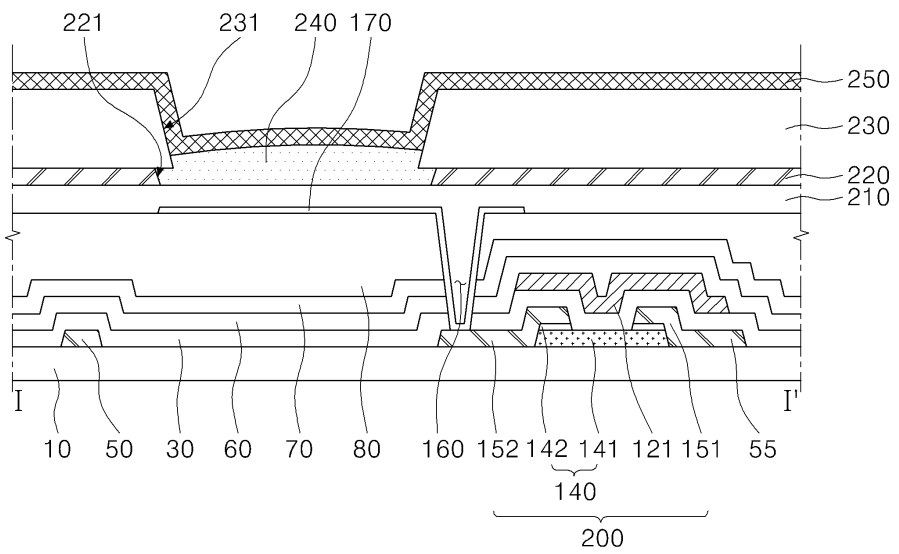
- | | |
|-----------------------|------------------|
| <87> 10: 기판 | 20: 게이트 라인 |
| <88> 21: 제1 게이트 전극 | 30: 제1 게이트 절연막 |
| <89> 40: 제1 반도체 패턴 | 50: 데이터 라인 |
| <90> 51: 제1 소스 전극 | 52: 제1 드레인 전극 |
| <91> 55: 전원 라인 | 60: 제2 게이트 절연막 |
| <92> 70: 보호막 | 80: 평탄화층 |
| <93> 81: 제1 콘택홀 | 82: 제2 콘택홀 |
| <94> 90: 연결 전극 | 100: 제1 박막 트랜지스터 |
| <95> 121: 제2 게이트 전극 | 140: 제2 반도체 패턴 |
| <96> 151: 제2 소스 전극 | 152: 제2 드레인 전극 |
| <97> 160: 제3 콘택홀 | 170: 애노드 전극 |
| <98> 200: 제2 박막 트랜지스터 | 210: 정공 주입층 |
| <99> 220: 에치 아웃 버퍼층 | 221: 제1 홀 |
| <100> 230: 격벽 | 231: 제2 홀 |
| <101> 235: 감광성 유기막 | 240: 유기 발광층 |
| <102> 250: 캐소드 전극 | |

도면

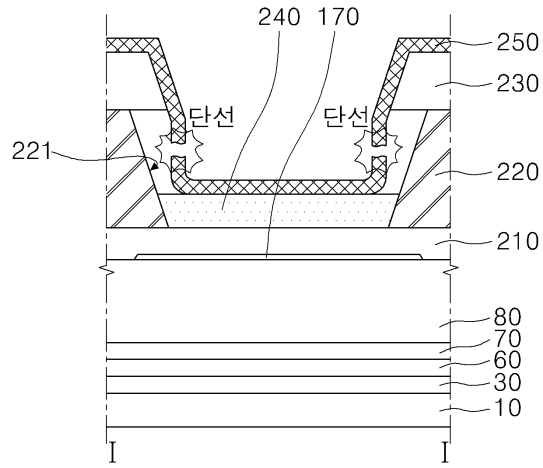
도면1



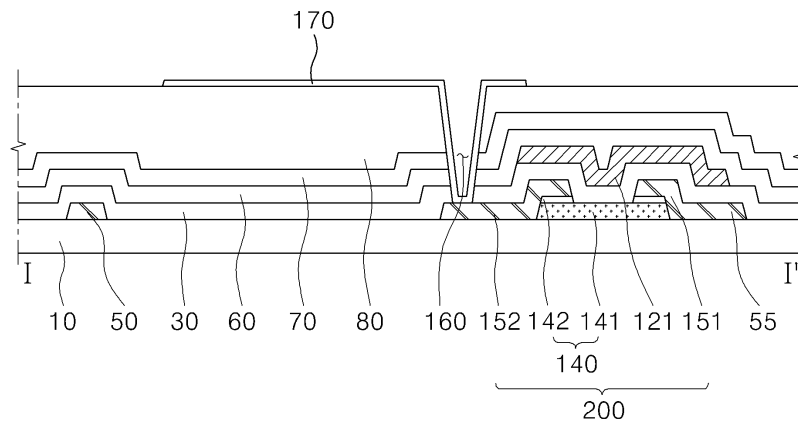
도면2



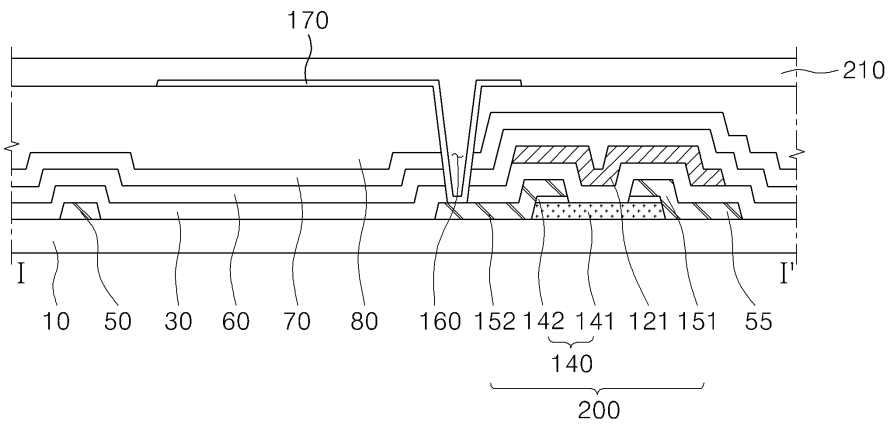
도면3



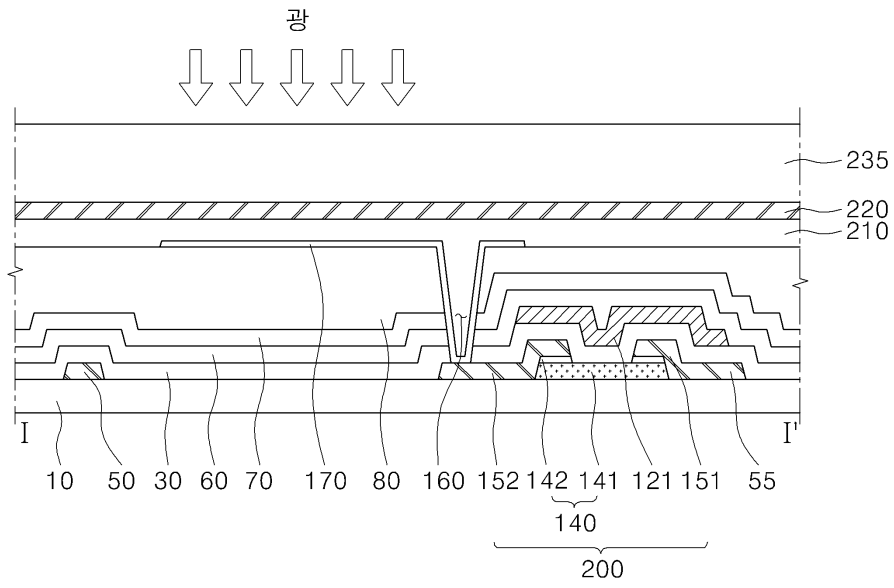
도면4a



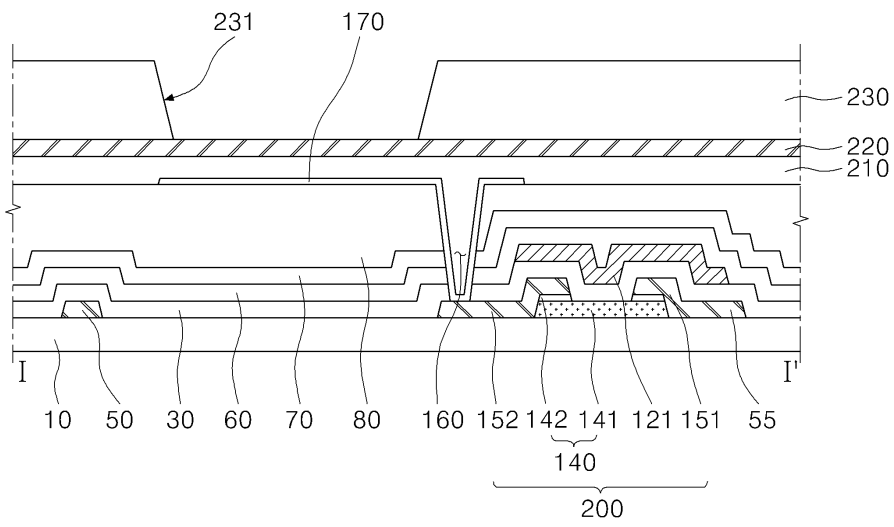
도면4b



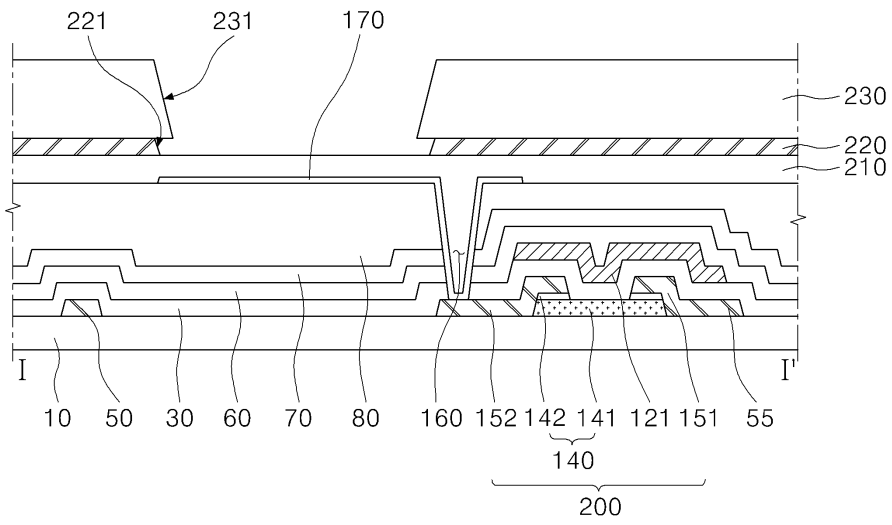
도면4c



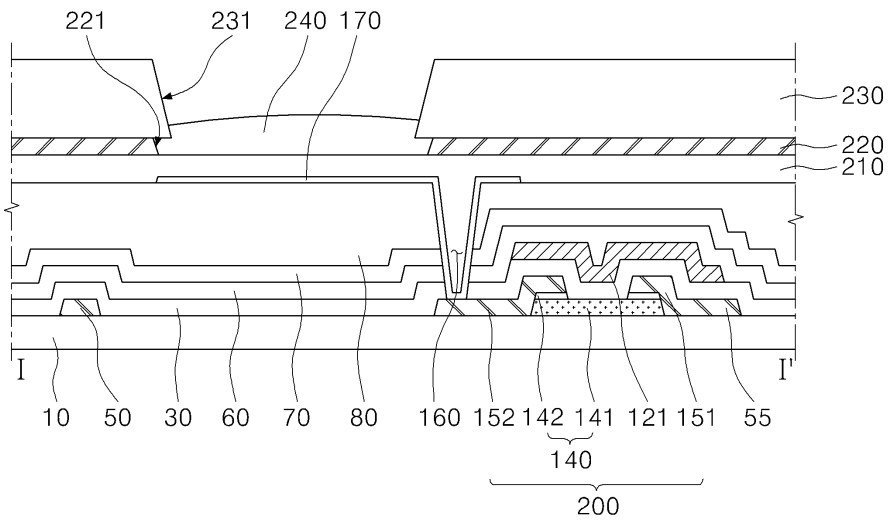
도면4d



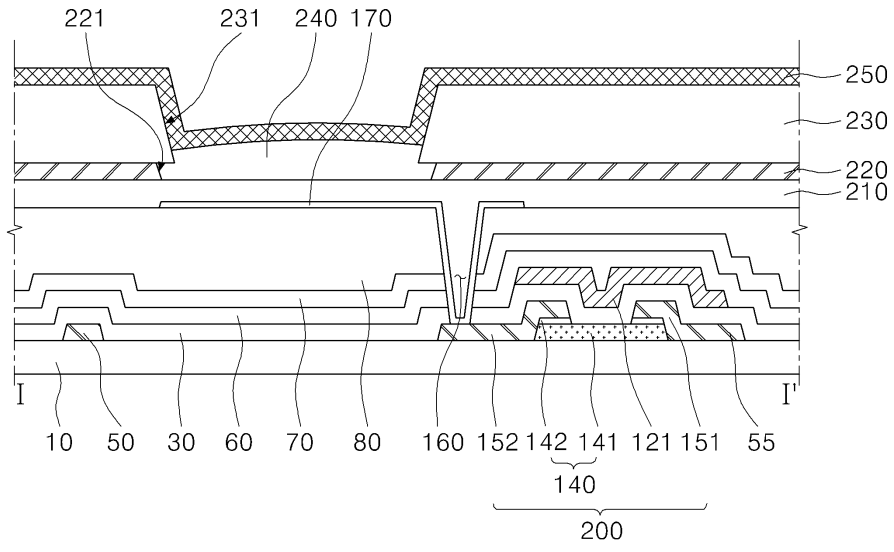
도면4e



도면4f



도면4g



专利名称(译)	有机发光器件及其制造方法		
公开(公告)号	KR1020090062088A	公开(公告)日	2009-06-17
申请号	KR1020070129188	申请日	2007-12-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE DONG WON 이동원 CHU CHANG WOONG 추창웅 CHUNG JIN KOO 정진구		
发明人	이동원 추창웅 정진구		
IPC分类号	H05B33/22		
CPC分类号	H01L51/56 H01L27/3246 H01L51/0012		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光器件及其制造方法，本发明的目的是防止有机发光器件及其制造方法在空穴注入层上形成阻挡肋之前直接接触空穴注入层和阴极并形成无机绝缘膜，并且涉及具有均匀形成的有机发光层的有机发光器件及其制造方法。

