



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/02 (2006.01)*G09G 3/32* (2006.01)

(11) 공개번호

10-2007-0004718

(43) 공개일자

2007년01월09일

(21) 출원번호 10-2006-7018786

(22) 출원일자 2006년09월13일

심사청구일자 없음

번역문 제출일자 2006년09월13일

(86) 국제출원번호 PCT/IB2005/050768

(87) 국제공개번호

WO 2005/091262

국제출원일자 2005년03월02일

국제공개일자

2005년09월29일

(30) 우선권주장 0406107.3 2004년03월17일 영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 피시, 데이비드, 에이.
 영국, 레드힐 서레이 RH1 5HA, 크로스 오크 레인, 필립스인텔렉추얼 프로퍼티 앤 스탠다드 내
 영, 나이젤, 디.
 영국, 레드힐 서레이 RH1 5HA, 크로스 오크 레인, 필립스인텔렉추얼 프로퍼티 앤 스탠다드 내
 리프카, 허버트
 영국, 레드힐 서레이 RH1 5HA, 크로스 오크 레인, 필립스인텔렉추얼 프로퍼티 앤 스탠다드 내
 지랄도, 안드레아
 영국, 레드힐 서레이 RH1 5HA, 크로스 오크 레인, 필립스인텔렉추얼 프로퍼티 앤 스탠다드 내
 오엡스, 우터
 영국, 레드힐 서레이 RH1 5HA, 크로스 오크 레인, 필립스인텔렉추얼 프로퍼티 앤 스탠다드 내

(74) 대리인 문경진

전체 청구항 수 : 총 23 항

(54) 전계발광 디스플레이 디바이스

(57) 요약

능동 매트릭스 디스플레이 디바이스는 디스플레이 팩셀의 어레이를 포함하며, 각 팩셀은 EL 디스플레이 소자, 디스플레이 소자의 밝기를 검출하기 위한 광-의존 디바이스 및 디스플레이 소자에 흐르는 전류를 구동하기 위한 구동 트랜지스터 회로를 포함한다. 구동 트랜지스터는 노화 보상이 구현될 수 있도록 광-의존 디바이스 출력에 응답하여 제어된다. 광-의존 디바이스는 EL 디스플레이 소자의 발광 물질의 영역에 측면으로 위치된다. 이렇게 하여, 광-의존 디바이스는 스텝 커버리

지 문제를 야기시키지 않고 픽셀 개구에 영향을 주지 않으면서 픽셀 레이아웃에 결합될 수 있다. 게다가, 광 의존 디바이스는 대부분의 디스플레이 소자 영역으로부터 광입력을 수신하기 위해 발광 물질의 영역의 전체 길이를 따라 연장할 수 있다.

대표도

도 10

특허청구의 범위

청구항 1.

디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스로서, 각 픽셀은:

전극(74,80) 사이에 삽입된 발광 물질(76)의 영역을 포함하는 전류-구동 발광 디스플레이 소자(2);

상기 디스플레이 소자(2)의 밝기를 검출하기 위한 광-의존 디바이스(27,52,90); 및

상기 디스플레이 소자에 흐르는 전류를 구동하기 위한 구동 트랜지스터 회로(16,22,24,29; 16,22,24,34,36,40)를 포함하며, 상기 구동 트랜지스터(22)는 광-의존 디바이스 출력에 응답하여 제어되며, 상기 광-의존 디바이스(52,90)는 발광 물질의 영역에 측면으로 위치된, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 2.

제 1항에 있어서, 상기 광-의존 디바이스(27,52,90)는 포토다이오드(photodiode)를 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 3.

제 2항에 있어서, 상기 포토다이오드는 PIN 또는 NIP 다이오드 스택 또는 Schottky 다이오드와 상부(93) 및 하부(94) 접촉 단말을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 4.

제 3항에 있어서, 상기 상부(93) 접촉 단말은 스택의 상부 위로 그리고 스택의 한 쪽의 아래로 연장되어 포토다이오드의 한 쪽 상에서 픽셀에 대한 광 차폐로서 작동하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 5.

제 1항 내지 제 4항 중 어느 한 항에 있어서, 상기 전극들은 실질적으로 투명한 상부 전극(80a) 및 실질적으로 불투명한 하부, 반사 전극(74a)을 포함하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 6.

제 5항에 있어서, 상기 하부 전극(74a)은 디스플레이 소자로부터의 광을 광 의존 디바이스로 반사하는, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 7.

제 6항에 있어서, 상기 하부 전극(74a)은 제 1 각보다 큰 법선에 대한 각으로 방출된 광을 상기 광 의존 디바이스로 반사하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 8.

제 6항 또는 제 7항에 있어서, 상기 광 의존 디바이스 위에 하부 전극(74a)으로부터의 광을 광 의존 디바이스로 반사하기 위한 반사층(102)을 더 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 9.

제 8항에 있어서, 디바이스는 복수의 인쇄 댐(78)을 더 포함하며 상기 발광 물질(76)은 인쇄가능한 물질을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 10.

제 9항에 있어서, 상기 반사층(102)은 인쇄 댐(78)의 기저(base)에 형성된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 11.

제 9항에 있어서, 인쇄 댐은 절연체 및 상기 절연체 위의 전도 금속층(79)을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 12.

제 11항에 있어서, 상기 전도 금속층(79)은 실질적으로 투명한 상부 전극을 연결하는 하부 저항 분기(shunt)를 제공하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 13.

제 11항 또는 제 12항에 있어서, 상기 전도 금속층(79)은 상기 반사층을 한정하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 14.

제 9항 내지 제 13항 중 어느 한 항에 있어서, 상기 광 민감 디바이스(90)는 상기 인쇄 댐 아래에 형성된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 15.

제 1항 내지 제 4항 중 어느 한 항에 있어서, 상기 전극들은 실질적으로 투명한 상부 전극 및 실질적으로 투명한 하부전극(74)을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 16.

제 15항에 있어서, 디바이스는 상기 하부 전극(74) 아래에 추가 반사층(70;62)을 더 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 17.

제 16항에 있어서, 상기 광 디스플레이 디바이스(90) 위에 반사층(102;110)으로부터의 광을 상기 광 의존 디바이스에 반사하기 위한 반사층(102;110)을 더 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 18.

제 17항에 있어서, 상기 반사층(110)은 발광 디스플레이 소자의 상기 하부 전극(74)의 레벨에서 형성된, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 19.

제 17항에 있어서, 디바이스는 복수의 인쇄 댐(78)을 더 포함하며 발광 물질(76)은 인쇄가능 물질을 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 20.

제 19항에 있어서, 상기 반사층(102)은 인쇄 댐(78)의 기저에 형성되는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 21.

제 1항 내지 제 20항 중 어느 한 항에 있어서, 상기 광-의존 디바이스는 발광 물질의 영역과 나란히 연장하며 실질적으로 발광 물질의 상기 영역 중 한쪽의 전체 길이를 따라 연장하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 22.

제 21항에 있어서, 상기 광-의존 디바이스는 상기 발광 물질의 영역의 상부 및 하부 주변으로 연장하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

청구항 23.

제 1항 내지 제 22항 중 어느 한 항에 있어서, 상기 발광 디스플레이 소자는 전계 발광 디스플레이 소자를 포함하는, 디스플레이 팩셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스.

명세서

기술분야

본 발명은, 전계발광 디스플레이 디바이스, 특히 발광 전계발광 디스플레이 소자 및 박막 트랜지스터를 포함하는 픽셀의 어레이를 구비한 능동 매트릭스 디스플레이 디바이스에 관한 것이다. 더 구체적이지만, 배타적이지 않게, 본 발명은 픽셀이 디스플레이 소자에 의해 발산된 광에 응답하며 디스플레이 소자의 전압 인가(energisation)의 제어에 사용되는 광 감지 소자를 포함하는 능동 매트릭스 전계발광 디스플레이 디바이스에 관한 것이다.

배경기술

전계발광, 발광, 디스플레이 소자를 채용한 매트릭스 디스플레이 디바이스는 잘 알려져 있다. 디스플레이 소자는 일반적으로, 폴리머 물질(PLED)을 포함하여, 유기 박막 전계발광 소자(OLED), 또는 기타 발광 다이오드(LED)를 포함한다. 이하 사용된 LED는 이러한 모든 가능성을 포괄하는 것으로 의도된다. 이를 물질은 일반적으로 한 쌍의 전극 사이에 삽입된 반도체 결합된 폴리머의 하나 이상의 층을 포함하며, 전극 중 하나는 투명하며 다른 하나는 홀 또는 전자를 폴리머층에 주입하기에 적합한 물질이다.

이러한 디스플레이 디바이스 내의 디스플레이 소자는 전류 구동되며 종래의 아날로그 구동 방식은 디스플레이 소자에 제어 가능한 전류를 공급하는 단계를 포함한다. 일반적으로 전류원 트랜지스터는 픽셀 구성의 일부로서, 전계발광 디스플레이 소자에 흐르는 전류를 결정하는 전류원 트랜지스터에 공급된 게이트 전압이 제공된다. 저장 커패시터는 어드레스 지정 단계 이후에 게이트 전압을 보유한다. 이러한 픽셀 회로의 일례는 EP-A-0717446에 설명된다.

각 픽셀은 따라서 EL 디스플레이 소자 및 관련 구동기 회로를 포함한다. 구동기 회로는 행 전도체 상의 행 어드레스 펄스에 의해 턴온된 어드레스 트랜지스터를 구비한다. 어드레스 트랜지스터가 턴온될 때, 열 전도체 상의 데이터 전압은 픽셀의 나머지로 전달될 수 있다. 특히, 어드레스 트랜지스터는 열 전도체 전압을 전류원에 공급하며, 구동 트랜지스터 및 이 구동 트랜지스터의 게이트에 연결된 저장 커패시터를 포함한다. 열, 데이터 전압은 구동 트랜지스터의 게이트에 제공되며 게이트는 행 어드레스 펄스가 종료한 후에도 저장 커패시터에 의해 이 전압에서 유지된다. 이 회로 내의 구동 트랜지스터는 p-채널 TFT(박막 트랜지스터; Thin Film Transistor)로서 구현되어서 저장 커패시터는 게이트-소스 전압을 고정된 채로 유지한다. 이는 트랜지스터에 흐르는 고정된 소스-드레인 전류를 초래하며, 이것은 그러므로 픽셀의 원하는 전류원 작동을 제공한다. EL 디스플레이 소자의 밝기는 이에 흐르는 전류에 대략 비례한다.

위의 기본 픽셀 회로에서, 주어진 구동 전류에 대한 픽셀의 밝기 레벨 내에 감소를 유도하는, LED 물질의 차동 노화(differential aging) 또는 저감(degradation)은, 디스플레이 전체의 이미지 품질의 변화를 초래할 수 있다. 포괄적으로 사용된 디스플레이 소자는 거의 사용되지 않는 디스플레이 소자보다 훨씬 더 흐리다. 또한, 디스플레이 비-균등성 문제는 구동 트랜지스터의 특성, 특히 임계값 전압 레벨에서의 가변성으로 인해 발생할 수 있다.

LED 물질의 노화 및 트랜지스터 특성에서의 변화에 대해 보상할 수 있는 개선된 전압-어드레스 지정된 픽셀 회로가 제안되었다. 이들은 디스플레이 소자의 광 출력에 응답하며, 픽셀의 초기 어드레스 지정에 후속하는 구동 기간동안 디스플레이 소자의 결합된 광 출력을 제어하기 위해 광 출력에 응답하여 저장 커패시터 상에 저장된 전하를 누출시키는 작용을 하는 광 감응 소자를 포함한다. 이러한 유형의 픽셀 구성의 예는 WO01/20591 및 EP 1 096 466에 자세히 설명된다. 일례의 실시예에서, 픽셀 내의 포토다이오드는 저장 커패시터 상에 저장된 게이트 전압을 방전시키고 EL 디스플레이 소자는 구동 트랜지스터 상의 게이트 전압이 임계 전압에 도달할 때 방출을 중단하며, 이 때 저장 커패시터가 방전을 중단한다. 전하가 포토다이오드로부터 유출되는 속도는 디스플레이 소자 출력의 함수이며, 따라서 포토다이오드는 광감성 피드백 디바이스의 역할을 한다.

이 배열로, 디스플레이 소자로부터의 광 출력은 EL 디스플레이 소자 효율성과 무관하며 노화 보상은 이에 따라 제공된다. 이러한 기술은 시간 기간동안 비-균일성을 덜 겪는 고품질 디스플레이를 달성하는데 효과적인 것으로 보여졌다. 그러나, 이 방법은 높은 순간 피크 밝기 레벨이 프레임 시간에서 픽셀로부터 적절한 평균 밝기를 달성할 것을 요구하며 이것은 LED 소재가 그 결과 더 급격히 노화되기 쉬우므로 디스플레이 작동에 유익하지 않다.

발명의 상세한 설명

대안적인 접근 방식에서, 광학 피드백 시스템은 디스플레이 소자가 작동되는 드라이버를 변경하는데 사용된다. 디스플레이 소자는 고정된 밝기로 구동되며, 광학 피드백은 구동 트랜지스터를 신속히 턴오프하는 트랜지스터 스위치를 트리거하는데 사용된다. 이는 높은 순간 밝기 레벨에 대한 필요성을 회피하지만, 픽셀에 추가적인 복잡성을 도입한다.

광학 피드백 시스템의 사용은 LED 디스플레이 소자의 차동 노화를 극복하는 효과적인 방법으로 간주된다.

이들 보상 방식의 한 가지 문제점은 상부 방출 구조로 쉽게 구현되지 않는다는 점이다. 상부 방출의 어려움은 광이 능동 매트릭스 내의 광-센서에 진입할 수 없다는 것인데 이는 애노드가 픽셀 전자 회로(electronics)의 대부분을 차지할 것이며 이것은 일반적으로 매우 반사적이며 비-투과적일 것이기 때문이다.

다른 문제는 광학 피드백 소자의 효율성과 구현에 관한 것이다. 두 가지 유형의 광학 센서가 고려되었다. 한 가지 접근 방식은 저온 폴리실리콘(LTPS) TFT가 ITO LED 애노드와 게이팅된, 광감 소자로 사용될 수 있다는 것이다. 대안적으로, 매우 투명한 ITO 레벨은 LED 애노드 대신 포토 TFT에 게이트를 제공하기 위해 기술에 추가될 수 있다. 어려움은 광자(photon)에서 전자로의 변환 효율성이 녹색 및 적색 대역에서 매우 낮다는 것이다(예, 각각 2% 및 1%). 그러므로, 개구를 채우는 큰 디바이스가 요구된다. 이들 큰 디바이스는 또한 큰 암전류 및 높은 기생 용량(parasitic capacitance)과 같은 다른 어려움을 제공한다.

제 2 접근 방식은 비정형 실리콘 PIN/NIP 포토다이오드를 LTPS 프로세스와 결합하는 것이다. 이는, 예컨대 각각 80%, 70% 및 40%의 RGB 효율성인, 매우 효율적인 광학 센서를 야기한다. 이는 매우 작은 NIP 디바이스가 픽셀 내에서 사용될 수 있도록 한다. 그러나, 이는 또한 디바이스를 한정할 때 발생하는 에지 비-균일성을 중요할 것이며 디스플레이 전체의 차이를 생성할 것이라는 것을 의미한다. 또한, 소형 디바이스는 LED 픽셀 개구의 작은 영역만을 샘플링하며, 이것은 잘못된 정정을 이끄는 전체 개구를 나타내지 않을 수 있다.

이들 접근 방식의 추가적 어려움은 광감 디바이스가 종래 기술에서는 LED의 개구 아래에 있으며 스텝 커버리지(step coverage) 문제로 인해, 광 센서는 픽셀 개구 내의 비-균일성을 야기할 수 있어서, 다시 낮은 차동 노화 정정을 이끌 수 있다. 포토다이오드는 대략 $0.2\text{--}1.5\mu\text{m}$ 의 수직 단계를 생성할 수 있으며, 이것은 평준화하기 어렵다. 따라서, 하부 발산 구조에서 조차, 픽셀 층 아래에 포토다이오드가 위치하는 것은 문제를 발생시킬 수 있다.

본 발명에 따라, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스가 제공되며, 각 픽셀은:

전극 사이에 삽입된 발광 소재의 영역을 포함하는 전류-구동 발광 디스플레이 소자;

디스플레이 소자의 밝기를 검출하기 위한 광-의존 디바이스; 및

디스플레이 소자에 흐르는 전류를 구동하기 위한 구동 트랜지스터 회로를 포함하며, 상기 구동 트랜지스터는 광-의존 디바이스 출력에 응답하여 제어되며,

상기 광-의존 디바이스는 발광 소재의 영역에 측면으로 위치된다.

광-의존 디바이스를 발광층의 옆에 위치함으로써, 디바이스는 발광 소재층에 스텝 커버리지 문제를 야기하지 않는다. 게다가, 픽셀 개구 영역 옆에 광-의존 디바이스가 위치함은 디바이스가 픽셀 개구에 영향을 주지 않으면서 픽셀 레이아웃에 통합될 수 있도록 한다. 게다가, 광-의존 디바이스는 디스플레이 소자 영역의 대부분으로부터 광 입력을 수신하도록 발광 소재의 영역의 전체 길이를 따라 연장할 수 있다.

광-의존 디바이스는 바람직하게, 예컨대 PIN 또는 NIP 다이오드 스택 및 상부 및 하부 접촉 단말기를 구비하는 포토다이오드를 포함한다.

광을 이러한 구조로 측면으로 수신함으로써, 광-의존 디바이스의 효율성은 개선될 수 있으며, 이는 상부(또는 하부) 도핑된 층을 통한 손실이 회피될 수 있기 때문이며, 광은 진성층(intrinsic layer)을 직접 관통한다.

다이오드의 상부 접촉 단말기는 바람직하게 스택의 상부 위로 그리고 스택의 한 쪽의 아래로 연장하며 포토다이오드의 한 쪽 상의 픽셀에 대한 광 차폐로서 작동한다. 이렇게 하여, 다이오드 구성은 한 쪽에서 측면으로 광을 수신하며, 다른 쪽으로부터 측면으로 수신된 광의 차폐를 제공한다.

디스플레이 소자 전극은 실질적으로 투명한 상부 전극 및 실질적으로 불투명한, 하부 반사 전극을 포함할 수 있다. 이것은 상부 방출 구조를 한정한다. 본 발명은 내부 픽셀 광감(photosensing)이 이러한 디바이스 내의 픽셀 개구의 감소를 필요로 하지 않고 발생할 수 있도록 한다.

하부 전극은 디스플레이 기능을 위해서 뿐만 아니라 디스플레이 소자로부터의 광을 광 의존 디바이스에 반사하는데도 사용될 수 있다. 예컨대, 하부 전극은 광 의존 디바이스에 대한 제 1 각보다 더 큰 법선에 대한 각도로 방출된 광을 반사할 수 있다. 제 1 각보다 작은 각으로 방출된 광은 이후 디스플레이 광이며, 제 1 각보다 더 큰 각으로 방출된 광은 본질적으로 측면 조명이다.

추가적 반사층은 광 의존 디바이스 위에 제공될 수 있으며 이는 반사 하부 전극으로부터 반사된 광을 광 의존 디바이스로 반사시킨다. 따라서, 이중 반사는 디스플레이 소자로부터 광-의존 디바이스로 광을 측면으로 유도하도록 제공된다.

디바이스는 복수의 인쇄 댐(printing dams)을 더 포함할 수 있으며, 밸광 소재는 이후 인쇄 가능 물질을 포함한다. 이러한 경우, 반사층은 인쇄 댐의 기반에 형성될 수 있다. 광감 디바이스는 이후 인쇄 댐 아래에 형성된다.

인쇄 댐은 절연체 및 이 절연체 위의 전도 금속층을 포함할 수 있다. 전도 금속층은 이후 실질적으로 투명한 상부 전극을 연결하는 하부 저항 분류기(shunt)를 제공할 수 있으며 또한 반사층을 한정할 수 있다.

다른 실시예에서, 전극은 실질적으로 투명한 상부 전극 및 실질적으로 투명한 하부 전극을 포함할 수 있으며, 디바이스는 하부 전극 아래에 추가적인 반사층을 더 포함한다. 이는 디스플레이 소재층과 하부 반사 전극 사이의 공간을 제공하며, 이것은 더 많은 측면으로 유도된 광이 광-의존 디바이스에 의해 포획(captured)될 수 있게 한다. 상부 반사층은 다시 광 의존 디바이스 위에 제공될 수 있으며 하부 반사층으로부터의 광을 광 의존 디바이스로 반사시킨다. 이러한 상부 반사층은 밸광 디스플레이 소자의 하부 전극의 레벨에서 형성될 수 있다.

광-의존 디바이스는 밸광 소재의 영역을 따라 연장할 수 있으며, 실질적으로 밸광 소재의 영역의 한쪽의 전체 길이를 따라 연장할 수 있다. 또한 밸광 물질의 영역의 상부 및 하부 주변으로 연장할 수 있다. 이는 디스플레이 소자로부터의 측광에 노출된 광 의존 디바이스의 영역을 최대화한다.

본 발명의 예는 이제 첨부된 도면을 참조로 자세히 설명될 수 있다:

실시예

동일한 참조 번호는 동일하거나 유사한 부분을 표시하기 위해 도면 전체에 사용된다.

도 1은 알려진 능동 매트릭스 전계 밸광 디스플레이 디바이스를 도시한다. 디스플레이 디바이스는 블록들(1)로 표시된, 일정한 간격의 픽셀의 행 및 열 매트릭스 어레이를 구비한 패널을 포함하며, 이 패널은, 교차하는 행(선택) 및 열(데이터) 어드레스 전도체(4 및 6) 세트 사이의 교차점에 위치한, 관련 스위칭 수단과 함께 전계 밸광 디스플레이 소자(2)를 포함한다. 오직 소수의 픽셀만이 단순화를 위해 도면에 도시된다. 실제로, 수백 개의 행과 열의 픽셀이 존재할 수 있다. 픽셀(1)은 각 전도체 세트의 단부에 연결된 행, 스캐닝, 구동기 회로(8) 및 열, 데이터 구동기 회로(9)를 포함하는 주변 구동 회로에 의해 행 및 열 어드레스 전도체의 세트를 통해 어드레스 지정된다.

전계밸광 디스플레이 소자(2)는 본 명세서에서 다이오드 소자(LED)로 표시되고, 하나 이상의 유기 전계밸광 소재의 능동 층이 삽입된 한 쌍의 전극을 포함하는, 유기 밸광 다이오드를 포함한다. 어레이의 디스플레이 소자는 절연 지지부의 한 쪽에 연관된 능동 매트릭스 회로와 함께 포함된다. 디스플레이 소자의 캐소드 또는 애노드 중 하나는 투명한 전도 물질로 형성된다. 지지부는 유리와 같은 투명 물질이며 기판과 가장 가까운 디스플레이 소자(2)의 전극은, 지지부의 반대편의 시청자가 볼 수 있도록 전계 밸광층에 의해 생성된 광이 이를 전극 및 지지부를 통해 투과되도록 ITO와 같은 투명 전도 물질로 구성될 수 있다.

도 2는 단순화된 개략적인 형태로 전압-어드레스 지정된 작동을 제공하기 위해 가장 기본적인 픽셀과 구동 회로 배열을 도시한다. 각 픽셀(1)은 EL 디스플레이 소자(2)와 관련 구동기 회로를 포함한다. 구동기 회로는 행 전도체(4) 상의 행 어드레스 펄스에 의해 턴온된 어드레스 트랜지스터(16)를 구비한다. 어드레스 트랜지스터(16)가 턴온될 때, 열 전도체(6) 상의

전압은 픽셀의 잔여분에 전달될 수 있다. 특히, 어드레스 트랜지스터(16)는 열 전도체 전압을 구동 트랜지스터(22) 및 저장 커패시터(24)를 포함하는 전류원(20)에 공급한다. 열 전압은 구동 트랜지스터(22)의 게이트에 제공되며, 게이트는 행 어드레스 펄스가 종료된 후에도 저장 커패시터(24)에 의해 이 전압으로 유지된다.

이 회로 내의 구동 트랜지스터(22)는 p-형 TFT로 구현되어서, 저장 커패시터(24)는 게이트-소스 전압을 일정하게 유지 한다. 이는 트랜지스터에 흐르는 고정된 소스-드레인 전류를 초래함으로써 픽셀의 원하는 전류원 작동을 제공한다.

상기 기본 픽셀 회로에서, 폴리실리콘 채질의 회로에 대해, 트랜지스터의 채널 내에 폴리실리콘 입자(grains)의 통계적 분포로 인해 트랜지스터의 임계 전압의 변형이 존재한다. 그러나, 폴리실리콘 트랜지스터는, 전류 및 전압 스트레스 하에서 매우 안정적이어서, 임계 전압은 실질적으로 일정하게 유지된다.

기판 위의 적어도 짧은 범위에 대해, 임계 전압의 변형은 비정형 실리콘 트랜지스터에서 작지만, 임계 전압은 전압 스트레스에 매우 민감하다. 구동 트랜지스터에 필요한 임계값 이상의 높은 전압을 인가하면 임계 전압의 큰 변화를 초래하며, 이러한 변화는 디스플레이된 이미지의 정보 컨텐츠에 의존한다. 그러므로, 항상 턴온되어 있는 비정형 실리콘 트랜지스터에서, 그렇지 않은 경우에 비해, 임계 전압에 큰 차이가 존재할 것이다. 이러한 차동 노화는 비정형 실리콘 트랜지스터로 구동된 LED 디스플레이에서의 심각한 문제이다.

트랜지스터 특성에서의 변형 외에도 LED 자체에서의 차동 노화가 존재한다. 이는 전류 스트레칭 이후에 발광 물질의 효율의 감소로 인한 것이다. 대부분의 경우, 더 많은 전류와 전하가 LED를 통과할수록, 효율이 더 낮아진다.

도 3과 도 4는 노화 보상을 제공하기 위해 광학 피드백을 가진 픽셀 레이아웃의 예를 도시한다.

도 3의 픽셀 회로에서, 포토다이오드(27)는 커패시터(24)(C_{data}) 상에 저장된 게이트 전압을 방전하여, 밝기의 감소를 초래 한다. 디스플레이 소자(2)는 구동 트랜지스터(22)(T_{drive}) 상의 게이트 전압이 임계 전압에 도달할 때 더 이상 방출하지 않을 것이며, 저장 커패시터(24)는 이후 방전을 중단할 것이다. 전하가 포토다이오드(27)로부터 누출되는 속도는 디스플레이 소자 출력의 합수이므로, 포토다이오드(27)는 광감 피드백 디바이스로서 가능한다. 일단 구동 트랜지스터(22)가 스위칭 오프하면, 디스플레이 소자 애노드 전압은 방전 트랜지스터(29)($T_{discharge}$)의 턴온 유발을 감소시켜서, 저장 커패시터(24) 상의 잔여 전하는 급격히 손실되며 휘도는 스위칭 오프된다.

게이트-소스 전압을 유지하는 커패시터가 방전됨에 따라, 디스플레이 소자에 대한 구동 전류는 점차 감소한다. 따라서, 밝기는 점점 떨어진다. 이는 더 낮은 평균 광 강도를 야기한다.

도 4는 출원인이 제안한 회로를 도시하며, 이 회로는 일정한 광 출력을 가지며 이후 광 출력에 따라, 임의의 시간에서 스위칭 오프한다.

구동 트랜지스터(22)에 대한 게이트-소스 전압은 다시 저장 커패시터(24)($C_{storage}$) 상에서 유지된다. 그러나, 이 회로에서, 이 커패시터(24)는 충전 트랜지스터(34)에 의해, 충전 라인(32)으로부터 고정된 전압으로 충전된다. 따라서, 구동 트랜지스터(22)는 디스플레이 소자가 조명될 때 픽셀로의 데이터 입력과 무관한 일정한 레벨로 구동된다. 밝기는 둑티 싸이클을 변경함으로써, 특히 구동 트랜지스터가 턴오프될 때 시간을 변경함으로써 제어된다.

구동 트랜지스터(22)는 저장 커패시터(24)를 방전하는 방전 트랜지스터(36)에 의해 턴오프된다. 방전 트랜지스터(36)가 턴온될 때, 커패시터(24)는 급격히 방전되며 구동 트랜지스터는 턴오프된다.

방전 트랜지스터(36)는 게이트 전압이 충분한 전압에 도달할 때 턴온된다. 포토다이오드(27)는 디스플레이 소자(2)에 의해 조명되며 다시 디스플레이 소자(2)의 광 출력에 따라 광전류를 생성한다. 이 광전류는 방전 커패시터(40)(C_{data})를 충전 하며, 특정 시점에서, 커패시터(40) 양단의 전압은 방전 트랜지스터(36)의 임계 전압에 도달할 것이며 이에 따라 그것을 스위칭 온한다. 이 시간은 커패시터(40)와 광전류 상에 원래 저장된 전하에 의존할 것이며, 이는 계속해서 디스플레이 소자의 광 출력에 의존한다. 방전 커패시터는 초기에 데이터 전압을 저장하여서, 초기 데이터와 광학 피드백 모두는 회로의 둑티 싸이클에 영향을 준다.

광학 피드백을 가진 픽셀 회로의 많은 대안적인 구현예가 존재한다. 도 3과 도 4는 p-형 구현예를 도시하며, 또한, 예컨대 비정형 실리콘 트랜지스터와 같은 n-형 구현예도 존재한다.

본 발명은 이제 도 5를 참조하여 일반적으로 설명될 것이다.

도 5에 도시된 것처럼, 각 픽셀(50)은 픽셀 전극(54)에 대해 측면으로 위치된 광-의존 디바이스(52)를 구비한다. 대개 PIN 또는 NIP 다이오드 또는 Schottky 다이오드인, 디바이스(52)의 설계는 대상 픽셀(50a)로부터 측면 조명을 허용하지만 이 웃 픽셀(50b)에 대한 광 차폐로서 작동한다.

포토다이오드(52)는 픽셀 개구 외부에서 구성된다. 일부 실시예에서, 측면 조명은 NIP/PIN 디바이스가 금속으로 덮인 상부 윈도우를 갖도록 하여서, 센서로의 주변광 통과는 또한 감소될 수 있다.

이러한 방법으로 사용된 NIP/PIN 포토다이오드의 효율은 모든 과장에 걸쳐 유효할 수 있는데, 이는 디바이스의 N 및 P 층 내의 흡수 손실이 광이 디바이스의 측면을 통해 입사할 수 있을 때 보이지 않기 때문이다. 광 레벨은 디바이스가 개구 바로 밑에 있는 경우보다 더 낮을 것이며 따라서 대형 포토다이오드가 도 5에 도시된 것처럼 선호된다. 이는 매우 작은 디바이스의 비-균일성 효과를 제거한다.

다른 실시예에서, 측면으로 위치된 포토다이오드는 여전히 반사 경로를 사용하여 위로부터 광을 수신할 수 있다.

본 발명의 배열은 애노드를 통해 광을 방출(하부 방출)하는 디바이스라기 보다는 캐소드를 통해 광을 방출(상부 방출)하는 디스플레이 디바이스에 특히 적합하다. 이에 대한 이유는 상부 및 하부 방출에 대한 종래의 픽셀 레이아웃의 이하 논의에서 명백해 질 것이다.

도 6은 능동 매트릭스를 포함하는 알려진 기본 하부 발산 구조를 도시한다.

디바이스는 구동 트랜지스터 반도체(62)가 증착된 기판(60)을 포함한다. 게이트 산화물 절연층(64)은 반도체를 덮으며, 상부 게이트 전극(66)은 게이트 절연층(64) 위에 제공된다.

제 1 절연층(68)(일반적으로 실리콘 이산화물 또는 실리콘 질소화물)은 게이트 전극(일반적으로 행 전도체를 형성)과 소스 및 드레인 전극 사이에 공간을 제공한다. 이들 소스 및 드레인 전극들은 절연체 층(68) 위의 금속층(70)에 의해 한정되며, 전극들은 도시된 비어(vias)를 통해 반도체에 연결한다.

제 2 절연층(72)(다시 일반적으로 실리콘 이산화물 또는 실리콘 질소화물)은 소스 및 드레인 전극(일반적으로 또한 열 전도체 형성)과 LED 애노드 사이에 공간을 제공한다. LED 애노드(74)는 제 2 절연층(72) 위에 제공된다.

도 6에 도시된 것과 같은 하부 방출 디스플레이의 경우, 이 하부 애노드는 적어도 부분적으로 투명해야 하며, ITO가 일반적으로 사용된다.

EL 소재(76)는 애노드 위에 우물 내에서 형성되며, 인쇄에 의해 증착되는 것이 바람직하다. 분리된 서브-픽셀은 삼원색에 대해 형성되며, 인쇄 댐(78)은 다른 EL 소재의 정확한 인쇄를 돋는다.

인쇄 댐(78)은 분리된 픽셀의 인쇄를 가능케 한다. 이러한 댐 층은 일반적으로 절연 폴리머로 만들어지며 수 미크론의 높이를 가진다. 공통 캐소드(80)는 디스플레이 위에 제공되며, 이것은 반사적이며 모든 픽셀에 대해 공통 전위에 있다(도 2에서 접지).

도 7은 능동 매트릭스를 포함하는 기본적인 알려진 상부 방출 구조를 도시한다. 구조는 본질적으로 도 6과 같지만, 애노드(74a)는 반사적이며 캐소드(80a)는 투과적이다. 캐소드는 다시 ITO로부터 형성될 수 있지만, 얇은 금속, 여러 금속의 결합(예, Bg/Ag) 또는 전자 주입을 위한 장벽(barrier)을 제어하기 위해 ITO와 폴리머 사이의 규소 화합물 코팅을 가질 수 있다. 예를 들어, 이는 5nm의 바리움(Barium)층/20nm의 은층일 수 있다. 보호 및 캡슐화층(82)은 디스플레이를 덮는다.

상부-방출 디스플레이에서는, 투명 캐소드가 요구되지만, 캐소드는 매우 전도적이어야 하며, 현재 매우 전도적인 투명 금속은 쉽게 이용가능하지 않다. 그러므로, 상부-발산 디스플레이의 캐소드는 방출 픽셀 부분의 최상부에 (반)투명층을 포함하며 이는 더 낮은 저항 전도(불투명) 금속(79)으로 분기(shunted)된다. 도시된 것처럼 댐(78) 위에 이러한 매우 전도적인 금속(79)을 위치시킴으로써, 픽셀 개구 내에 어떠한 손실도 존재하지 않게 된다.

소재의 전기적 특성에 따라, 애노드 금속은 높은 작업 기능 금속일 수 있으며, 높은 작업 기능을 달성하기 위해 반사 금속의 상부에 ITO 층을 LED 스택에 제공하는 것이 알려져 있다. 이렇게 하여, 애노드 전극은 또한 예컨대, 폴리머의 습식과 같은 전계 발광 물질의 물리적 속성과 관련된 요구 사항을 충족할 수 있다.

도 8은 종래의 방법으로, 하부 방출 구조에서 비정형 실리콘 PIN/NIP 포토다이오드(84)의 결합을 도시한다. 이러한 유형의 광-센서는 비정형 실리콘이 광 흡수에 대한 높은 양자 효율을 가지므로 선호된다.

이러한 유형의 광-센서는 다이오드 스택의 하부 전극(86)을 형성하는데 사용된 케이트 금속이 외부 광(87)으로부터 광-센서를 차단하므로, 하부 발산에 대해 이상적이다. 도 8에 개략적으로 도시된, 다이오드 스택의 개방 상부 개구는, 화살표(88)로 도시된 것과 같이 LED로부터의 광을 허용한다.

애노드 층 아래에, 센서를 위치하는 것은 애노드가 반사적이며 불투명한 금속인 상부 방출에 대해 명백히 적절치 못하다. 게다가, 다이오드는 전계 발광 물질층 내에 스텝 커버리지 문제를 야기하여, 픽셀 특성의 비-균일성을 제공할 수 있다.

도 9는 상부 발산 구조에서 사용을 위한 본 발명의 제 1 구현예를 더욱 자세히 도시한다. 도 9의 구성요소가 도 6과 도 7의 구성요소에 대응하는 경우, 동일한 참조번호가 사용되며 설명은 반복되지 않는다.

포토다이오드(90)는 디스플레이의 EL 소재 영역의 옆에 위치되며, 예를 들어 대략 $1.5\mu\text{m}$ 의 높이의 NIP/PIN 스택을 포함한다. 포토다이오드는 화살표(92)로 도시된 것과 같은 LED 개구의 옆에서부터 방출된 광에 의해 조명된다. 다이오드 스택은 상부와 하부 전극(93,94) 사이에 삽입되며, 도시된 구조에서, 하부 전극은 소스/드레인 금속층(70)으로부터 형성되며 상부 전극(93)은 애노드 금속층(74a)으로부터 형성된다. 상부 전극은 디바이스가 측면으로만 조명되도록 다이오드 스택의 상부를 덮는다. 상부 전극(93)은 또한 위쪽으로부터 뿐만 아니라 한쪽 측면으로부터의 조명으로부터 다이오드 스택을 차폐한다.

포토다이오드는 인쇄댐(78) 아래에 구조되며 그러므로 상부 발산 개구에 어떠한 영향도 미치지 않는다. LED로부터의 광은 다이오드의 측벽으로 들어가야 하며, 이를 위해, 다이오드는 높이가 커야 한다. 예컨대, 200nm- $1\mu\text{m}$ 까지 더 낮을 수 있다고 해도 적절한 비정형 실리콘 다이오드 높이는 $1.5\mu\text{m}$ 이다.

도 9는 소스/드레인 위의 절연체 층(72)과 애노드 금속에 대한 예의 층 두께를 제공한다. 이들 높이는 다이오드 스택에 대한 LED 층(76)의 수직 조정을 허용한다. $1.5\mu\text{m}$ 높이의 다이오드는 LED로부터 광을 모으기에 충분하다. 애노드 금속을 얇게 하면 LED가 위로 방출하므로 다이오드가 더 많은 광을 모을 수 있게 하여, 전계 발광 층의 평면 위에 더 많은 포토다이오드가 있을수록, 더 많은 광을 모을 것이다.

두꺼운 비정형 실리콘 포토다이오드는 다이오드가 LED 개구 아래에 있지 않으므로 어떠한 추가적인 평탄화 문제도 제공하지 않는다. 층(72)은 픽셀 개구 하의 TFT를 평탄화한다.

다이오드는 가능한 많은 광을 모으기 위해, 바람직하게 개구의 크기와 같은 길이로, 가능한 길게 만들어져야 한다. 그 폭은 벽의 폭이 단순히 적색 광자를 흡수해야 하므로 수 미크론으로 제한될 수 있다. 이는 또한 댐 폭이 높은 해상도에서 픽셀 설계를 좁히는 경향이 있으므로 유리하다.

외부광으로부터 포토다이오드의 차단은 전술한 것처럼, 애노드 금속을 사용하여 형성된 상부 다이오드 접촉(contact)에 의해 달성된다. 매우 얇은 각도로 디스플레이로 들어가는 광조차도, 상부 접촉 애노드 금속이 여전히 이 광을 차단하도록 하기 위해 디스플레이 법선을 향해 강하게 굽힐 것이다(사용된 소재는 높은 굽힐 지수를 갖는다. 예, $n>1.8$). 다이오드는 또한 도 9에 도시된 것처럼, 금속 애노드가 광 차단으로 작동하는 다이오드 상에 최상부 접촉을 하는 것을 확실히 함으로써 이웃하는 픽셀로부터의 광으로부터 스크린되어야 한다.

위의 예에서, 포토다이오드는 오직 측면으로만 조명된다. 그러나, 수직 조명을 제공하거나 수직 및 측면 조명을 허용하는 것이 가능하다.

도 9의 방식은 오직 다이오드 에지 상에 광을 모으며, 포토다이오드의 수직 위치는 이에 따라 설정되어야 하며 정확시 제어되어야 한다.

도 10은 반사 경로가 디스플레이 소재(76)와 포토다이오드(90) 사이에 한정된 변형예를 (더 개략적으로) 도시한다. 이는 포토다이오드가 애지보다는 영역에 대해 광을 수집할 수 있도록 하며, 층 구조 내의 포토다이오드의 수직 위치 지정에 더욱 융통성을 허용한다. 도 10은 변형예에 관한 충만을 도시하며, 디바이스의 부분적 표시이다.

도 10에서, 열 금속(70)은 반사 애노드라기 보다는, 아래로 향하는 광을 반사하는데 사용된다. LED 애노드(74)는 투명하며 도시된 것처럼, 비어를 통해 열 금속층(70)에 연결된다. 포토다이오드(90)는 이제 LED 층(76)의 시선(line of sight) 외부에 위치되며, 도 9에서와 같이 열 금속 레벨 대신 게이트 금속(62)의 레벨에 위치된다. 수집된 직사광은 정확한 수직 위치에 대한 민감성으로 인해 비-균일성을 야기할 수 있으며 도 10의 실시예는 이러한 민감도를 감소시킨다.

상부 표면을 통해 포토다이오드로 광을 반사시키기 위해, 픽셀 아래의 반사기는 ITO 애노드(74) 하에서 이상적으로 가능한 깊어야 하며, 또한 수집 각을 증가시키기 위해, 도 10에 도시된 것처럼 ITO 애노드(74) 이상으로 측면으로 연장되어야 한다.

도 10에 도시된 것처럼, 열 금속(70)은 아래 방향으로 향한 광의 제 1 반사를 제공한다. 최소치보다 더 큰 범선에 대한 각으로 방출된 광은 본질적으로 측면으로 상향 구성요소(화살표 100)로 반사되며 유도될 것이다. 반사층(102)은 이 광 구성요소를 위한 제 2 반사를 포토다이오드에 제공하기 위해 포토다이오드(90) 위에 제공된다. 이 목적을 위해 인쇄 댐 폴리머는 인쇄 댐(78)의 기저(base)에 반사기(102)가 놓이도록 반사층을 에칭하기 위한 매스크로서 사용될 수 있다.

이러한 반사기(102)는 광을 포토다이오드의 상부로 유도하지만 또한 주변광에 대한 광 차폐로서 작동한다.

도 11은 도 10에 대한 변형예를 도시하며, 여기서 상부 미러(110)는 ITO 애노드(74)의 레벨에 추가된다. 다시, 제 1 반사는 열 금속층(70)에 의해 제공된다. 도 11은 또한 게이트 금속층(62) 상에 형성된 포토다이오드(90)를 더 명확히 도시하며, 또한 TFT 반도체층(66)과 게이트 절연층(64)을 도시한다.

비어를 사용하여 ITO 애노드(74)를 열 금속층에 연결하기 위한 처리 단계는 또한 도 11에 도시된 것처럼, 더 높은 효율을 위해 각이진 미러(110)를 형성하는데 사용될 수 있다. LED 하의 다른 레벨(예, 게이트 금속(62) 및 반도체층(66)) 하의 다른 레벨들은 또한 광 각도를 제어하는데 필요한 것처럼, 포토다이오드에 대해 픽셀의 높이를 조정하는데 사용될 수 있다. 인쇄 댐뿐만 아니라, LED 및 상부층은 도 11에 도시되지 않는다.

도 12는 2개의 미러 간의 높이 차이가 광 수집 효율을 개선하기 위해 더 증가된 추가적 변형예를 도시한다. 댐 폴리머는 더 높은 레벨에서 미러(102)를 한정하는데 다시 사용되지만, 열 금속이라기 보다는 게이트 금속층(62)이 하부 미러를 한정하는데 사용된다. 상부 미러 금속은 또한 각을 이룬 프로필을 제공하기 위해 댐(78) 하에서 또한 에칭될 수 있으며, 이는 임의의 픽셀에서 픽셀로의 누출을 감소시킬 수 있다. 반도체층(66)은 또한 증가된 분리를 제공하기 위해 하부 반사기를 형성하는 게이트 금속 부분 하에서 제거되거나 도시된 것처럼 원래의 자리에 남겨질 수 있다. 이러한 반도체층은 높은 표면 거칠성을 가지며, 이는 게이트 금속층에 까지 상향 전파된다. 이 거칠성은 각도로의 광 분산을 향상시킬 수 있다.

도 12의 예는, 반사기로서 사용된 게이트 금속을 사용해, 제공하는 최대 ITO 층(74)을 반사기 분리에 제공한다. 구조에 대해 가능한 높은 상부 반사기를 구비하면 또한 광이 더 넓은 범위의 각으로 수집될 수 있도록 한다.

컬러 디스플레이의 픽셀은 다른 컬러의 서브-픽셀로 그룹화되며, 도 13은 세 쌍의 3개의 능동 매트릭스 LED 픽셀(50) (R,G,B), 댐(78) 및 댐 밑의 픽셀의 한 쪽에서 광-센서(90)의 평면도를 완전함을 위해 도시한다.

도 14는 픽셀과 댐의 결합의 단면도를 도시한다. 다이오드의 양호한 작동을 위해 누설 전류를 감소시키는 것이 중요하다. 이는 측벽에서의 누설 전류를 감소시키기 위해 다이오드의 양쪽에서 절연 간격기(spacer)(130)를 위치시킴으로써 제공될 수 있다. 도 14는 또한 광학 크로스토크를 감소시키는 추가적 방법을 도시하며, 이 방법으로 댐 상부의 캐소드 분기 금속(79)은 비대칭이다. 댐의 오른쪽에서, 금속(79)은 이웃 픽셀에 의해 발산된 광으로부터 광-센서를 보호하며, 이는 전술한 것처럼 상부 전극의 사용과 결합하여 사용될 수 있다(예, 접촉부(132)에 의해 도시됨).

광을 수신하는 포토다이오드의 영역은 LED 층과 마주보는 측벽의 영역에 의해 주어진다. 다이오드 스택의 높이가 $1.5\mu m$ 이하일 수 있으므로, 영역은 매우 작을 수 있다. 전술한 것처럼, 다이오드의 높이가 바람직하게 비교적 낮다고 해도, 폭은 도 13에 도시된 것처럼, 픽셀 길이만큼 를 수 있다.

다이오드 스택의 노출된 측벽의 길이는 도 15에 도시된 것처럼 더 증가될 수 있다. 이러한 경우, 픽셀 능동 영역의 대부분의 영역은 한 에지(도 15의 왼쪽 에지)를 제외하고, 포토다이오드를 조명하는데 사용된다. 이 에지에서, 이웃 픽셀의 포토다이오드는 위치된다.

이 구성은 포토 다이오드에 의해 감지된 광의 량을 더 증가시킨다.

전술한 예는 모드 포토다이오드 광 센서를 사용한다. 비정형 실리콘 포토 TFT는 또한 도 16에 도시된 것처럼 사용될 수 있다. 이는 소스(152)와 드레인(154) 전극 위의 비정형 실리콘층(150)으로 구성된다. 소스와 드레인 사이의 채널에서 흡수된 광자는 소스와 드레인 전극에 의해 감지될 수 있는 광전류를 생성한다. 광전류는 또한 비정형 실리콘층의 상부에서 게이트 전극의 인가에 의해 영향 받을 수 있다.

금속 댐은 이 경우 비정형 실리콘 포토 TFT의 게이트와 캐소드 사이의 분기로서 모두 사용될 수 있다. 기판에 대해 약간의 각을 이루어 방출된 광은 포토 TFT를 향한 금속(79)의 내부에 의해 다시 반사될 수 있으며, 광전류의 크기를 증가시킨다. 도 15의 실시예는 분기 금속(79)으로 덮인 투명한 절연 소재로부터 형성된 댐을 사용한다.

저온 폴리실리콘 포토 TFT는 또한 광감성 디바이스로 사용될 수 있으며, 최종 결합구조는 도 16과 유사하다.

본 발명의 디스플레이 디바이스는 휴대용 애플리케이션(전화, PDA, 디지털 카메라), (랩톱) 모니터 및 텔레비전에서의 평판 디스플레이로서 특정 애플리케이션을 발견할 것이다. 본 발명은 또한, 예컨대 윈도우 또는 헤드 장착된 디스플레이에서의 사용을 위한, 투과-발산형 디스플레이(trans-emissive display) 내의 주변광 민감도를 회피하기 위한 해결책을 제공한다. 투과-발산형 디스플레이의 경우, 다른 쪽으로부터의 일광은 예를 들어 전원선에 의해 차단될 수 있다.

본 발명의 디스플레이 디바이스의 제조에 포함된 프로세스는 이 출원에 설명되지 않았는데, 이들은 당업자에게는 종래 기술이며 일상적인 것이기 때문이다. 비정형 실리콘, 폴리실리콘, 마이크로크리스탈린(microcrystalline) 실리콘 또는 다른 반도체 트랜ジ스터 기술이 이용될 수 있다. 본 발명은 감광성 디바이스가 각 픽셀에 대한 피드백 요소로서 사용된 임의의 픽셀 회로에 응용될 수 있다.

전술한 것처럼, 본 발명은 상부 방출 디바이스 구조에 특정 이점을 제공한다. 그러나, 본 발명은 또한 광 수집 효율을 개선하고 하부 발산 디스플레이 구조에서의 스텝 커버리지 문제를 제거하는데 사용될 수 있다. 본 개시를 읽음으로써, 다른 변형 예는 당업자에게 명백해질 것이다.

산업상 이용 가능성

본 발명은, 전계 발광 디스플레이 디바이스에 관한 것으로서, 디스플레이 픽셀의 어레이를 포함하는 능동 매트릭스 디스플레이 디바이스 등에 이용 가능하다.

도면의 간단한 설명

도 1은 능동 매트릭스 EL 디스플레이 디바이스의 일 실시예의 단순화된 개략도.

도 2는 알려진 형태의 픽셀 회로를 도시한 도면.

도 3은 제 1 알려진 광학 피드백 픽셀 설계를 도시한 도면.

도 4는 제 2 알려진 광학 피드백 픽셀 설계를 도시한 도면.

도 5는 본 발명의 디스플레이 디바이스의 픽셀에 대한 개략도.

도 6은 하부 방출 디스플레이 픽셀의 알려진 구조를 도시한 도면.

도 7은 상부 방출 디스플레이 픽셀의 알려진 구조를 도시한 도면.

도 8은 광감 소자를 결합한 하부 방출 디스플레이 픽셀의 알려진 구조를 도시한 도면.

도 9는 본 발명에 따른 광감 소자를 결합한 상부 방출 디스플레이 픽셀 구조의 제 1 예를 도시한 도면.

도 10은 본 발명에 따른 광감 소자를 결합한 상부 방출 디스플레이 픽셀 구조의 제 2 예를 도시한 도면.

도 11은 본 발명에 따른 광감 소자를 결합한 상부 발산 디스플레이 픽셀 구조의 제 3 예를 도시한 도면.

도 12는 본 발명에 따른 광감 소자를 결합한 상부 발산 디스플레이 픽셀 구조의 제 4 예를 도시한 도면.

도 13은 본 발명이 디스플레이 서브-픽셀의 세 쌍에 응용될 수 있는 하나의 방법을 도시한 도면.

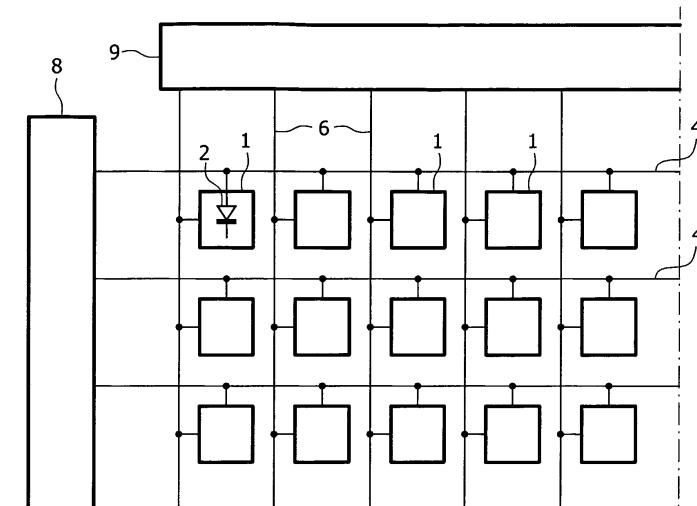
도 14는 도 13의 단면도.

도 15는 본 발명이 디스플레이 서브-픽셀의 세 쌍에 응용될 수 있는 제 2 방법을 도시한 도면.

도 16은 본 발명에 따른 광감 소자를 결합하고 광감 트랜지스터를 사용하는 상부 발산 디스플레이 픽셀 구조의 제 5 예를 도시한 도면.

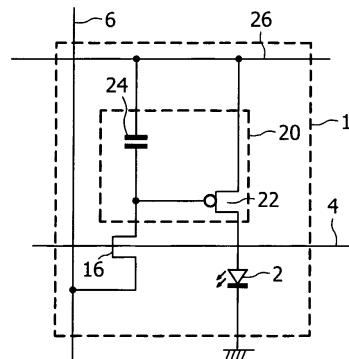
도면

도면1



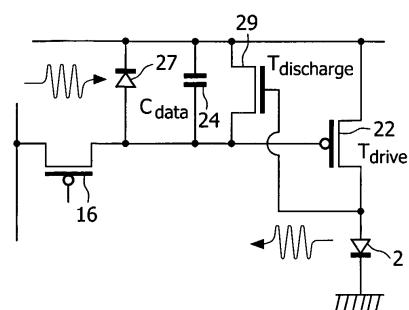
종래 기술

도면2

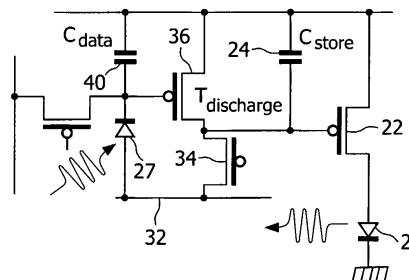


종래 기술

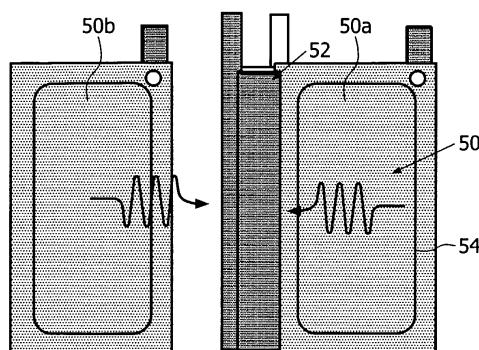
도면3



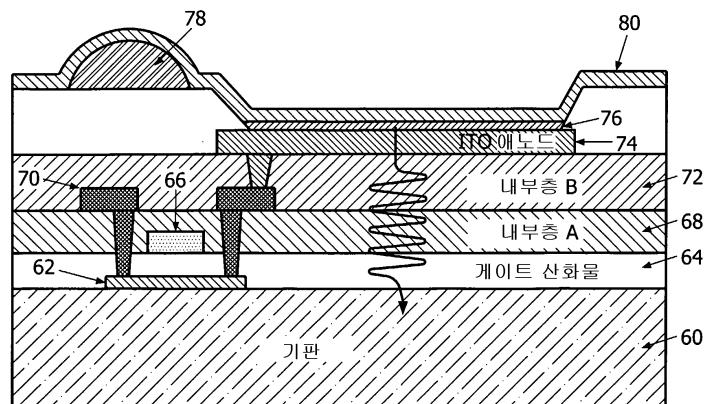
도면4



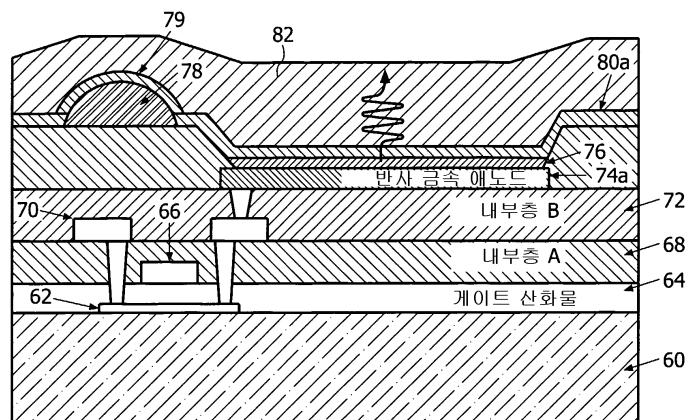
도면5



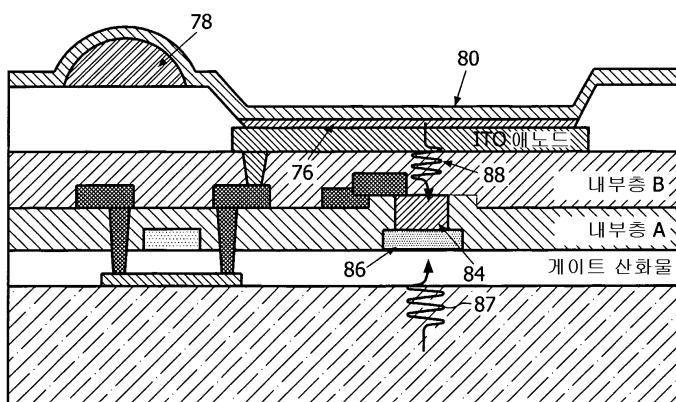
도면6



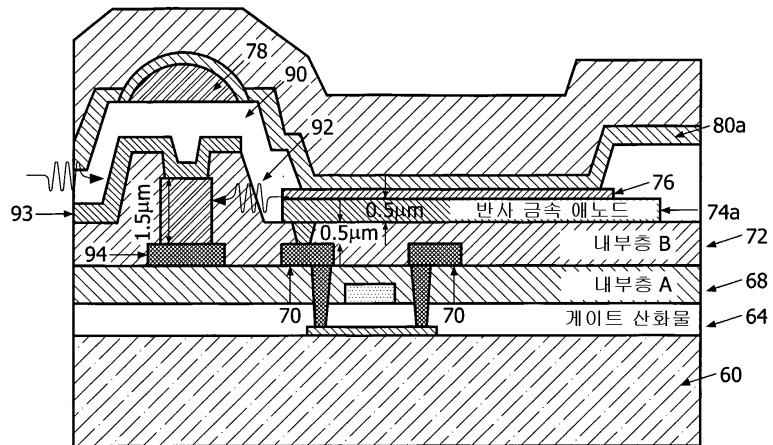
도면7



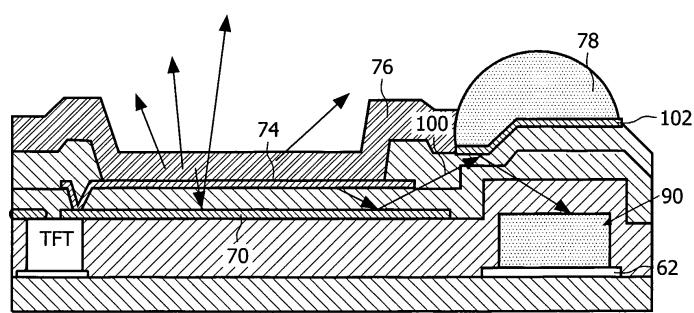
도면8



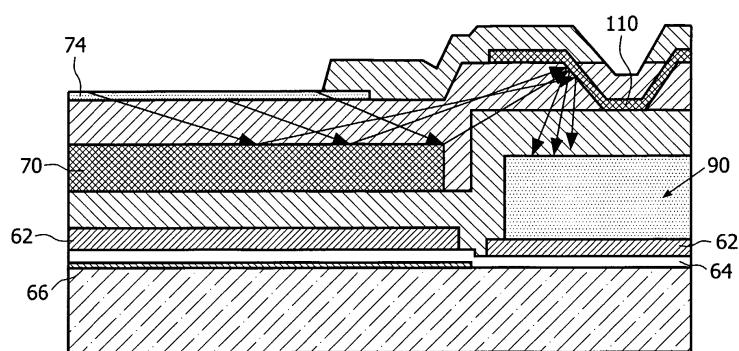
도면9



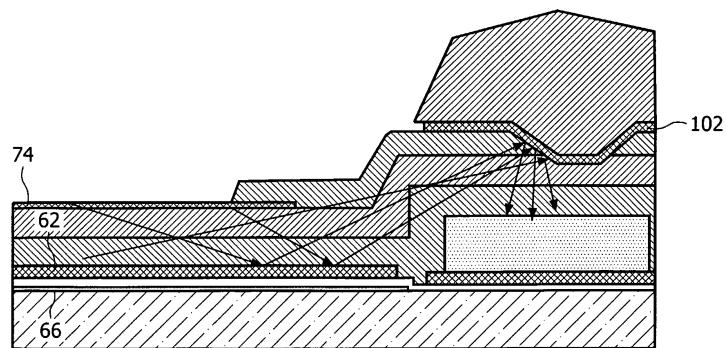
도면10



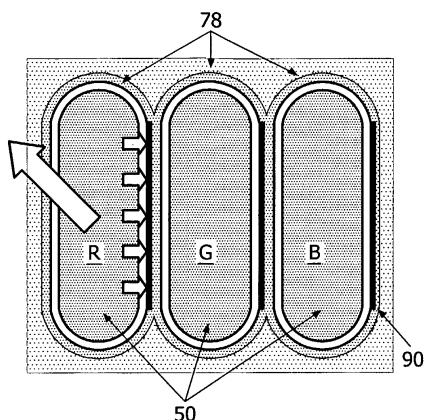
도면11



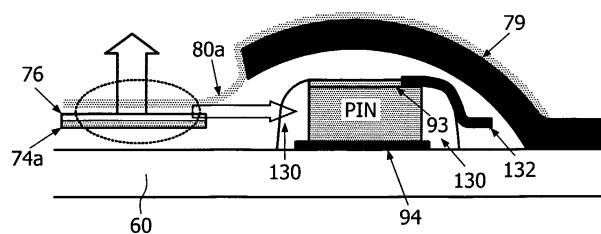
도면12



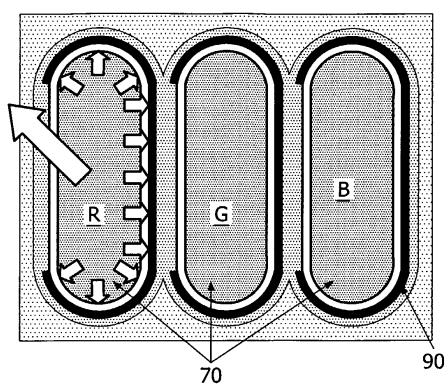
도면13



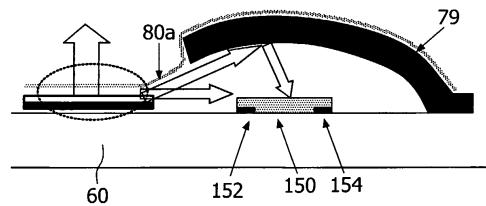
도면14



도면15



도면16



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 电致发光显示装置 | | |
| 公开(公告)号 | KR1020070004718A | 公开(公告)日 | 2007-01-09 |
| 申请号 | KR1020067018786 | 申请日 | 2005-03-02 |
| [标]申请(专利权)人(译) | 皇家飞利浦电子股份有限公司 | | |
| 申请(专利权)人(译) | 科宁欣克利凯恩菲利普斯日元.V. | | |
| 当前申请(专利权)人(译) | 科宁欣克利凯恩菲利普斯日元.V. | | |
| [标]发明人 | FISH DAVID A 피시데이비드에이 YOUNG NIGEL D 영나이젤디 LIFKA HERBERT 리프카허버트 GIRALDO ANDREA 지랄도안드레아 OEPTS WOUTER 오엡스우터 | | |
| 发明人 | 피시,데이비드,에이. 영,나이젤,디. 리프카,허버트 지랄도,안드레아 오엡스,우터 | | |
| IPC分类号 | H05B33/02 G09G3/32 G09G3/14 G09G3/20 H01L21/77 H01L23/552 H01L27/15 H01L27/32 H05B33/08 | | |
| CPC分类号 | H01L51/5271 H01L27/3269 G09G2320/043 G09G2300/0809 G09G2360/148 G09G2300/0852 G09G2310/0262 G09G2320/045 G09G2300/0819 G09G2300/0842 G09G3/2014 H01L23/552 H01L2924/0002 G09G3/3233 H01L27/3262 H01L2251/5315 H01L27/1214 H01L51/5228 | | |
| 代理人(译) | MOON , KYOUNG金 | | |
| 优先权 | 2004006107 2004-03-17 GB | | |
| 外部链接 | Espacenet | | |

摘要(译)

有源矩阵显示设备包括显示像素的阵列。并且每个像素包括EL显示器件，用于检测显示器件亮度的光依赖器件，以及用于驱动显示器件中的流动电流的驱动晶体管电路。响应于光依赖装置输出控制驱动晶体管，从而实现老化补偿。光依赖装置位于EL显示装置的发光材料区域的侧面。以这种方式，不产生阶梯覆盖问题，并且光依赖设备不影响像素孔径，并且它可以在像素布局中组合。而且，它可以沿着发光材料区域的总长度延伸，使得光依赖装置从大多数显示装置区域接收光学输入。

