



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월27일

(11) 등록번호 10-1572264

(24) 등록일자 2015년11월20일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

H05B 33/26 (2006.01)

(21) 출원번호 10-2009-0046426

(22) 출원일자 2009년05월27일

심사청구일자 2014년05월12일

(65) 공개번호 10-2010-0128020

(43) 공개일자 2010년12월07일

(56) 선행기술조사문헌

JP2006155920 A*

KR100875101 B1*

KR100708750 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이재영

경상북도 칠곡군 석적읍 북중리3길 70, 부영아파트 111동 1812호

안병철

서울 서초구 방배로 270, 라동 404호 (방배동, 방배삼호아파트)

최승규

대구광역시 달서구 조암남로16길 19, 코오롱하늘채 103동 305호 (월성동)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 10 항

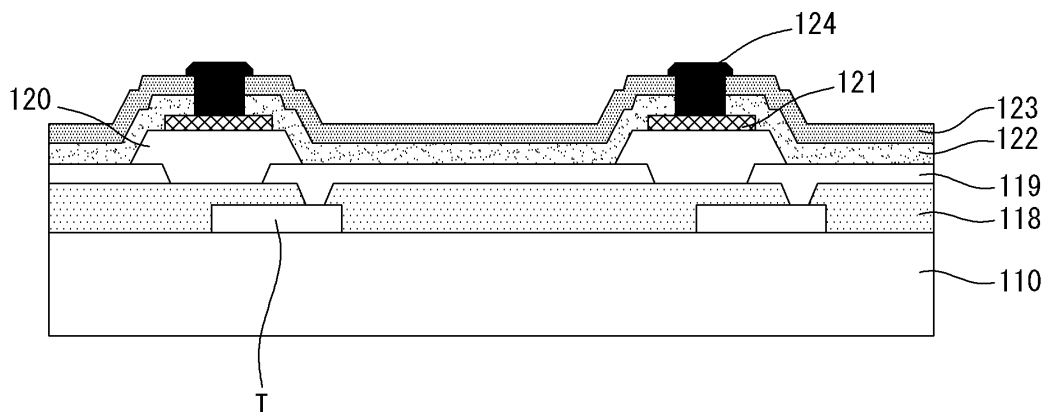
심사관 : 권기원

(54) 발명의 명칭 유기전계발광표시장치 및 이의 제조방법

(57) 요약

본 발명은 기판 상에 트랜지스터를 형성하고, 트랜지스터의 소오스 또는 드레인에 연결되도록 절연막 상에 하부전극을 형성하고, 하부전극의 일부를 노출하는 개구부를 갖도록 하부전극 상에 뱅크층을 형성하는 단계; 뱅크층 상에 버스전극을 형성하는 단계; 하부전극, 뱅크층 및 버스전극을 덮도록 유기 발광층을 형성하고, 유기 발광층 상에 상부전극을 형성하는 단계; 버스전극이 노출되도록 레이저를 이용하여 패터닝 하는 단계; 및 레이저에 의해 패터닝된 영역을 덮도록 금속전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

대표도 - 도13



명세서

청구범위

청구항 1

기관 상에 트랜지스터를 형성하고, 상기 트랜지스터의 소오스 또는 드레인에 연결되도록 절연막 상에 하부전극을 형성하고, 상기 하부전극의 일부를 노출하는 개구부를 갖도록 상기 하부전극 상에 बैं크층을 형성하는 단계;

상기 बैं크층 상에 버스전극을 형성하는 단계;

상기 하부전극, 상기 बैं크층 및 상기 버스전극을 덮도록 유기 발광층을 형성하고, 상기 유기 발광층 상에 상부전극을 형성하는 단계;

상기 버스전극이 노출되도록 레이저를 이용하여 패터닝 하는 단계; 및

상기 레이저에 의해 패터닝된 영역을 덮도록 금속전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 2

제1항에 있어서,

상기 버스전극 형성 단계는,

상기 버스전극을 메쉬 형태 또는 스트라이프 형태로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 3

제1항에 있어서,

상기 레이저 패터닝 단계는,

상기 버스전극이 위치하는 영역을 모두 패터닝하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 4

제1항에 있어서,

상기 레이저 패터닝 단계는,

상기 버스전극이 위치하는 영역을 국부적으로 패터닝하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 5

제1항에 있어서,

상기 레이저 패터닝 단계는,

상기 버스전극이 노출되도록 비어홀 형태로 패터닝하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 6

기관 상에 위치하는 트랜지스터;

상기 트랜지스터의 소오스 또는 드레인에 연결되도록 절연막 상에 위치하는 하부전극;

상기 하부전극 상에 위치하며 상기 하부전극의 일부를 노출하는 개구부를 갖도록 बैं크층;

상기 बैं크층 상에 위치하는 버스전극;

상기 하부전극, 상기 बैं크층 및 상기 버스전극을 덮도록 위치하는 유기 발광층;

상기 유기 발광층 상에 위치하는 상부전극; 및

상기 버스전극과 대응되는 영역 상에 위치하며 상기 버스전극과 상기 상부전극을 전기적으로 연결하는 금속전극을 포함하는 유기전계발광표시장치.

청구항 7

제6항에 있어서,

상기 버스전극은 메쉬 형태 또는 스트라이프 형태로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제6항에 있어서,

상기 금속전극은,

상기 버스전극과 상기 상부전극 사이에 형성된 비어홀을 통해 상기 버스전극과 상기 상부전극을 전기적으로 연결하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제8항에 있어서,

상기 비어홀은,

상기 버스전극이 위치하는 영역에 모두 형성되거나 국부적으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제6항에 있어서,

상기 금속전극이 차지하는 영역은,

상기 버스전극이 차지하는 영역보다 좁은 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기관 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다. 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 유기전계발광표시장치는 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0003] 유기전계발광표시장치에 배치된 서브 픽셀은 스위칭 트랜지스터, 구동 트랜지스터 및 커패시터를 포함하는 트랜지스터부와 트랜지스터부에 포함된 구동 트랜지스터에 연결된 하부전극, 유기 발광층 및 상부전극을 포함하는 유기 발광다이오드를 포함한다. 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0004] 한편, 종래 유기전계발광표시장치의 경우 패널 내에 형성된 전극들의 저항이 비교적 높다. 이로 인하여, 종래 유기전계발광표시장치에서는 소비전력 상승과 휘도 불균일의 문제가 있어 대면적 표시장치 구현시 많은 어려움이 있다.

발명의 내용

해결하고자하는 과제

[0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은, 소비전력을 낮춤과 아울러 휘도 불균일 문제를 개선하여 표시품질을 향상시킬 수 있는 대면적 유기전계발광표시장치를 구현하는 것이다.

과제 해결수단

[0006] 상술한 과제 해결 수단으로 본 발명은 기판 상에 트랜지스터를 형성하고, 트랜지스터의 소오스 또는 드레인에 연결되도록 절연막 상에 하부전극을 형성하고, 하부전극의 일부를 노출하는 개구부를 갖도록 하부전극 상에 बैं크층을 형성하는 단계; बैं크층 상에 버스전극을 형성하는 단계; 하부전극, बैं크층 및 버스전극을 덮도록 유기 발광층을 형성하고, 유기 발광층 상에 상부전극을 형성하는 단계; 버스전극이 노출되도록 레이저를 이용하여 패터닝 하는 단계; 및 레이저에 의해 패터닝 된 영역을 덮도록 금속전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

[0007] 버스전극 형성 단계는, 버스전극을 메쉬 형태 또는 스트라이프 형태로 형성할 수 있다.

[0008] 레이저 패터닝 단계는, 버스전극이 위치하는 영역을 모두 패터닝 할 수 있다.

[0009] 레이저 패터닝 단계는, 버스전극이 위치하는 영역을 국부적으로 패터닝 할 수 있다.

[0010] 레이저 패터닝 단계는, 버스전극이 노출되도록 비어홀 형태로 패터닝 할 수 있다.

[0011] 또한, 본 발명은 기판 상에 위치하는 트랜지스터; 트랜지스터의 소오스 또는 드레인에 연결되도록 절연막 상에 위치하는 하부전극; 하부전극 상에 위치하며 하부전극의 일부를 노출하는 개구부를 갖도록 बैं크층; बैं크층 상에 위치하는 버스전극; 하부전극, बैं크층 및 버스전극을 덮도록 위치하는 유기 발광층; 유기 발광층 상에 위치하는 상부전극; 및 버스전극과 대응되는 영역 상에 위치하며 버스전극과 상부전극을 전기적으로 연결하는 금속전극을 포함하는 유기전계발광표시장치를 제공한다.

[0012] 버스전극은, 메쉬 형태 또는 스트라이프 형태로 형성될 수 있다.

[0013] 금속전극은, 버스전극과 상부전극 사이에 형성된 비어홀을 통해 버스전극과 상부전극을 전기적으로 연결할 수 있다.

[0014] 비어홀은, 버스전극이 위치하는 영역에 모두 형성되거나 국부적으로 형성될 수 있다.

[0015] 금속전극이 차지하는 영역은, 버스전극이 차지하는 영역보다 좁을 수 있다.

효과

[0016] 본 발명은, 레이저를 이용하여 유기 발광층의 하부에 위치하는 버스전극이 선택적으로 노출되도록 패터닝하고 버스전극과 상부전극을 연결하는 금속전극을 형성함으로써 저저항 전극 구조를 제공하고 소비전력을 낮춤과 아울러 휘도 불균일 문제를 개선하여 표시품질을 향상시킬 수 있는 대면적 유기전계발광표시장치를 구현하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0018] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 회로구성 예시도 이다.

[0019] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 매트릭스형태로 배치된 서브 픽셀(SP)을 포함하는 패널(PNL), 서브 픽셀(SP)의 스캔배선(SL1..SLm)에 스캔신호를 공급하는 스캔구동부(SDRV) 및 서브 픽셀(SP)의 데이터배선(DL1..DLn)에 데이터신호를 공급하는 데이터구동부(DDRV)를 포함한다.

[0020] 서브 픽셀(SP)은 수동매트릭스형(Passive Matrix) 또는 능동매트릭스형(Active Matrix)으로 선택될 수 있다. 수동매트릭스형 서브 픽셀(SP)은 스캔배선과 데이터배선의 교차영역에 위치하는 유기 발광다이오드를 포함한다. 능동매트릭스형 서브 픽셀(SP)은 스캔배선과 데이터배선의 교차영역에 위치하는 하나 이상의 트랜지스터, 커패

시터 및 유기 발광다이오드를 포함한다.

- [0021] 도 2는 능동매트릭스형 서브 픽셀(SP)로서, 이는 스위칭 트랜지스터(S), 구동 트랜지스터(T), 커패시터(Cst) 및 유기 발광다이오드(D)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되거나 트랜지스터 또는 커패시터가 더 추가된 구조로 구성될 수도 있다.
- [0022] 2T1C 구조의 경우, 서브 픽셀(SP)에 포함된 소자들은 다음과 같이 연결될 수 있다. 스위칭 트랜지스터(S)는 스캔신호가 공급되는 스캔배선(SL1)에 게이트가 연결되고 데이터신호가 공급되는 데이터배선(DL1)에 일단이 연결되며 제1노드(A)에 타단이 연결된다. 구동 트랜지스터(T)는 제1노드(A)에 게이트가 연결되고 고 전위의 전원이 공급되는 제1전원 배선(VDD) 및 제2노드(B)에 일단이 연결되며 제3노드(C)에 타단이 연결된다. 커패시터(Cst)는 제1노드(A)에 일단이 연결되고 제2노드(B)에 타단이 연결된다. 유기 발광다이오드(D)는 제3노드(C)에 애노드가 연결되고 저 전위의 전원이 공급되는 제2전원 배선(VSS)에 캐소드가 연결된다.
- [0023] 위의 설명에서는 서브 픽셀(SP)에 포함된 트랜지스터들(S, T)이 N-Type으로 구성된 것을 일례로 설명하였으나 본 발명의 실시예는 이에 한정되지 않는다. 그리고 제1전원 배선(VDD)을 통해 공급되는 고 전위의 전원은 제2전원 배선(VSS)을 통해 공급되는 저 전위의 전원보다 높을 수 있으며, 제1전원 배선(VDD) 및 제2전원 배선(VSS)을 통해 공급되는 전원의 레벨은 구동방법에 따라 스위칭이 가능하다.
- [0024] 앞서 설명한 서브 픽셀(SP)은 다음과 같이 동작할 수 있다. 스캔배선(SL1)을 통해 스캔신호가 공급되면 스위칭 트랜지스터(S)가 턴온된다. 데이터배선(DL1)을 통해 공급된 데이터신호가 턴온된 스위칭 트랜지스터(S)를 거쳐 제1노드(A)에 공급되면 데이터신호는 커패시터(Cst)에 데이터전압으로 저장된다. 스캔신호가 차단되고 스위칭 트랜지스터(S)가 턴오프되면 구동 트랜지스터(T)는 커패시터(Cst)에 저장된 데이터전압에 대응하여 구동된다. 제1전원 배선(VDD)을 통해 공급된 고 전위의 전원이 제2전원 배선(VSS)을 통해 흐르게 되면 유기 발광다이오드(D)는 빛을 발광하게 된다. 그러나 이는 구동방법의 일례에 따른 것일 뿐, 본 발명의 실시예는 이에 한정되지 않는다.
- [0025] 본 발명의 일 실시예에 따른 유기전계발광표시장치는 다음과 같은 방법에 의해 제조될 수 있다.
- [0026] 도 3 내지 도 13은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면이다.
- [0027] 도 3 및 도 4에 도시된 바와 같이, 기판(110) 상에 트랜지스터(T)를 형성하는 단계를 실시한다. 트랜지스터(T)는 게이트가 상부에 위치하는 탑 게이트형과 게이트가 하부에 위치하는 바텀 게이트형이 있다. 실시예에서는 설명의 편의를 위해 탑 게이트형 트랜지스터의 구조를 일례로 설명한다.
- [0028] 트랜지스터(T)는 서브 픽셀에 포함된 구동 트랜지스터를 나타낸다. 트랜지스터(T)는 기판(110) 상에 형성된다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것으로 선택될 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다. 이하, 탑 게이트형 트랜지스터의 제조방법에 대해 설명한다.
- [0029] 기판(110) 상에는 액티브층(111a, 111b, 111c)이 형성된다. 액티브층(111a, 111b, 111c)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 액티브층(111a, 111b, 111c)은 소오스 영역(111a) 채널 영역(111b) 및 드레인 영역(111c)을 포함할 수 있으며, 소오스 영역(111a) 및 드레인 영역(111c)에는 P형 또는 N형 불순물이 도핑될 수 있다.
- [0030] 액티브층(111a, 111b, 111c) 상에는 제1절연막(112)이 형성된다. 제1절연막(112)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- [0031] 제1절연막(112) 상에는 게이트(113)가 형성된다. 게이트(113)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트(113)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(113)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0032] 게이트(113) 상에는 제2절연막(114)이 형성된다. 제2절연막(114)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

- [0033] 제2절연막(114) 상에는 소오스(115a) 및 드레인(115b)이 형성된다. 소오스(115a) 및 드레인(115b)은 단일층 또는 다중층으로 이루어질 수 있으며, 소오스(115a) 및 드레인(115b)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소오스(115a) 및 드레인(115b)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0034] 소오스(115a) 및 드레인(115b) 상에는 제3절연막(116)이 형성된다. 제3절연막(116)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제3절연막(116)은 패시베이션막일 수 있다.
- [0035] 제3절연막(116) 상에는 소오스(115a) 또는 드레인(115b)에 연결된 화소전극(117)이 형성된다. 화소전극(117)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al₂O₃ doped ZnO)와 같은 투명 도전성 재료로 형성될 수 있으나 이에 한정되지 않는다.
- [0036] 제3절연막(116) 상에는 제4절연막(118)이 형성된다. 제4절연막(118)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제4절연막(118)은 표면의 평탄도를 높이기 위한 평탄화막일 수 있다. 앞서 설명한 트랜지스터는 실시예의 이해를 돕기 위한 것일 뿐, 마스크 공정에 따라 트랜지스터의 구조가 달라질 수도 있다.
- [0037] 다음, 도 5에 도시된 바와 같이 제4절연막(118) 상에 화소전극(117)에 연결되도록 하부전극(119)을 형성하는 단계를 실시한다. 하부전극(119)은 화소전극(117)을 통해 트랜지스터(T)의 소오스(115a) 또는 드레인(115b)에 연결되는 것을 일례로 하였으나 하부전극(119)은 트랜지스터(T)의 소오스(115a) 또는 드레인(115b)에 직접 연결될 수도 있다. 실시예에서 하부전극(119)은 애노드로 선택될 수 있다. 애노드로 선택된 하부전극(119)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al₂O₃ doped ZnO)와 같은 투명 도전성 재료로 형성될 수 있으나 이에 한정되지 않는다.
- [0038] 다음, 도 6에 도시된 바와 같이 제4절연막(118) 상에 하부전극(119)의 일부를 노출하는 개구부(OPN)를 갖는 बैं크층(120)을 형성하는 단계를 실시한다. बैं크층(120)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있으나 이에 한정되지 않는다. बैं크층(120) 형성시 하부전극(119)의 일부를 노출하는 개구부(OPN)를 형성함으로써 서브 픽셀의 발광영역을 정의할 수 있다.
- [0039] 다음, 도 7에 도시된 바와 같이 बैं크층(120) 상에 버스전극(121)을 형성하는 단계를 실시한다. 버스전극(121)은 하부전극(119)과 동일하거나 다른 재료로 형성된다. 버스전극(121)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 적어도 하나의 재료로 이루어진 단일층 또는 다중층 구조로 형성될 수 있다. 한편, 도 8 및 도 9에 도시된 바와 같이 버스전극(121)은 메쉬(mesh) 형태(도 8) 또는 스트라이프(stripe) 형태(도 9)로 형성될 수 있으나 이에 한정되지 않는다. 한편, 도시되어 있진 않지만, बैं크층(120) 상에 버스전극(121)을 형성할 때에는 बैं크층(120)의 일부가 함몰되도록 패턴을 한 후, 함몰된 내부에 버스전극(121)을 형성할 수도 있다. 이 경우, 버스전극(121)의 두께를 더욱 두껍게 형성할 수 있어 전극의 저저항 구현에 용이성을 높일 수 있다.
- [0040] 다음, 도 10에 도시된 바와 같이 하부전극(119), बैं크층(120) 및 버스전극(121)을 덮도록 유기 발광층(122)을 형성하는 단계를 실시한다. 유기 발광층(122)은 기관(110) 상에 형성된 하부전극(119), बैं크층(120) 및 버스전극(121)을 덮도록 형성된다. 도 11을 참조하면, 유기 발광층(122)은 정공주입층(122a), 정공수송층(122b), 발광층(122c), 전자수송층(122d) 및 전자주입층(122e)을 포함할 수 있다. 정공주입층(122a)은 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 정공수송층(122b)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(122c)은 적색, 녹색, 청색 및 백색을 발광하는 물질을 포함할 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다. 발광층(122c)이 적색을 발광하는 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl))를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및

PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(122c)이 녹색을 발광하는 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(122c)이 청색을 발광하는 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 전자수송층(122d)은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 및 SALq로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 전자주입층(122e)은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 또는 SALq를 사용할 수 있으나 이에 한정되지 않는다. 여기서, 본 발명은 이에 한정되는 것은 아니며, 정공수송층(122a), 정공수송층(122b), 전자수송층(122d) 및 전자주입층(122e) 중 적어도 어느 하나가 생략될 수도 있다.

- [0041] 다음, 도 12에 도시된 바와 같이 유기 발광층(122) 상에 상부전극(123)을 형성하는 단계를 실시한다. 상부전극(123)은 캐소드로 선택될 수 있다. 캐소드로 선택된 상부전극(123)은 알루미늄(Al), 알루미늄(AINd) 및 은(Ag) 등과 같이 단일 재료를 이용한 단일층 또는 다중층이나 마그네슘(Mg):은(Ag) 및 알루미늄(Al)/은(Ag) 등과 같이 복수 재료를 이용한 단일층 또는 다중층 구조로 형성될 수 있다.
- [0042] 다음, 도 12에 도시된 바와 같이 버스전극(121)이 노출되도록 레이저(L)를 이용하여 패터닝 하는 단계를 실시한다. 버스전극(121)이 노출되도록 패터닝 할 때에는 레이저(L)를 이용한 웰딩(welding) 방식으로 패터닝한다. 이와 같이 레이저(L)를 이용하면 상부전극(123)과 유기 발광층(122)이 제거되고 버스전극(121)이 노출되는데, 패터닝 버스전극(121)을 노출시키는 구조는 다양하게 선택될 수 있다. 예컨대, 버스전극(121)이 위치하는 영역을 모두 패터닝하거나 버스전극(121)이 위치하는 영역을 국부적으로 패터닝하는 구조를 예로 들 수 있다.
- [0043] 다음, 도 13에 도시된 바와 같이 레이저(L)에 의해 패터닝된 영역을 덮도록 금속전극(124)을 형성하는 단계를 실시한다. 레이저(L)에 의해 버스전극(121)이 노출되도록 패터닝되고 나면 버스전극(121)과 상부전극(123)이 전기적으로 연결되도록 금속전극(124)을 형성한다. 금속전극(124)을 형성할 때에는 특정 영역만 증착하는 포인트 증착 방법, 실크스크린 방법 또는 마스크를 이용하는 방법 등을 이용할 수 있으나 이에 한정되진 않는다.
- [0044] 실시예와 같이 버스전극(121)을 노출시키며 상부전극(123)과 버스전극(121)을 전기적으로 연결하도록 금속전극(124)을 형성하면 상부전극(123)의 저항을 낮출 수 있게 된다. 전극의 저항이 높아지면 통상 소비전력 증가를 초래하는데, 소비전력 증가의 원인으로는 면저항 상승과 전원배선의 전압 강하에 따른 전류 손실 상승(IR Drop) 등으로 규명될 수 있다. 실시예의 경우, 저항을 증가시키는 원인이 되는 상부전극(123)의 저항을 낮춤으로써 대면적 유기전계발광표시장치의 소비전력을 낮춤은 물론 금속전극(124)의 다양한 구조를 이용하여 휘도 불균일 현상을 최대한 억제할 수 있게 된다.
- [0045] 이하, 도 14 내지 도 21을 참조하여 버스전극(121)을 노출시키는 구조에 따른 금속전극(124)의 형상에 대해 설명한다.
- [0046] 도 14 내지 도 21은 금속전극의 다양한 형상을 나타낸 도면이다.
- [0047] 도 14 및 도 15를 참조하면, 버스전극(121)은 메쉬 또는 스트라이프 형태로 형성되고 금속전극(124)은 버스전극(121)의 특정 영역에 위치하도록 형성된다. 이 경우, 레이저(L) 패터닝 단계에서 버스전극(121)의 일부만 국부적으로 노출되도록 패터닝을 실시함으로써 패터닝된 영역을 원형의 비어홀 형태로 형성한 것이다. 이에 따라, 금속전극(124)은 버스전극(121)과 상부전극(123) 사이에 형성된 원형의 비어홀을 통해 버스전극(121)과 상부전극(123)을 전기적으로 연결하게 된다.
- [0048] 도 16 및 도 17을 참조하면, 버스전극(121)은 메쉬 또는 스트라이프 형태로 형성되고 금속전극(124)은 버스전극(121)의 특정 영역에 위치하도록 형성된다. 이 경우, 레이저(L) 패터닝 단계에서 버스전극(121)의 일부만 국부적으로 노출되도록 패터닝을 실시함으로써 패터닝된 영역을 사각형의 비어홀 형태로 형성한 것이다. 이에 따라, 금속전극(124)은 버스전극(121)과 상부전극(123) 사이에 형성된 사각형의 비어홀을 통해 버스전극(121)과 상부전극

(123)을 전기적으로 연결하게 된다.

[0049] 도 18 및 도 19를 참조하면, 버스전극(121)은 메쉬 또는 스트라이프 형태로 형성되고 금속전극(124)은 버스전극(121)의 특정 영역에 위치하도록 형성된다. 이 경우, 레이저(L) 패턴 단계에서 버스전극(121)의 일부만 국부적으로 노출되도록 패턴을 실시함으로써 패턴된 영역을 사각형 및 원형의 비어홀 형태로 형성한 것이다. 이에 따라, 금속전극(124)은 버스전극(121)과 상부전극(123) 사이에 형성된 사각형 및 원형의 비어홀을 통해 버스전극(121)과 상부전극(123)을 전기적으로 연결하게 된다.

[0050] 도 20 및 도 21을 참조하면, 버스전극(121)은 메쉬 또는 스트라이프 형태로 형성되고 금속전극(124)은 버스전극(121)의 모든 영역에 위치하도록 형성된다. 이 경우, 레이저(L) 패턴 단계에서 버스전극(121)의 모든 영역이 노출되도록 패턴을 실시함으로써 패턴된 영역을 버스전극(121)의 형태와 동일하게 형성한 것이다. 이에 따라, 금속전극(124)은 버스전극(121)과 상부전극(123) 사이에 형성된 비어홀을 통해 버스전극(121)과 상부전극(123)을 전기적으로 연결하게 된다. 이 구조의 경우, 위의 방법과 달리 레이저(L) 패턴 단계에서 버스전극(121)의 일부만 국부적으로 노출되도록 패턴을 실시하고 버스전극(121)의 모든 영역에 대응되어 금속전극(124)이 위치하도록 형성할 수도 있다. 이에 따라, 금속전극(124)은 일부만 버스전극(121)과 접촉하는 형태로 버스전극(121)의 모든 영역에 대응되어 형성된다.

[0051] 한편, 도 14 내지 도 19에서 금속전극(124)은 버스전극(121)이 차지하는 영역보다 좁은 영역을 차지하면서 해당 영역의 저항을 낮출 수 있도록 특정 영역에 포인트 형태로 형성된다. 이와 같이 포인트 형태로 금속전극(124)을 형성하는 구조는 표시패널에서 저항이 높게 나타나는 영역과 휘도가 불균일하게 나타나는 영역이 국부적으로 발생할 때에 적용할 수 있을 것이다.

[0052] 한편, 도 20 및 도 21에서 금속전극(124)은 버스전극(121)이 차지하는 영역과 거의 대응되는 영역을 차지하면서 전 영역의 저항을 낮출 수 있도록 모든 영역에 버스전극(121)의 형태와 동일하게 형성된다. 이와 같이 버스전극(121)의 모든 영역을 커버하는 형태로 금속전극(124)을 형성하는 구조는 표시패널 전반의 저항을 낮추고 모든 영역의 휘도를 고르게 나타내고자 할 때에 적용할 수 있을 것이다.

[0053] 이상 본 발명은 레이저를 이용하여 유기 발광층의 하부에 위치하는 버스전극이 선택적으로 노출되도록 패턴하고 버스전극과 상부전극을 연결하는 금속전극을 형성함으로써 저저항 전극 구조를 제공하고 소비전력을 낮춤과 아울러 휘도 불균일 문제를 개선하여 표시품질을 향상시킬 수 있는 대면적 유기전계발광표시장치를 구현하는 효과가 있다.

[0054] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0055] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.

[0056] 도 2는 도 1에 도시된 서브 픽셀의 회로구성 예시도.

[0057] 도 3 내지 도 13은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면.

[0058] 도 14 내지 도 21은 금속전극의 다양한 형상을 나타낸 도면.

[0059] <도면의 주요 부분에 관한 부호의 설명>

[0060] 110: 기판 112: 제1절연막

[0061] 113: 게이트 114: 제2절연막

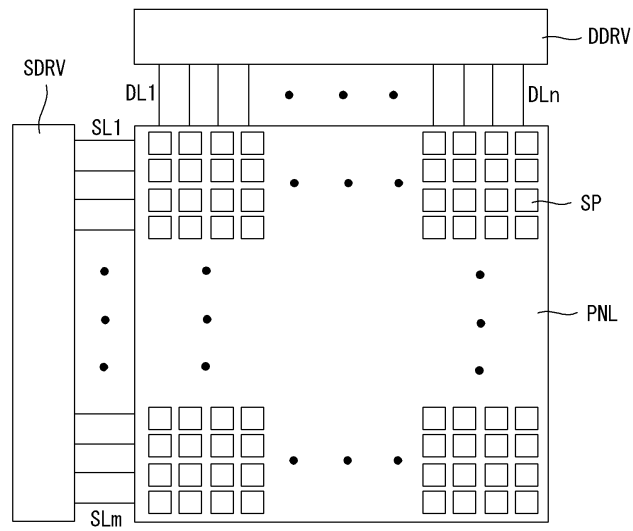
[0062] 116: 제3절연막 117: 화소전극

[0063] 118: 제4절연막 119: 하부전극

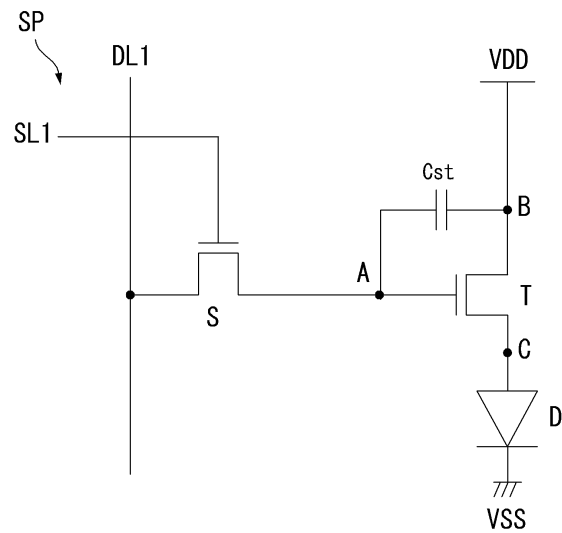
[0064]	120: 뱅크층	121: 버스전극
[0065]	122: 유기 발광층	123: 상부전극
[0066]	124: 금속전극	

도면

도면1



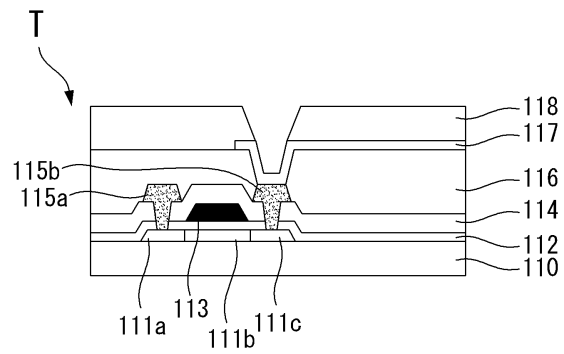
도면2



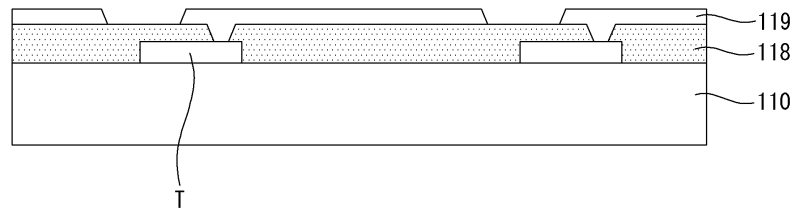
도면3



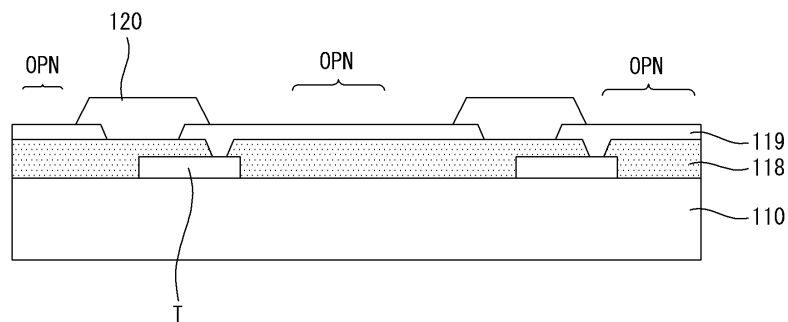
도면4



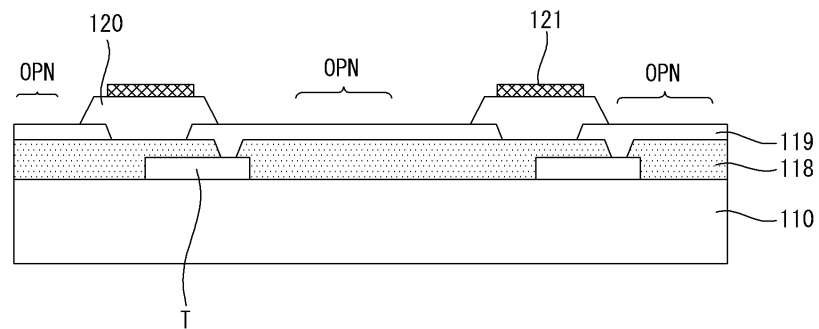
도면5



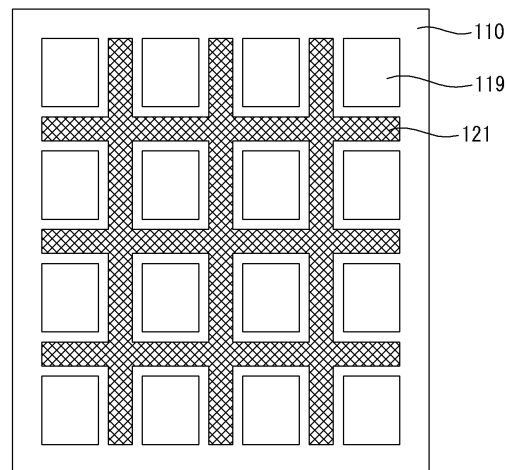
도면6



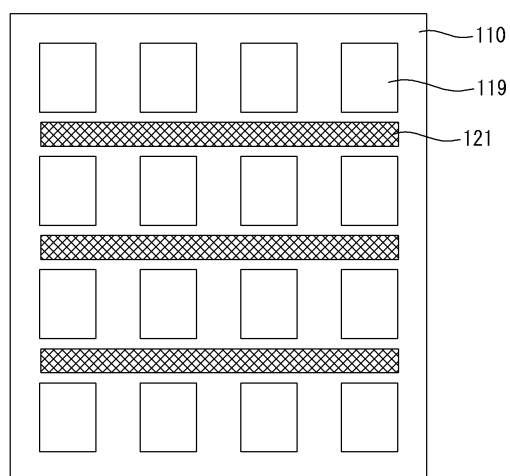
도면7



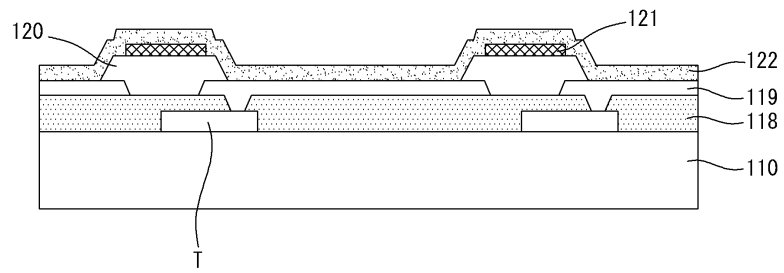
도면8



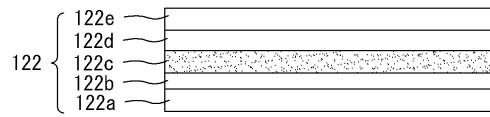
도면9



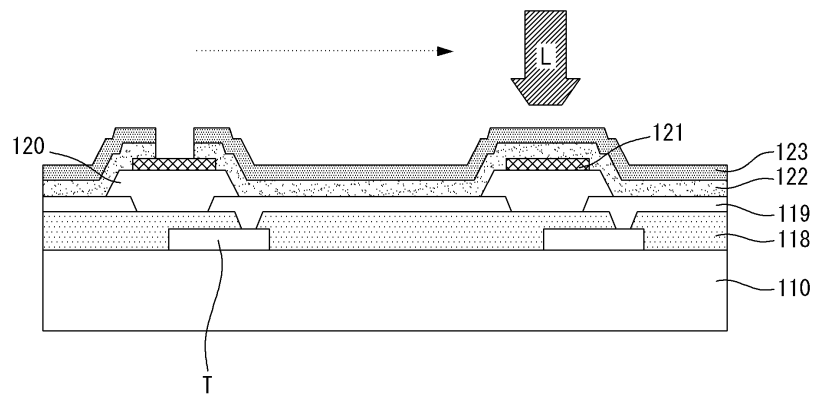
도면10



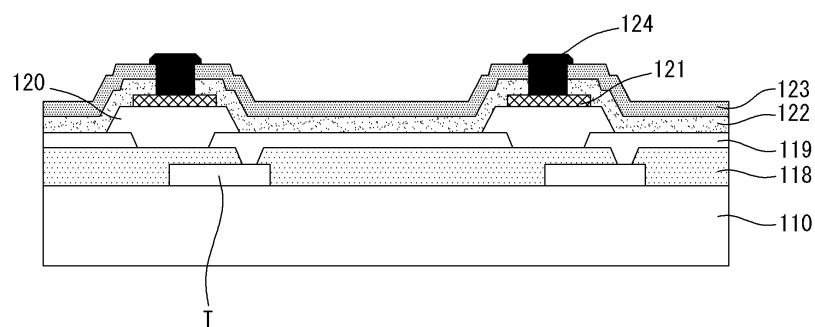
도면11



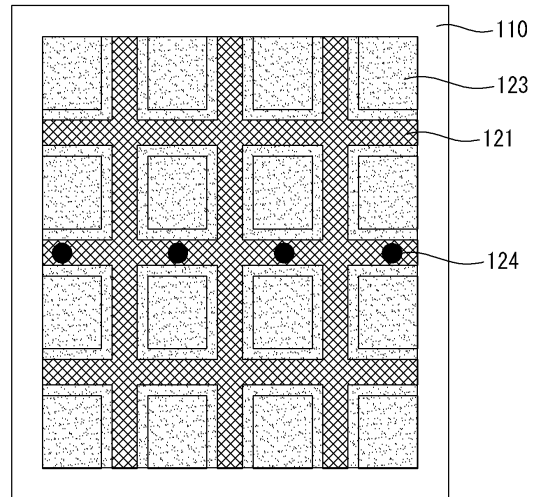
도면12



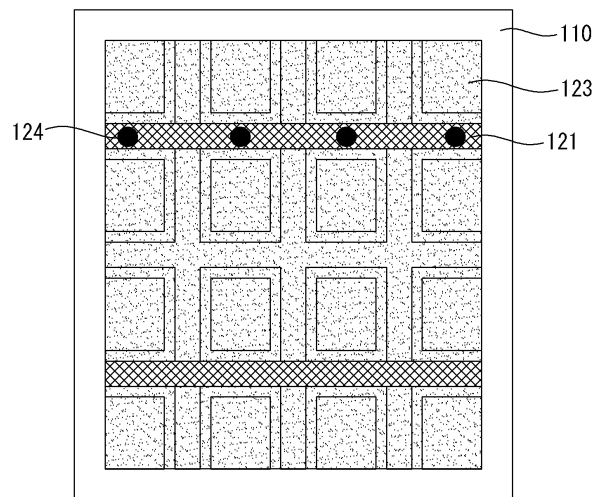
도면13



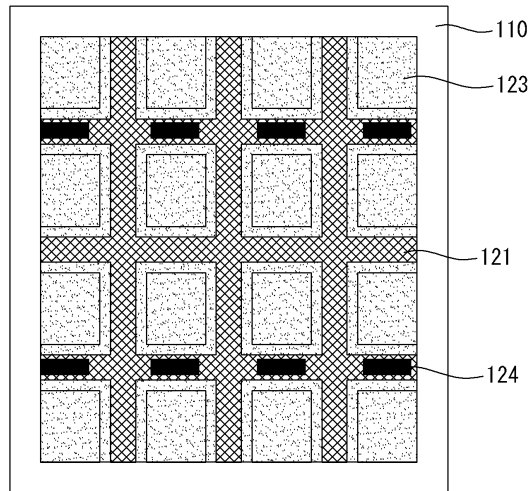
도면14



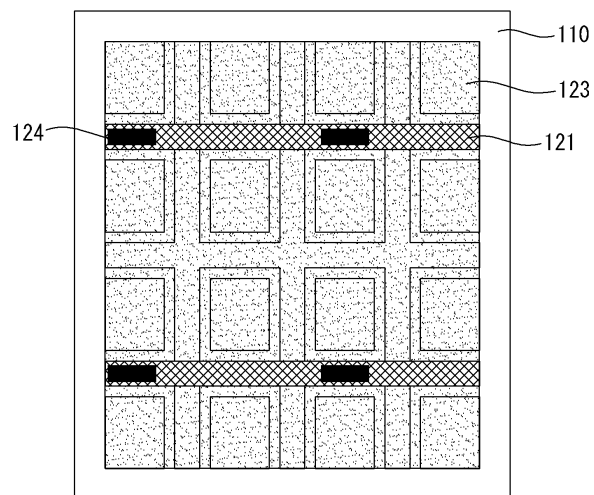
도면15



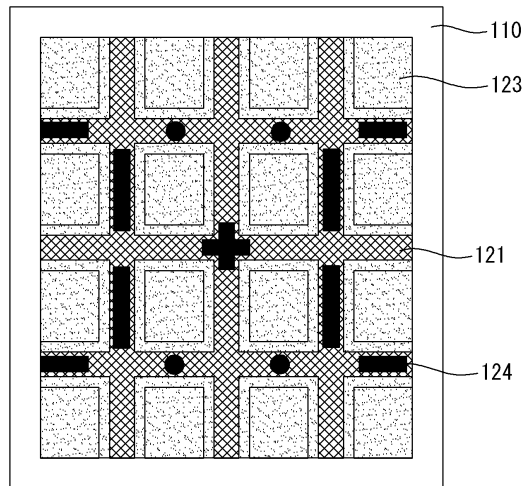
도면16



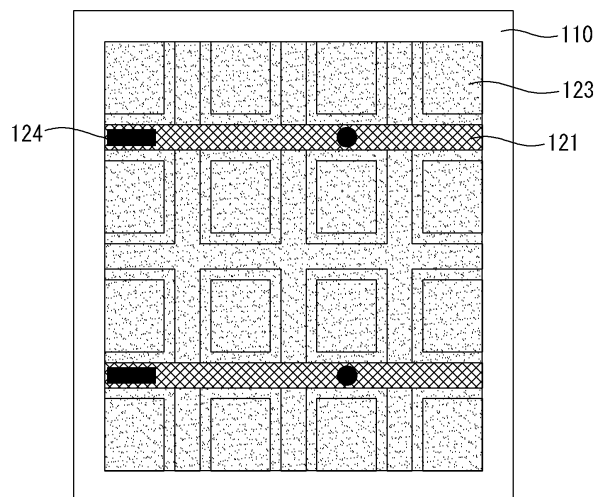
도면17



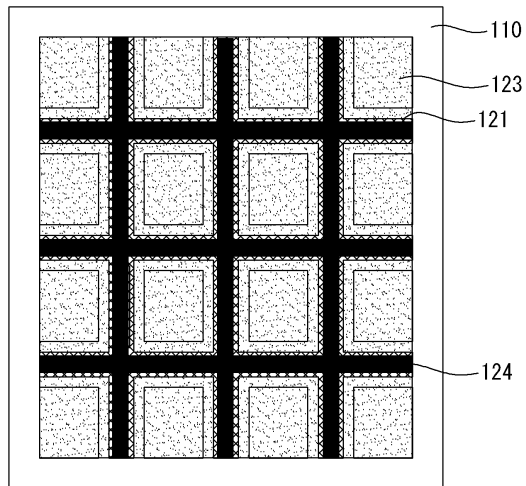
도면18



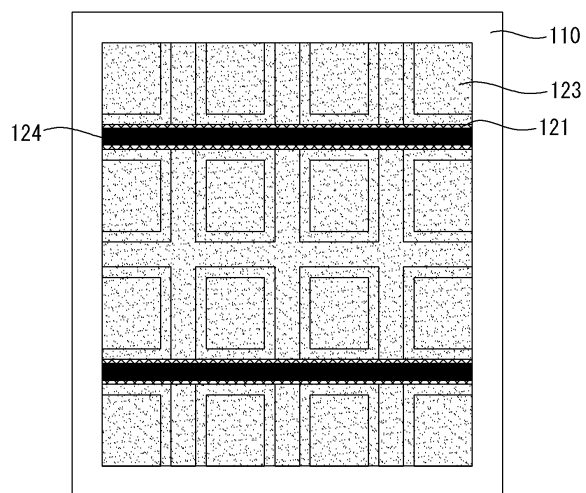
도면19



도면20



도면21



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101572264B1	公开(公告)日	2015-11-27
申请号	KR1020090046426	申请日	2009-05-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAE YOUNG 이재영 AHN BYUNG CHUL 안병철 CHOI SEUNG KYU 최승규		
发明人	이재영 안병철 최승규		
IPC分类号	H01L51/52 H01L51/56 H05B33/26		
CPC分类号	H01L27/3211 H01L27/3246 Y10S428/917		
其他公开文献	KR1020100128020A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机电致发光显示装置及其制造方法，以减少功耗并通过形成将总线电极连接到上电极的金属电极来应用低电阻电极结构。组成：一个晶体管位于基板（110）上。下电极（119）位于绝缘层上，以便连接到晶体管的源极或漏极。堤层（120）具有暴露下电极的一部分的开口。总线电极（121）位于堤层上。

