



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년11월02일
(11) 등록번호 10-1564983
(24) 등록일자 2015년10월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2009-0016616
(22) 출원일자 2009년02월27일
심사청구일자 2014년02월11일
(65) 공개번호 10-2009-0093861
(43) 공개일자 2009년09월02일
(30) 우선권주장
JP-P-2008-047079 2008년02월28일 일본(JP)
(56) 선행기술조사문헌
JP2002091332 A*
JP2004280059 A*
KR1020060106308 A*
KR1020060041046 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시카기샤 제이올레드
일본국 도쿄도 치요다쿠 칸다니시키쵸 3쵸메 23반
치
(72) 발명자
야마모토 테츠로
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시
끼 가이샤 나이
우치노 카쓰히데
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시
끼 가이샤 나이
(74) 대리인
이화익

전체 청구항 수 : 총 7 항

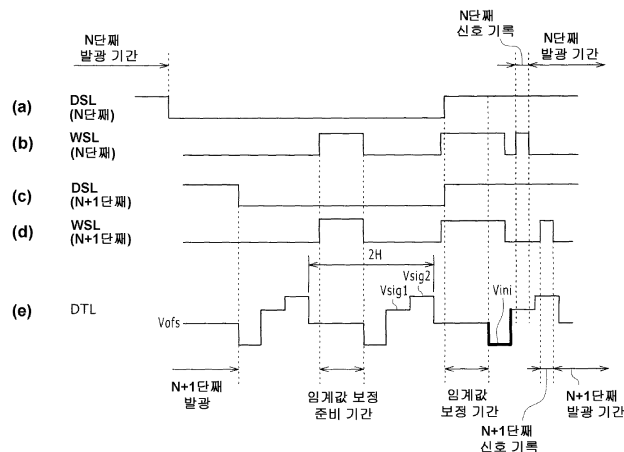
심사관 : 조기덕

(54) 발명의 명칭 EL 표시 패널 모듈, EL 표시 패널, 집적회로 장치, 전자기기 및 구동 제어 방법

(57) 요약

기관으로서의 패널, 및 상기 패널 위에 매트릭스 모양으로 배치되고 각각 화소회로와 발광영역으로 구성되는 복수의 화소를 포함한 화소 어레이부와, 각 신호선에 접속된 복수 개의 화소회로에 대한 임계값 보정 동작을 공통화하고, 각 계조값에 대응하는 신호 전위의 기록은 화소회로별로 시간 순차로 실행하도록 상기 화소회로를 구동하는 것과 함께, 임계값 보정 동작 완료 후 최초의 신호 전위의 기록 시작 전에, 임계값 보정용의 기준 전위보다 낮은 리셋 전위를 각 신호선에 접속된 상기 복수 개의 화소회로에 인가하는 구동회로를 구비하고, 상기 화소 어레이부와 상기 구동회로를 동일 기관 위에 장착한 것을 특징으로 하는 EL 표시 패널 모듈이 제공된다.

대표도



명세서

청구범위

청구항 1

화소회로와 발광영역으로 구성되는 화소를 매트릭스 모양으로 형성한 화소 어레이부와, 상기 화소회로를 구동하는 구동회로가 동일 기판 위에 장착되고,

상기 화소회로는, 적어도 게이트에 신호선이 접속된 스캔 트랜지스터, 구동 트랜지스터 및 저장 용량을 포함하고,

상기 구동 트랜지스터는, 게이트가 스캔 트랜지스터를 통해 신호선에 접속되고, 소스가 발광영역에 접속되고, 드레인이 전원에 접속되고,

상기 저장 용량은, 상기 구동 트랜지스터의 게이트와 소스 사이에 접속되고,

1개의 신호선에 접속된 복수 개의 화소회로는, 임계값 보정동작이 같은 타이밍으로 완료하도록 구동하고, 신호선에는 구동회로에 따라서 임계값 보정동작의 완료후에 각 화소회로에 대응한 신호 전위가 순차로 인가되고, 각 화소회로의 신호 전위의 기록이 임계값 보정동작의 완료로부터 다른 시간 간격을 두고 순차로 실행되고,

상기 구동회로는 최초의 신호 전위를 신호선에 인가하기 전에 임계값 보정용의 기준전위보다도 낮은 리셋 전위를 신호선에 인가하고, 복수 개의 화소회로의 구동 트랜지스터의 게이트 전극에 스캔 트랜지스터를 통해 리셋 전위를 인가하는,

EL 표시 패널 모듈.

청구항 2

제 1항에 있어서,

상기 각 신호선에 접속된 복수 개의 화소회로는, 다른 수평 라인 상에 위치하는 것을 특징으로 하는 EL 표시 패널 모듈.

청구항 3

제 1항에 있어서,

상기 각 신호선에 접속된 복수 개의 화소회로는, 같은 수평 라인 상에 위치하는 것을 특징으로 하는 EL 표시 패널 모듈.

청구항 4

화소회로와 발광영역으로 구성되는 화소를 매트릭스 모양으로 형성한 화소 어레이부와 상기 화소회로를 구동하는 구동회로가 동일 기판 위에 장착되고,

상기 화소회로는, 적어도 게이트에 신호선이 접속된 스캔 트랜지스터, 구동 트랜지스터 및 저장 용량을 포함하고,

상기 구동 트랜지스터는, 게이트가 스캔 트랜지스터를 통해 신호선에 접속되고, 소스가 발광영역에 접속되고, 드레인이 전원에 접속되고,

상기 저장 용량은, 상기 구동 트랜지스터의 게이트와 소스 사이에 접속되고,

1개의 신호선에 접속된 복수 개의 화소회로는, 임계값 보정동작이 같은 타이밍으로 완료하도록 구동하고, 신호선에는 구동회로에 따라서 임계값 보정동작의 완료후에 각 화소회로에 대응한 신호 전위가 순차로 인가되고, 각 화소회로의 신호 전위의 기록이 임계값 보정동작의 완료로부터 다른 시간 간격을 두고 순차로 실행되고,

상기 구동회로는 최초의 신호 전위를 신호선에 인가하기 전에 임계값 보정용의 기준전위보다도 낮은 리셋 전위를 신호선에 인가하고, 복수 개의 화소회로의 구동 트랜지스터의 게이트 전극에 스캔 트랜지스터를 통해 리셋 전위를 인가하는,

EL 표시 패널.

청구항 5

화소회로와 발광영역으로 구성되는 화소를 매트릭스 모양으로 형성한 화소 어레이부를 구동제어하는 구동회로를 구성하는 집적회로 장치로서,

상기 화소회로는, 적어도 게이트에 신호선이 접속된 스캔 트랜지스터, 구동 트랜지스터 및 저장 용량을 포함하고,

상기 구동 트랜지스터는, 게이트가 스캔 트랜지스터를 통해 신호선에 접속되고, 소스가 발광영역에 접속되고, 드레인이 전원에 접속되고,

상기 저장 용량은, 상기 구동 트랜지스터의 게이트와 소스 사이에 접속되고,

1개의 신호선에 접속된 복수 개의 화소회로는, 임계값 보정동작이 같은 타이밍으로 완료하도록 구동하고, 신호선에는 구동회로에 따라서 임계값 보정동작의 완료후에 각 화소회로에 대응한 신호 전위가 순차로 인가되고, 각 화소회로로의 신호 전위의 기록이 임계값 보정동작의 완료로부터 다른 시간 간격을 두고 순차로 실행되고,

상기 구동회로는 최초의 신호 전위를 신호선에 인가하기 전에 임계값 보정용의 기준전위보다도 낮은 리셋 전위를 신호선에 인가하고, 복수 개의 화소회로의 구동 트랜지스터의 게이트 전극에 스캔 트랜지스터를 통해 리셋 전위를 인가하는,

집적회로 장치.

청구항 6

화소회로와 발광영역으로 구성되는 화소를 매트릭스 모양으로 형성한 화소 어레이부와,

상기 화소회로를 구동하는 구동회로와,

시스템 전체의 동작을 제어하는 시스템 제어부와,

시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 갖고,

상기 화소회로는, 적어도 게이트에 신호선이 접속된 스캔 트랜지스터, 구동 트랜지스터 및 저장 용량을 포함하고,

상기 구동 트랜지스터는, 게이트가 스캔 트랜지스터를 통해 신호선에 접속되고, 소스가 발광영역에 접속되고, 드레인이 전원에 접속되고,

상기 저장 용량은, 상기 구동 트랜지스터의 게이트와 소스 사이에 접속되고,

1개의 신호선에 접속된 복수 개의 화소회로는, 임계값 보정동작이 같은 타이밍으로 완료하도록 구동하고, 신호선에는 구동회로에 따라서 임계값 보정동작의 완료후에 각 화소회로에 대응한 신호 전위가 순차로 인가되고, 각 화소회로로의 신호 전위의 기록이 임계값 보정동작의 완료로부터 다른 시간 간격을 두고 순차로 실행되고,

상기 구동회로는 최초의 신호 전위를 신호선에 인가하기 전에 임계값 보정용의 기준전위보다도 낮은 리셋 전위를 신호선에 인가하고, 복수 개의 화소회로의 구동 트랜지스터의 게이트 전극에 스캔 트랜지스터를 통해 리셋 전위를 인가하는,

전자기기.

청구항 7

화소회로와 발광영역으로 구성되는 화소를 매트릭스 모양으로 형성한 화소 어레이부의 구동 제어 방법으로서,

상기 화소회로는, 적어도 게이트에 신호선이 접속된 스캔 트랜지스터, 구동 트랜지스터 및 저장 용량을 포함하고,

상기 구동 트랜지스터는, 게이트가 스캔 트랜지스터를 통해 신호선에 접속되고, 소스가 발광영역에 접속되고, 드레인이 전원에 접속되고,

상기 저장 용량은, 상기 구동 트랜지스터의 게이트와 소스 사이에 접속되고,

1개의 신호선에 접속된 복수 개의 화소회로는, 임계값 보정동작이 같은 타이밍으로 완료하도록 구동하고, 신호선에는 구동회로에 따라서 임계값 보정동작의 완료후에 각 화소회로에 대응한 신호 전위가 순차로 인가되고, 각 화소회로의 신호 전위의 기록이 임계값 보정동작의 완료로부터 다른 시간 간격을 두고 순차로 실행되고,

상기 구동회로는 최초의 신호 전위를 신호선에 인가하기 전에 임계값 보정용의 기준전위보다도 낮은 리셋 전위를 신호선에 인가하고, 복수 개의 화소회로의 구동 트랜지스터의 게이트 전극에 스캔 트랜지스터를 통해 리셋 전위를 인가하는,

구동 제어 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 2008년 2월 8일에 일본 특허청에 출원된 일본 특허 JP 2008-047079에 관한 주제를 포함하며, 그 모든 내용은 여기에 참조로 포함된다.

[0002] 본 명세서에서 설명하는 발명은, 액티브 매트릭스 구동 방식으로 구동 제어되는 EL(electro luminescence) 표시 패널의 제조 비용과 화상 품질을 최적화하는 기술에 관한 것으로, 특히, EL 표시 패널 모듈, EL 표시 패널, 집적회로 장치, 전자기기 및 구동 제어 방법에 관한 것이다.

배경 기술

[0003] 도 1에, 액티브 매트릭스 구동형의 유기 EL 패널의 모듈에 일반적인 회로 블록 구성을 나타낸다. 도 1에 나타내는 바와 같이, 유기 EL 패널 모듈(1)은, 화소 어레이부(3)와, 그 구동회로인 라이트 스캔 드라이버(write scan driver)(5), 전원 스캔 드라이버(7), 수평 셀렉터(selector)(9)로 구성한다.

[0004] 덧붙여 말하면, 유기 EL 소자는 전류발광 소자다. 따라서 유기 EL 패널 모듈에서는, 각 화소의 발광 계조의 제어에, 유기 EL 소자에 흐르는 전류량을 제어하는 구동 방식을 채용한다. 도 2에, 이 종류의 화소회로 중 가장 단순한 회로 구성의 하나를 나타낸다. 도 2에 나타내는 바와 같이, 이 화소 회로는, 스캔 트랜지스터 T1, 구동 트랜지스터 T2 및 저장 용량 Cs로 구성된다.

[0005] 스캔 트랜지스터 T1은, 대응 화소의 계조에 대응하는 신호 전압을 저장 용량 Cs에 기록하는 데에 사용된다. 구동 트랜지스터 T2는, 저장 용량 Cs의 저장 전압에 의해 정해지는 게이트·소스 간 전압 Vgs에 근거한 전류 Ids를 유기 EL 소자 OLED에 공급하는 데에 사용된다.

[0006] 덧붙여 말하면, 구동 트랜지스터 T2가 p채널형 박막 트랜지스터로 구성될 경우, 그 소스 전극은 전원선에 접속되어 있다. 다시 말해, 구동 트랜지스터 T2는, 통상은 포화영역에서 동작하도록 설계된다. 따라서, 구동 트랜지스터 T2는, 정전류원(constant current source)으로서 동작한다. 이때, 전류 Ids는 다음 식으로 주어진다.

[0007]
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

[0008] 여기에서, μ 는 구동 트랜지스터 T2의 다수 캐리어의 이동도이고, V_{th} 는 구동 트랜지스터 T2의 임계값전압이며, k 는 $(W/L) \cdot C_{ox}$ 로 주어진 계수이다. 여기에서, W 는 채널 폭, L 은 채널 길이, C_{ox} 는 단위면적당 게이트 용량이다.

[0009] 이 때, 이 화소회로의 구성의 경우, 도 3에 나타내는 유기 EL 소자의 I-V특성의 경시 변화(aged deterioration)에 따라, 구동 트랜지스터 T2의 드레인 전압이 변화한다. 그러나, 게이트·소스 간 전압 Vgs는 일정하게 유지되므로, 유기 EL 소자에 공급되는 전류량에는 변화가 없고, 발광 휘도가 일정하게 유지된다.

[0010] 액티브 매트릭스 구동 방식을 채용하는 유기 EL 표시 패널에 관련된 문헌이 예를 들어, 일본국 특개 2003-

255856호, 일본국 특개 2003-271095호, 일본국 특개 2004-133240호, 일본국 특개 2004-029791호 공보, 일본국 특개 2004-093682호에 기재되어 있다.

발명의 내용

해결 하고자하는 과제

- [0011] 덧붙여서, 구동 트랜지스터 T2를 n채널형 박막 트랜지스터로 대체하면, 도 4에 나타내는 바와 같이, 이번에는 소스 전위가 유기 EL 소자에 접속된다. 이 화소회로의 경우, 유기 EL 소자의 I-V특성의 경시 변화에 따라 전류량이 변화하고, 발광 휘도가 변화하게 된다.
- [0012] 또한, 화소마다 구동 트랜지스터 T2의 임계값 및 이동도가 다르기 때문에, 앞식에 따라서 전류값에 편차가 생기고, 발광 휘도도 화소마다 변화하게 된다.
- [0013] 이에 따라 구동 트랜지스터 T2를 n채널형 박막 트랜지스터로 구성할 경우에도, 경시 변화에 관계없이 안정화된 발광 특성을 얻을 수 있는 화소회로와 구동 방법의 확립이 요구되고 있다. 또한 동시에, 유기 EL 패널 모듈의 보급을 위해, 제조 원가의 감소가 더욱 요구되고 있다.

과제 해결수단

- [0014] 본 발명의 일 실시예에 의하면, 기관으로서의 패널, 및 상기 패널 위에 매트릭스 모양으로 배치되고 각각 화소회로와 발광영역으로 구성되는 복수의 화소를 포함한 화소 어레이부와, 각 신호선에 접속된 복수 개의 화소회로에 대한 임계값 보정 동작을 공통화하고, 각 계조값에 대응하는 신호 전위의 기록은 화소회로별로 시간 순차로 실행하도록 상기 화소회로를 구동하는 것과 함께, 임계값 보정 동작 완료 후 최초의 신호 전위의 기록 시작 전에, 임계값 보정용의 기준 전위보다 낮은 리셋 전위를 각 신호선에 접속된 상기 복수 개의 화소회로에 인가하는 구동회로를 구비하고, 상기 화소 어레이부와 상기 구동회로를 동일 기관 위에 장착한 것을 특징으로 하는 EL 표시 패널 모듈이 제공된다.
- [0015] 본 발명의 또 다른 실시예에 의하면, 기관으로서의 패널, 및 상기 패널 위에 매트릭스 모양으로 배치되고 각각 화소회로와 발광영역으로 구성되는 복수의 화소를 포함한 화소 어레이부와, 각 신호선에 접속된 복수 개의 화소회로에 대한 임계값 보정 동작을 공통화하고, 각 계조값에 대응하는 신호 전위의 기록은 화소회로별로 시간 순차로 실행하도록 상기 화소회로를 구동하는 것과 함께, 임계값 보정 동작 완료 후 최초의 신호 전위의 기록 시작 전에, 임계값 보정용의 기준 전위보다 낮은 리셋 전위를 각 신호선에 접속된 상기 복수 개의 화소회로에 인가하는 구동회로를 구비하고, 상기 화소 어레이부와 상기 구동회로를 동일 기관 위에 형성한 것을 특징으로 하는 EL 표시 패널이 제공된다.

효과

- [0016] 상기 EL 표시 패널 모듈과 상기 EL 표시 패널에 의해, 원가절감과 고화질화를 모두 실현할 수 있다.
- [0017] 본 발명의 상기 및 다른 특징과 이점은 다음의 동일한 부분이나 요소는 동일한 부호로 나타낸 도면을 참조한 설명과 첨부된 청구항으로부터 분명해진다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하, 본 발명의 실시예에, 액티브 매트릭스 구동형의 유기 EL 패널 모듈 또는 유기 EL 표시 패널을 적용할 경우에 대해서 설명한다.
- [0019] 이 때, 본 명세서에서 특별히 도시 또는 기재되지 않은 부분에는, 해당 기술분야의 주지 또는 공지 기술을 적용한다.
- [0020] (A) 외관 구성
- [0021] 본 명세서에서는, 예를 들면 특정 용도용 IC(집적회로)로서 제조된 구동회로를 화소 어레이부가 형성된 기관 위에 장착한 장치를 유기 EL 패널 모듈이라 부르고, 화소 어레이부와 구동회로를 같은 프로세스를 사용하여 같은

기관 위에 형성한 장치를 유기 EL 패널이라고 부른다.

- [0022] 이하에서는, 유기 EL 패널 모듈에 대해서 설명한다. 도 5에, 유기 EL 패널 모듈(11)의 외관 구성예를 도시한다. 도 5에 나타내는 바와 같이, 유기 EL 패널 모듈(11)은, 지지 기관(13)의 화소 어레이부가 형성된 영역에 대향부(15)를 부착한 구조로 되어 있다.
- [0023] 대향부(15)는, 유리 등의 투명부재를 기초재로 하고, 그 기관의 표면에는 컬러필터, 보호막 등이 배치된다. 또, 유기 EL 패널 모듈(11)에는, 외부에서 지지 기관(13)에 신호 등을 입출력하기 위한 FPC(flexible printed circuits)(17)가 배치되어 있다.
- [0024] (B) 실시예 1
- [0025] (B-1) 시스템 구성
- [0026] 도 6에, 본 발명의 실시예 1에 관련된 유기 EL 패널 모듈(11)의 시스템 구성의 개략을 나타낸다. 도 6에 나타내는 바와 같이, 유기 EL 패널 모듈(11)은, 화소 어레이부(21)와, 그 구동회로인 한 쌍의 라이트 스캔 드라이버(23), 한 쌍의 전원 스캔 드라이버(25), 수평 셀렉터(27), 타이밍 제너레이터(TG: timing generator)(29)로 구성된다.
- [0027] 화소 어레이부(21)에는, 유기 EL 소자와 화소회로로 구성되는 수많은 서브(sub) 화소가 매트릭스 모양으로 배치된다. 여기에서, 서브 화소는 1화소를 구성하는 화소 구조의 최소 단위이며, 1화소는 유기 EL재료가 다른 3개의 서브 화소(R, G, B)로 구성된다.
- [0028] 도 7에, 서브 화소에 대응하는 화소회로와 각 구동회로의 접속 관계를 나타낸다. 도 8에, 본 실시예에서 제안하는 화소회로의 내부 구성을 도시한다. 도 8에 나타내는 화소회로도, 2개의 박막 트랜지스터 T1 및 T2와 1개의 저장 용량 Cs로 구성된다.
- [0029] 이 때, 회소 회로의 구동 트랜지스터 T2는 n채널형의 박막 트랜지스터이다. 한편, 저장 용량 Cs는, 구동 트랜지스터 T2의 게이트 전극과 유기 EL 소자 OLED의 애노드 전극 사이에 각각 접속된다.
- [0030] 이 회로 구성의 경우에도, 라이트 스캔 드라이버(23)는 라이트 스캔선 WSL을 통해 스캔 트랜지스터 T1을 온·오프 제어하여, 저장 용량 Cs로의 전위의 기록을 제어한다. 즉, 라이트 스캔 드라이버(23)는, 시프트 레지스터로 구성된다.
- [0031] 전원 스캔 드라이버(25)는, 급전선 DSL을 통해서 구동 트랜지스터 T2의 한쪽의 주 전극에 인가되는 전원 전압을 2치적(binary fashion)으로 제어하여, 다른 구동회로와 함께 화소회로 내의 특성 불균일(dispersion)의 보정 동작을 제어한다. 구체적으로는, 전원 스캔 드라이버(25)는 구동 트랜지스터 T2의 임계값 불균일이나, 이동도 불균일에 근거하는 유니포머티(uniformity)의 열화를 보정한다.
- [0032] 수평 셀렉터(27)는, 신호선 DTL에 화소 데이터의 게조값에 대응하는 신호 전위 Vsig 또는 임계값 보정용의 오프셋 전위 Vofs를 인가하는 회로 디바이스다.
- [0033] 타이밍 제너레이터(29)는, 라이트 스캔선 WSL, 급전선 DSL, 신호선 DTL의 구동 펄스를 생성하는 회로 디바이스이다.
- [0034] (B-2) 구동 동작예
- [0035] 도 9a 내지 도 9e에, 도 8에 나타내는 화소회로의 구동 동작예를 도시한다. 이 때, 도 9a 내지 도 9e는, 2 수평 주사 기간을 이용하여 임계값 보정을 실행할 경우의 구동 동작예이지만, 임계값 보정 동작부터 신호 전위 Vsig의 기록까지의 동작을 1 수평주사 기간 내에 실행해도 된다.
- [0036] 덧붙여 말하면, 도 9a 내지 도 9e에서는, 급전선 DSL에 인가하는 2종류의 전위 중 고전위 쪽을 Vcc로 나타내고, 2종류의 전위 중 저전위 쪽을 Vss로 나타낸다.
- [0037] 우선, 발광 상태에 있어서의 화소회로 내의 동작 상태를 도 10에 나타낸다. 이 때, 스캔 트랜지스터 T1은 오프 상태이다. 한편, 구동 트랜지스터 T2는 포화영역에서 동작하고, 게이트·소스 간 전압 Vgs에 의존하는 전류 Ids가 흐른다.
- [0038] 다음에, 비발광 상태의 동작 상태를 설명한다. 우선, 급전선 DSL의 전위가 고전위 Vcc에서 저전위 Vss로 변화한다(도 9a 내지 도 9g(T1)). 이 때, 저전위 Vss가 유기 EL 소자의 임계값 Vthel과 캐소드 전위 Vcath와의 합보다

작을 때, 즉 $V_{ss} < V_{th1} + V_{cath}$ 이면 유기 EL 소자 OLED는 소등한다.

- [0039] 이 때, 구동 트랜지스터 T2의 소스 전위 V_s 는 급전선 DSL의 전위와 같아진다. 환언하면, 유기 EL 소자 OLED의 애노드 전위는 저전위 V_{ss} 로 충전된다. 도 11에, 이 경우의 화소회로 내의 동작 상태를 나타낸다.
- [0040] 그 후, 신호선 DTL의 전위가 임계값 보정용의 오프셋 전위 V_{ofs} 인 상태에서, 라이트 스캔선 WSL이 고전위로 변화하면, 온 동작한 스캔 트랜지스터 T1을 통해 구동 트랜지스터 T2의 게이트 전위가 오프셋 전위 V_{ofs} 로 변화한다(도 9a 내지 도 9g(T2)).
- [0041] 도 12에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 이 때, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는 $V_{ofs} - V_{ss}$ 로 주어진다. 이 전압은 구동 트랜지스터 T2의 임계값전압 V_{th} 보다도 커지도록 설정된다. 이는 $V_{ofs} - V_{ss} > V_{th}$ 를 충족하지 않으면, 임계값 보정 동작을 실행할 수 없기 때문이다.
- [0042] 그 다음에, 급전선 DSL의 전위가 다시 고전위 V_{cc} 로 변화된다(도 9a 내지 도 9g(T3)). 급전선 DSL의 전압이 고전위 V_{cc} 로 변화하기 때문에, 유기 EL소자 OLED의 애노드 전위가 구동 트랜지스터 T2의 소스 전위 V_s 가 된다.
- [0043] 도 13에서는, 유기 EL소자 OLED를 등가 회로로 나타낸다. 도 13에서, 유기 EL소자 OLED는 다이오드와 기생 용량 C_{el} 로 나타낸다. 이 때 $V_{el} \leq V_{cat} + V_{th1}$ 의 관계를 충족시키는 한, 구동 트랜지스터 T2에 흐르는 전류 I_{ds} 는 저장 용량 C_s 와 기생 용량 C_{el} 에 충전하는 데 사용된다. 이 때, 유기 EL 소자의 리크 전류는 구동 트랜지스터 T2에 흐르는 전류 I_{ds} 보다 상당히 낮다고 생각된다.
- [0044] 결과적으로, 유기 EL 소자의 애노드 전압 V_{el} 은, 도 14에 나타내는 바와 같이, 시간이 경과함에 따라 상승한다. 이 기간이 임계값 보정 기간이다.
- [0045] 임계값 보정기간이 시작된 후 일정 시간이 경과하면, 스캔 트랜지스터 T1은 오프 상태로 제어된다(도 9a 내지 도 9g(T4)). 다시 말해, 임계값 보정 동작은 일시적으로 중지 상태가 된다. 이 때, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는 임계값전압 V_{th} 보다 높다.
- [0046] 따라서, 도 15에 나타내는 바와 같이 전류 I_{ds} 가 흐르고, 구동 트랜지스터 T2의 게이트 전위 V_g 와 소스 전위 V_s 는 함께 상승한다. 이 때, 이 기간의 경우에도, 유기 EL소자 OLED에 역 바이어스(bias)가 인가되므로, 유기 EL 소자가 발광하지 않는다.
- [0047] 곧, 임계값 보정기간이 재개된다. 다시 말해, 신호선 DTL의 전위가 오프셋 전위 V_{ofs} 가 되고, 동시에 스캔 트랜지스터 T1이 온 상태로 제어된다(도 9a 내지 도 9g(T5)).
- [0048] 최종적으로, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는 임계값전압 V_{th} 로 수렴한다. 이 때, $V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{th1}$ 을 충족시키고 있다.
- [0049] 임계값 보정기간이 종료되면, 스캔 트랜지스터 T1이 오프 상태로 제어된다(도 9a 내지 도 9g(T6)).
- [0050] 그 후, 신호선 DTL의 전위가 신호 전위 V_{sig} 가 된 시점에, 스캔 트랜지스터 T1은 다시 온 상태로 제어된다(도 9a 내지 도 9g(T7)). 도 16에, 이 경우에 있어서 화소회로 내의 동작 상태를 나타낸다. 이 때, 신호 전위 V_{sig} 는 계조에 따라 정해진다. 이 때, 구동 트랜지스터 T2의 게이트 전위 V_g 는 신호 전위 V_{sig} 가 되지만, 급전선 DSL로부터의 전류가 저장 용량 C_s 로 흘러들어 오므로, 소스 전위 V_s 는 시간이 흐름에 따라 상승한다.
- [0051] 이 때, 구동 트랜지스터 T2의 소스 전위 V_s 가 유기 EL 소자의 임계값전압 V_{th1} 과 캐소드 전위 V_{cath} 의 합을 넘지 않으면, 즉, 유기 EL소자 OLDE의 리크 전류가 구동 트랜지스터 T2에 흐르는 전류보다 상당히 작으면, 구동 트랜지스터 T2의 전류 I_{ds} 는 저장 용량 C_s 와 기생 용량 C_{el} 을 충전하는 데에 사용된다.
- [0052] 또, 구동 트랜지스터 T2의 임계값 보정 동작은 이미 완료되어 있기 때문에, 구동 트랜지스터 T2가 공급하는 전류 I_{ds} 는 이동도 μ 를 반영한 값이 된다. 구체적으로는, 이동도 μ 가 높은 구동 트랜지스터일수록 전류량은 증가하고, 소스 전위 V_s 의 상승도 빨라진다. 반대로 이동도 μ 가 작은 구동 트랜지스터일수록 전류량은 감소하고, 소스 전위 V_s 의 상승은 느려진다(도 17).
- [0053] 그 결과, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는 이동도 μ 를 반영하여 작아진다. 결과적으로, 일정 시간이 경과한 시점에, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는 이동도 μ 를 보정한 전압으로 수렴한다.
- [0054] 마지막으로, 스캔 트랜지스터 T1이 오프 상태로 제어되고 신호 전위의 기록이 종료되면, 유기 EL소자 OLED의 발광 기간이 개시된다(도 9a 내지 도 9g(T8)). 도 18에, 이 경우에 있어서의 화소회로 내의 동작 상태를

나타낸다. 이 때, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는 일정하다. 따라서, 구동 트랜지스터 T2는 일정한 전류 I_{ds} '를 유기 EL 소자에 공급한다.

[0055] 이와 함께, 유기 EL 소자의 애노드 전압 V_{el} 은, 유기 EL 소자 OLED에 전류 I_{ds} '를 공급하는 전위 V_x 까지 상승한다. 이것에 의해, 유기 EL 소자 OLED에 의한 발광이 개시된다.

[0056] 이 때, 본 실시예에서 제안하는 구동회로의 경우에도, 발광 시간이 길어지면, I-V특성이 변화한다.

[0057] 이로 인해, 구동 트랜지스터 T2의 소스 전위 V_s 도 변화된다. 그러나, 구동 트랜지스터 T2의 게이트·소스 간 전압 V_{gs} 는, 저장 용량 C_s 에 의해 일정하게 유지되므로 유기 EL 소자 OLED를 통해 흐르는 전류량은 변화하지 않는다. 이와 같이, 유기 EL 소자 OLED의 I-V특성이 열화한다고 해도, 일정한 전류 I_{ds} 가 항상 계속해서 흐르고, 유기 EL 소자 OLED의 휘도가 변화하지 않는다.

[0058] (B-3) 정리

[0059] 본 실시예에서 설명한 구성의 화소회로의 채용에 의해, 구동 트랜지스터 T2를 n채널형의 박막 트랜지스터로 형성할 경우에도, 화소마다 휘도 불균일이 없는 EL 패널 모듈을 실현할 수 있다.

[0060] (C) 실시예 2

[0061] 여기에서는, 더욱 고선명화와 고속 구동화를 달성하는 데 적합한 본 발명의 일 실시예에 따른 유기 EL 패널 모듈을 설명한다. 이를 위해, 본 실시예에서는, 복수의 수평 라인 단위로 임계값 보정 동작을 공통화한다. 이 때, 임계값 보정 동작이 공통화된 수평 라인의 각 화소에 대응하는 신호 전위의 기록은, 임계값 보정기간의 종료 후에 시간 순차로 실행한다.

[0062] (C-1) 시스템 구성

[0063] 도 19에, 본 발명의 실시예 2에 관련된 유기 EL 패널 모듈(31)의 시스템 구성의 개략을 나타낸다.

[0064] 도 19에 나타내는 바와 같이, 유기 EL 패널 모듈(31)은, 화소 어레이부(21)와, 그 구동회로인 한 쌍의 라이트 스캔 드라이버(write scan driver)(33), 한 쌍의 전위 스캔 드라이버(35), 수평 셀렉터(37)로 구성된다.

[0065] (C-2) 기본 구동 동작

[0066] 도 20a 내지 도 20e에, 본 실시예에서 사용하는 구동 동작의 일례를 나타낸다. 이 때, 도 20a 내지 도 20e의 구동 동작예에 있어서, 수직 방향으로 인접하는 2개의 화소에 대한 임계값 보정 동작, 즉 2개의 수평 라인에 대한 임계값 보정 동작을 공통화한 경우를 나타내고 있다. 덧붙여 말하면, 도 20a 내지 도 20e에서는, 임계값 보정기간이 2 수평 주사 기간 내에 1회만 실행되는 것으로 해서 나타내고 있다.

[0067] 도 20a~도 20d에 나타내는 바와 같이, 임계값 보정 준비기간의 시작부터 임계값 보정기간의 종료까지의 전위관계는, N단계와 N+1단계에서 완전 동일하며, 2개의 수평 라인 간에 완전히 동일한 구동 동작이 실행된다는 것을 알 수 있다. 그러나 도 20b 및 도 20d에 알 수 있는 바와 같이, 임계값에 대응하는 신호 전위 V_{sig} 의 기록은, N단계의 기록이 우선 실행되고, 그 후에, N+1단계의 기록이 실행된다.

[0068] 그런데, 이러한 구동 방법을 채용하는 이점은, 신호선 DTL(도 20e)에 인가하는 전위의 천이(transition) 횟수가 적어지고, 전위의 기록에 사용할 수 있는 실제 시간을 증가할 수 있는 데에 있다. 예를 들면 실시예 1의 경우, 2 수평주사 기간 내에 있어서 신호 전위의 천이는, 오프셋 전위 V_{ofs} → 신호 전위 V_{sig} → 오프셋 전위 V_{ofs} → 신호 전위 V_{sig} 를 포함해서 4회이다.

[0069] 한편, 본 실시예 2의 경우, 2 수평주사 기간 내에 있어서의 신호 전위의 천이는, 오프셋 전위 V_{ofs} → 신호 전위 V_{sig} (N단계) → 신호 전위 V_{sig} (N+1단계)를 포함해 3회이다. 즉, 실시예 2의 경우 신호선 DTL의 전위의 천이가 1회만큼 더 적다. 이 기간 길이만큼 임계값 보정에 충분한 시간을 할당할 수 있다.

[0070] 그러나, 본 구동 방식의 경우, 수평 라인 간에 있어서의 신호 전위 V_{sig} 의 기록 타이밍의 차이가 화질을 저하시키는 원인이 되는 경우가 있다.

[0071] 도 21a 내지 도 21e 및 도 22a 내지 도 22e를 참조하여 상세하게 설명한다. 도 21a 내지 도 21e는, N단계(N은 홀수)의 수평 라인에 대응하는 화소회로의 구동에 사용되는 구동 파형예를 나타낸다. 한편, 도 22a 내지 도 22e는, N+1단계의 수평 라인에 대응하는 화소회로의 구동에 사용되는 구동 파형예를 나타낸다.

[0072] 도 22a 내지 도 22e에 나타내는 바와 같이, 구동 트랜지스터 T2의 게이트 전위 V_g 와 소스 전위 V_s 는, 신호 전위

Vsig의 기록이 시작될 때까지의 대기 시간 동안에, 구동 트랜지스터 T2의 리크 전류, 유기 EL 소자 OLED의 리크 전류, 스캔 트랜지스터 T1의 리크 전류 등을 원인으로 하여 변화하게 된다. 그러한 변화의 모양을 굵은 파선으로 나타내고 있다.

[0073] 구체적으로는, 구동 트랜지스터 T2의 소스 전위 Vs는, 구동 트랜지스터 T2의 리크 전류의 영향으로 급전선 DSL의 전위(즉, 고전위 Vcc)의 방향으로 시프트 되는 한편, 유기 EL 소자 OLED에 의한 리크 전류의 영향으로 캐소드 전위 Vcath의 방향으로 시프트 된다.

[0074] 여기에서, 임계값전압 보정의 종료시에 있어서의 구동 트랜지스터 T2의 소스 전위 Vs가 캐소드 전위 Vcath 이다가 되면, 구동 트랜지스터 T2의 소스 전위 Vs는 신호 전위 Vsig의 기록이 시작될 때까지 사이에 상승한다. 이 소스 전위 Vs의 상승에 따르는 부트스트랩 동작에 의해 게이트 전위 Vg도 상승한다.

[0075] 이 전위의 상승은, 기록까지의 시간 길이에 비례하여 발생한다. 특히, 구동 트랜지스터 T2의 리크 전류가 다른 리크 전류와 비교해서 클 경우에는, 구동 트랜지스터 T2의 게이트 전위 Vg와 소스 전위 Vs의 상승 차이가, 임계값 보정 동작을 공통으로 행하는 2개의 화소 간에서 무시할 수 없는 크기가 된다. 결과적으로, N+1단계의 수평 라인의 다이내믹 레인지(Dynamic range)가 원하는 다이내믹 레인지보다 작아지게 된다.

[0076] 이것은 수직방향으로 서로 인접하는 2개의 수평 라인의 화소에 같은 계조값이 기록된 경우라도, 휘도차이가 나타나는 것을 의미한다. 따라서, 전면이 균일한 화면을 표시할 경우라도, 도 23에 나타내는 바와 같이, 정기적인 불균일이나, 셰이딩(shading)이 발생하게 된다.

[0077] (C-3) 구동 동작의 개선에

[0078] 도 24에, 구동 트랜지스터 T2의 일반적인 Vg-Id특성을 나타낸다. 도 24에 나타내는 바와 같이, 구동 트랜지스터 T2의 게이트·소스 간 전압 Vgs가 임계값전압 Vth과 같더라도, 실제로는 기생 용량 등으로 인해 일정량의 전류 Ids가 흐르고 있다. 도 24에서는, 구동 트랜지스터 T2의 게이트·소스 간 전압 Vgs를 Ct2로 나타낸다.

[0079] 이 때문에, 임계값 보정 동작의 종료 후부터 기록까지의 시간이 다르면, 리크 전류의 영향으로 인해 구동 트랜지스터 T2의 소스 전위 Vs의 상승량의 차이가 현저하게 된다. 특히 유기 EL 소자 OLED의 기생 용량 Cel 등이 작으면, 리크 전류의 영향이 현저해진다.

[0080] 이에 따라, 본 발명의 발명자들은, 임계값 보정 동작 완료 후의 최초의 신호 전위 Vsig의 기록 시작 직전에, 수직방향으로 서로 인접하는 2개의 화소회로에 오프셋 전위 Vofs보다 낮은 리셋 전위 Vini를 인가하는 구동 방법을 제안한다.

[0081] 임계값 보정 동작 완료 후의 최초의 신호 전위 Vsig의 기록 시작 전에 신호선 DTL의 전위를, 도 25e에 굵은 선으로 나타내는 바와 같이, 오프셋 전위 Vofs로부터 오프셋 전위 Vofs보다도 낮은 리셋 전위 Vini으로 변경하면, 임계값 보정 동작을 공통화하는 각 화소에 대응하는 화소회로의 구동 트랜지스터 T2의 게이트 전위 Vg는 리셋 전위 Vini로 변화한다.

[0082] 이 경우, 구동 트랜지스터 T2의 소스 전위 Vs는, $(1-g) \cdot Vofs - Vth + g \times Vini$ 가 된다. 결과적으로, 리셋 전위 Vini의 입력 후의 구동 트랜지스터 T2의 게이트·소스 간 전압 Vgs는, $(1-g) \cdot (Vini - Vofs) + Vth$ 가 된다. 여기에서, $Vini < Vofs$ 이므로, 이 때의 게이트·소스 간 전압 Vgs는 임계값전압 Vth보다 낮다.

[0083] 이것은, 리셋 전위 Vini의 값에 의해 구동 트랜지스터 T2의 게이트·소스 간 전압 Vgs를 조절할 수 있는 것을 의미한다. 따라서, 도 24에 나타내는 바와 같이, 구동 트랜지스터 T2에 흐르는 리크 전류가 가장 적은 상태로 조정될 수도 있다.

[0084] 구동 트랜지스터 T2의 리크 전류가 작아지면, 임계값 보정 동작 종료 후부터 기록이 시작할 때까지 기간에 구동 트랜지스터 T2의 소스 전위 Vs의 상승량을 줄일 수 있다.

[0085] 결과적으로, 임계값 보정 동작의 완료 후부터 신호 전위 Vsig의 기록 시작까지의 기간이 수평 라인마다 변화되더라도, 구동 트랜지스터 T2의 게이트·소스 전압 Vgs의 상승 차이를 거의 무시할 수 있는 범위로 억제할 수 있다. 이것은, 수평 라인간에서 리크 전류에 기인하는 불균일이나 셰이딩 등의 화질 불량이나 나타나지 않는다는 것을 의미한다.

[0086] 참고로, 도 26a 내지 도 26e 및 도 27a 내지 도 27e에, N단계와 N+1단계의 구동 파형을 나타낸다. 여기에서, 도 26a 내지 도 26e는, N단계(N은 홀수)에 위치하는 수평 라인에 대응하는 화소회로의 구동에 사용하는 구동 파형을 나타낸다. 한편, 도 27a 내지 도 27e는, N+1단계에 위치하는 수평 라인에 대응하는 화소회로의 구동에 사

용하는 구동 파형예를 나타낸다.

- [0087] 도 26c 내지 도 26e 및 도 27c 내지 도 27e에 굵은 선으로 나타내는 바와 같이, 임계값 보정 동작의 완료 후부터 신호 전위 V_{sig} 의 기록 시작까지의 게이트 전위 V_g 와 소스 전위 V_s 의 변화는 상당히 감소하게 된다.
- [0088] (C-4) 정리
- [0089] 본 실시예에서 설명한 구동 방식의 채용에 의해, 화소 어레이부(21)의 화소 해상도가 더 상승하는 경우에도, 또한 화소 어레이부(21)의 구동 속도가 더 빨라지는 경우에도, 리크 전류를 원인으로 하는 화질 열화의 우려가 없는 유기 EL 패널 모듈을 실현할 수 있다.
- [0090] 물론, 본 실시예의 경우에는, 수직방향으로 서로 인접하는 2개의 수평 라인 간에서 임계값 보정 동작을 공통화할 경우뿐만 아니라, 수직방향으로 서로 인접하는 3개 이상의 수평 라인 간에서 임계값 보정 동작을 공통화할 경우에도, 전술한 구동 방법은 적용할 수 있다.
- [0091] (D) 실시예 3
- [0092] 여기에서는, 같은 수평 라인 내에 위치하는 복수의 화소회로 간에서 임계값 보정 동작을 공통화하고, 각 신호 전위의 기록을 1개의 신호선 DTL을 사용하여 시간 순차로 행하는 본 발명의 일 실시예에 대하여 설명한다.
- [0093] (a) 시스템 예 1
- [0094] 도 28에, 실시예 3에 관련된 첫 번째 유기 EL 패널 모듈(41)의 시스템 구성예를 나타낸다. 이 때, 도 28에 나타내는 유기 EL 패널 모듈(41)에서는, 1개의 신호선 DTL에 같은 수평 라인 상의 R화소, G화소, B화소가 접속되어 있는 경우에 대해서 나타내고 있다. 즉, 도 28의 첫 번째 구성예에서는, 1개의 화소를 구성하는 3개의 서브 화소의 임계값 보정 동작을 공통화하고, 각 서브 화소에 대응하는 신호 전위 V_{sig} 를 시간 순차로 기록하는 경우를 상정한다.
- [0095] 이들 서브 화소의 구동회로에는, 다른 실시예와 마찬가지로 라이트 스캔 드라이버(43), 전원 스캔 드라이버(45), 수평 셀렉터(47)를 사용한다.
- [0096] 단, 도 28의 시스템 구성의 경우, 서브 화소의 구동 타이밍 전환용으로, 각 화소회로 내에 제2의 스캔 트랜지스터 T3을 배치한다.
- [0097] 이 스캔 트랜지스터 T3은, 제1의 스캔 트랜지스터 T1의 주 전극과 구동 트랜지스터 T2의 게이트 전극 사이에 직렬로 접속되고, 각각 전용의 클록원 49R, 49G, 49B에 의해 구동 제어된다.
- [0098] 도 29a 내지 도 29i는 도 28의 시스템 구성예의 화소회로의 구동 동작의 예를 나타낸다. 도 29a는 급전선 DSL의 전위 파형이다. 도 29b는 신호선 DTL의 전위 파형이다. 또한, 이 경우에도, 임계값 보정 동작의 종료 후부터 최초의 신호 전위 V_{sig} 의 기록 전에 신호선 DTL의 전위는, 오프셋 전위 V_{ofs} 보다 낮은 리셋 전위 V_{ini} 로 제어된다.
- [0099] 도 29c는 제1의 라이트 스캔선 WSL의 전위 파형이다. 라이트 스캔선 WSL의 전위 파형도 급전선 DSL의 전위 파형과 마찬가지로 1라인 위에 병렬 배치하는 모든 서브 화소에 공급된다.
- [0100] 도 29d 내지 도 29f는 서브 화소마다 신호 전위 V_{sig} 의 할당을 위한 제2의 라이트 스캔선 WS_R, WS_G, WS_B의 전위 파형이다.
- [0101] 도 29g 내지 도 29i는, 제1의 라이트 스캔선 WSL의 전위 파형과 제2의 라이트 스캔선 WS_R, WS_G, WS_B의 전위 파형의 논리곱에 대응하는 전위 파형이며, 각 서브 화소에 대응하는 전위 파형이다. 즉, 도 29g 내지 도 29i는 제1 및 제2의 스캔 트랜지스터 T1 및 T3이 동시에 온 동작하는 타이밍을 나타낸다.
- [0102] 환언하면, 도 29g 내지 도 29i에, 저장 용량 Cs에 신호선 DTL의 전위가 기록되는 타이밍을 나타낸다.
- [0103] 이 때, 도 29g는 R화소에 대응하는 타이밍 파형이고, 도 29h는 G화소에 대응하는 타이밍 파형이고, 도 29i는 B화소에 대응하는 타이밍 파형이다.
- [0104] 그런데, 이 시스템 구성예의 경우, 새롭게 3개의 클록원 49R, 49G, 49B가 필요하게 되고, 1수평 라인에 대해 새롭게 3개의 라이트 스캔선 WS_R, WS_G, WS_B가 필요하게 된다. 그러나, 클록원의 원가 상승은, 시프트 레지스터에 비해 작으며, 충분히 실용화가 가능하다.
- [0105] (b) 시스템 예 2

- [0106] 도 30에, 실시예 3에 관련된 두 번째 유기 EL 패널 모듈(51)의 시스템 구성예를 나타낸다. 도 30에 나타내는 유기 EL 패널 모듈(51)의 경우에도, 1개의 신호선 DTL에 같은 수평 라인 상의 R화소, G화소, B화소가 접속된다. 단, 시스템 예 1과는 달리, 클록원을 사용하지 않고 색 별로 라이트 스캔선 WSLR, WSLG, WSLB를 준비한다.
- [0107] 도 30의 시스템 구성에서는 라이트 스캔 드라이버(53), 전원 스캔 드라이버(55), 수평 셀렉터(57)를 포함한 서브 화소의 구동회로를 사용한다.
- [0108] 본 시스템 예의 경우, 각 서브 화소에 대응하는 화소회로의 구성도 실시예 1이나 실시예 2와 같아도 된다.
- [0109] 도 31a 내지 도 31e에, 본 시스템 예에 대응하는 화소회로의 구동 동작예를 나타낸다. 도 31a는 급전선 DSL의 전위 파형이다. 도 31b는 신호선 DTL의 전위 파형이다. 이 경우에도, 임계값 보정 동작의 종료 후부터 최초의 신호 전위 Vsig의 기록 전에 신호선 DTL의 전위는, 오프셋 전위 Vofs보다 낮은 리셋 전위 Vini로 제어된다.
- [0110] 도 31c 내지 도 31e는, 각 색의 서브 화소용으로 배선되는 라이트 스캔선 WSLR, WSLG, WSLB의 각 전위 파형이다. 도 31c 내지 도 31e의 파형은, 각각 시스템 예 1의 도 29g 내지 도 29i에 대응한다. 따라서, 본 시스템 예의 경우에도, 시스템 예 1과 같은 구동 동작이 기대된다. 단, 본 시스템 예의 경우에는, 각 색 전용의 라이트 스캔 드라이버가 필요하게 되고, 시스템 예 1보다도 라이트 스캔 드라이버가 2개 여분으로 필요하게 된다.
- [0111] (c) 기타
- [0112] 본 실시예에서는, R화소, G화소, B화소마다 각각 전용의 클록원이나 라이트 스캐너를 준비했지만, 반드시 색마다 대응할 필요는 없다. 요컨대, 1개의 신호선을 공용하는 서브 화소의 수에 따라서 구동 타이밍을 할당할 수 있도록 클록원이나 라인 스캔 드라이버를 준비하면 된다.
- [0113] (E) 다른 실시예
- [0114] (E-1) 다른 화소회로에
- [0115] 전술한 실시예의 설명에서는, 화소회로가 2개의 박막 트랜지스터로 구성되는 경우에 대하여 설명했다.
- [0116] 그러나, 화소회로의 구성에는 다른 회로 구성을 채용해도 된다. 도 32에, 화소회로가 5개의 박막 트랜지스터로 구성되는 경우에 대해서 나타낸다.
- [0117] 도 32에 나타내는 화소회로는, 상기한 스캔 트랜지스터 T1, 구동 트랜지스터 T2 및 저장 용량 Cs와 함께, 리셋 전위 Vini의 기록 전용의 스캔 트랜지스터 T3과, 고전위 Vcc의 인가 전용의 급전 트랜지스터 T4와, 임계값 보정 준비기간 내에 리셋 전위 인가 전용의 리셋 트랜지스터 T5를 포함한다.
- [0118] 이 때, 도 32에 나타낸 화소회로의 경우, 고전위 Vcc는 고정 전원으로 한다.
- [0119] 도 33a 내지 도 33g에, 이 화소회로의 구동 동작예를 나타낸다. 구체적으로, 도 33a는 N단째(N은 홀수)에 위치하는 수평 라인에 대응하는 급전 제어 스캔선 DSCL의 전위 파형이다. 도 33b는 N단째(N은 홀수)에 위치하는 수평 라인에 대응하는 라이트 스캔선 WSL의 전위 파형이다.
- [0120] 한편, 도 33d는 N+1단째에 위치하는 수평 라인에 대응하는 라이트 스캔선 WSL의 전위 파형이다. 도 33c는 N+1단째에 위치하는 수평 라인에 대응하는 급전 제어 스캔선 DSCL의 전위 파형이다.
- [0121] 도 33e는 오프셋 신호선 OFSL의 전위 파형이다. 도 33f는 리셋 신호선 RSL의 전위 파형이다. 도 33g는 2개의 화소에 공통되는 신호선 DTL의 전위 파형이다. 역시 이 경우에도, 임계값 보정 동작의 종료 후부터 최초의 신호 전위 Vsig의 기록 전에 신호선 DTL의 전위는, 오프셋 전위 Vofs보다 낮은 리셋 전위 Vini로 제어된다.
- [0122] (E-2) 제품에
- [0123] (a) 전자기기
- [0124] 전술한 실시예에서는, 유기 EL 패널 모듈에 관한 실시예를 설명했다. 그러나, 전술한 유기 EL 패널 모듈은, 각종 전자기기에 장착한 상품형태로도 유통된다. 이하, 유기 EL 패널 모듈을 다른 전자기기에 장착한 예를 나타낸다.
- [0125] 도 34에, 전자기기(71)의 개념 구성예를 나타낸다. 도 34에 있어서, 전자기기(71)는, 전술한 유기 EL 패널 모듈(73) 및 시스템 제어부(75)로 구성된다. 시스템 제어부(75)에 의해 실행되는 처리 내용은, 전자기기(71)의 상품형태에 따라 다르다.

- [0126] 이 때, 전자기기(71)는, 기기 내에서 생성되거나 외부에서 입력되는 화상(image)을 표시하는 기능을 탑재하고 있으면, 특정한 분야의 기기에는 한정되지 않는다.
- [0127] 도 35에, 그 밖의 전자기기가 텔레비전 수상기의 형태인 경우의 외관예를 나타낸다. 도 35에 있어서, 텔레비전 수상기(81)의 케이싱 정면에는, 프론트 패널(83) 및 필터 유리(85) 등으로 구성된 표시 화면(87)이 배치된다. 표시 화면(87)의 부분이, 실시예에서 설명한 유기 EL 패널에 대응한다.
- [0128] 또한, 전자기기(71)에는, 예를 들면 디지털 카메라가 상정된다. 도 36a 및 도 36b는 디지털 카메라(91)의 외관예를 나타낸다. 특히, 도 36a가 정면측(피사체측)의 외관예이고, 도 36b가 배면측(촬영자측)의 외관예다.
- [0129] 도 36a 및 도 36b에, 디지털 카메라(91)는, 보호 커버(93), 촬상 렌즈부(95), 표시 화면(97), 콘트롤 스위치(99) 및 셔터 버튼(101)으로 구성된다. 이 중, 표시 화면(97)의 부분이, 실시예에서 설명한 유기 EL 패널 모듈에 대응한다.
- [0130] 또한, 전자기기(71)에는, 예를 들면 비디오 카메라가 상정된다. 도 37에, 비디오 카메라(111)의 외관예를 나타낸다.
- [0131] 도 37에 있어서, 비디오 카메라(111)는, 본체(113), 본체(113)의 전방에 피사체를 촬상하는 촬상 렌즈(115), 촬상의 스타트/스톱 스위치(117) 및 표시 화면(119)으로 구성된다. 이 중, 표시 화면(119)의 부분이, 실시예에서 설명한 유기 EL 패널 모듈에 대응한다.
- [0132] 또한, 전자기기(71)에는, 예를 들면 휴대 단말장치가 상정된다. 도 38a 및 도 38b에, 휴대단말장치로서의 휴대 전화기(121)의 외관예를 나타낸다. 도 38a 및 도 38b에 나타내는 휴대전화기(121)는 폴더형이며, 도 38a가 케이싱을 연 상태의 휴대전화기(121)의 외관도이며, 도 38b가 케이싱을 닫은 상태의 휴대전화기(121)의 외관도이다.
- [0133] 휴대전화기(121)는, 상측 케이싱(123), 하측 케이싱(125), 연결부(힌지부의 형태)(127), 표시 화면(129), 보조 표시 화면(131), 픽처 라이트(133) 및 촬상 렌즈(135)로 구성된다. 이 중, 표시 화면(129) 및 보조 표시 화면(131)의 부분이, 실시예에서 설명한 유기 EL 패널 모듈에 대응한다.
- [0134] 또한, 전자기기(71)에는, 예를 들면 컴퓨터가 상정된다. 도 39에, 노트북형 컴퓨터(141)의 외관예를 나타낸다.
- [0135] 도 39에 있어서, 노트북형 컴퓨터(141)는, 하측 케이싱(143), 상측 케이싱(145), 키보드(147) 및 표시 화면(149)으로 구성된다. 이 중, 표시 화면(149)의 부분이, 실시예에서 설명한 유기 EL 패널 모듈에 대응한다.
- [0136] 이들 외에, 전자기기(71)에는, 오디오 재생장치, 게임기, 전자서적, 전자사전 등이 상정된다.
- [0137] (E-3) 다른 표시 디바이스 예
- [0138] 전술한 실시예에 있어서는, 발명을 유기 EL 패널 모듈에 적용할 경우에 대해서 설명한다.
- [0139] 그러나, 전술한 구동 기술은, 그 밖의 EL 표시장치에 대해서도 적용할 수 있다. 예를 들면 LED(발광 다이오드)를 배열하는 표시장치나 다른 다이오드 구조를 갖는 발광 소자를 화면 위에 배열하는 표시장치에 대해서도 적용할 수 있다.
- [0140] (E-4) 기타
- [0141] 전술한 실시예에는, 발명의 취지의 범위 내에서 여러 가지 변형예가 가능하다. 또한, 본 명세서의 기재에 기초하여 창작 또는 조합되는 각종 변형예 및 응용예도 생각해 볼 수 있다.

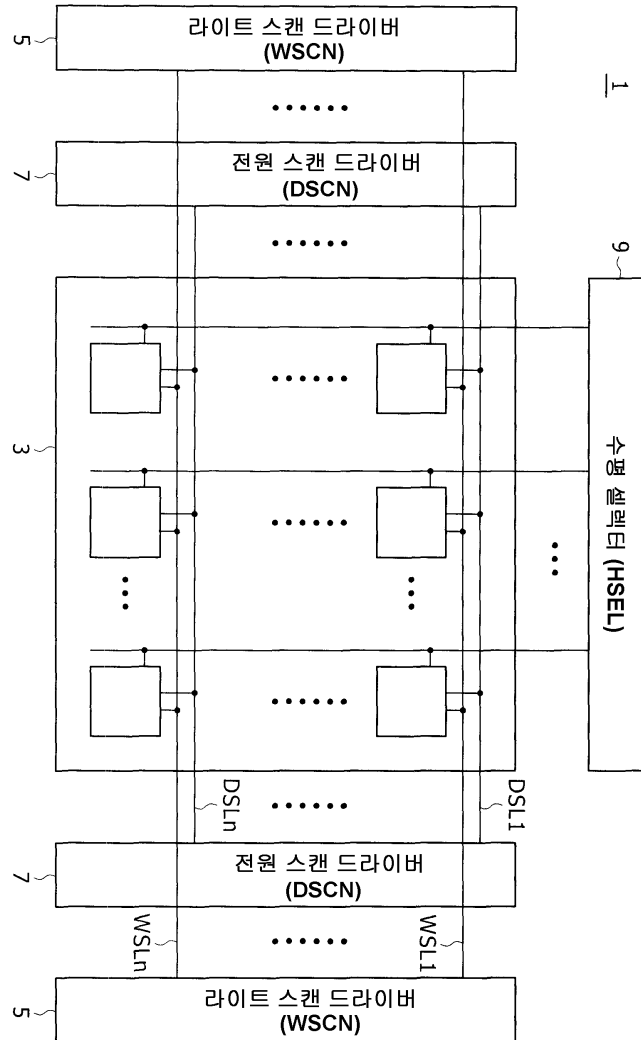
도면의 간단한 설명

- [0142] 도 1은 유기 EL 패널 모듈의 회로 블록 구성을 설명하는 블록도다.
- [0143] 도 2는 화소회로예를 나타내는 회로도다.
- [0144] 도 3은 유기 EL 소자의 I-V특성의 경시 변화(aged deterioration)를 설명하는 도다.
- [0145] 도 4는 다른 화소회로예를 나타내는 회로도다.
- [0146] 도 5는 본 발명의 일 실시예가 적용된 유기 EL 패널 모듈의 외관 구성예를 나타내는 개략도다.
- [0147] 도 6은 발명의 실시예 1에 관련된 유기 EL 패널 모듈의 시스템 구성예를 나타내는 블록도다.

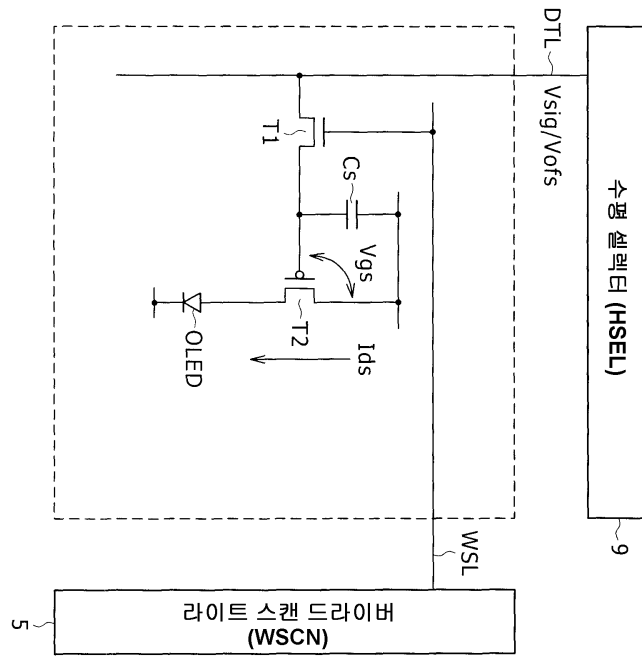
- [0148] 도 7은 도 6의 유기 EL 패널 모듈의 화소회로들과 각 구동회로의 접속 관계를 나타내는 블록도다.
- [0149] 도 8은 도 6의 유기 EL 패널 모듈에 사용하는 화소회로를 나타내는 블록도다.
- [0150] 도 9a 내지 도 9e는 도 8의 화소회로의 구동 동작예를 나타내는 타이밍 차트다.
- [0151] 도 10 내지 도 13은 도 8의 화소회로의 다른 동작 상태를 설명하는 회로도다.
- [0152] 도 14는 트랜지스터의 소스 전위의 경시 변화를 나타내는 도다.
- [0153] 도 15 및 도 16은 도 8의 화소회로의 다른 동작 상태를 설명하는 회로도다.
- [0154] 도 17은 이동도의 차이에 의한 트랜지스터의 경시 변화의 차이를 나타내는 도다.
- [0155] 도 18은 도 8의 화소회로의 동작 상태를 설명하는 회로도다.
- [0156] 도 19는 본 발명의 실시예 2에 관련된 유기 EL 패널 모듈의 시스템 구성예를 나타내는 블록도다.
- [0157] 도 20a 내지 도 20e는 도 19의 화소회로의 구동 동작예를 나타내는 타이밍 차트다.
- [0158] 도 21a 내지 도 21e는 도 19의 유기 EL 패널 모듈의 N단계의 수평 라인에 대응하는 화소회로의 구동 파형예를 나타내는 도다.
- [0159] 도 22a 내지 도 22e는 도 19의 유기 EL 패널 모듈의 N+1단계의 수평 라인에 대응하는 화소회로의 구동 파형예를 나타내는 도다.
- [0160] 도 23은 화상 불균일이 나타나는 스크린 이미지를 나타내는 도다.
- [0161] 도 24는 박막 트랜지스터의 V_g - I_d 특성을 나타내는 도다.
- [0162] 도 25a 내지 도 25e는 도 19의 화소회로의 다른 구동 동작예를 나타내는 타이밍 차트다.
- [0163] 도 26a 내지 도 26e는 도 19의 유기 EL 패널 모듈의 N단계의 수평 라인에 대응하는 화소회로의 다른 구동 파형예를 나타내는 도다.
- [0164] 도 27a 내지 도 27e는 도 19의 유기 EL 패널 모듈의 N+1단계의 수평 라인에 대응하는 화소회로의 다른 구동 파형예를 나타내는 도다.
- [0165] 도 28은 본 발명의 실시예 3에 관련된 유기 EL 패널 모듈의 시스템 구성의 예 1을 나타내는 블록도다.
- [0166] 도 29a 내지 도 29i는 도 28의 화소회로의 구동 동작예를 나타내는 타이밍 차트다.
- [0167] 도 30은 본 발명의 실시예 3에 관련된 유기 EL 패널 모듈의 시스템 구성의 예 2를 나타내는 블록도다.
- [0168] 도 31a 내지 도 31e는 도 30의 화소회로의 구동 동작예를 나타내는 타이밍 차트다.
- [0169] 도 32는 다른 화소회로예를 나타내는 블록도다.
- [0170] 도 33a 내지 도 33g는 도 32의 화소회로의 구동 동작예를 나타내는 타이밍 차트다.
- [0171] 도 34는 전자기기의 개념 구성예를 나타내는 도다.
- [0172] 도 35, 도 36a 및 도 36b, 도 37, 도 38a 및 도 38b, 도 39는 도 34의 전자기기 다른 상품예를 나타내는 도다.

도면

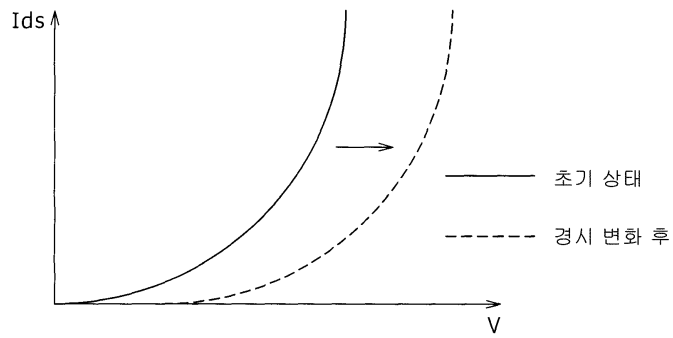
도면1



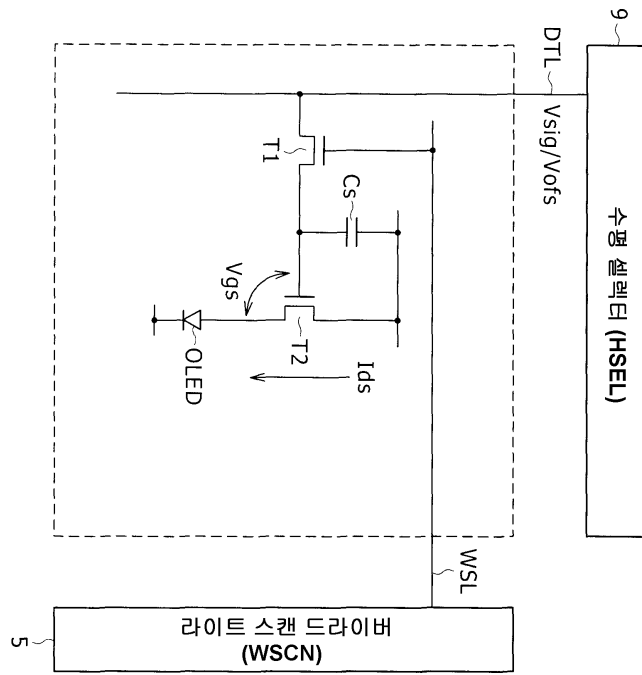
도면2



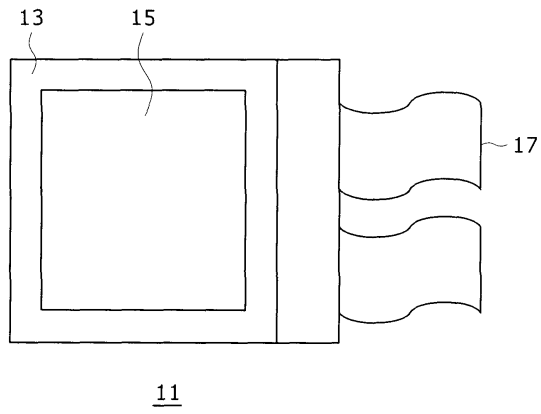
도면3



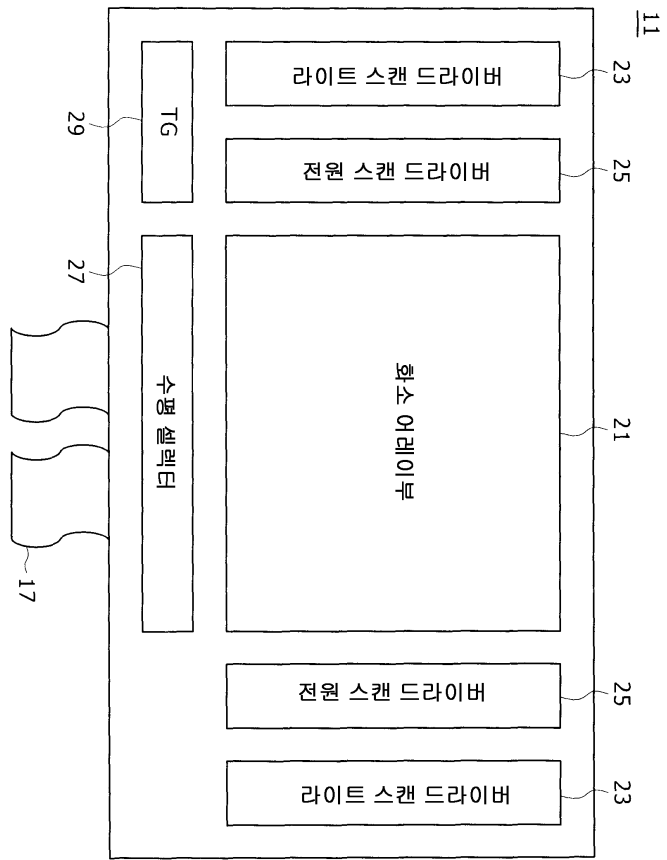
도면4



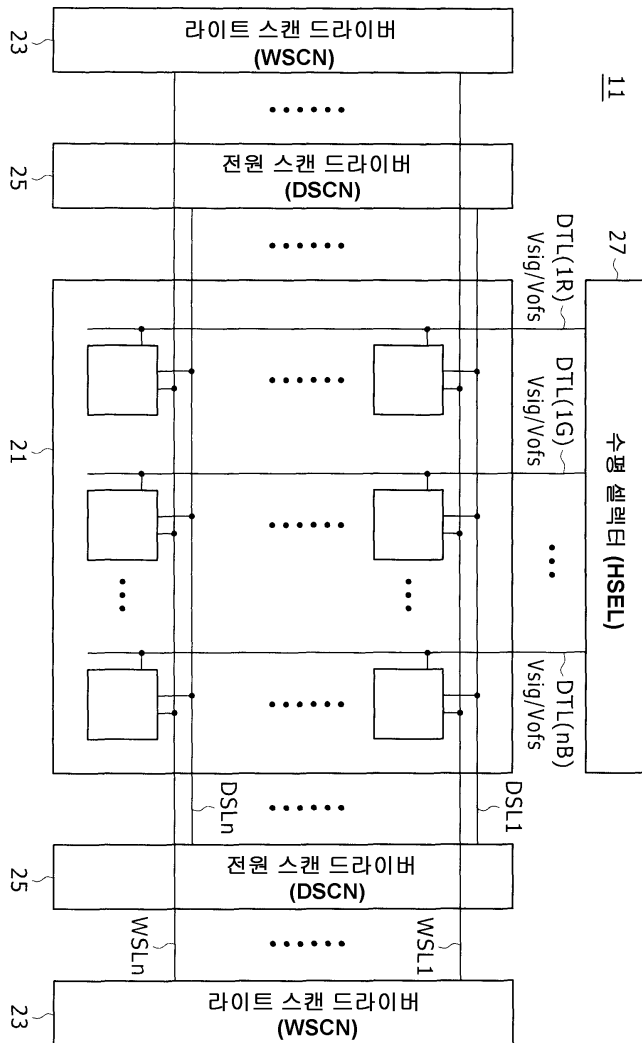
도면5



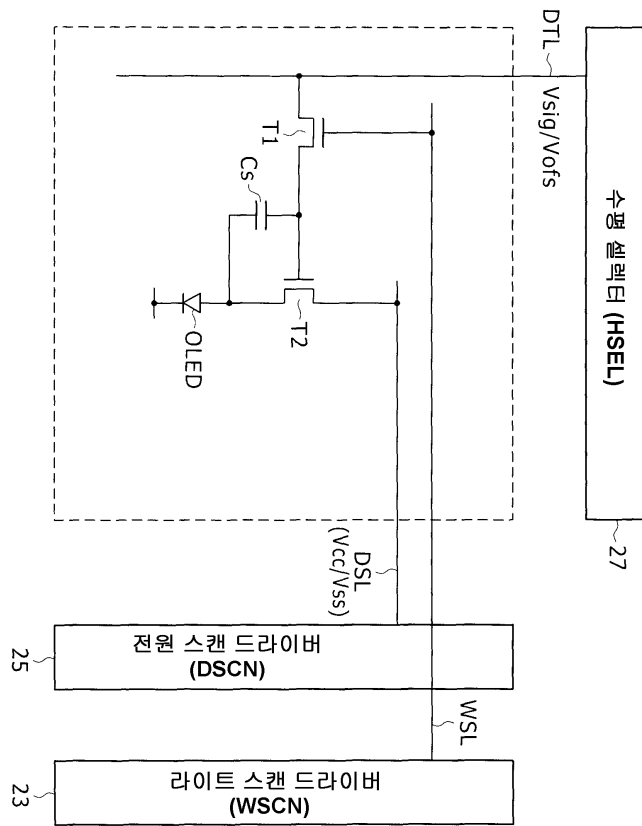
도면6



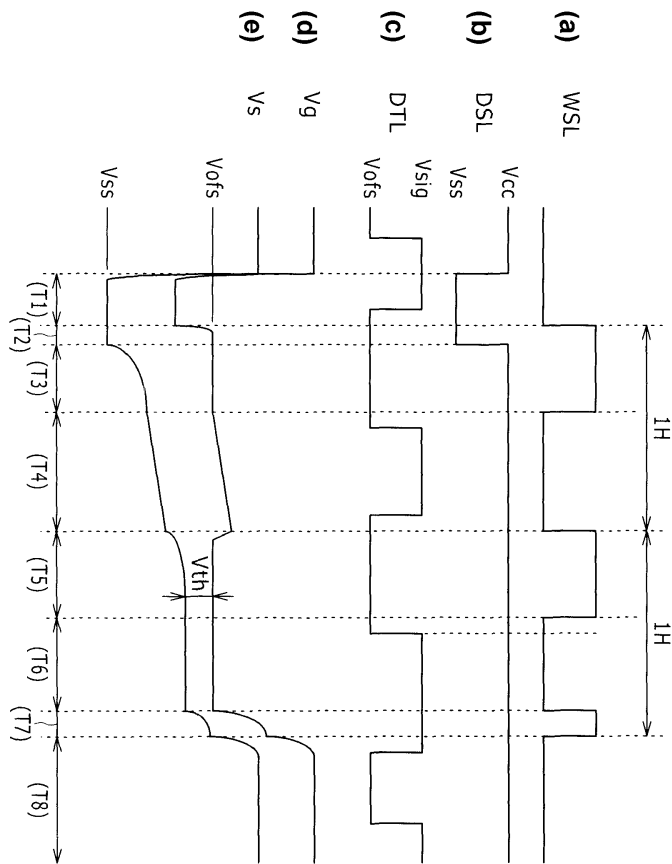
도면7



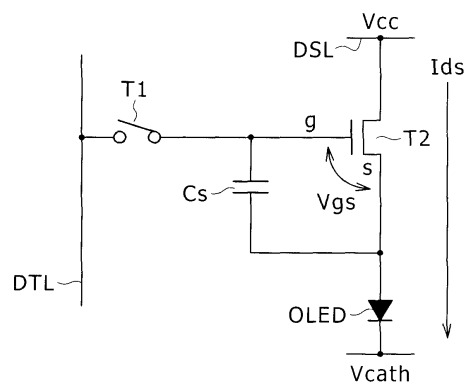
도면8



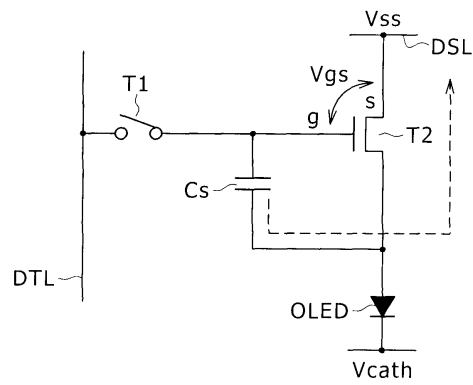
도면9



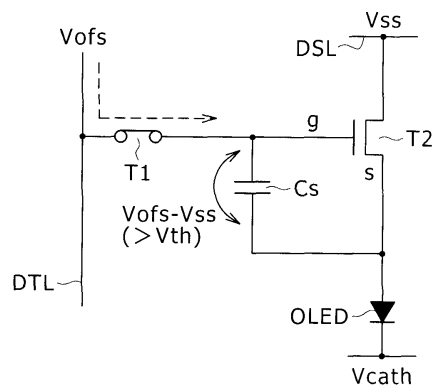
도면10



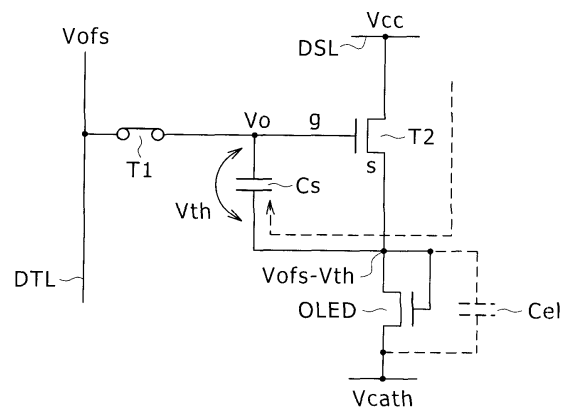
도면11



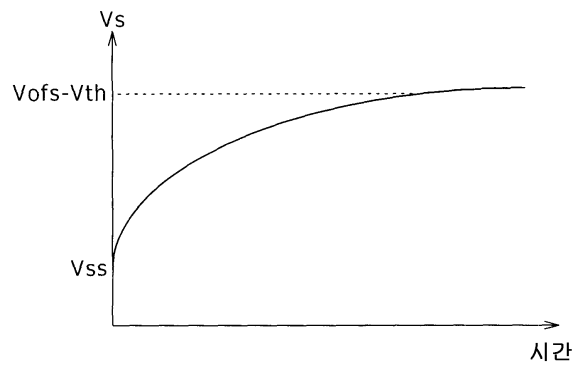
도면12



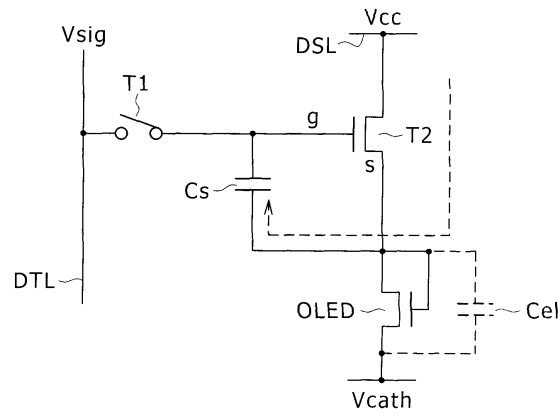
도면13



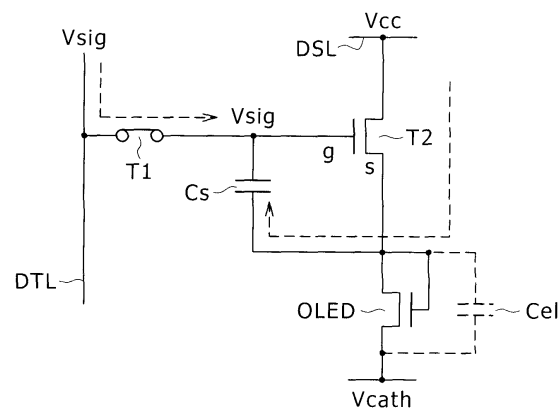
도면14



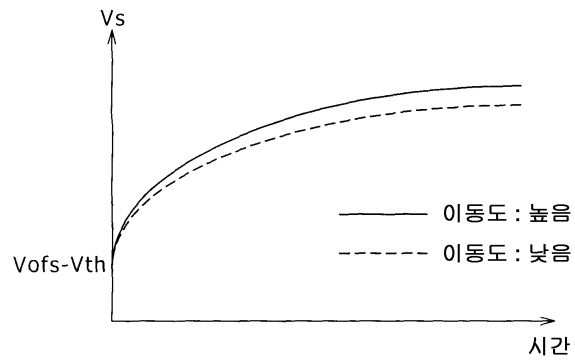
도면15



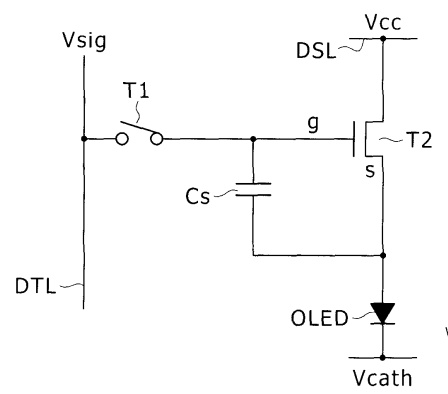
도면16



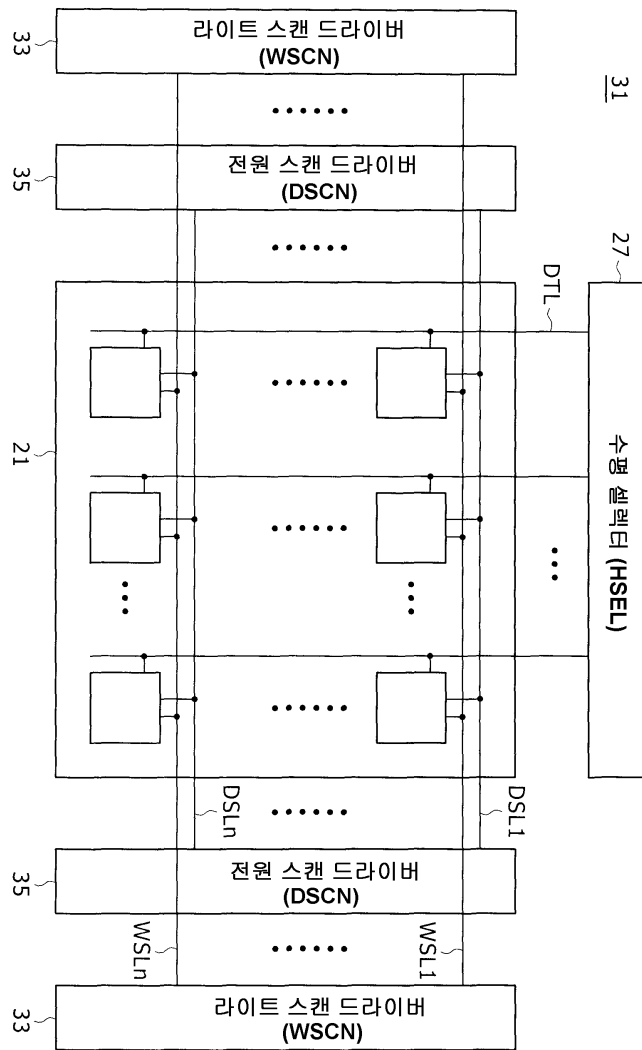
도면17



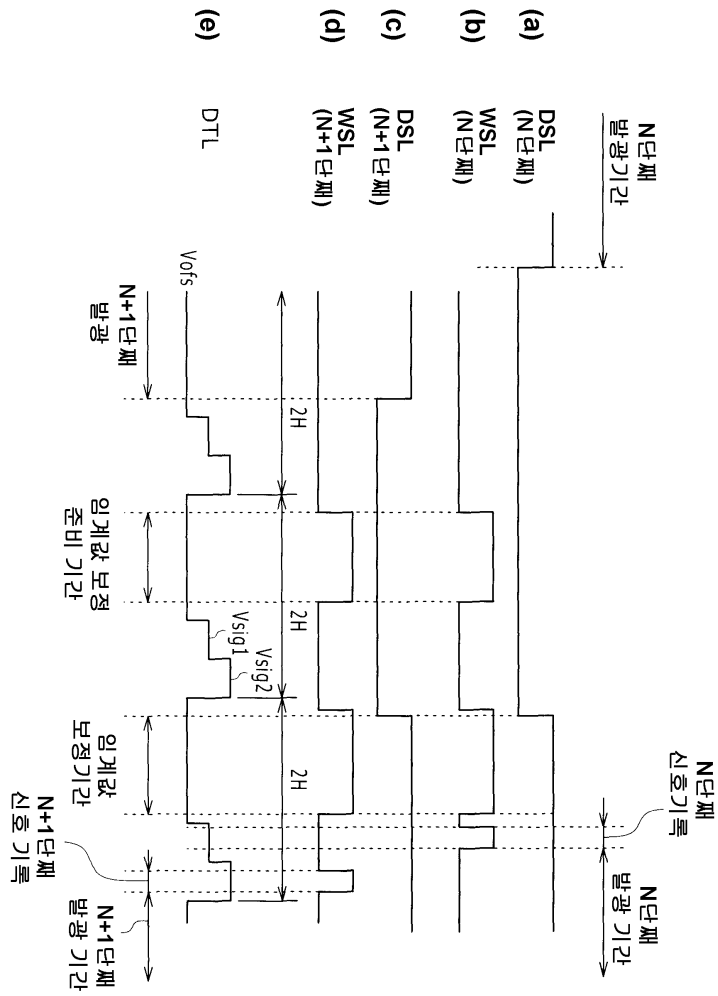
도면18



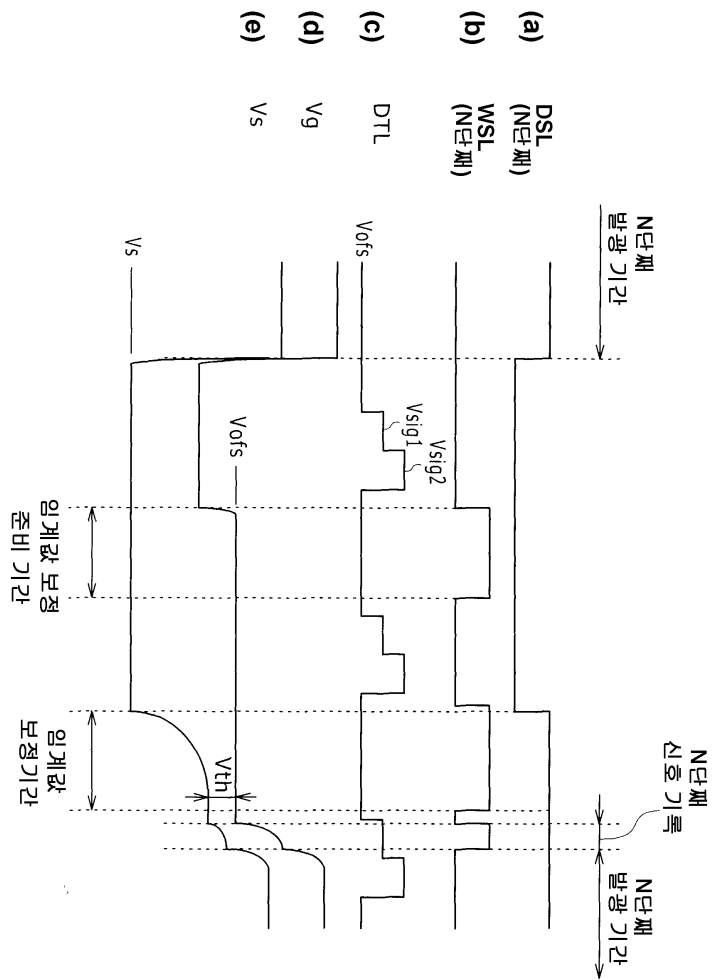
도면19



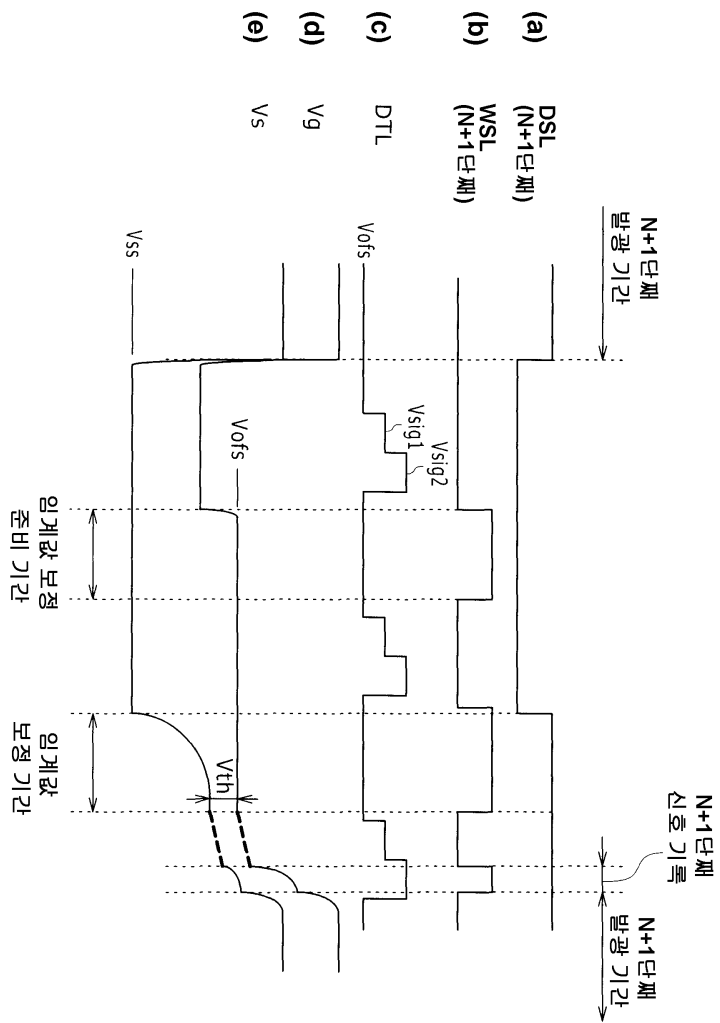
도면20



도면21



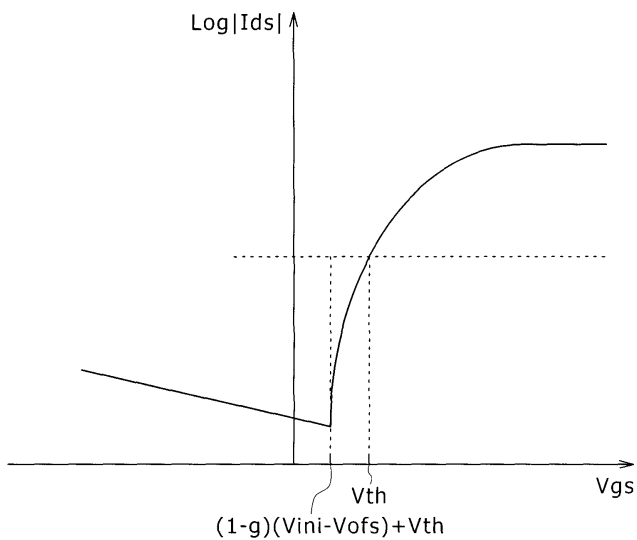
도면22



도면23

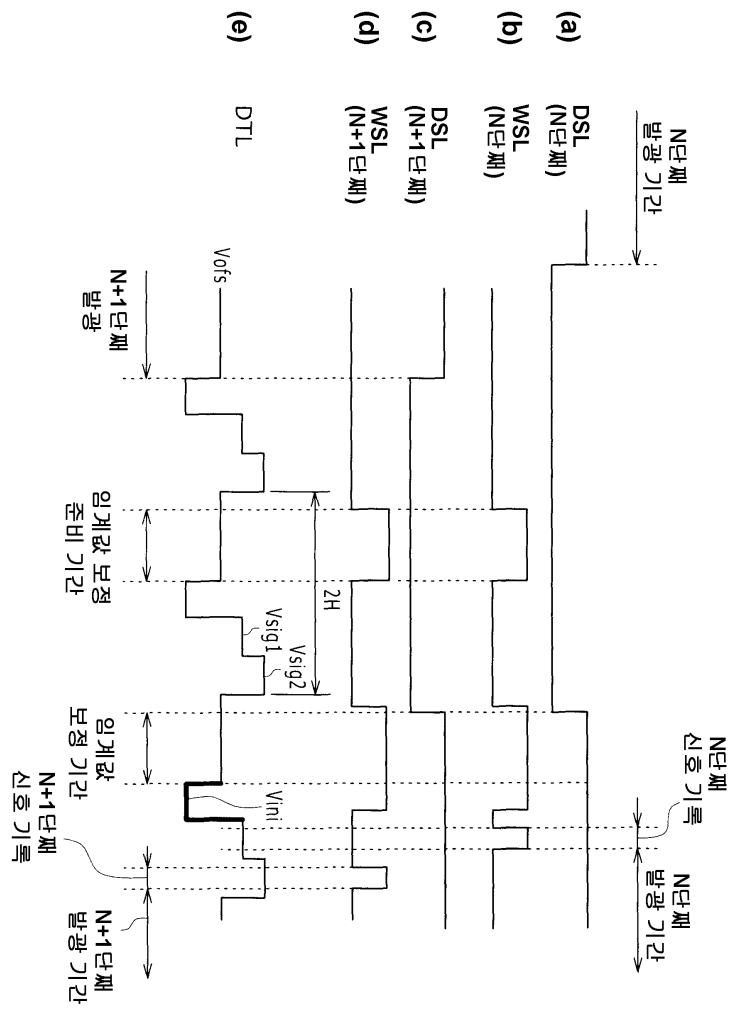


도면24

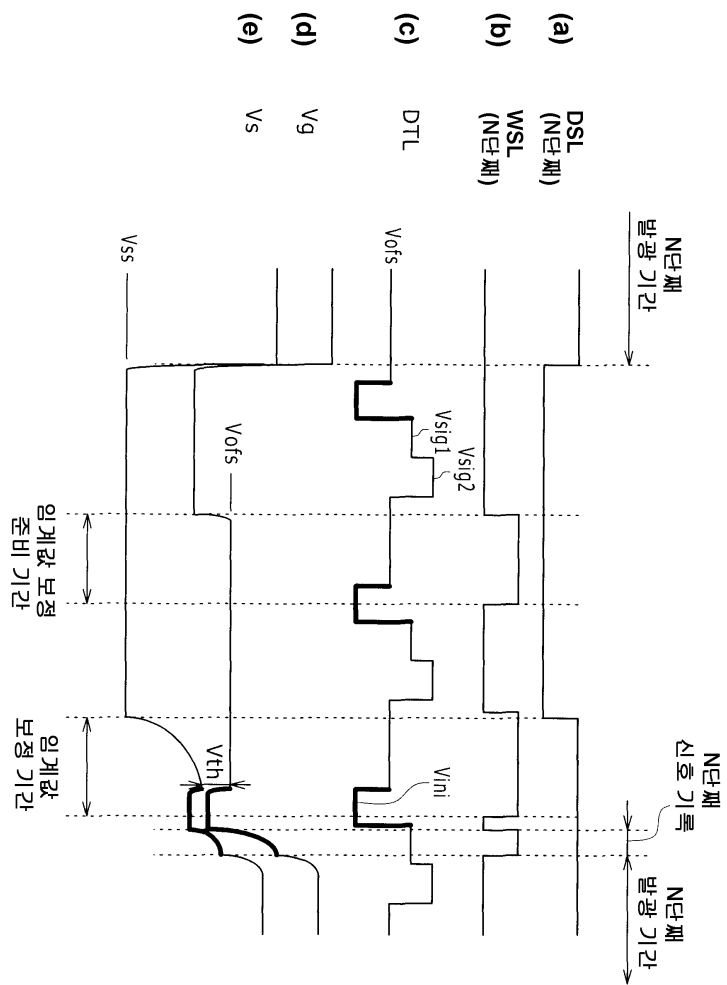


$$\text{단, } g = \frac{C_s + C_{t2}}{C_s + C_{t2} + C_{el}}$$

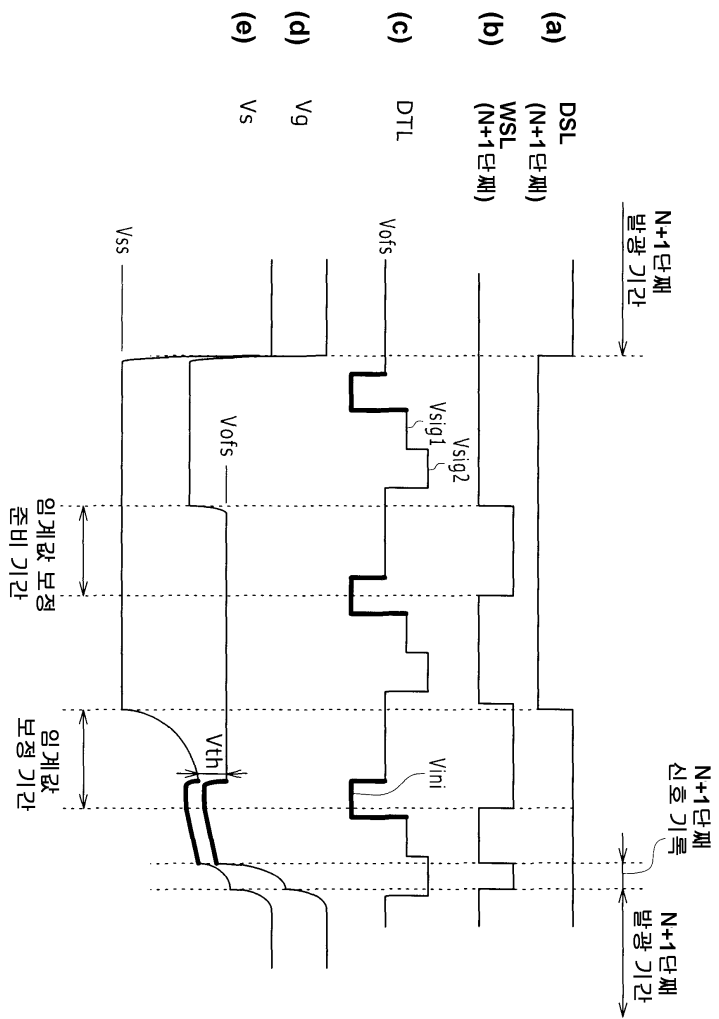
도면25



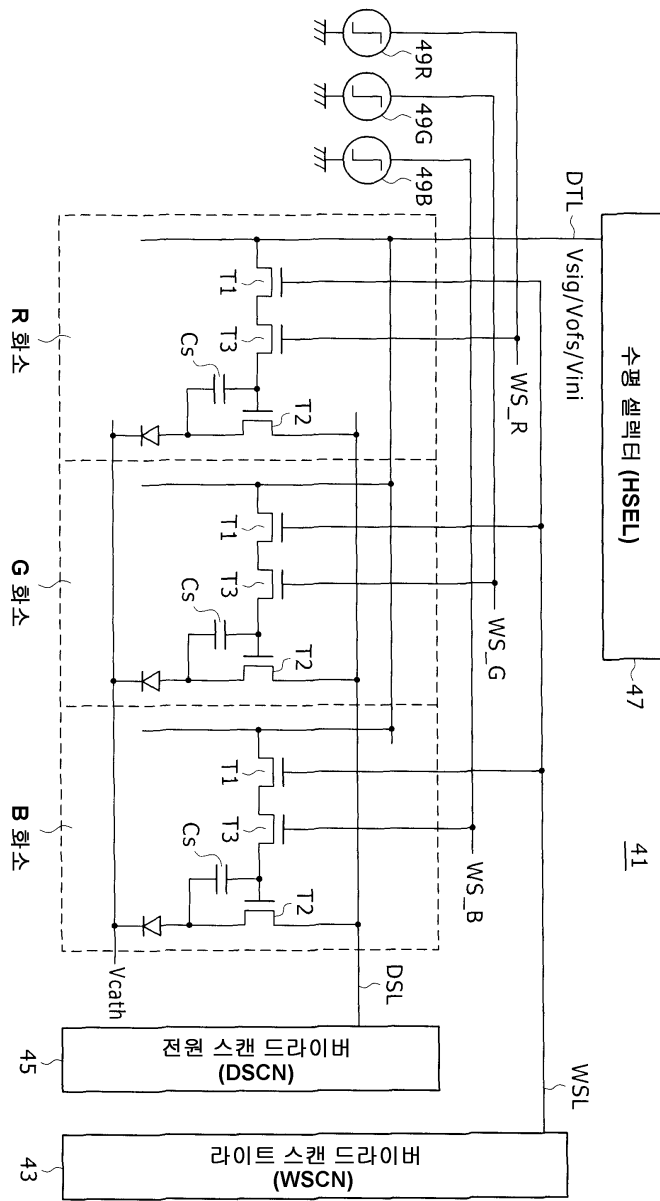
도면26



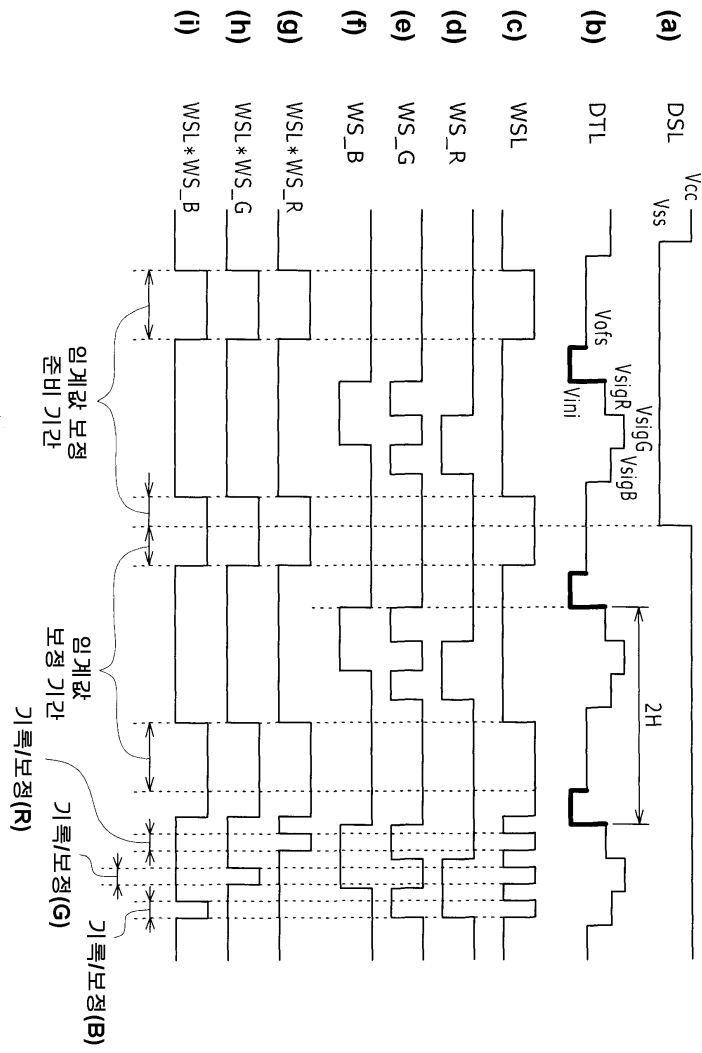
도면27



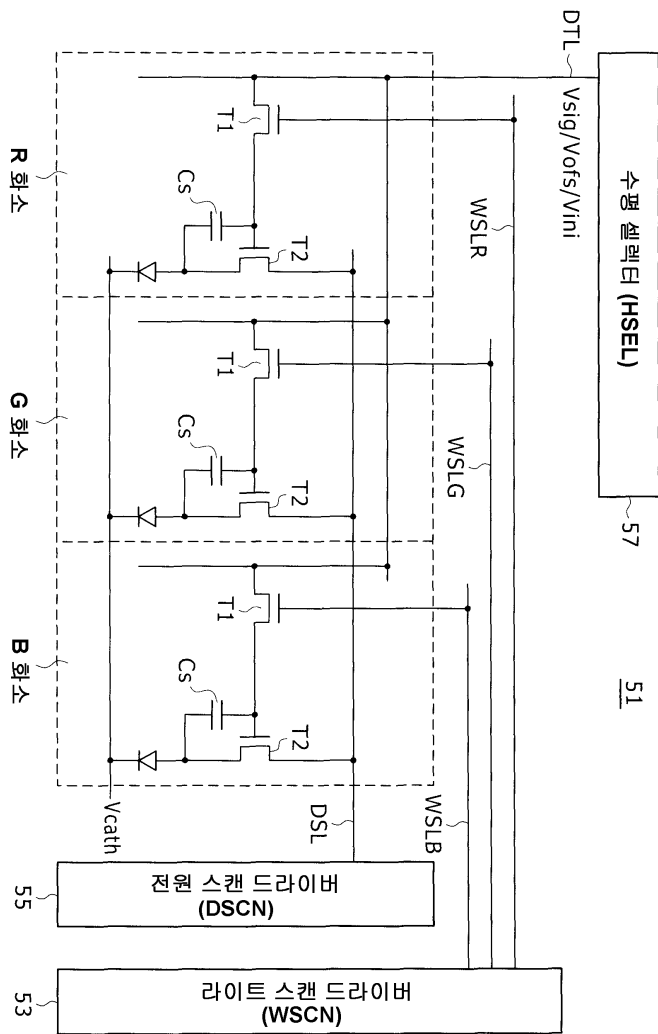
도면28



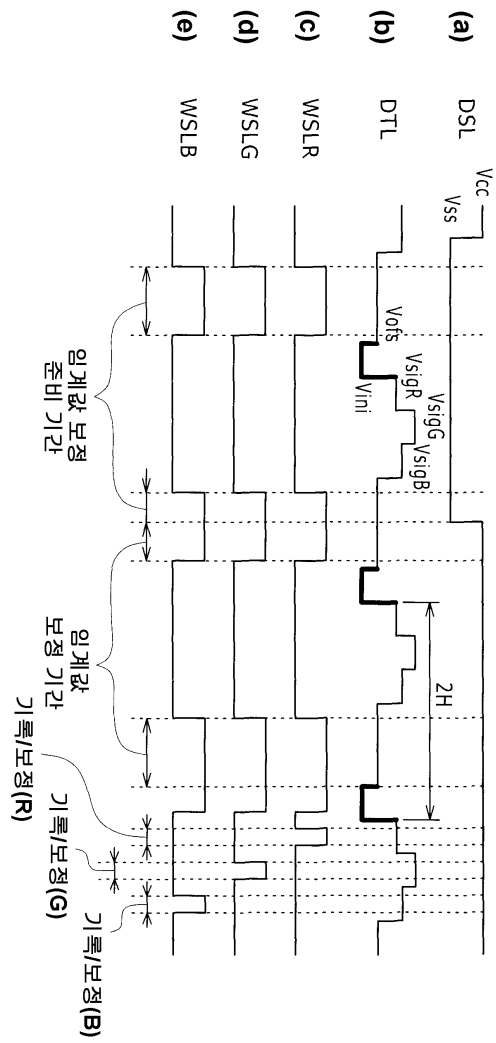
도면29



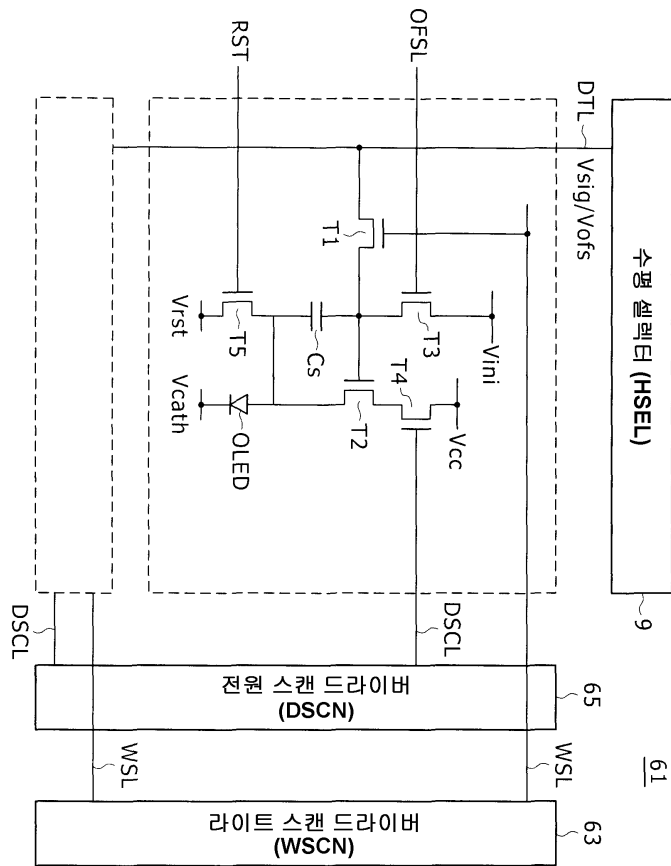
도면30



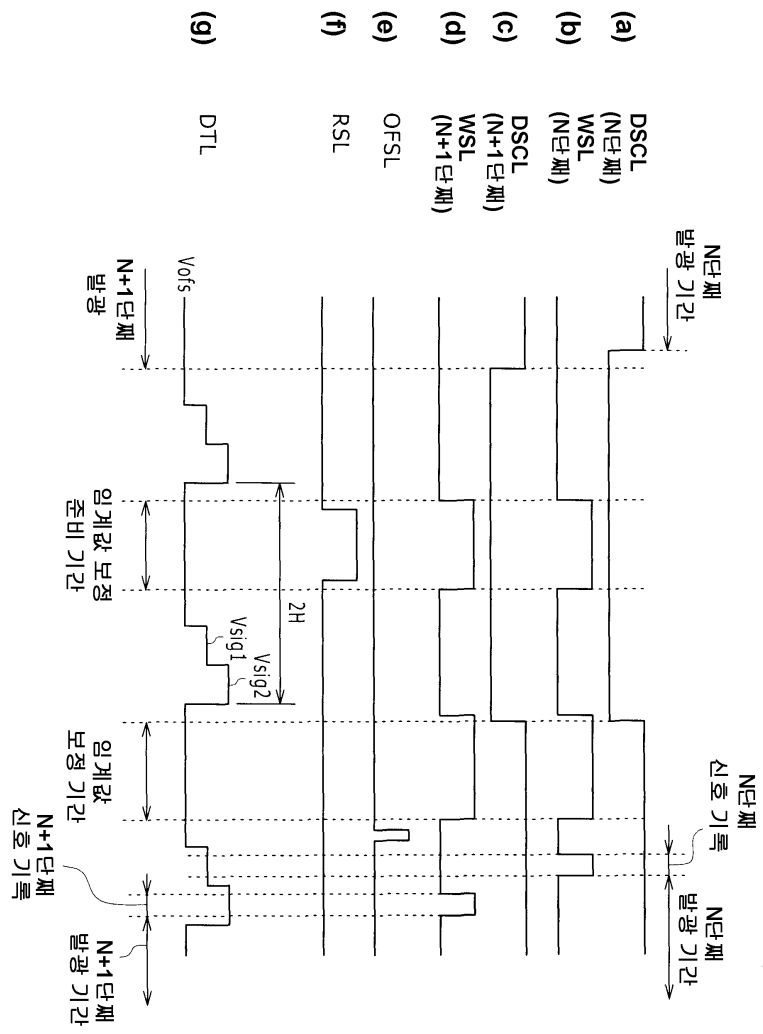
도면31



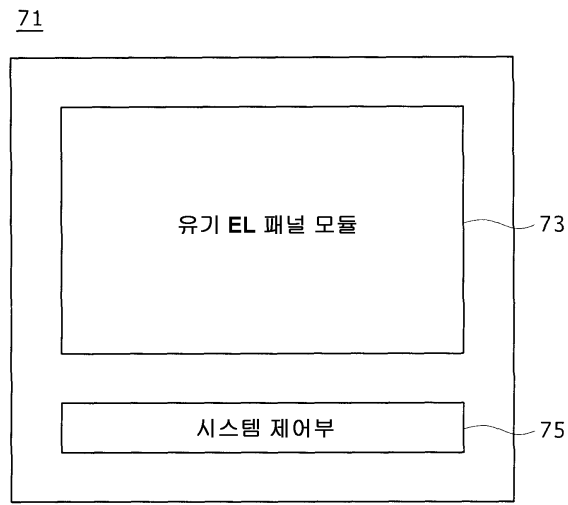
도면32



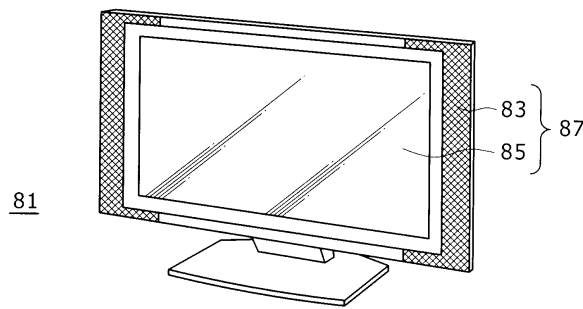
도면33



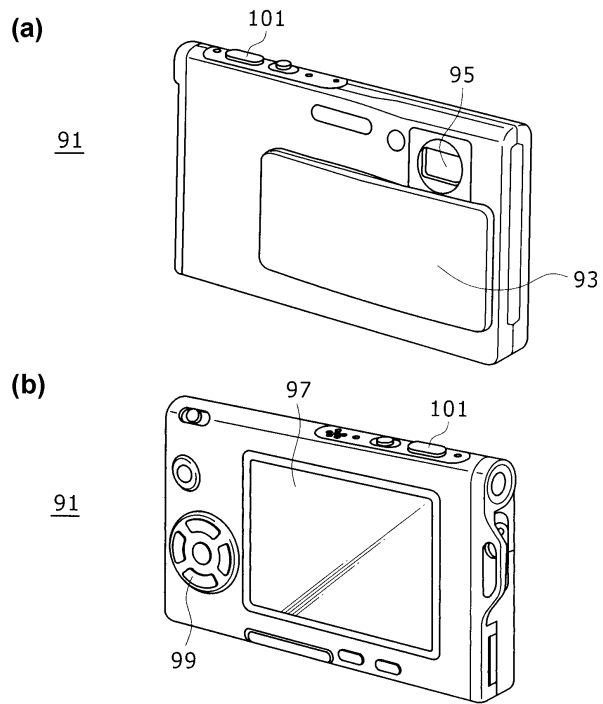
도면34



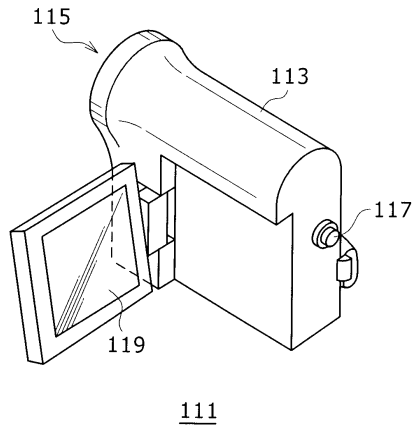
도면35



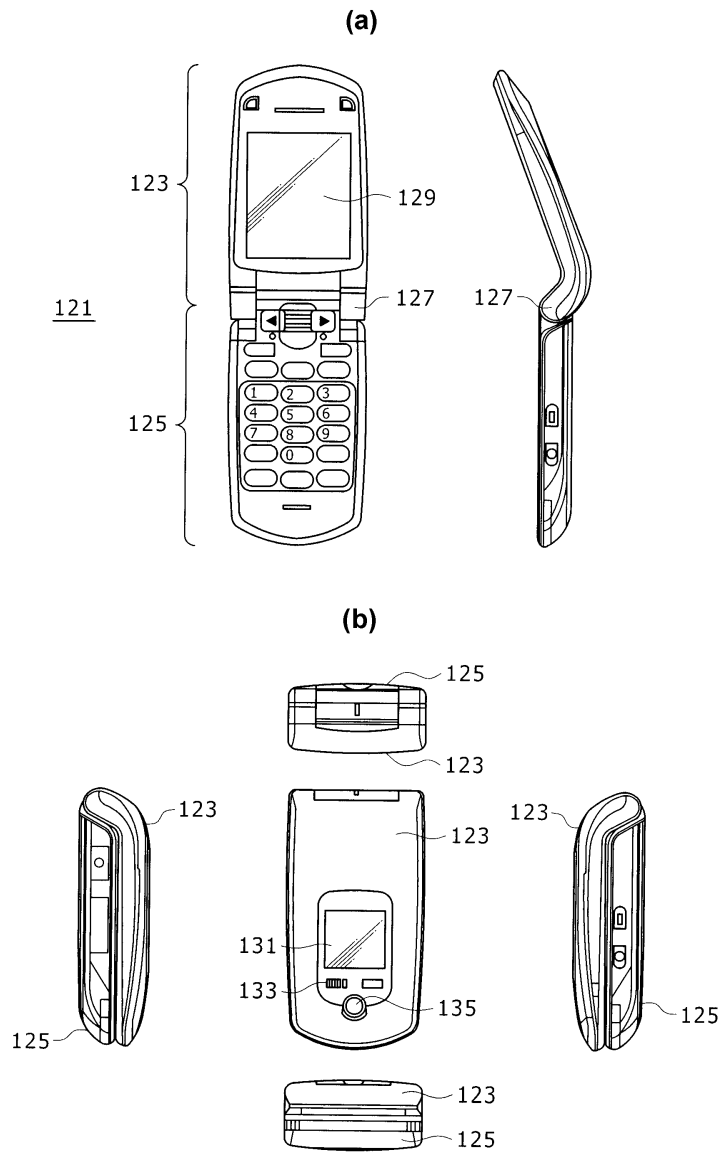
도면36



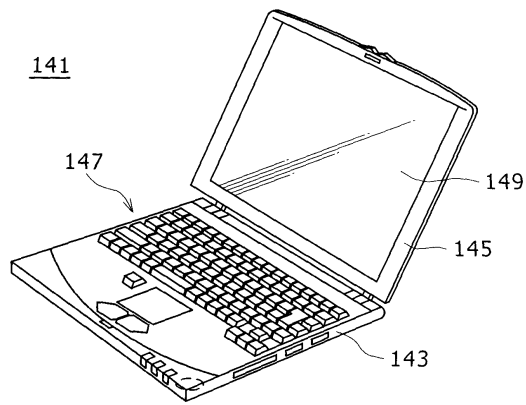
도면37



도면38



도면39



专利名称(译)	标题：EL显示板，EL显示板，集成电路装置，电子设备和驱动控制方法		
公开(公告)号	KR101564983B1	公开(公告)日	2015-11-02
申请号	KR1020090016616	申请日	2009-02-27
申请(专利权)人(译)	周杰伦红株式会社来		
当前申请(专利权)人(译)	周杰伦红株式会社来		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUHIDE 우치노카쓰히데		
发明人	야마모토테츠로 우치노카쓰히데		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/30 G09G3/20 G09G3/32 G09G3/3233 H05B33/08 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0235 G09G2310/0256 G09G2320/043 G09G2320/045		
代理人(译)	Yihwaik		
优先权	2008047079 2008-02-28 JP		
其他公开文献	KR1020090093861A		
外部链接	Espacenet		

摘要(译)

一种像素阵列单元，包括作为基板的面板和在面板上以矩阵排列的多个像素，每个像素由像素电路和发光区域以及连接到每条信号线的多个像素电路构成，驱动像素电路，以便对每个像素电路按时间顺序记录对应于各个色调值的信号电位，并且在完成阈值校正操作之后开始记录第一信号电位之前，以及用于向连接到信号线的多个像素电路施加较低复位电位的驱动电路，其中像素阵列部分和驱动电路安装在同一基板上。

