



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년10월12일  
(11) 등록번호 10-1559370  
(24) 등록일자 2015년10월05일

(51) 국제특허분류(Int. Cl.)  
G09G 3/30 (2006.01) HO1L 51/50 (2006.01)  
(21) 출원번호 10-2009-0046261  
(22) 출원일자 2009년05월27일  
심사청구일자 2014년04월08일  
(65) 공개번호 10-2009-0125703  
(43) 공개일자 2009년12월07일  
(30) 우선권주장  
JP-P-2008-144061 2008년06월02일 일본(JP)  
(56) 선행기술조사문헌  
JP2004295131 A  
JP2008032866 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시카가이샤 제이올레드  
일본국 도쿄도 치요다쿠 칸다니시키쵸 3쵸메 23번  
치  
(72) 발명자  
한다 토모아키  
일본국 도쿄도 시나가와쿠 니시고탄다 3쵸메 9-17  
소니 엔지니어링 가부시끼 가이샤 나이  
세오 유우키  
일본국 도쿄도 시나가와쿠 니시고탄다 3쵸메 9-17  
소니 엔지니어링 가부시끼 가이샤 나이  
(뒷면에 계속)  
(74) 대리인  
이화익

전체 청구항 수 : 총 2 항

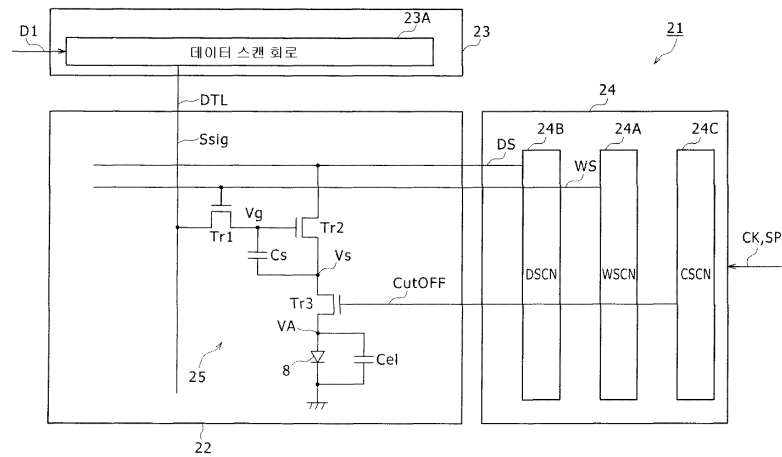
심사관 : 조기덕

(54) 발명의 명칭 **화상표시장치**

(57) 요약

본 발명은 구동 트랜지스터와 발광소자 사이에 스위치용 트랜지스터를 배치하고, 비발광 기간 동안, 스위치용 트랜지스터를 오프 상태로 설정한다. 이로써 역 바이어스에 의한 발광소자의 파괴를 효과적으로 회피하면서, 구동 트랜지스터의 임계전압의 편차를 보정한다.

대표도



(72) 발명자

**사가와 히로시**

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키  
가이샤 나이

**우치노 카쓰히데**

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키  
가이샤 나이

---

**명세서**

**청구범위**

**청구항 1**

화소회로들을 매트릭스 모양으로 배치해서 표시부가 형성되고,  
 상기 각각의 화소회로는,  
 발광소자와,  
 스위치용 트랜지스터와,  
 상기 스위치용 트랜지스터를 통해서, 게이트 소스간 전압에 따른 구동전류에 의해 상기 발광소자를 전류 구동하는 구동 트랜지스터와,  
 상기 게이트 소스간 전압을 유지하는 저장용량과,  
 신호선의 전압에 의해 상기 저장용량의 단자전압을 설정하는 기록 트랜지스터를 포함하고,  
 상기 발광소자를 발광시키는 발광 기간과, 상기 발광소자의 발광을 정지시키는 비발광 기간을 교대로 반복하고,  
 상기 비발광 기간에, 상기 저장용량의 단자간 전압을 상기 구동 트랜지스터의 임계전압 이상의 전압으로 설정한 후, 상기 저장용량의 단자간 전압을 상기 구동 트랜지스터의 임계전압에 해당하는 전압으로 설정하고,  
 상기 저장용량의 단자전압을 상기 신호선의 전압으로 설정함으로써, 다음의 상기 발광 기간에 있어서의 상기 발광소자의 발광 휘도를 설정하고,  
 상기 비발광 기간에, 상기 스위치용 트랜지스터를 오프 상태로 설정하며,  
 상기 구동 트랜지스터의 드레인 전압을 하강시키고, 상기 기록 트랜지스터를 통해서 상기 신호선에 의해 상기 저장용량의 단자전압을 설정함으로써, 상기 저장용량의 단자간 전압을 상기 구동 트랜지스터의 임계전압 이상의 전압으로 설정하는 것을 특징으로 하는 화상표시장치.

**청구항 2**

삭제

**청구항 3**

제 1항에 있어서,  
 상기 스위치용 트랜지스터를 상기 구동 트랜지스터와 상기 발광소자 사이에 배치하는 것을 특징으로 하는 화상표시장치.

**발명의 설명**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 화상표시장치에 관한 것으로서, 예를 들면 유기EL(Electro Luminescence)소자를 사용한 액티브 매트릭스형 화상표시장치에 적용할 수 있다. 본 발명은 구동 트랜지스터와 발광소자 사이에 스위치용 트랜지스터를 배치하고, 비발광 기간 동안, 스위치용 트랜지스터를 오프 상태로 설정함으로써, 역 바이어스에 의한 발광소자의 파괴를 효과적으로 회피하면서, 구동 트랜지스터의 임계전압의 편차를 보정한다.

**배경기술**

[0002] 종래, 유기EL소자를 사용한 액티브 매트릭스형 화상표시장치는, 유기EL소자와 유기EL소자를 구동하는 구동회로로 구성된 화소회로를 매트릭스 모양으로 배치해서 표시부가 형성된다. 이 종류의 화상표시장치는, 화소회로에

설치된 유기EL소자에 의해 각 화소가 형성되고, 이 표시부의 주위에 배치한 신호선 구동회로 및 주사선 구동회로에 의해 각 화소회로를 구동해서 원하는 화상을 표시한다.

[0003] 유기EL소자를 사용한 화상표시장치에 관해서, 일본국 공개특허공보 특개 2007-310311호(이후 특허문헌 1이라고 한다)에는, 2개의 트랜지스터를 사용해서 화소회로를 구성하는 방법이 개시되어 있다. 따라서 특허문헌 1에 개시된 방법에 의하면, 구성을 간략화할 수 있다. 또한 특허문헌 1에는, 유기EL소자를 구동하는 구동 트랜지스터의 임계전압의 편차, 이동도의 편차를 보정하는 구성이 개시되어 있다. 따라서 특허문헌 1에 개시된 구성에 의하면, 구동 트랜지스터의 임계전압의 편차, 이동도의 편차에 의한 화질 열화를 방지할 수 있다.

[0004] 도 10은, 특허문헌 1에 개시된 화상표시장치를 나타내는 블록도다. 화상표시장치(1)는 유리 등의 절연 기판에 제조된 표시부(2)를 갖는다. 화상표시장치(1)에는, 표시부(2)의 주위에 신호선 구동회로(3) 및 주사선 구동회로(4)가 제조된다.

[0005] 표시부(2)는, 화소회로(5)를 매트릭스 모양으로 배치해서 형성되며, 화소회로(5)에 설치된 유기EL소자에 의해 화소(PIX)(6)가 형성된다. 이 때 컬러화상의 화상표시장치에서는, 적색, 녹색 및 청색에 의한 복수의 서브 화소에 의해 1개의 화소가 구성된다. 따라서 컬러화상의 화상표시장치의 경우, 표시부(2)는, 적색, 녹색 및 청색의 서브 화소를 각각 구성하는 적색용, 녹색용 및 청색용 화소회로(5)를 순차 배치해서 구성된다.

[0006] 신호선 구동회로(3)는, 표시부(2)에 설치된 신호선 DTL에 신호선용 구동신호 Ssig를 출력한다. 더 구체적으로, 신호선 구동회로(3)에 설치된 데이터 스캔 회로(3A)는 래스터 주사 순으로 입력되는 화상 데이터 D1을 순차 래치해서 화상 데이터 D1을 신호선 DTL에 분배한 후, 분배된 각각의 화상 데이터 D1을 디지털 아날로그 변환 처리한다. 신호선 구동회로(3)는, 디지털 아날로그 변환 결과를 처리해서 구동신호 Ssig를 생성한다. 이에 따라 화상표시장치(1)는, 예를 들면 소위 선 순차로 각 화소회로(5)의 계조를 설정한다.

[0007] 주사선 구동회로(4)는, 표시부(2)에 설치된 기록신호용 주사선 WSL 및 전원용 주사선 DSL에 각각 기록신호 WS 및 구동신호 DS를 출력한다. 기록신호 WS는, 각 화소회로(5)에 설치된 기록 트랜지스터를 온-오프 제어하는 신호다. 구동신호 DS는, 각 화소회로(5)에 설치된 구동 트랜지스터의 드레인 전압을 제어하는 신호다. 주사선 구동회로(4)에 구비된 각각의 라이트 스캔 회로(WSCN)(4A) 및 드라이브 스캔 회로(DSCN)(4B)는 소정의 샘플링 펄스 SP를 클록 CK로 처리해서 기록신호 WS 및 구동신호 DS를 생성한다.

[0008] 도 11은, 화소회로(5)의 구성을 상세하게 나타내는 접속도다. 화소회로(5)에서는, 유기EL소자(8)의 캐소드가 소정의 음극 전압으로 설정된다. 도 11의 예에서는 음극 전압이 어스 라인의 전압으로 설정된다. 화소회로(5)에서는, 유기EL소자(8)의 애노드가 구동 트랜지스터 Tr2의 소스에 접속된다. 이 때 구동 트랜지스터 Tr2는, 예를 들면 TFT에 의한 N채널형 트랜지스터다. 화소회로(5)에서는, 구동 트랜지스터 Tr2의 드레인이 전원용 주사선 DSL에 접속되고, 주사선 DSL에 주사선 구동회로(4)로부터 전원용 구동신호 DS가 공급된다. 이에 따라 화소회로(5)는, 소스 폴로워 회로 구성의 구동 트랜지스터 Tr2를 사용해서 유기EL소자(8)를 전류 구동한다.

[0009] 화소회로(5)에는, 구동 트랜지스터 Tr2의 게이트 및 소스 간에 저장용량 Cs가 설치된다. 기록신호 WS에 의해 저장용량 Cs의 게이트측 단자전압이 구동신호 Ssig의 전압으로 설정된다. 그 결과, 화소회로(5)는, 구동신호 Ssig에 따른 게이트 소스간 전압 Vgs에 의해 구동 트랜지스터 Tr2로 유기EL소자(8)를 전류 구동한다. 이 때 도 11에 있어서, 용량 Cel은, 유기EL소자(8)의 부유 용량이다. 용량 Cel은, 저장용량 Cs에 비해서 충분히 용량이 큰 것으로 하고, 구동 트랜지스터 Tr2의 게이트 노드의 기생 용량은, 저장용량 Cs에 비해서 충분히 작은 것으로 한다.

[0010] 화소회로(5)에서는, 기록신호 WS에 의해 온 오프 동작하는 기록 트랜지스터 Tr1을 통해서 구동 트랜지스터 Tr2의 게이트가 신호선 DTL에 접속된다. 이 때 이 경우에, 기록 트랜지스터 Tr1은, 예를 들면 TFT에 의한 N채널형 트랜지스터다. 여기에서 신호선 구동회로(3)는, 계조 설정용 전압 Vsig 및 임계전압 보정용 전압 Vofs를 소정의 타이밍으로 선택해서 구동신호 Ssig를 출력한다. 여기에서 임계전압 보정용 고정 전압 Vofs는, 구동 트랜지스터 Tr2의 임계전압의 편차 보정에 사용하는 고정 전압이다. 계조 설정용 전압 Vsig는, 유기EL소자(8)의 발광 휘도를 지시하는 전압이며, 계조전압 Vin에 임계전압 보정용 고정 전압 Vofs를 가산한 전압이다. 계조전압 Vin은, 유기EL소자(8)의 발광 휘도에 대응하는 전압이다. 계조전압 Vin은, 각 신호선 DTL에 분배한 화상 데이터 D1을 각각 디지털 아날로그 변환 처리해서 신호선 DTL마다 생성된다.

[0011] 화소회로(5)에서는, 도 12a 내지 12e에 나타난 바와 같이, 유기EL소자(8)를 발광시키는 발광 기간 동안에, 기록신호 WS에 의해 기록 트랜지스터 Tr1이 오프 상태로 설정된다(도 12a). 화소회로(5)에서는, 발광 기간 동안에, 전원용 구동신호 DS에 의해 구동 트랜지스터 Tr2에 전원전압 Vcc가 공급된다(도 12b). 이에 따라 화소회로(5)에

서는, 도 13에 나타난 바와 같이, 발광 기간 동안에, 저장용량 Cs의 단자간 전압인 구동 트랜지스터 Tr2의 게이트 소스간 전압 Vgs(도 12d 및 12e)에 따른 구동전류 Ids로 유기EL소자(8)를 발광시킨다.

[0012] 화소회로(5)에서는, 발광 기간이 종료하는 시점 t0에, 전원용 구동신호 DS가 소정의 고정 전압 Vss로 하강한다(도 12b). 여기에서 고정 전압 Vss는, 구동 트랜지스터 Tr2의 드레인을 소스로서 기능시킬 정도로 충분히 낮은 전압이며, 유기EL소자(8)의 캐소드 전압보다 낮은 전압이다.

[0013] 이에 따라 화소회로(5)에서는, 도 14에 나타난 바와 같이, 구동 트랜지스터 Tr2를 통해서 저장용량 Cs의 유기EL소자(8)측단의 축적 전하가 주사선으로 흐른다. 그 결과, 화소회로(5)에서는, 구동 트랜지스터 Tr2의 소스 전압 Vs가 전압 Vss로 하강하고(도 12e), 유기EL소자(8)가 발광을 정지한다. 또한 화소회로(5)에서는, 소스 전압 Vs의 하강에 연동해서, 구동 트랜지스터 Tr2의 게이트 전압 Vg가 하강한다(도 12d).

[0014] 이 때 더 정확하게 설명하면, 드레인 전압의 고정 전압 Vss로의 하강에 의해, 구동 트랜지스터 Tr2의 게이트 전압 Vg는, 고정 전압 Vss로부터 구동 트랜지스터 Tr2의 드레인 게이트간 전압의 임계전압만큼 하강한 전압으로 유지된다. 구동 트랜지스터 Tr2의 소스 전압 Vs는, 게이트 전압 Vg로부터 직전의 발광 기간에 있어서의 게이트 소스간 전압만큼 하강한 전압으로 유지된다.

[0015] 화소회로(5)에서는, 계속되는 소정의 시점 t1에, 기록신호 WS에 의해 기록 트랜지스터 Tr1이 온 상태로 전환되고(도 12a), 구동 트랜지스터 Tr2의 게이트 전압 Vg가 신호선 DTL에 설정된 임계전압 보정용 고정 전압 Vofs로 설정된다(도 12c 및 12d). 이에 따라 화소회로(5)에서는, 도 15에 나타난 바와 같이, 구동 트랜지스터 Tr2의 게이트 소스간 전압 Vgs가 거의 전압 Vofs-Vss로 설정된다. 화소회로(5)에서는, 전압 Vofs, Vss의 설정에 의해, 전압 Vofs-Vss가 구동 트랜지스터 Tr2의 임계전압 Vth보다 큰 전압으로 설정된다.

[0016] 그 후에 화소회로(5)에서는, 시점 t2에 구동신호 DS에 의해 구동 트랜지스터 Tr2의 드레인 전압이 전원전압 Vcc로 상승한다(도 12b). 이에 따라 화소회로(5)는, 도 16에 나타난 바와 같이, 구동 트랜지스터 Tr2를 통해 저장용량 Cs의 유기EL소자(8)측단에 전원 Vcc로부터 충전 전류 Ids가 유입한다. 그 결과, 화소회로(5)에서는, 저장용량 Cs의 유기EL소자(8)측단의 전압 Vs가 서서히 상승한다. 이 때, 이 경우, 화소회로(5)에 있어서, 구동 트랜지스터 Tr2를 통해 유기EL소자(8)에 유입하는 전류 Ids는, 유기EL소자(8)의 용량 Cel과 저장용량 Cs의 충전에만 사용된다. 그 결과, 유기EL소자(8)를 발광시키지 않고, 구동 트랜지스터 Tr2의 소스 전압 Vs만이 상승하게 된다.

[0017] 화소회로(5)에서는, 저장용량 Cs의 단자간 전압이 구동 트랜지스터 Tr2의 임계전압 Vth가 되면, 구동 트랜지스터 Tr2를 통한 충전 전류 Ids의 유입이 정지하게 된다. 따라서 이 경우, 구동 트랜지스터 Tr2의 소스 전압 Vs의 상승은, 저장용량 Cs의 양단 전위차가 구동 트랜지스터 Tr2의 임계전압 Vth가 되면 정지하게 된다. 이에 따라 화소회로(5)는, 구동 트랜지스터 Tr2를 통해 저장용량 Cs의 단자간 전압을 방전시켜, 저장용량 Cs의 단자간 전압을 구동 트랜지스터 Tr2의 임계전압 Vth로 설정한다.

[0018] 화소회로(5)에서는, 저장용량 Cs의 단자간 전압을 구동 트랜지스터 Tr2의 임계전압 Vth로 설정하는 데에 충분한 시간이 경과해서 시점 t3이 되면, 도 17에 나타난 바와 같이, 기록신호 WS에 의해 기록 트랜지스터 Tr1이 오프 상태로 전환된다(도 12a). 계속해서 도 18에 나타난 바와 같이, 신호선 DTL의 전압이 계조 설정용 전압 Vsig(=Vin+Vofs)로 설정된다.

[0019] 화소회로(5)에서는, 계속되는 시점 t4에 기록 트랜지스터 Tr1이 온 상태로 설정된다(도 12a). 이에 따라 화소회로(5)에서는, 도 19에 나타난 바와 같이, 구동 트랜지스터 Tr2의 게이트 전압 Vg가 계조 설정용 전압 Vsig로 설정되고, 구동 트랜지스터 Tr2의 게이트 소스간 전압 Vgs는, 계조전압 Vin에 구동 트랜지스터 Tr2의 임계전압 Vth를 가산한 전압으로 설정된다. 이에 따라 화소회로(5)는, 구동 트랜지스터 Tr2의 임계전압 Vth의 편차를 효과적으로 회피해서 유기EL소자(8)를 구동할 수 있어, 유기EL소자(8)의 발광 휘도의 편차에 의한 화질 열화를 방지할 수 있다.

[0020] 화소회로(5)에서는, 구동 트랜지스터 Tr2의 게이트 전압 Vg를 계조 설정용 전압 Vsig로 설정할 때에, 구동 트랜지스터 Tr2의 드레인 전압을 전원전압 Vcc로 유지한 상태에서, 일정 기간 동안, 구동 트랜지스터 Tr2의 게이트가 신호선 DTL에 접속된다. 이에 따라 화소회로(5)는 구동 트랜지스터 Tr2의 이동도  $\mu$ 의 편차도 보정한다.

[0021] 즉, 저장용량 Cs의 단자간 전압을 구동 트랜지스터 Tr2의 임계전압 Vth로 설정한 상태에서, 기록 트랜지스터 Tr1을 온 상태로 설정해서 구동 트랜지스터 Tr2의 게이트를 신호선 DTL에 접속했을 경우, 구동 트랜지스터 Tr2의 게이트 전압 Vg는, 고정 전압 Vofs로부터 서서히 상승해서 계조 설정용 전압 Vsig로 설정된다.

- [0022] 화소회로(5)에서는, 구동 트랜지스터 Tr2의 게이트 전압 Vg의 상승에 요하는 기록 시상수가, 구동 트랜지스터 Tr2에 의한 소스 전압 Vs의 상승에 요하는 시상수에 비해서 짧아지도록 설정된다.
- [0023] 이 경우, 기록 트랜지스터 Tr1이 온 동작하면, 구동 트랜지스터 Tr2의 게이트 전압 Vg는, 조속히 게조 설정용 전압 Vsig(Vofs+Vin)로 상승하게 된다. 게이트 전압 Vg의 상승시, 유기EL소자(8)의 용량 Cel이 저장용량 Cs의 용량에 비해서 충분히 크면, 구동 트랜지스터 Tr2의 소스 전압 Vs는 변동하지 않게 된다.
- [0024] 그러나 구동 트랜지스터 Tr2의 게이트 소스간 전압 Vgs가 임계전압 Vth보다 증대하면, 구동 트랜지스터 Tr2를 통해 전원 Vcc로부터 전류 Ids가 유입하고, 구동 트랜지스터 Tr2의 소스 전압 Vs가 서서히 상승하게 된다. 그 결과, 화소회로(5)에서는, 저장용량 Cs의 단자간 전압이 구동 트랜지스터 Tr2에 의해 방전하고, 게이트 소스간 전압 Vgs의 상승 속도가 저하하게 된다.
- [0025] 단자간 전압의 방전 속도는, 구동 트랜지스터 Tr2의 능력에 따라 변화된다. 더 구체적으로는, 구동 트랜지스터 Tr2의 이동도  $\mu$ 가 클수록, 방전 속도는 빨라진다.
- [0026] 그 결과, 화소회로(5)에서는, 구동 트랜지스터 Tr2의 이동도  $\mu$ 가 높을수록, 저장용량 Cs의 단자간 전압이 낮아 지도록 설정됨으로써, 이동도의 편차에 의한 발광 휘도의 편차가 보정된다. 이 때 이동도  $\mu$ 의 보정에 관련되는 저장용량 Cs의 단자간 전압의 감소량을 도 12a 내지 12e, 도 19 및 도 20에서는  $\Delta V$ 로 나타낸다.
- [0027] 화소회로(5)에서는, 이동도의 보정기간이 경과하면, 시점 t5에 기록신호 WS가 하강한다. 그 결과, 화소회로(5)에서는, 발광 기간이 시작되고, 도 20에 나타낸 바와 같이, 저장용량 Cs의 단자간 전압에 따른 구동전류 Ids에 의해 유기EL소자(8)를 발광시킨다. 이 때 화소회로(5)에서는, 발광 기간이 시작된 후, 소위 부트스트랩 회로에 의해 구동 트랜지스터 Tr2의 게이트 전압 Vg 및 소스 전압 Vs가 상승한다. 도 20에 있어서의 Ve1은, 이 상승분의 전압이다.
- [0028] 이에 따라 화소회로(5)는, 시점 t0에서 시점 t2까지 구동 트랜지스터 Tr2의 게이트 전압이 전압 Vss로 하강하는 기간에, 구동 트랜지스터 Tr2의 임계전압을 보정하는 처리의 준비를 실행한다. 계속되는 시점 t2에서 시점 t3까지의 기간에, 화소회로(5)는 저장용량 Cs의 단자간 전압을 구동 트랜지스터 Tr2의 임계전압 Vth로 설정하여, 구동 트랜지스터 Tr2의 임계전압을 보정한다. 또한 시점 t4에서 시점 t5까지의 기간에, 화소회로(5)는 구동 트랜지스터 Tr2의 이동도를 보정하고, 게조 설정용 전압 Vsig를 샘플링한다.
- [0029] 일본국 공개특허공보 특개 2007-133284호(이후 특허문헌 2라고 한다)에는, 구동 트랜지스터 Tr2의 임계전압의 편차를 보정하는 처리를 복수 회로 분할해서 실행하는 구성이 제안되어 있다. 특허문헌 2에 개시된 구성에 의하면, 고정밀도화로 화소회로의 게조 설정에 분배하는 시간이 짧아진 경우에도, 임계전압의 편차 보정에 충분한 시간을 분배할 수 있다. 따라서 고정밀도화한 경우에도, 임계전압의 편차에 의한 화질 열화를 방지할 수 있다.
- [0030] 따라서 특허문헌 1에 개시된 방법에, 특허문헌 2에 개시된 방법을 적용하면, 간단한 구성에 의해, 고정밀도화한 경우에도 높은 화질을 유지할 수 있는 표시장치를 얻을 수 있다고 생각된다.
- [0031] 도 21a, 21b, 21c, 21d, 21e, 21f는, 도 12a 내지 12e의 대비에 의해, 특허문헌 1에 개시된 방법에, 특허문헌 2에 개시된 방법을 적용했을 경우에 생각해 볼 수 있는 화소회로의 타임 차트다.
- [0032] 이 경우, 신호선 DTL에는, 임계전압 보정용 고정 전압 Vofs를 사이에 두고, 신호선 DTL에 접속된 각 화소회로(5)의 게조 설정용 전압 Vsig가 출력된다. 화소회로(5)에서는, 신호선 DTL의 구동에 대응해서 기록신호 WS가 간헐적으로 상승하고, 복수의 기간에, 저장용량 Cs의 단자간 전압을 구동 트랜지스터 Tr2를 통해 방전시킨다. 이것에 의해 도 21a 내지 21f의 예에서는, 구동 트랜지스터 Tr2의 임계전압의 편차 보정을 복수 회기의 기간으로 분할해서 실행한다. 이 때 도 21a 내지 21f에 있어서, VD는 수직동기신호를 나타낸다.
- [0033] 또한 일본국 공개특허공보 특개 2006-338042호(이후 특허문헌 3이라고 한다)에는, 전류 구동에 의해 유기EL소자의 발광 휘도를 설정하는 구성이 개시되어 있다.

**발명의 내용**

**해결 하고자하는 과제**

- [0034] 도 11의 구성에서는, 구동 트랜지스터 Tr2의 드레인 전압을 소정 전압 Vss로 하강시키는 것에 의해, 유기EL소자(8)의 발광을 정지시킨다. 그 결과, 유기EL소자(8)의 발광을 정지하고 있는 기간 동안, 유기EL소자(8)는, 역 바이어스의 상태로 유지된다. 유기EL소자는, 역 바이어스의 상태로 유지되면, 역 바이어스의 크기, 시간에 따라

파괴되는 경우가 있다.

[0035] 이에 따라 도 11의 구성에서는, 유기EL소자(8)가 파괴되어 멸점이 발생할 우려가 있었다. 이 때 도 11의 구성에서는, 소정 전압  $V_{ss}$ 를 높게 함으로써, 유기EL소자(8)에 인가되는 역 바이어스의 양을 저감해서 유기EL소자(8)의 파괴를 방지할 수 있다. 그러나 전압  $V_{ss}$ 를 높게 하면, 저장용량  $C_s$ 의 단자간 전압을 구동 트랜지스터  $Tr_2$ 의 임계전압 이상의 전압으로 설정하는 것이 곤란해져, 결국, 구동 트랜지스터  $Tr_2$ 의 임계전압의 편차를 보정할 수 없게 된다.

[0036] 본 발명의 실시예에는 이상의 점을 고려해서 이루어진 것으로, 역 바이어스에 의한 유기EL소자의 파괴를 효과적으로 회피하면서, 구동 트랜지스터의 임계전압의 편차를 보정할 수 있는 화상표시장치를 제안하려는 것이다.

**과제 해결수단**

[0037] 본 발명의 일 실시예에 따르면, 화상표시장치가 제공되고, 화소회로들을 매트릭스 모양으로 배치해서 표시부가 형성되며, 상기 각각의 화소회로는, 발광소자와, 스위치용 트랜지스터와, 상기 스위치용 트랜지스터를 통해서, 게이트 소스간 전압에 따른 구동전류에 의해 상기 발광소자를 전류 구동하는 구동 트랜지스터와, 상기 게이트 소스간 전압을 유지하는 저장용량과, 신호선의 전압에 의해 상기 저장용량의 단자전압을 설정하는 기록 트랜지스터를 적어도 포함하고, 상기 발광소자를 발광시키는 발광 기간과, 상기 발광소자의 발광을 정지시키는 비발광 기간을 교대로 반복하고, 상기 비발광 기간에, 상기 저장용량의 단자간 전압을 상기 구동 트랜지스터의 임계전압 이상의 전압으로 설정한 후, 상기 저장용량의 단자간 전압을 상기 구동 트랜지스터의 임계전압에 해당하는 전압으로 설정하고, 상기 저장용량의 단자전압을 상기 신호선의 전압으로 설정함으로써, 다음의 상기 발광 기간에 있어서의 상기 발광소자의 발광 휘도를 설정하고, 상기 비발광 기간에, 상기 스위치용 트랜지스터를 오프 상태로 설정한다.

[0038] 상기 실시예의 구성에 의해, 비발광 기간에 스위치용 트랜지스터를 오프 상태로 설정하면, 구동 트랜지스터와 발광소자를 분리한 상태에서, 저장용량의 단자간 전압을 구동 트랜지스터의 임계전압 이상의 전압으로 설정하는 처리 등을 실행할 수 있다. 따라서 이 처리 등에 있어서의 역 바이어스가 발광소자에 인가되지 않도록 할 수 있다.

**효과**

[0039] 본 발명의 실시예에 의하면, 역 바이어스에 의한 유기EL소자의 파괴를 효과적으로 회피하면서, 구동 트랜지스터의 임계전압의 편차를 보정할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0040] 이하, 적절히 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명한다.

[0041] [실시예 1]

[0042] (1) 실시예 1의 구성

[0043] 도 1은, 도 11과의 대비에 의해 본 발명의 실시예 1의 화상표시장치에 적용되는 화소회로를 나타내는 접속도다. 도 2는, 화소회로를 간략화해서 나타내는 접속도다. 화소회로(25)에 있어서, 구동 트랜지스터  $Tr_2$ 와 유기EL소자(8)의 사이에, 컷오프 신호  $CutOFF$ 에 의해 온 오프 동작해서 스위치회로로서 기능하는 스위치용 트랜지스터  $Tr_3$ 이 설치된다. 본 실시예의 화상표시장치(21)에서는, 도 3에 나타낸 바와 같이, 화소회로(25)가 매트릭스 모양으로 배치되어서 표시부(22)가 형성된다. 화상표시장치(21)는, 스위치용 트랜지스터  $Tr_3$ 의 제어에 관한 구성이 다른 점을 제외하고, 도 11을 참조해서 전술한 화상표시장치(1)와 동일하게 구성된다.

[0044] 즉, 화상표시장치(21)에 있어서(도 1), 신호선 구동회로(23)는, 데이터 스캔 회로(23A)에 의해 각 화소회로(25)의 게조 설정용 전압  $V_{sig}$ 를 생성하고, 임계전압 보정용 고정 전압  $V_{ofs}$ 를 사이에 두고, 게조 설정용 전압  $V_{sig}$ 를 순차 신호선 DTL에 출력한다. 주사선 구동회로(24)는, 라이트 스캔 회로(24A), 드라이브 스캔 회로(24B) 및 컷오프 스캔 회로(24C)로부터 각각 기록신호  $WS$ , 구동신호  $DS$  및 컷오프 신호  $CutOFF$ 를 출력한다.

[0045] 도 4a 내지 4h에 나타낸 바와 같이, 화상표시장치(21)에서는, 컷오프 신호  $CutOFF$ 에 의해, 비발광 기간 동안, 스위치용 트랜지스터  $Tr_3$ 이 오프 상태로 설정된다. 이에 따라 유기EL소자(8)의 역 바이어스를 효과적으로 회피한다(도 4e).

- [0046] 즉, 화소회로(25)에서는, 발광 기간 동안, 도 5에 나타낸 바와 같이, 기록 트랜지스터 Tr1, 스위치용 트랜지스터 Tr3이 각각 오프 상태 및 온 상태로 설정되고, 구동 트랜지스터 Tr2에 전원전압 Vcc가 공급된다(도 4a 내지 4e). 이에 따라 화소회로(25)는, 저장용량 Cs의 단자간 전압에 따른 구동전류 Ids로 유기EL소자(8)를 구동한다.
- [0047] 화소회로(25)에서는, 발광 기간이 종료하는 시점 t0에, 도 6에 나타낸 바와 같이, 구동 트랜지스터 Tr2의 드레인 전압이 고정 전위 Vss로 하강하고, 스위치용 트랜지스터 Tr3이 오프 상태로 설정된다. 이에 따라 화소회로(25)에서는, 저장용량 Cs의 유기EL소자(8)측단의 축적 전하가 구동 트랜지스터 Tr2를 통해 주사선으로 흘러서, 구동 트랜지스터 Tr2의 게이트 전압 Vg 및 소스 전압 Vs가 하강한다(도 4g 및 4h). 이 때 스위치용 트랜지스터 Tr3이 오프 상태로 설정되기 때문에, 유기 EL소자(8)의 부유 용량 Ce1의 축적 전하가 유기EL소자(8)를 통해 방전하고, 이 방전에 의해 유기EL소자(8)의 단자간 전압이 유기EL소자(8)의 임계전압 Vth EL에까지 저하한다. 그 결과, 유기EL소자(8)의 애노드 전압 VA가, 캐소드 전압에 임계전압 Vth EL을 가산한 전압으로 유지된다(도 4f).
- [0048] 화소회로(25)에서는, 계속해서 신호선 DTL이 임계전압 보정용 고정 전압 Vofs로 유지되는 기간에, 기록신호 WS에 의해 기록 트랜지스터 Tr1이 온 상태로 설정된다. 이에 따라 화소회로(25)에서는, 저장용량 Cs의 단자간 전압이 구동 트랜지스터 Tr2의 임계전압 Vth 이상의 전압으로 설정된다.
- [0049] 화소회로(25)에서는, 구동 트랜지스터 Tr2의 드레인 전압이 전원전압 Vcc로 상승하고, 신호선 DTL이 임계전압 보정용 고정 전압 Vofs로 유지되고 있는 기간 동안, 기록 트랜지스터 Tr1이 온 상태로 설정된다. 이에 따라 도 7에 나타낸 바와 같이, 화소회로(25)에서는, 복수 회로 분할된 기간 동안, 저장용량 Cs의 단자간 전압이 구동 트랜지스터 Tr2의 임계전압 Vth로 설정된다.
- [0050] 화소회로(25)에서는, 계속해서 신호선 DTL이 화소회로(25)의 계조 설정용 전압 Vsig로 유지되고 있는 시점 t2에, 기록 트랜지스터 Tr1이 온 상태로 설정된다. 이에 따라 저장용량 Cs의 단자전압이 계조 설정용 전압 Vsig로 설정된다. 일정한 시간만큼 경과하면, 기록 트랜지스터 Tr1이 오프 상태로 설정된다. 이에 따라 이동도의 편차가 보정되고, 계조 설정용 전압 Vsig가 저장용량 Cs에 샘플 홀드 된다.
- [0051] 그 결과, 화소회로(25)는, 도 8에 나타낸 바와 같이, 저장용량 Cs의 단자간 전압에 따른 구동전류 Ids에 의해 유기EL소자(8)를 발광시킨다.
- [0052] 도 9는, 화소회로(25)의 배치를 나타내는 평면도다. 도 9는, 유기EL소자(8)의 애노드 전극으로부터 상층의 부재를 제거해서 기관측을 보고 나타내는 평면도다. 도 9에서는, 각층의 배선 패턴을 각각 해칭의 차이에 의해 나타낸다. 원형의 마크는 층간의 콘택을 나타낸다. 이 원형의 마크의 내측에 콘택이 접속되는 배선 패턴에 분배한 해칭을 제공하여, 층간의 접속 관계를 나타낸다.
- [0053] 화소회로(25)에서는, 예를 들면 유리로 된 절연 기관 위에 배선 패턴 재료층을 퇴적한 후, 배선 패턴 재료층을 에칭 처리해서 제1 배선을 제조한다. 화소회로(25)에서는, 계속해서 게이트 산화막이 제조된 후, 폴리실리콘 막에 의한 중간 배선층이 제조된다. 화소회로(25)에서는, 계속해서 채널 보호층 등이 제조된 후, 불순물의 도프에 의해 트랜지스터 Tr1~Tr3이 제조된다.
- [0054] 화소회로(25)에서는, 계속해서 배선 패턴 재료층을 퇴적한 후, 이 배선 패턴 재료층을 에칭 처리해서 제2 배선이 제조된다. 화소회로(25)에서는, 제2 배선에 의해 전원용 주사선 DSL 및 기록신호용 주사선 WSL이 제조된다. 전원용 주사선 DSL이 기록신호용 주사선 WSL에 비해서 넓은 폭으로 제조된다. 화소회로(25)에서는, 가능한 한 제2 배선에 의해 신호선 DTL이 제조된다. 구체적으로, 화소회로(25)에서는, 주사선 DSL 및 WSL과 교차하는 부위에 한해서, 제1 배선에 의해 신호선 DTL이 제조되고, 나머지의 신호선 DTL은 제2 배선에 의해 제조된다. 그 결과, 신호선 DTL은, 주사선 DSL 및 WSL과 교차하는 부위를 사이에 두고, 제1 배선 및 제2 배선을 접속하는 콘택이 각각 형성된다.
- [0055] (2) 실시예의 동작
- [0056] 이상의 화상표시장치(21)의 구성에 의해, 신호선 구동회로(23)에서는, 순차 입력되는 화상 데이터 D1이 신호선 DTL에 분배된 후, 디지털-아날로그 변환 처리된다. 이에 따라 화상표시장치(21)에서는, 신호선 DTL에 접속된 각 화소의 계조를 지시하는 계조전압 Vin이 신호선 DTL마다 생성된다. 화상표시장치(21)에서는, 주사선 구동회로(24)에 의한 표시부의 구동에 의해, 표시부(2)를 구성하는 각 화소회로(25)에 예를 들면 선 순차로 계조전압 Vin이 생성된다. 각 화소회로(25)에서는, 유기EL소자(8)가 계조전압 Vin에 따른 발광 휘도로 발광한다(도 1). 이에 따라 화상표시장치(21)에서는, 화상 데이터 D1에 따른 화상을 표시부(2)에 표시할 수 있다.
- [0057] 보다 구체적으로, 화소회로(5)에 있어서는, 소스 폴로워 회로 구성의 구동 트랜지스터 Tr2에 의해 유기EL소자

(8)가 전류 구동된다. 화소회로(25)에 있어서는, 구동 트랜지스터 Tr2의 게이트 소스간에 설치된 저장용량 Cs의 게이트 측단의 전압이 게조전압 Vin에 따른 전압 Vsig로 설정된다. 이에 따라 화상표시장치(21)에서는, 화상 데이터 D1에 따른 발광 휘도에 의해 유기EL소자(8)를 발광시켜서 원하는 화상을 표시한다.

[0058] 그러나 화소회로(25)에 적용되는 구동 트랜지스터 Tr2는, 임계전압 Vth의 편차가 큰 결점이 있다. 그 결과, 화상표시장치(21)에서는, 단순히 저장용량 Cs의 게이트측 단자전압을 게조전압 Vin에 따른 전압 Vsig로 설정했다면, 구동 트랜지스터 Tr2의 임계전압 Vth의 편차에 의해 유기EL소자(8)의 발광 휘도가 변동하여, 화질이 열화한다.

[0059] 따라서 화상표시장치(21)에서는, 사전에, 저장용량 Cs의 유기EL소자(8)측단 전압을 하강시킨 후, 기록 트랜지스터 Tr1을 통해 구동 트랜지스터 Tr2의 게이트 전압이 임계전압 보정용 고정 전압 Vofs로 설정된다(도 2). 이에 따라 화상표시장치(21)에서는, 저장용량 Cs의 단자간 전압이 구동 트랜지스터 Tr2의 임계전압 Vth 이상으로 설정된다. 그 후에 구동 트랜지스터 Tr2를 통해서, 저장용량 Cs의 단자간 전압이 방전된다. 이들 일련의 처리에 의해, 화상표시장치(21)에서는, 저장용량 Cs의 단자간 전압이, 사전에, 구동 트랜지스터 Tr2의 임계전압 Vth로 설정된다.

[0060] 그 후에 화상표시장치(21)에서는, 게조전압 Vin에 고정 전압 Vofs를 가산한 게조 설정용 전압 Vsig가 구동 트랜지스터 Tr2의 게이트 전압으로 설정된다. 이에 따라 화상표시장치(21)에서는, 구동 트랜지스터 Tr2의 임계전압 Vth의 편차에 의한 화질 열화를 방지할 수 있다.

[0061] 또한 일정 시간 동안, 구동 트랜지스터 Tr2에 전원을 공급한 상태에서, 구동 트랜지스터 Tr2의 게이트 전압을 게조 설정용 전압 Vsig로 유지함으로써, 구동 트랜지스터 Tr2의 이동도의 편차에 의한 화질 열화를 방지할 수 있다.

[0062] 그러나 고해상도화 등에 의해, 구동 트랜지스터 Tr2를 통한 저장용량 Cs의 단자간 전압의 방전에, 충분한 시간을 할당하는 것이 곤란한 경우도 발생한다. 이 경우, 화상표시장치는, 충분히 정밀도 좋게, 저장용량 Cs의 단자간 전압을 구동 트랜지스터 Tr2의 임계전압 Vth로 설정할 수 없게 된다. 그 결과, 충분히 구동 트랜지스터 Tr2의 임계전압 Vth의 편차를 보정할 수 없게 된다.

[0063] 따라서 본 실시예에서는, 구동 트랜지스터 Tr2를 통한 저장용량 Cs의 단자간 전압의 방전이, 복수 회의 기간에 실행된다. 이에 따라 구동 트랜지스터 Tr2를 통한 저장용량 Cs의 단자간 전압의 방전에, 충분한 시간을 할당하여, 고해상도화한 경우에도, 충분히 구동 트랜지스터 Tr2의 이동도의 편차를 보정한다.

[0064] 그러나 이렇게 하여 구동 트랜지스터 Tr2의 임계전압의 편차 보정을 실행할 경우, 유기EL소자(8)가 역 바이어스되어, 유기EL소자(8)가 파괴될 염려가 있다.

[0065] 따라서 본 실시예에서는, 유기EL소자(8)와 구동 트랜지스터 Tr2 사이에, 스위치용 트랜지스터 Tr3이 설치된다. 비발광 기간 동안, 스위치용 트랜지스터 Tr3은 오프 상태로 설정된다. 이에 따라 화상표시장치(21)에서는, 구동 트랜지스터 Tr2와 유기EL소자(8)를 서로 분리한 상태에서, 일련의 구동 트랜지스터 Tr2의 임계전압의 편차를 보정하는 처리를 실행할 수 있다. 따라서, 유기EL소자(8)의 역 바이어스를 효과적으로 회피하면서, 구동 트랜지스터의 임계전압의 편차를 보정할 수 있다.

[0066] (3) 실시예의 효과

[0067] 이상의 구성에 의하면, 구동 트랜지스터와 발광소자 사이에 스위치용 트랜지스터를 배치하고, 비발광 기간 동안, 스위치용 트랜지스터를 오프 상태로 설정한다. 이로써, 역 바이어스에 의한 유기EL소자의 파괴를 효과적으로 회피하면서, 구동 트랜지스터의 임계전압의 편차를 보정할 수 있다.

[0068] [실시예 2]

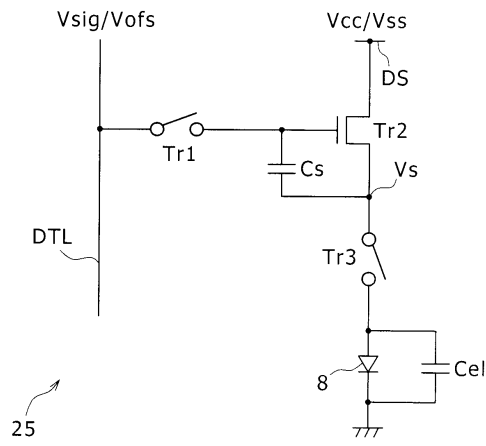
[0069] 한편 상기의 실시예에 있어서는, 화소회로를 2개의 트랜지스터로 구성하는 화상표시장치에 본 발명의 실시예를 적용하는 경우에 대해서 서술했다. 그러나 본 발명은 이에 한정하지 않고, 저장용량의 유기EL 소자측단의 전압을 전용 회로 구성에 의해 하강시킨 후 임계전압의 편차 보정처리를 시작하는 구성 등에도 널리 적용할 수 있다.

[0070] 또한 상기의 실시예에 있어서는, 구동 트랜지스터를 통한 저장용량의 단자간 전압의 방전을 복수 회의 기간에 실행할 경우에 대해서 서술했다. 그러나 본 발명은 이에 한정하지 않고, 방전의 처리를 1회의 기간에 실행할 경우에도 널리 적용할 수 있다.

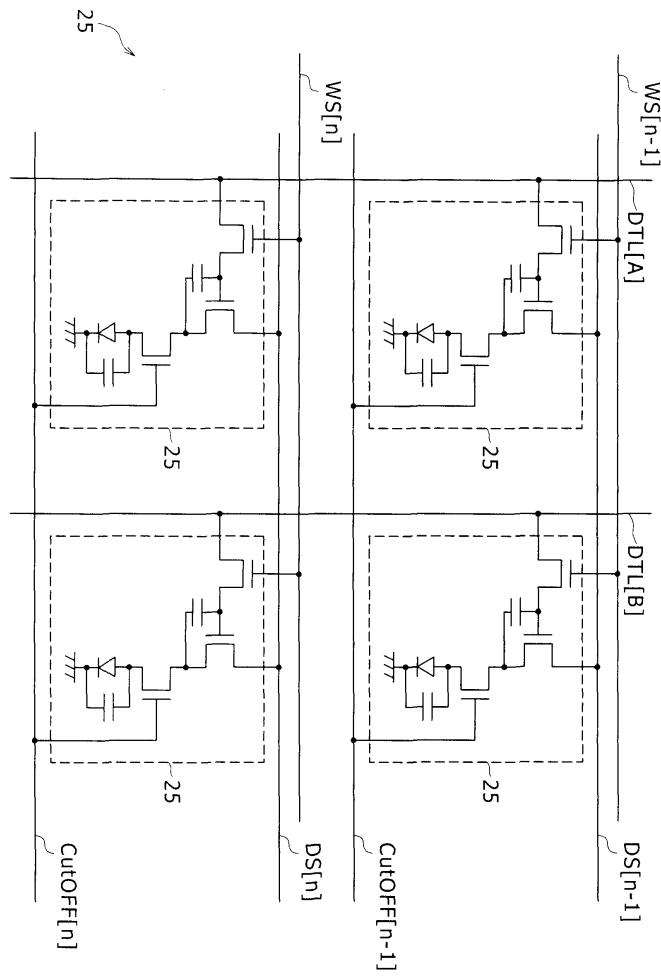
- [0071] 또한 상기의 실시예에 있어서는, N채널형 트랜지스터를 구동 트랜지스터에 적용할 경우에 대해서 서술했다. 그러나 본 발명은 이에 한정하지 않고, P채널형 트랜지스터를 구동 트랜지스터에 적용하는 화상표시장치 등에 널리 적용할 수 있다.
  - [0072] 또한 상기의 실시예에 있어서는, 본 발명의 실시예를 유기EL소자의 화상표시장치에 적용할 경우에 대해서 서술했다. 그러나 본 발명은 이에 한정하지 않고, 전류 구동형의 각종 자발광 소자에 의한 화상표시장치에 널리 적용할 수 있다.
  - [0073] 본 발명의 실시예는 화상표시장치에 관한 것으로서, 예를 들면 유기EL소자에 의한 액티브 매트릭스형 화상표시장치에 적용할 수 있다.
  - [0074] 본 출원은 2008년 6월 2일에 일본 특허청에 출원된 일본 우선권 특허 JP 2008-144061에 기재된 주제와 관련된 주제를 포함하며, 그 모든 내용은 여기에 참조에 의해 인용된다.
  - [0075] 첨부된 청구항이나 그와 동등한 범위 내에 있는 한, 설계 요구나 다른 요소에 따라 다양한 변형, 조합, 하위 조합, 변경을 할 수 있다는 것은 당업자에게 당연하게 이해된다.
- 도면의 간단한 설명**
- [0076] 도 1은 본 발명의 실시예 1의 화상표시장치를 나타내는 접속도다.
  - [0077] 도 2는 도 1의 화상표시장치의 화소회로를 간략화해서 나타내는 접속도다.
  - [0078] 도 3은 도 2의 화소회로에 의한 표시부의 구성을 나타내는 접속도다.
  - [0079] 도 4a, 4b, 4c, 4d, 4e, 4f, 4g, 4h는 도 1의 화소회로의 동작의 설명에 제공하는 타임 차트다.
  - [0080] 도 5는 도 4a 내지 4h의 타임 차트의 설명에 제공하는 접속도다.
  - [0081] 도 6은 도 5에 계속되는 설명에 제공하는 접속도다.
  - [0082] 도 7은 도 6에 계속되는 설명에 제공하는 접속도다.
  - [0083] 도 8은 도 7에 계속되는 설명에 제공하는 접속도다.
  - [0084] 도 9는 도 2의 화소회로의 배치를 나타내는 평면도다.
  - [0085] 도 10은 종래의 화상표시장치를 나타내는 블록도다.
  - [0086] 도 11은 도 10의 화상표시장치에 있어서의 화소회로를 나타내는 접속도다.
  - [0087] 도 12a, 12b, 12c, 12d, 12e는 도 11의 화소회로의 동작의 설명에 제공하는 타임 차트다.
  - [0088] 도 13은 도 12a 내지 12e의 타임 차트의 설명에 제공하는 접속도다.
  - [0089] 도 14는 도 13에 계속되는 설명에 제공하는 접속도다.
  - [0090] 도 15는 도 14에 계속되는 설명에 제공하는 접속도다.
  - [0091] 도 16은 도 15에 계속되는 설명에 제공하는 접속도다.
  - [0092] 도 17은 도 16에 계속되는 설명에 제공하는 접속도다.
  - [0093] 도 18은 도 17에 계속되는 설명에 제공하는 접속도다.
  - [0094] 도 19는 도 18에 계속되는 설명에 제공하는 접속도다.
  - [0095] 도 20은 도 19에 계속되는 설명에 제공하는 접속도다.
  - [0096] 도 21a, 21b, 21c, 21d, 21e, 21f는 임계전압의 편차 보정처리를 복수 회의 기간에 실행할 경우에 생각해 볼 수 있는 타임 차트다.



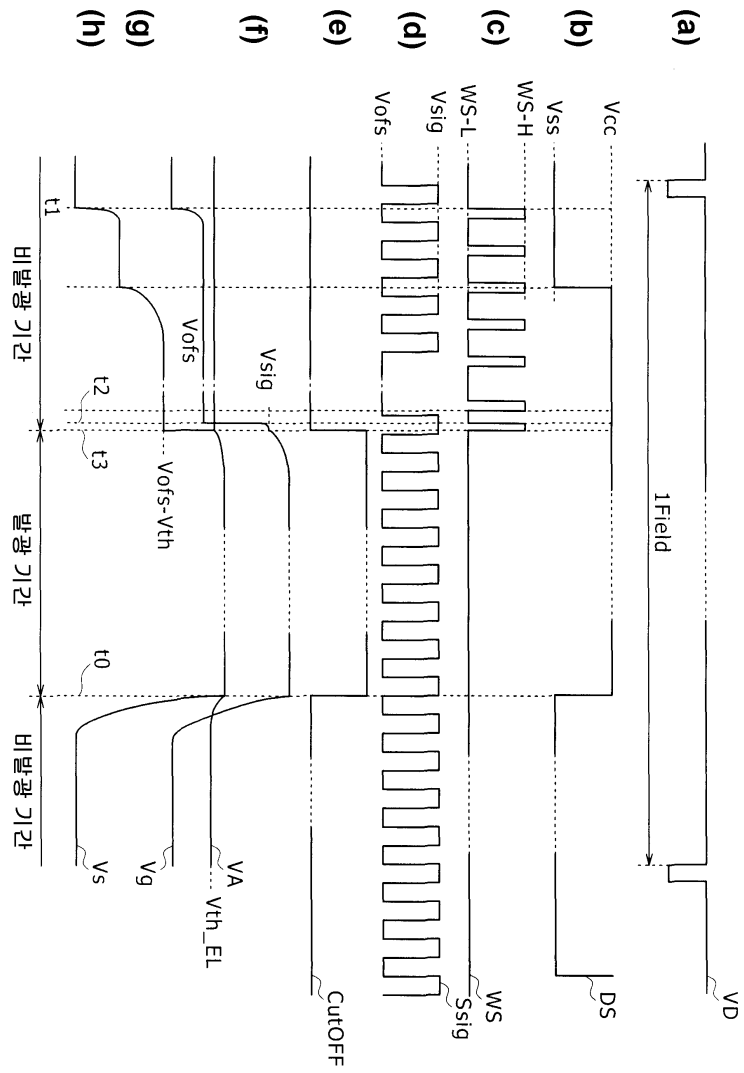
도면2



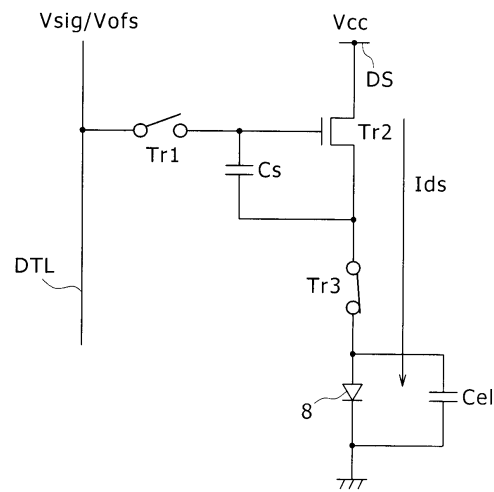
도면3



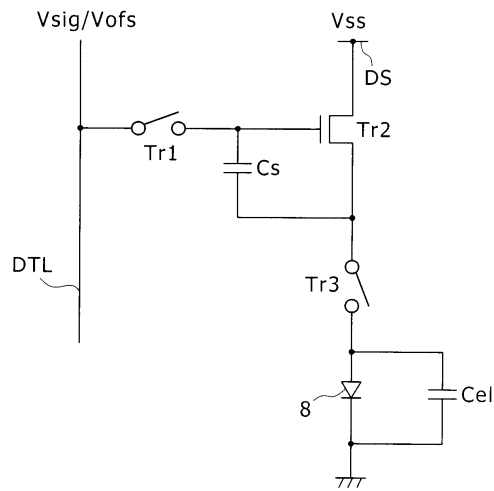
도면4



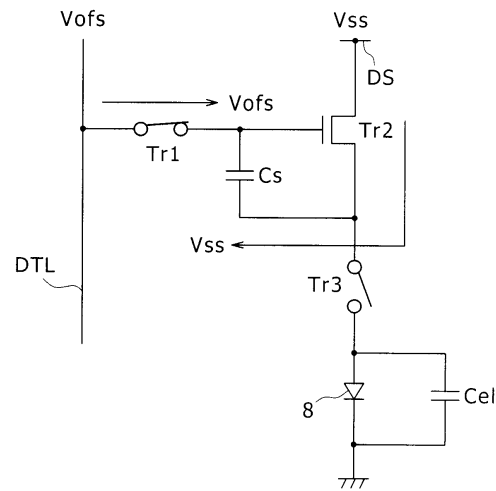
도면5



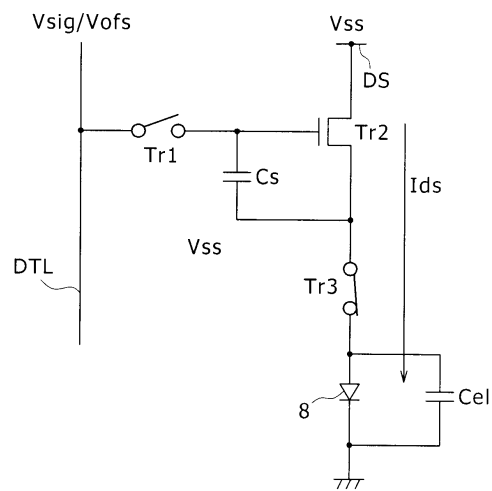
도면6



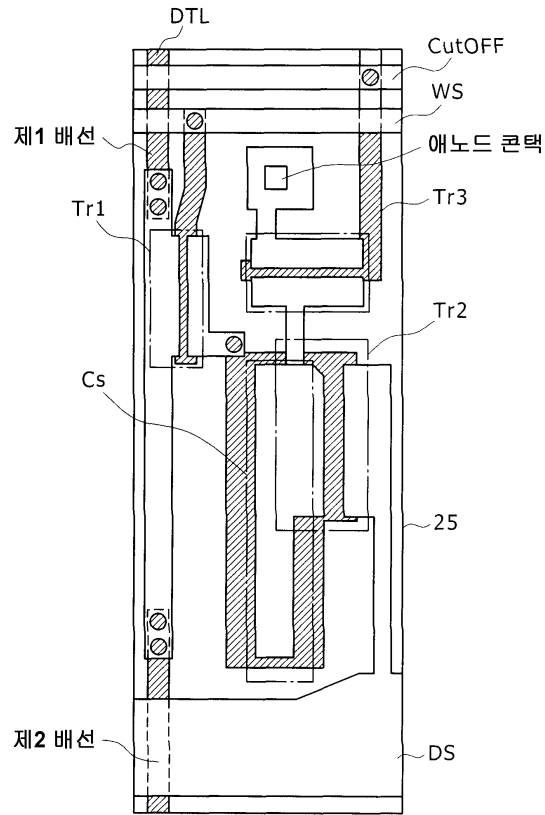
도면7



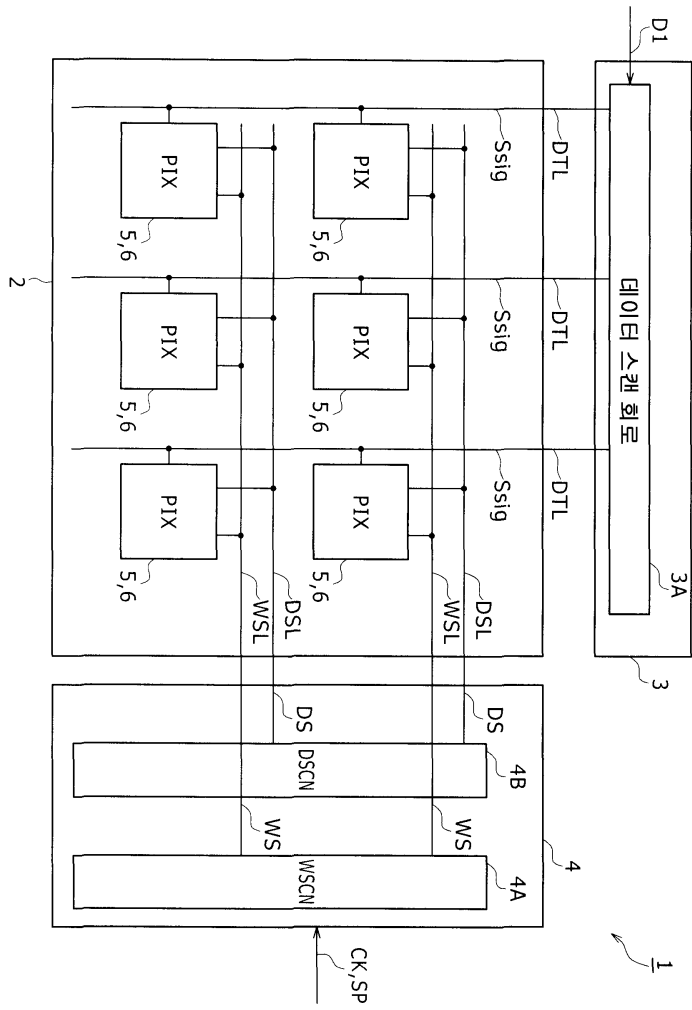
도면8



도면9

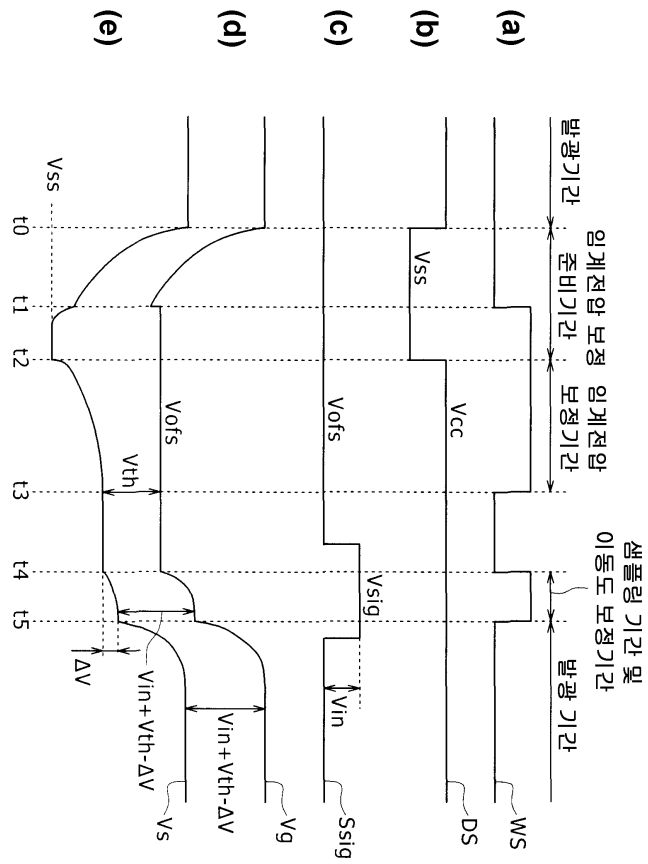


도면10

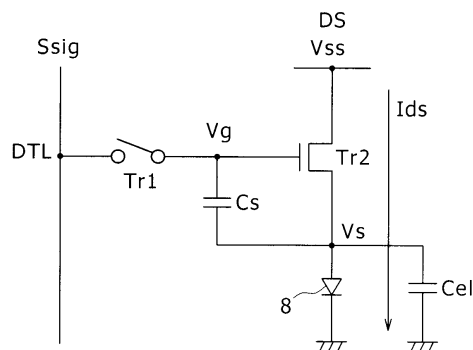




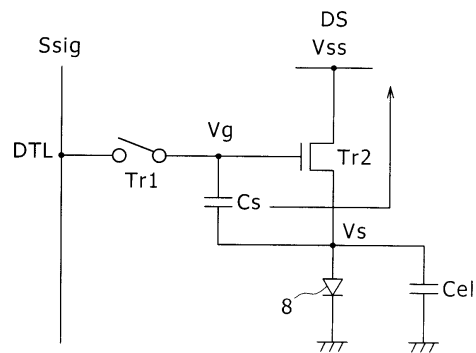
도면12



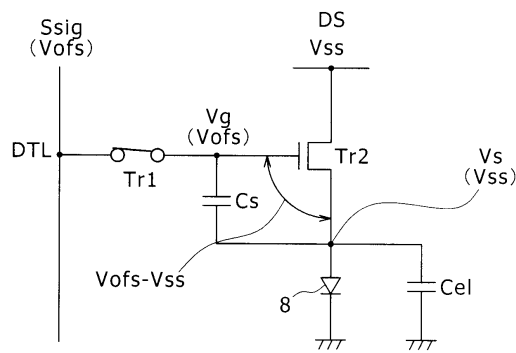
도면13



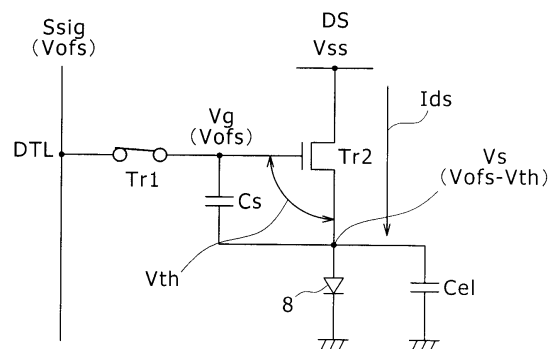
도면14



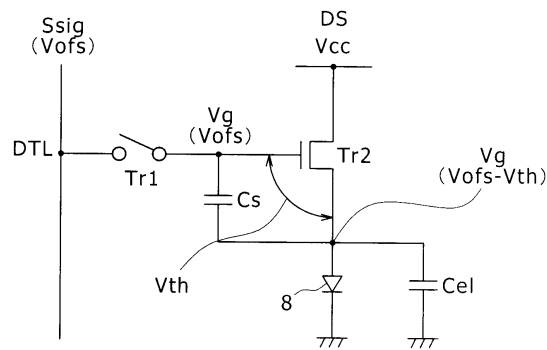
도면15



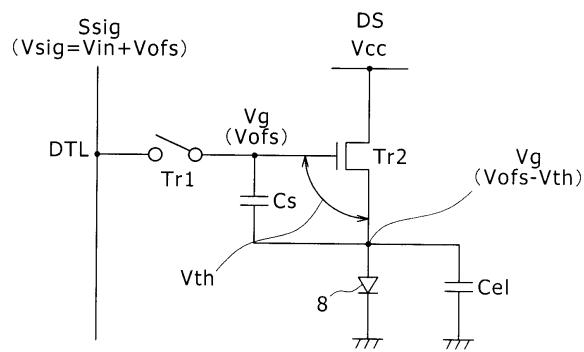
도면16



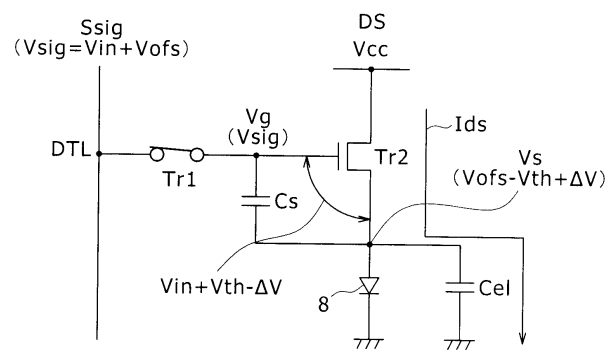
도면17



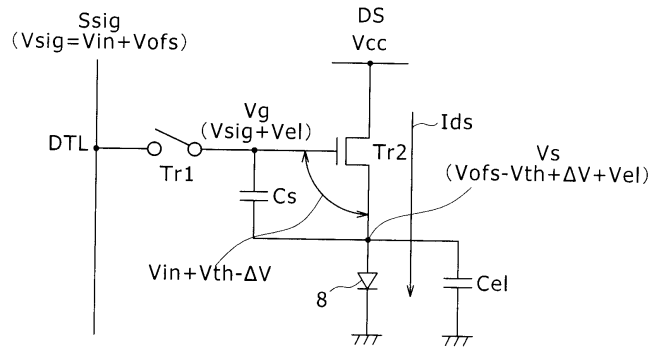
도면18



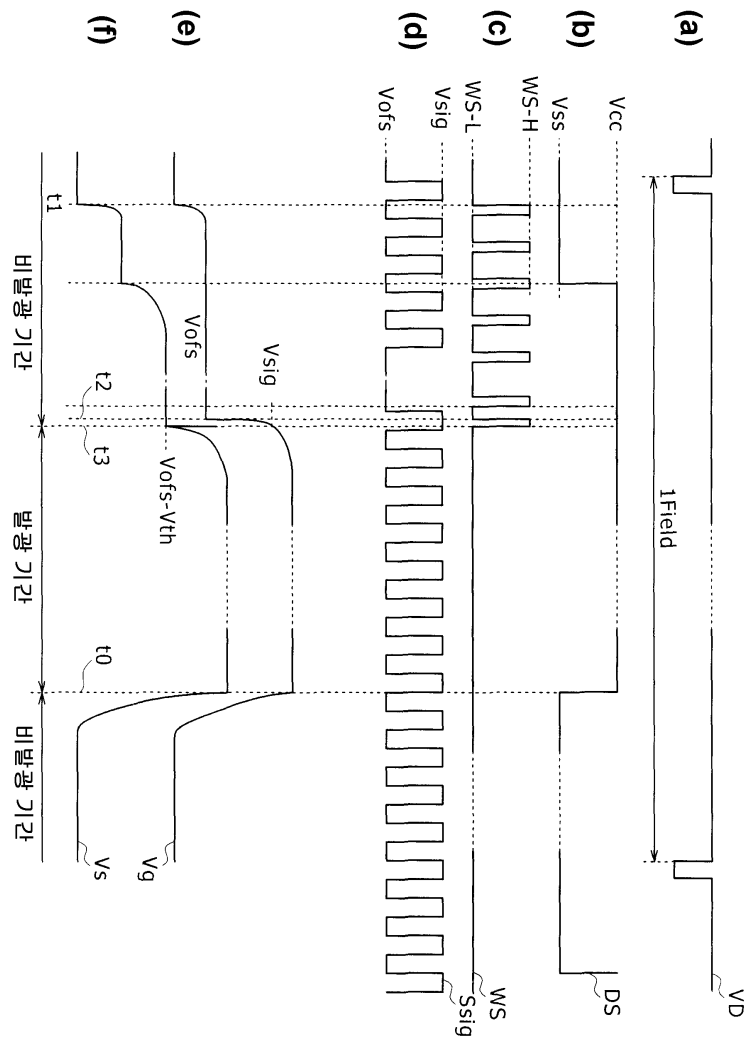
도면19



도면20



도면21



专利名称(译)	图像显示装置		
公开(公告)号	<a href="#">KR101559370B1</a>	公开(公告)日	2015-10-12
申请号	KR1020090046261	申请日	2009-05-27
申请(专利权)人(译)	周杰伦红株式会社来		
当前申请(专利权)人(译)	周杰伦红株式会社来		
[标]发明人	HANDA TOMOAKI 한다토모아키 SEO YUUKI 세오유우키 SAGAWA HIROSHI 사가와히로시 UCHINO KATSUHIDE 우치노카쓰히데		
发明人	한다토모아키 세오유우키 사가와히로시 우치노카쓰히데		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0256		
代理人(译)	LEE HWA我		
优先权	2008144061 2008-06-02 JP		
其他公开文献	KR1020090125703A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供一种图像显示装置，通过防止在反向偏压下损坏有机电致发光器件来改善电性能。组成：图像显示设备（21）包括在显示部分（22）处的像素电路（25）。每个像素电路具有发光器件，开关晶体管（Tr3），驱动晶体管（Tr2），存储电容器和记录晶体管（Tr1）。驱动晶体管通过开关晶体管驱动发光器件（8）。存储电容器保持开关晶体管的源极和漏极之间的电压。记录晶体管根据信号线的电压设置存储电容器的端电压。

