

특허청구의 범위

청구항 1

게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되고, 상기 게이트 전극과 동일층에 형성된 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기발광소자;

하부전극 및 상기 게이트 전극과 동일층에 형성된 상부전극을 포함하는 스토리지 커패시터; 및

상기 화소 전극 하부에 구비된 절연막에 의해 상기 화소 전극과 이격되고, 기판 전면에 형성되고, 상기 박막 트랜지스터와 연결되지 않는 금속층;을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 게이트 전극은, 상기 화소 전극과 동일 물질로 형성된 제1전극 및 상기 제1전극 상부에 형성된 제2전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 상부전극은, 상기 화소 전극과 동일 물질로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 화소 전극은 상기 소스 전극 및 드레인 전극 중 어느 하나와 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 금속층은 단층 또는 다층으로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 금속층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, LiF/Ca, LiF/Al, Al/Cu, Al/Nd, AlLiNa, ITO/Ag/ITO, ITO/Ag/IZO, ATD, 및 ITO/APC/ITO 중 선택된 적어도 어느 하나로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 하부전극은 상기 박막 트랜지스터의 활성층과 동일층에 동일 물질로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

기판 상에 금속층과 제1절연층을 순차 증착하는 단계;

상기 제1절연층 상부에 박막 트랜지스터의 활성층과 커패시터 하부전극을 형성하는 제1마스크 공정 단계;

상기 활성층과 상기 하부전극 상부에, 게이트 전극과, 화소 전극 및 커패시터 상부전극을 형성하기 위한 전극패

턴을 각각 형성하는 제2마스크 공정 단계;

상기 활성층의 양측과 상기 전극패턴의 일부를 노출하는 개구를 갖는 층간 절연막을 형성하는 제3마스크 공정 단계;

상기 활성층의 노출된 양측과 접촉하는 소스 및 드레인 전극과, 상기 화소 전극 및 상기 커패시터 상부전극을 각각 형성하는 제4마스크 공정 단계; 및

상기 화소 전극을 노출하는 화소 정의막을 형성하는 제5마스크 공정 단계;를 포함하며,

상기 금속층은 상기 박막 트랜지스터와 연결되지 않는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 9

제8항에 있어서, 상기 제2마스크 공정은,

상기 활성층 및 상기 하부전극 상부에 제2절연층, 제1도전층 및 제2도전층을 순차 증착하는 단계; 및

상기 제1도전층 및 상기 제2도전층을 패터닝하여, 상기 제1도전층을 제1전극으로 하고, 상기 제2도전층을 제2전극으로 하는 상기 게이트 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 10

제9항에 있어서,

상기 활성층을 도핑하여 소스 영역, 드레인 영역 및 이들 사이의 채널 영역을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 11

제8항에 있어서, 상기 제3마스크 공정은,

상기 게이트 전극 및 상기 전극패턴 상부에 제3절연층을 증착하는 단계; 및

상기 제3절연층을 패터닝하여 상기 활성층의 소스 및 드레인 영역의 일부와 상기 전극패턴의 일부를 노출하는 개구를 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 12

제8항에 있어서, 상기 제4마스크 공정은,

상기 층간 절연막 상부에 제3도전층을 증착하는 단계; 및

상기 제3도전층을 패터닝하여 상기 소스 및 드레인 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 13

제9항에 있어서, 상기 제4마스크 공정은,

상기 소스 및 드레인 전극을 형성하는 단계; 및

상기 전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 화소 전극 및 상기 커패시터 상부전극을 각각 형성하는 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 14

제8항에 있어서, 상기 제5마스크 공정은,

상기 기판 전면에서 제4절연층을 적층하는 단계; 및

상기 제4절연층을 패터닝하여 상기 화소 정의막을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시

시 장치 제조 방법.

청구항 15

제8항에 있어서,

상기 금속층은 단층 또는 다층으로 형성된 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 16

제8항에 있어서,

상기 금속층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, LiF/Ca, LiF/Al, Al/Cu, Al/Nd, AlLiNa, ITO/Ag/ITO, ITO/Ag/IZO, ATD, 및 ITO/APC/ITO 중 선택된 적어도 어느 하나로 형성된 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는, 제조 공정이 단순화된 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판 상에 제작된다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용한다. 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 마스크를 이용한 패턴링 공정 단계를 줄이고 표시 품질이 우수한 유기 발광 표시 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되고, 상기 게이트 전극과 동일층에 형성된 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기발광소자; 하부전극 및 상기 게이트 전극과 동일층에 형성된 상부전극을 포함하는 스토리지 커패시터; 및 상기 화소 전극 하부에 구비된 절연막에 의해 상기 화소 전극과 이격되고, 기판 전면에 형성된 금속층;을 포함할 수 있다.

[0008] 보다 바람직하게, 상기 게이트 전극은 상기 화소 전극과 동일 물질로 형성된 제1전극 및 상기 제1전극 상부에

형성된 제2전극을 포함할 수 있다.

- [0009] 보다 바람직하게, 상기 상부전극은 상기 화소 전극과 동일 물질로 형성할 수 있다.
- [0010] 보다 바람직하게, 상기 화소 전극은 상기 소스 전극 및 드레인 전극 중 어느 하나와 전기적으로 연결할 수 있다.
- [0011] 보다 바람직하게, 상기 금속층은 단층 또는 다층으로 형성될 수 있으며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, LiF/Ca, LiF/Al, Al/Cu, Al/Nd, AlLiNa, ITO/Ag/ITO, ITO/Ag/IZO, ATD, 및 ITO/APC/ITO 중 선택된 적어도 어느 하나로 형성할 수 있다.
- [0012] 보다 바람직하게, 상기 하부전극은 상기 박막 트랜지스터의 활성층과 동일층에 동일 물질로 형성할 수 있다.
- [0013] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 기판 상에 금속층과 제1절연층을 순차 증착하는 단계; 상기 제1절연층 상부에 박막 트랜지스터의 활성층과 커패시터 하부전극을 형성하는 제1마스크 공정 단계; 상기 활성층과 상기 하부전극 상부에, 게이트 전극과, 화소 전극 및 커패시터 상부전극을 형성하기 위한 전극패턴을 각각 형성하는 제2마스크 공정 단계; 상기 활성층의 양측과 상기 전극패턴의 일부를 노출하는 개구를 갖는 층간 절연막을 형성하는 제3마스크 공정 단계; 상기 활성층의 노출된 양측과 접촉하는 소스 및 드레인 전극과, 상기 화소 전극 및 상기 커패시터 상부전극을 각각 형성하는 제4마스크 공정 단계; 및 상기 화소 전극을 노출하는 화소 정의막을 형성하는 제5마스크 공정 단계;를 포함할 수 있다.
- [0014] 보다 바람직하게, 상기 제2마스크 공정은, 상기 활성층 및 상기 하부전극 상부에 제2절연층, 제1도전층 및 제2도전층을 순차 증착하는 단계; 및 상기 제1도전층 및 상기 제2도전층을 패터닝하여, 상기 제1도전층을 제1전극으로 하고, 상기 제2도전층을 제2전극으로 하는 상기 게이트 전극을 형성하는 단계;를 포함할 수 있다.
- [0015] 보다 바람직하게, 상기 제3마스크 공정은, 상기 게이트 전극 및 상기 전극패턴 상부에 제3절연층을 증착하는 단계; 및 상기 제3절연층을 패터닝하여 상기 활성층의 소스 및 드레인 영역의 일부와 상기 전극패턴의 일부를 노출하는 개구를 형성하는 단계;를 포함할 수 있다.
- [0016] 보다 바람직하게, 상기 제4마스크 공정은, 상기 층간 절연막 상부에 제3도전층을 증착하는 단계; 상기 제3도전층을 패터닝하여 상기 소스 및 드레인 전극을 형성하는 단계; 및 상기 전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 화소 전극 및 상기 커패시터 상부전극을 각각 형성하는 단계;를 포함할 수 있다.
- [0017] 보다 바람직하게, 상기 제5마스크 공정은, 상기 기판 전면에 제4절연층을 적층하는 단계; 및 상기 제4절연층을 패터닝하여 상기 화소 정의막을 형성하는 단계;를 포함할 수 있다.

발명의 효과

- [0018] 본 발명은 마스크 개수 증가 없이 화소 전극 하부에 화소 전극과 격리된 금속층을 형성하여 화소 전극의 반사막으로 기능하게 함으로써, 화소 전극의 단순화 및 게이트 식각 특성 확보가 가능하다.
- [0019] 따라서 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있고, 화소 전극과 반사막 결합시 갖는 수율 감소를 개선할 수 있게 된다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.
 도 2 내지 도 11은 본 발명의 일 실시예에 따른 배면 발광형 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하 본 발명의 바람직한 실시예가 첨부된 도면들을 참조하여 설명될 것이다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0022] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에"

있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0023] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.
- [0024] 도 1을 참조하면, 본 발명의 유기 발광 표시 장치는, 발광영역(101), 채널영역(102), 및 저장영역(103)을 정의한다.
- [0025] 채널영역(102)에는 구동소자로서 박막 트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(21), 게이트 전극(20) 및 소스/드레인 전극(27/29)으로 구성된다. 상기 게이트 전극(20)은 게이트 하부전극(23)과 게이트 상부전극(25)으로 구성되고, 상기 게이트 하부전극(23)은 투명한 전도성 물질로 형성된다. 상기 게이트 전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트 절연막(15)이 개재되어 있다. 또한, 상기 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 주입된 소스/드레인 영역(21a/21b)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(27/29)에 각각 연결되어 있다.
- [0026] 발광영역(101)에는 유기 발광 소자(EL)가 구비된다. 유기발광소자(EL)는 상기 박막 트랜지스터(TFT)의 소스/드레인 전극(27/29) 중 하나와 접속된 화소 전극(31), 대향 전극(35) 및 그 사이에 개재된 중간층(33)으로 구성된다. 상기 화소 전극(31)은 투명한 전도성 물질로 형성되며, 상기 박막 트랜지스터(TFT)의 게이트 전극(20)과 동시에 형성된다.
- [0027] 저장영역(103)에는 스토리지 커패시터(Cst)가 구비된다. 스토리지 커패시터(Cst)는 하부전극(41) 및 상부전극(43)으로 이루어지며, 이들 사이에 게이트 절연막(15)이 개재된다. 상기 커패시터 하부전극(41)은 상기 박막 트랜지스터(TFT)의 게이트 전극(20) 및 유기발광소자(EL)의 화소 전극(31)과 동시에 형성된다.
- [0028] 발광영역(101), 채널영역(102), 및 저장영역(103)을 포함하는 기판(10) 전체에 걸쳐 기판(10) 상부에 금속층(11)을 구비한다. 상기 금속층(11)은 유기발광소자(EL)의 공진 형성을 위한 반사막의 역할을 하며, 단일 또는 다층 구조로 형성될 수 있다. 금속층(11)은 화소 전극(31)과의 사이에, 절연막(13, 15)을 구비함으로써, 화소 전극(31)과 소정 거리 이격되며 패터닝없이 기판(10) 전면에 구비된다.
- [0029] 본 발명의 배면 발광 표시 장치는 금속층(11)을 별도의 패터닝 과정 없이 기판 전면에 형성하기 때문에, 5회의 마스크 공정으로 형성이 가능하다. 또한 본 발명은 금속층(11)을 화소 전극(31)과 격리 위치시킨다. 따라서 화소 전극(31) 하부에 반사막이 형성됨으로써 광추출 효율이 향상된다. 또한 화소 전극과 동시에 게이트 전극을 형성할 때, 화소 전극과 반사막 결합을 위해 게이트 전극을 3층 이상의 다중막 구조로 형성할 필요가 없기 때문에 게이트 전극의 식각 특성을 확보할 수 있다.
- [0030] 도 2 내지 도 11은 본 발명의 바람직한 일 실시예에 따른 배면 발광형 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.
- [0031] 도 2를 참조하면, 기판(10) 상부에 금속층(11)을 형성한다.
- [0032] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다. 도면에 도시되지 않았으나, 상기 기판(10)과 금속층(11) 사이에 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층이 추가 구비될 수 있다.
- [0033] 금속층(11)은 기판(10) 상부에 단층 또는 다층 구조로 형성될 수 있다. 상기 금속층(11)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, LiF/Ca, LiF/Al, Al/Cu, Al/Nd, AlLiNa, ITO/Ag/ITO, ITO/Ag/IZO(Indium Zinc Oxide), ATD(ITO/Ag합금/ITO), ITO/APC(Ag-Pd-Cu합금)/ITO 중 선택된 적어도 어느 하나로 형성될 수 있다. 상기 금속층(11)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0034] 도 3을 참조하면, 상기 금속층(11) 상부에 박막 트랜지스터(TFT)의 활성층(21)과 스토리지 커패시터(Cst)의 하부전극(41)을 형성한다.
- [0035] 상기 금속층(11) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층 및/또는 버퍼층과 같은 제1절연층(13)이 구비될 수 있다. 상기 제1절연층(13)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0036] 상기 제1절연층(13) 상부에 비정질 실리콘을 먼저 증착한 후 이를 결정화함으로써 다결정 실리콘층(미도시)을

형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

- [0037] 이와 같이 다결정 실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막 트랜지스터(TFT)의 활성층(21) 및 커패시터(Cst)의 하부전극(41)으로 패터닝된다.
- [0038] 본 실시예에서는, 활성층(21)과 커패시터 하부전극(41)이 분리 형성되었으나, 활성층(21)과 커패시터 하부전극(41)을 일체로 형성할 수도 있다.
- [0039] 도 4를 참조하면, 활성층(21)과 커패시터 하부전극(41)이 형성된 기판(10)의 전면에 제2절연층(15), 제1도전층(17) 및 제2도전층(19)을 순차로 증착한다.
- [0040] 제2절연층(15)은 SiNx 또는 SiOx 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 상기 제2절연층(15)은, 박막 트랜지스터(TFT)의 활성층(21)과 게이트 전극(20) 사이에 개재되어 박막 트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터 상부전극(43)과 하부전극(41) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0041] 제1도전층(17)은 ITO, IZO, ZnO, 또는 In2O3와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(17)은 화소 전극(31), 게이트 제1전극(23) 및 커패시터 상부전극(43)으로 패터닝된다.
- [0042] 제2도전층(19)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제2도전층(19)은 게이트 제2전극(25)으로 패터닝된다.
- [0043] 도 5를 참조하면, 기판(10) 상에 게이트 전극(20)과 전극패턴(30, 40)을 각각 형성한다.
- [0044] 기판(10) 전면에 차례로 적층된, 상기 제1도전층(17) 및 상기 제2도전층(19)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0045] 채널영역(102)에는 활성층(21) 상부에 게이트 전극(20)이 형성되고, 상기 게이트 전극(20)은 제1도전층(17)의 일부로 형성된 제1전극(23)과 제2도전층(19)의 일부로 형성된 제2전극(25)을 포함한다.
- [0046] 발광영역(101)에는 추후 화소 전극을 형성하기 위한 전극패턴(30)이 형성되고, 저장영역(103)에는 추후 커패시터 상부전극(43)을 형성하기 위한 전극패턴(40)이 커패시터 하부전극(41) 상부에 형성된다.
- [0047] 게이트 전극(20)은 활성층(21)의 중앙에 대응하며, 게이트 전극(20)을 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인 영역(21a/21b)과 이들 사이의 채널 영역을 형성한다.
- [0048] 도 6을 참조하면, 게이트 전극(20)이 형성된 기판(10)의 전면에 제3절연층(50)을 증착한다.
- [0049] 상기 제3절연층(50)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제3절연층(50)은 충분한 두께로 형성되어, 예컨대 전술한 제2절연층(15)보다 두껍게 형성되어, 박막 트랜지스터의 게이트 전극(20)과 소스/드레인 전극(27/29) 사이의 층간 절연막 역할을 수행한다. 한편, 제3절연층(50)은 상기와 같은 유기 절연 물질 뿐만 아니라, 전술한 제2절연층(15)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0050] 도 7을 참조하면, 상기 전극패턴(30, 40)과 소스/드레인 영역(21a/21b)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5)을 갖는 층간 절연막(51)을 형성한다.
- [0051] 상기 제3절연층(50)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 상기 개구들(H1, H2, H3, H4, H5)을 형성한다.
- [0052] 상기 개구(H1, H2)는 상기 소스/드레인 영역(21a/21b)의 일부를 노출시키고, 상기 개구(H3, H4)는 전극패턴(30)의 상부를 구성하는 제2도전층(19)의 일부를 노출시키고, 상기 개구(H5)는 전극패턴(40)의 상부를 구성하는 제2도전층(19)의 일부를 노출시킨다.
- [0053] 도 8을 참조하면, 상기 층간 절연막(51)을 커버하며 기판(10) 전면에 제3도전층(53)을 증착한다.
- [0054] 상기 제3도전층(53)은 전술한 제1 또는 제2도전층(17, 19)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에

한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5)을 충전할 수 있을 정도로 충분한 두께로 증착된다.

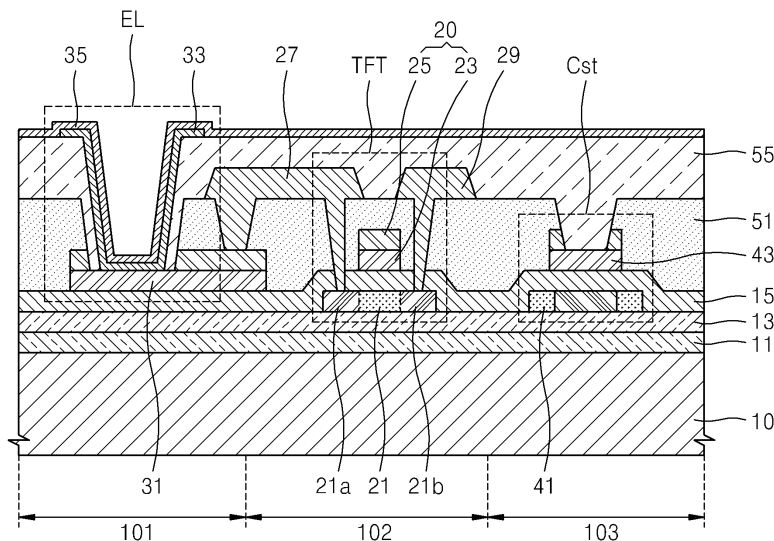
- [0055] 도 9를 참조하면, 소스/드레인 전극(27/29), 화소 전극(31) 및 커패시터 상부전극(43)을 각각 형성한다.
- [0056] 상기 제3도전층(53)을 제4마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인 전극(27/29)을 형성한다.
- [0057] 상기 소스/드레인 전극(27/29) 중 하나의 전극(본 실시예의 경우 전극(27))은 화소 전극(31)이 형성될 전극패턴(30)의 상부 제2도전층(19)의 가장자리 영역의 개구(H3)를 통하여 화소 전극(31)과 접속하도록 형성된다.
- [0058] 상기 소스/드레인 전극(27/29)이 형성된 후, 추가 식각에 의해 화소 전극(31) 및 커패시터 상부전극(43)을 각각 형성한다.
- [0059] 상기 전극패턴(30)은 개구(H4)에 의해 노출된 상부 제2도전층(19)을 제거하여 화소 전극(31)을 형성한다.
- [0060] 상기 전극패턴(40)은 개구(H5)에 의해 노출된 상부 제2도전층(19)을 제거하여 커패시터 상부전극(43)을 형성한다.
- [0061] 따라서 화소 전극(31), 게이트 제1전극(23), 커패시터 상부전극(43)은 동일층에서 동일 물질로 형성된다.
- [0062] 도 10을 참조하면, 상기 개구(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(41)을 도핑한다. 상기 도핑시 주입되는 불순물은 상기 활성층(21)의 도핑시 사용된 것과 동일 또는 상이할 수 있다.
- [0063] 도 11을 참조하면, 기판(10) 상에 화소정의막(pixel define layer: PDL)(55)을 형성한다.
- [0064] 상기 화소 전극(31), 소스/드레인 전극(27, 29), 커패시터 상부전극(43)이 형성된 기판(10) 전면에 제4절연층(미도시)을 증착한다.
- [0065] 상기 제4절연층은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스펀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제4절연층은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제4절연층은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0066] 상기 제4절연층은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소 전극(31)의 중앙부가 노출되도록 개구(H6)를 형성함으로써, 픽셀을 정의하는 화소정의막(55)을 형성한다.
- [0067] 이후, 도 1에 도시된 바와 같이, 상기 화소 전극(31)을 노출하는 개구(H6)에 유기 발광층을 포함하는 중간층(33) 및 대향 전극(35)을 형성한다.
- [0068] 상기 중간층(33)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0069] 상기 중간층(33)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0070] 저분자 유기물로 형성되는 경우, 중간층(33)은 유기 발광층을 중심으로 화소 전극(31)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(35) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다.
- [0071] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(33)은 유기 발광층을 중심으로 화소 전극(31) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스펀 코팅의 방법에 의해 화소 전극(31) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린

팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

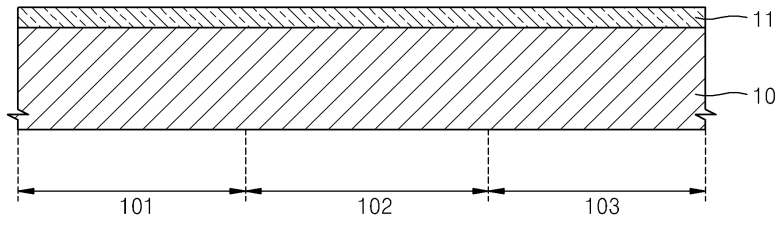
- [0072] 상기 대향 전극(35)은 기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(31)은 애노드 전극으로 사용되고, 대향 전극(35)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0073] 유기 발광 표시 장치가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(31)은 투명전극이 되고 대향 전극(35)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0074] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(35) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.
- [0075] 전술된 유기 발광 표시 장치를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0076] 본 발명의 실시예에 따른 배면 발광 표시 장치에 의하면, 마스크 수 증감없이 금속층을 기관의 최하부에 화소 전극과 격리시켜 형성함으로써, 화소 전극의 발광 효율을 증가시키고 게이트 전극의 식각 특성이 확보되어, 표시 장치의 표시 품질을 향상시키고 공정 단순화 및 불량 개선이 가능해 진다.
- [0077] 한편, 전술한 실시예에서는 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.
- [0078] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0079] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

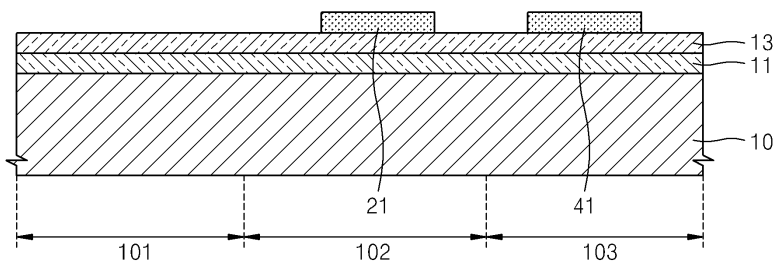
도면1



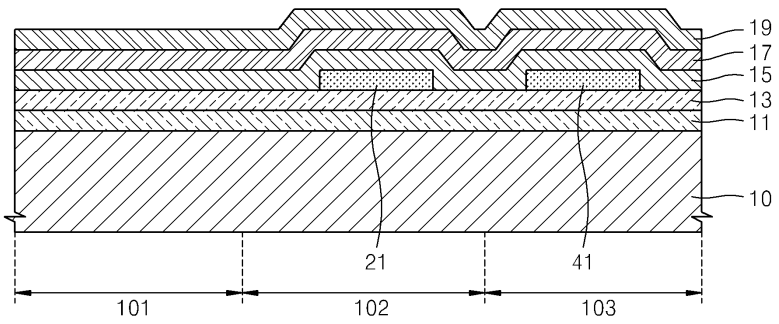
도면2



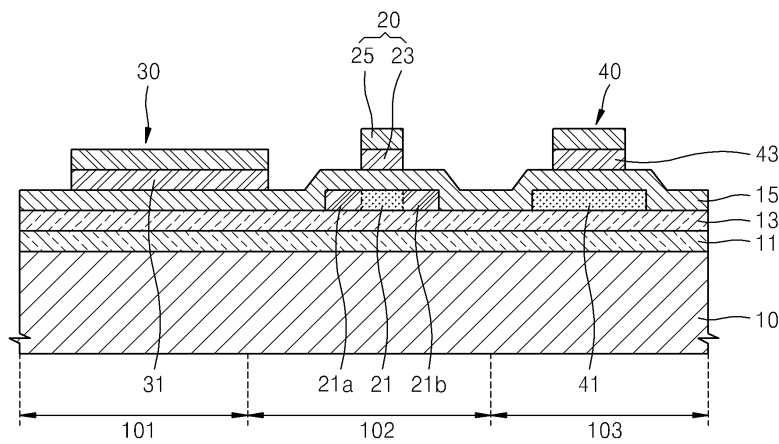
도면3



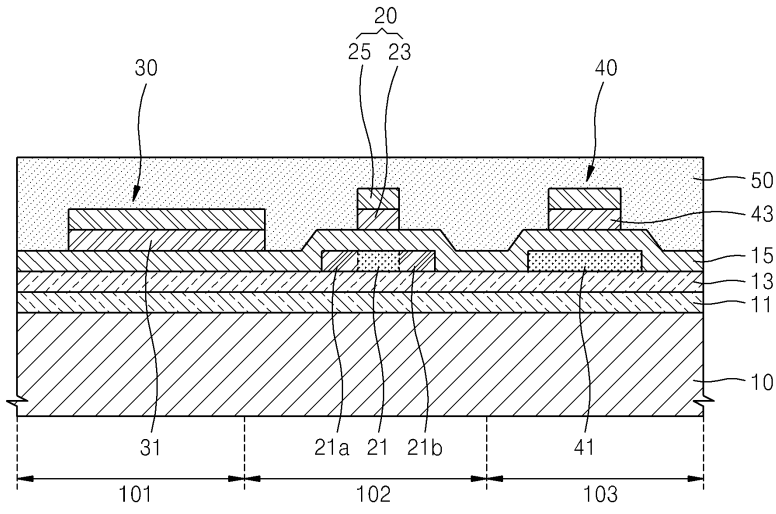
도면4



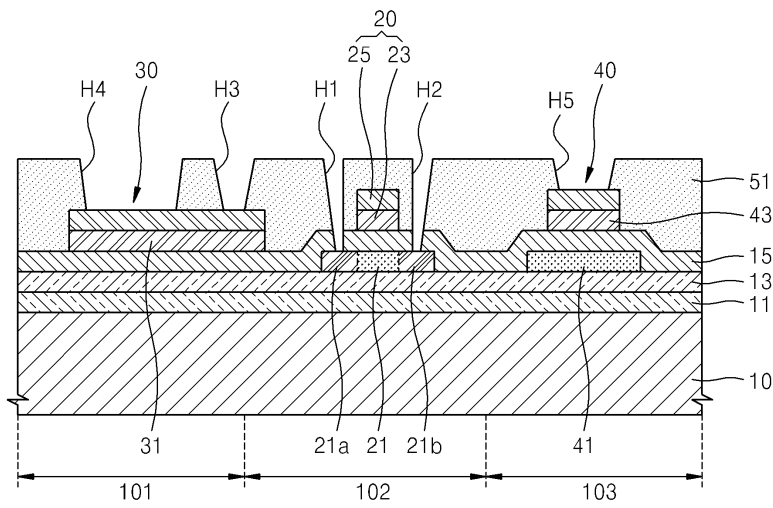
도면5



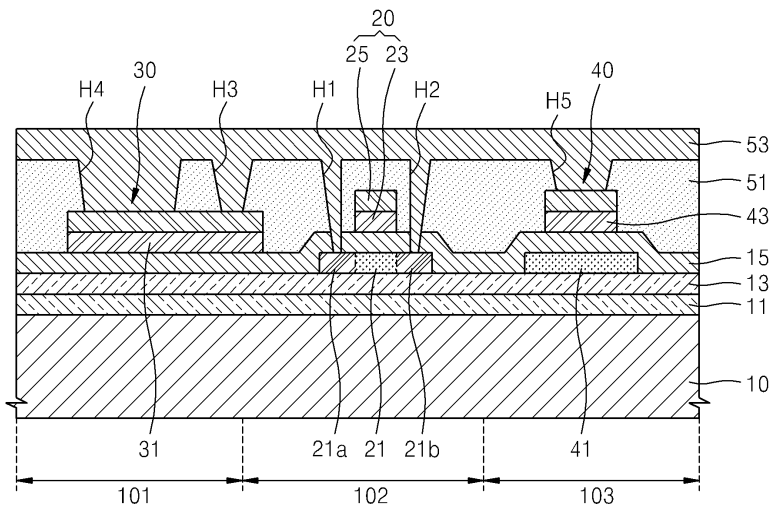
도면6



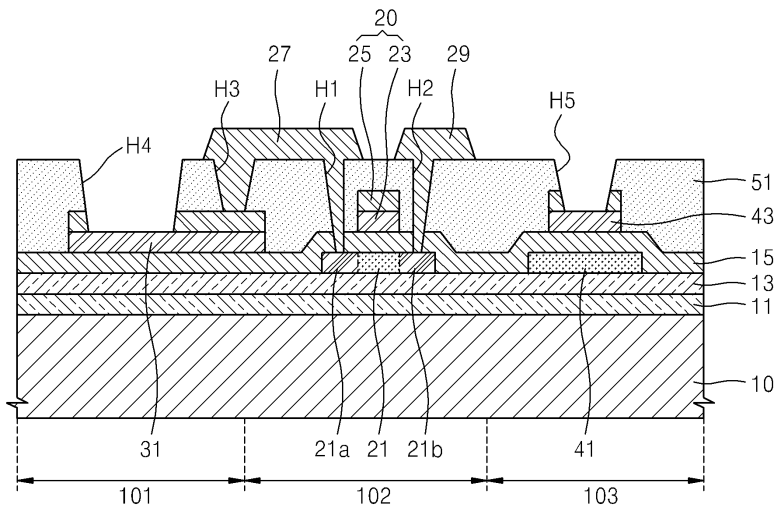
도면7



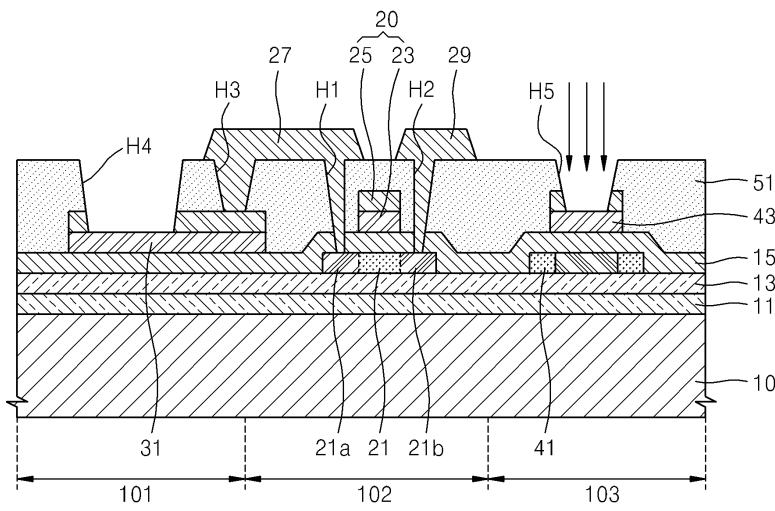
도면8



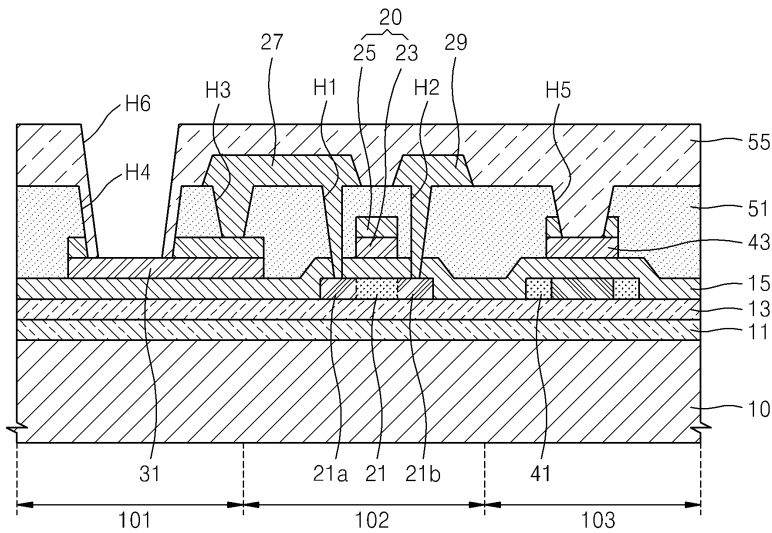
도면9



도면10



도면11



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR101193197B1	公开(公告)日	2012-10-19
申请号	KR1020100065459	申请日	2010-07-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOU CHUN GI 유춘기 CHOI JOON HOO 최준후		
发明人	유춘기 최준후		
IPC分类号	H01L51/52		
CPC分类号	H01L27/1214 H01L27/3248 H01L51/5265 H01L27/326 H01L27/13 H01L2227/323 H01L27/3246 H01L27/12 H01L51/5271 H01L27/124 H01L27/1255 H01L29/41733 H01L29/4908 H01L29/66757 H01L51/5296		
其他公开文献	KR1020120004785A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置和制造有机发光显示装置的方法。在不增加掩模数量的情况下形成与像素电极分离的金属层，从而简化了像素电极并获得了栅电极的蚀刻特性。

