

특허청구의 범위

청구항 1.

반도체 박막과, 상기 반도체 박막에 절연되도록 대향된 게이트 전극과, 상기 반도체 박막에 접속된 소스 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터에 전기적으로 연결된 화소전극과, 상기 화소전극과 대향된 대향전극과, 상기 화소전극과 대향전극의 사이에 개재된 유기 발광막을 갖는 유기 전계 발광 소자; 및

상기 게이트 전극과 동일한 층에 형성되는 제1 전극, 상기 소스 및 드레인 전극과 동일한 층에 형성되는 제2 전극, 상기 화소 전극과 동일한 층에 상기 화소 전극과 동일한 물질로 형성되는 제3 전극, 상기 반도체 박막과 동일한 층에 형성되는 제4 전극을 구비하는 적층된 형태의 커패시터를 포함하고,

상기 커패시터는 상기 제1 전극과 상기 제3 전극이 콘택홀로 연결되고, 상기 제2 전극과 상기 제4 전극이 콘택홀로 연결되는 유기 전계 발광 표시장치.

청구항 2.

제 1항에 있어서,

상기 커패시터의 제4 전극은 상기 박막 트랜지스터의 반도체 박막과 동일한 물질로 구비된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 3.

제 2항에 있어서,

상기 반도체 박막은 폴리 실리콘으로 구비된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 4.

제 1항에 있어서,

상기 커패시터의 제1 전극은 상기 박막 트랜지스터의 게이트 전극과 동일한 물질로 구비된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 5.

제 1항에 있어서,

상기 커패시터의 제2 전극은 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 형성된 것을 특징으로 하는 유기 전계 발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시장치에 관한 것으로서, 더 상세하게는 용량이 향상된 커패시터를 구비한 유기 전계 발광 표시장치에 관한 것이다.

집적회로나 평판 표시장치 등에 사용되는 소자에는 저항이나 커패시터와 같은 수동 소자가 있고, 박막 트랜지스터(Thin Film Transistor, TFT)나 다이오드, MOSFET 등의 능동소자가 있다.

이 중 커패시터는 집적회로장치의 집적도가 높아지고, 고속화되면서 고용량에 대한 요구가 점차 높아지고 있다. 또한, 액정 디스플레이 소자나 유기전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에서는 표시 화면의 품질을 높이기 위해 데이터 라인을 통하여 인가된 신호를 다음 프레임까지 일정기간 저장시켜 두기 위해 각 화소마다 스토리지형 커패시터가 적어도 하나 이상 설치되고 있으며, 각 화소에 설치되는 박막 트랜지스터의 개수가 많아지면서 점차 고용량화에 대한 요구가 높아지고 있다.

도 1은 종래의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도시한 평면도이다.

먼저 화소를 정의하는 데이터 라인(101), 스캔 라인(103), 전원 라인(105)이 있다. 스캔 라인(103)은 스위칭 박막 트랜지스터(Ts)의 게이트 전극(107)과 연결되고, 데이터 라인(101)은 스위칭 박막 트랜지스터(Ts)의 소스 전극(104)과 연결되며, 상기 소스 전극(104)은 제 1콘택홀(109)을 통해 스위칭 박막 트랜지스터(Ts)의 활성층의 소스영역(미도시)과 연결되며 상기 드레인 전극(106)은 제 2콘택홀(102)을 통해 스위칭 박막 트랜지스터(Ts)의 활성층의 드레인영역(미도시)과 연결된다. 또한 스위칭 박막 트랜지스터(Ts)의 드레인 전극(106)은 제 3콘택홀(111)을 통해 커패시터(Cst)의 제 1전극(108)과 연결된다. 전원라인(105)은 구동 박막 트랜지스터(Td)의 소스 전극(112) 및 커패시터(Cst)의 제 2전극(113)과 연결된다. 상기 제 2전극(113)은 상기 제 1전극(108)의 상부에 중첩하여 위치하며, 양 전극 사이에 절연막(미도시)이 개재되어 커패시터(Cst)를 형성한다. 구동 박막 트랜지스터(Td)의 소스 전극(112)은 제 4 콘택홀(115)을 통해 구동 박막 트랜지스터(Td)의 활성층의 소스영역(미도시)과 연결되며, 구동 박막 트랜지스터(Td)의 드레인 전극(116)은 제 5콘택홀(118)을 통해 구동 박막 트랜지스터(Td)의 활성층의 드레인영역(미도시)과 연결된다. 또한 상기 드레인 전극(116)은 제 6콘택홀(119)을 통해 화소전극(117)과 연결된다.

도 2는 종래의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도 1의 I-I'를 따라 취하여 도시한 단면도이다.

기관(201)위에 버퍼층(203)이 형성되고, 버퍼층(203)위에 스위칭 박막 트랜지스터(Ts)와 구동 박막 트랜지스터(Td) 및 커패시터(Cst)가 형성된다. 먼저 박막 트랜지스터(Ts, Td)에 대해 설명하면, 상기 버퍼층(203) 위에 활성층(220, 230)이 형성되고, 활성층(220, 230) 상부에 게이트 절연막(205)이 형성된다. 다음에 게이트 절연막(350) 상부에 게이트 전극(107, 114)이 형성되고, 게이트 전극(107, 114) 상부에 층간 절연막(207)이 형성된다. 다음에 층간 절연막(207) 상부에 소스 전극(112, 112) 및 드레인 전극(106, 116)이 형성된다. 한편 커패시터(Cst)는 박막 트랜지스터들(Ts, Td) 사이에 형성된다. 도면에서와 같이 게이트 절연막(205)상부에 제 1전극(108)이 형성되고, 제 1전극(108) 상부에 층간 절연막(207)이 형성되며, 층간 절연막(207) 상부에 제 2전극(113)이 형성된다. 층간 절연막(207)은 유전체로 기능을 한다. 제 1전극(108)과 제 2전극(113) 및 그 사이에 개재된 층간 절연막(207)에 의해 커패시터(Cst)가 형성된다. 제 1전극(108)은 게이트 전극과 동일한 물질로, 제 2전극(113)은 소스 및 드레인 전극과 동일한 물질로 구성될 수 있다.

상기 종래기술에 의하면 커패시터의 용량을 증대시키기 위해서는 전극의 면적을 넓게 하여야 하나 이는 유기 전계 발광장치의 화소영역의 면적이 줄어들어 개구율이 낮아지는 문제점이 있다.

한편 한국 공개번호 2000-0034034호에 기재된 액정 표시장치는 화소전극과 게이트 전극만을 이용한 커패시터를 구비하고 있다.

화소전극과 동일한 물질을 이용하여 커패시터를 구성하고 있지만 다른 전극들을 이용하지 않는다는 점에서 비효율적일 수 있다. 따라서 커패시터의 용량을 증대시키는 데에 일정 한계가 있다.

따라서 커패시터의 고용량화와 개구율 향상의 관점에서 볼 때 상기 종래기술들은 부족한 점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 화소 전극을 사용하여 커패시터 용량을 증대시키고, 이에 따라 커패시터 사이즈를 줄여 개구율을 증대시킬 수 있는 커패시터를 구비한 평판 표시장치를 제공하는 것을 목적으로 한다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은 반도체 박막과, 상기 반도체 박막에 절연되도록 대향된 게이트 전극과, 상기 반도체 박막에 접촉된 소스 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터에 전기적으로 연결된 화소전극과, 상기 화소전극과 대향된 대향전극과, 상기 화소전극과 대향전극의 사이에 개재된 유기 발광막을 갖는 유기 전계 발광 소자; 및 상기 서로 절연되도록 대향된 적어도 두개의 전극들을 구비하되, 상기 전극들 중 하나가 상기 화소전극과 동일한 층에 상기 화소전극과 동일한 물질로 구비된 커패시터;를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 커패시터의 전극들 중 어느 하나는 상기 박막 트랜지스터의 반도체 박막과 동일한 물질로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 반도체 박막은 폴리 실리콘으로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 커패시터의 전극들 중 어느 하나는 상기 박막 트랜지스터의 게이트 전극과 동일한 물질로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 커패시터의 전극들 중 어느 하나는 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 형성될 수 있다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예에 대하여 보다 상세히 설명한다.

도 3은 본 발명의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도시한 평면도이다.

먼저 화소를 정의하는 데이터 라인(301), 스캔 라인(303), 전원 라인(305)이 있다. 스캔 라인(303)은 스위칭 박막 트랜지스터(Ts)의 게이트 전극(307)과 연결되고, 데이터 라인(301)은 스위칭 박막 트랜지스터(Ts)의 소스 전극(304)과 연결되며, 상기 소스 전극(304)은 제 1콘택홀(309)을 통해 스위칭 박막 트랜지스터(Ts)의 활성층의 소스영역(미도시)과 연결되며 상기 드레인 전극(306)은 제 2콘택홀(302)을 통해 스위칭 박막 트랜지스터(Ts)의 활성층의 드레인영역(미도시)과 연결된다. 또한 스위칭 박막 트랜지스터(Ts)의 드레인 전극(306)은 제 3콘택홀(311)을 통해 커패시터(Cst)의 제 1전극(308)과 연결된다. 전원라인(305)은 구동 박막 트랜지스터(Td)의 소스 전극(312) 및 커패시터(Cst)의 제 2전극(313)과 연결된다. 한편 제 1전극(308)은 제 7콘택홀(321)을 통해 제 3 전극(323)과 연결된다. 상기 제 1전극(308) 내지 제 3전극(323)의 관계를 보면 제 1전극(308) 상부에 제 2전극(313)이 중첩하여 위치하며, 제 2전극(313) 상부에 제 3전극(323)이 중첩하여 위치한다. 또한 도면 3에서 미도시 되었지만 제 2전극(313)과 콘택홀로 연결되고, 제 1전극 하부에 중첩하여 위치하는 제 4전극이 있을 수 있다. 제 1전극과 제 3전극이 연결되어 하나의 전극이 되며, 제 2전극과 제 4전극이 연결되어 또 다른 전극이 된다. 상기 전극들 사이에 절연막(미도시)이 개재되어 커패시터(Cst)를 형성한다. 제 1전극은 박막 트랜지스터의 게이트 전극과 동일한 물질로 이루어질 수 있으며, 제 2전극은 박막 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 이루어질 수 있다. 또한 제 3전극은 화소전극과 동일한 층에 화소전극과 동일한 물질로 이루어 질수 있으며, 제 4전극은 박막 트랜지스터의 반도체 박막과 동일한 물질로 이루어 질수 있다. 상기 반도체 박막은 폴리 실리콘으로 구비될 수 있다. 구동 박막 트랜지스터(Td)의 소스 전극(312)은 제 4콘택홀(315)을 통해 구동 박막 트랜지스터(Td)의 활성층의 소스영역(미도시)과 연결되며, 구동 박막 트랜지스터(Td)의 드레인 전극(316)은 제 5콘택홀(318)을 통해 구동 박막 트랜지스터(Td)의 활성층의 드레인영역(미도시)과 연결된다. 또한 상기 드레인 전극(316)은 제 6콘택홀(319)을 통해 화소전극(317)과 연결된다.

동작원리는 스캔 라인(303)을 통해 스위칭 박막 트랜지스터(Ts)의 게이트 전극(307)에 전압이 인가되면 스위칭 박막 트랜지스터(Ts)가 온(ON)된다. 데이터 라인(301)을 통해 데이터 신호가 스위칭 박막 트랜지스터(Ts)에 입력되면 스위칭 박막

트랜지스터(Ts)의 드레인 전극(306)을 거쳐 커패시터(Cst)에 데이터 신호가 저장된다. 이 데이터 신호는 구동 박막 트랜지스터(Td)의 게이트 전극(314)에 전달되며, 구동 박막 트랜지스터(Td)를 동작시킨다. 따라서 구동 박막 트랜지스터(Td)의 드레인 전극(316)을 거쳐 화소전극(317)에 신호가 인가되며, 이에 의해 유기 발광층(미도시)에서 빛을 발광하게 된다.

도 4는 본 발명의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도 3의 II-II'를 따라 취하여 도시한 단면도이다.

글래스(glass)재의 절연기판(401)에 버퍼층(403)이 형성되어 있고, 이 버퍼층(403) 상부에 박막 트랜지스터와 커패시터(Cst)가 형성된다. 박막 트랜지스터는 도 4에 도시한 대로 스위칭 박막 트랜지스터(Ts)와 구동 박막 트랜지스터(Td)가 형성된다. 먼저 상기 버퍼층(403)은 SiO₂로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 대략 3000Å 정도로 증착 가능하다. 상기 기판(401)은 플라스틱재로 형성될 수도 있는데, 이 경우에는 버퍼층이 생략 가능하다.

상기 스위칭 박막 트랜지스터(Ts)와 구동 박막 트랜지스터(Td)는 버퍼층 상에 형성된 활성층(420,430)과, 이 활성층(420,430)의 상부에 형성된 게이트 절연막(405)과 게이트 절연막(405) 상부에 게이트 전극(307,314)과 활성층에 접촉된 소스 전극(304,312) 및 드레인 전극(306,316)을 갖는다.

상기 활성층(420,430)은 무기반도체 또는 유기반도체로 형성될 수 있는데, 대략 100Å 정도로 형성된다. 활성층을 무기반도체 중 폴리 실리콘으로 형성할 경우에는 비정질 실리콘을 형성한 후 각종 결정화방법에 의해 다결정화할 수 있다. 이 활성층은 N형 또는 P형 불순물이 고농도로 도핑된 소스 및 드레인 영역을 가지면 그 사이로 채널 영역을 갖는다.

상기 활성층의 상부에는 실리콘 옥사이드(SiO₂) 등에 의해 게이트 절연막(405)이 구비되고, 상기 게이트 절연막(405) 상부의 소정 영역에는 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 게이트 전극(307,314)이 형성된다. 상기 게이트 전극(307,314)을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(307,314)으로 사용될 수 있다. 상기 게이트 전극(307,314)이 형성되는 영역은 활성층의 채널 영역에 대응된다.

상기 게이트 전극(307,314)의 상부로는 실리콘 옥사이드(SiO₂) 또는 실리콘 나이트라이드(SiN_x) 등으로 층간 절연막(407)이 형성된다. 이 층간 절연막(407)과 게이트 절연막(405)에 콘택홀이 천공되어진 상태에서 소스 전극(304,312) 및 드레인 전극(306,316)이 상기 층간 절연막(407)의 상부에 형성된다. 상기 소스 전극(304,312) 및 드레인 전극(306,316)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막이나 도전성 폴리머 등이 사용될 수 있다.

소스 전극(304,312) 및 드레인 전극(306,316) 상부로는 실리콘 나이트라이드(SiN_x) 등으로 이루어진 패시베이션막(409)이 형성된다. 상기 패시베이션막(409)의 상부에는 아크릴, 폴리 이미드 등에 의한 화소정의막(435)이 형성될 수 있다.

이상 설명한 바와 같은 박막 트랜지스터의 구조는 반드시 이에 한정되는 것은 아니고, 종래의 일반적인 박막 트랜지스터의 구조가 모두 그대로 채용될 수 있음은 물론이다.

커패시터(Cst)에 대해 설명하면, 커패시터(Cst)는 스위칭 박막 트랜지스터(Ts)와 구동 박막 트랜지스터(Td)의 사이에 형성된다. 기판 상부(401)위에 버퍼층(403)이 형성되며, 상기 버퍼층(403) 상부에 박막 트랜지스터의 폴리실리콘(420,430)과 동일한 물질로 제 4전극(440)이 형성된다. 다음에 박막 트랜지스터의 게이트 전극(307,314)의 절연을 위해 게이트 절연막(405)이 형성되고, 게이트 절연막(405) 상부에 박막 트랜지스터의 게이트 전극(307,314)과 동일한 물질로 제 1전극(308)이 형성된다. 다음에 게이트 전극(307,314) 상부에 층간 절연막(407)이 형성된다. 다음에 상기 제 4전극(440)과 연결을 위해 제 8콘택홀(425)이 형성된다. 상기 제 8콘택홀(425)이 형성된 부위에 박막 트랜지스터의 소스 전극(304,312) 및 드레인 전극(306,316)과 동일한 물질로 제 2전극(313)이 형성된다. 다음에 상기 제 2전극(313) 상부에 패시베이션막(409)이 형성된다. 제 2전극과(313)의 연결을 위해 패시베이션막(409)을 관통하는 제 7콘택홀(321)이 형성되며, 그 상부에 화소전극(317)과 동일한 물질로 제 3전극(323)이 형성된다. 즉 제 4전극(440) 상부에 제 1전극(308)이 중첩하여 위치하며, 제 1전극(308) 상부에 제 2전극(313)이 중첩하여 위치하며, 제 2전극(313) 상부에 제 3전극(323)이 중첩하여 위치한다. 또한 제 4전극(440)과 제 2전극(313)은 제 8콘택홀(425)을 통해 연결되어 커패시터(Cst)를 구성하는 하나의 전극이 되며, 제 1전극(308)과 제 3전극(323)은 제 7콘택홀(321)을 통해 연결되어 커패시터(Cst)를 구성하는 다른 하나의 전극이 된다. 각 전극 사이에 위치하는 게이트 절연막(405), 층간 절연막(407), 패시베이션막(409)은 커패시터(Cst)를 구성하는 유전체로서의 기능을 하게 된다.

유기 전계 발광 표시장치에 있어서, 구동 박막 트랜지스터(Td)의 드레인 전극(316)에는 유기 전계 발광 소자(OLED)가 연결되는데, 상기 유기 전계 발광 소자(OLED)의 화소 전극(317)에 연결될 수 있다. 상기 화소 전극(317)은 패시베이션막(409)의 상부에 형성될 수 있고, 그 상부로는 화소정의막(435)이 형성될 수 있으며, 상기 화소정의막(435)에 소정의 개구부를 형성한 후, 유기 전계 발광 소자(OLED)를 형성할 수 있다.

상기 유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 구동 박막 트랜지스터(Td)의 드레인 전극(316)에 연결되어 이로부터 플러스 전원을 공급받는 화소 전극(317)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 대향 전극(455), 및 이들 화소 전극(317)과 대향 전극(455)의 사이에 배치되어 발광하는 유기 발광막으로 구성될 수 있다.

화소전극(317)은 ITO등의 투명 전극이나, Al/ITO의 반사형 전극으로 형성될 수 있고, 대향 전극(455)은 기판쪽으로 화상을 구현하는 배면발광형인 경우 Al/Ca등으로 전면 증착하여 형성하고, 대향 전극(455)쪽으로 화상을 구현하는 전면발광형인 경우에는 Mg-Ag/ITO로 투명 전극을 형성할 수 있다. 상기 대향 전극(455)은 반드시 전면 증착될 필요는 없으며, 다양한 패턴으로 형성될 수 있음은 물론이다. 상기 화소 전극(317)과 대향 전극(455)은 서로 위치가 반대로 전층될 수도 있음은 물론이다.

유기막은 저분자 또는 고분자 유기막이 사용될 수 있는데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer)등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기재료도 구리프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine:NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성될 수 있다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이때 상기 홀 수송층(HTL)으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylene)계 및 폴리플루오렌(PolyFluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

이러한 유기 전계 발광 소자(OLED)의 구조는 반드시 이에 한정되는 것은 아니고, 다양하게 변형 적용 가능함은 물론이다.

도 5는 도 4의 커패시터부분을 간략화한 단면도이다.

제 4전극(440) 상부에 제 1전극(308), 제 2전극(313), 제 3전극(323)이 차례대로 형성되어 있으며, 제 4전극(440)과 제 2전극(313)이 연결되고, 제 1전극(308)과 제 3전극(323)이 연결된다. 제 4전극(440)과 제 2전극(313)의 연결 구조는 'ㄷ자' 형태이며, 커패시터(Cst)를 구성하는 하나의 전극이 된다. 또한 제 1전극(308)과 제 3전극(323)의 연결 구조도 'ㄷ자' 형태이며, 커패시터(Cst)를 구성하는 다른 하나의 전극이 된다. 전극들 사이에 유전체가 형성되어 있다. 커패시터(Cst)는 'ㄷ자' 형태의 전극들이 엇갈려 결합한 형태로 형성된다.

커패시터(Cst)의 용량은 비유전율과 커패시터(Cst)를 이루는 전극의 면적에 비례하며, 커패시터(Cst) 전극 사이의 거리에 반비례 한다. 따라서 커패시터(Cst)의 고용량화의 추세에서 전극의 면적을 증대시키거나, 전극 사이의 거리를 줄이거나, 비유전율을 높은 물질을 유전체로 사용하는 등의 노력이 있다. 본 발명에서는 커패시터(Cst) 전극의 면적을 증대시켜 커패시터(Cst)의 용량을 높이는 방안으로 커패시터(Cst)는 4층의 전극 구조를 갖으며, 각 전극이 엇갈려 결합하는 형태를 갖는다. 도면에서 도시한 바와 같이 제 4전극(440)과 제 1전극(308) 사이의 제 1공통면적(501), 제 1전극(308)과 제 2전극(313)의 제 2공통면적(503) 및 제 2전극(313)과 제 3전극(323)의 제 3공통면적(505)의 합만큼 커패시터(Cst) 전극의 면적이 증대된다. 따라서 커패시터(Cst) 용량은 크게 증가하게 된다. 본 발명에서는 제 4전극(440)은 박막 트랜지스터의 폴리 실리콘과 동일한 물질로, 제 1전극(308)은 박막 트랜지스터의 게이트 전극과 동일한 물질로, 제 2전극(313)은 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 물질로, 제 3전극(323)은 화소 전극과 동일한 물질로 구성된다. 따라서 유기 전계 발광 장치를 생산하는 공정에서 각 공정에 사용되는 물질들을 사용하여 용량이 증대된 커패시터(Cst)를 간단하게 구현할 수 있다. 유기 전계 발광 장치에서, 특히 배면 발광형 유기 전계 발광 장치에서 개구율은 커패시터(Cst)의 크기에 좌우되는 경향이 있다. 커패시터(Cst)의 크기를 줄이고, 동시에 화소영역을 증대시켜 개구율을 향상시킬 수 있다. 그러나 커패시터(Cst)의 크기를 줄이면 커패시터(Cst)의 용량이 줄어들어 문제가 된다. 본 발명에 의하면 4층 구조로 커패시터(Cst) 전극의 증첩된 면적을 증대시킬 수 있으므로 커패시터(Cst)의 크기와 관계없이 커패시터(Cst)의 용량을 증대시킬 수

있다. 또한 원하는 커패시터(Cst)의 용량을 얻을 수 있는 한도 내에서 커패시터(Cst)의 크기를 줄일 수 있게 된다. 따라서 화소영역을 상대적으로 증대시킬 수 있으므로, 본 발명의 4층 구조는 특히 배면 발광형 유기 전계 발광 장치에서 개구율을 향상시키는데 큰 도움이 될 수 있다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 화소 전극을 이용하여 커패시터는 4층 구조로 형성되고, 'ㄷ자' 형태로 연결된 제 1전극과 제 2전극을 엇갈리게 결합하여 커패시터 전극의 면적을 증대시켜 결국 커패시터의 용량을 증대시킬 수 있다.

둘째, 증대된 커패시터 용량으로 인하여 소스 전극 및 드레인 전극의 면적을 줄여 특히 배면 발광형 유기 전계 발광 표시장치에서 화소영역의 면적을 상대적으로 크게 할 수 있으므로, 개구율을 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도시한 평면도이다.

도 2는 종래의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도 1의 I-I'를 따라 취하여 도시한 단면도이다.

도 3은 본 발명의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도시한 평면도이다.

도 4는 본 발명의 액티브 매트릭스형 유기 전계 발광 표시장치의 한 화소를 도 3의 II-II'를 따라 취하여 도시한 단면도이다.

도 5는 도 4의 커패시터부분을 간략화한 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

Ts...스위칭 박막 트랜지스터

Cst...커패시터

Td...구동 박막 트랜지스터

OLED...유기 전계 발광 소자

308...제 1전극

313...제 2전극

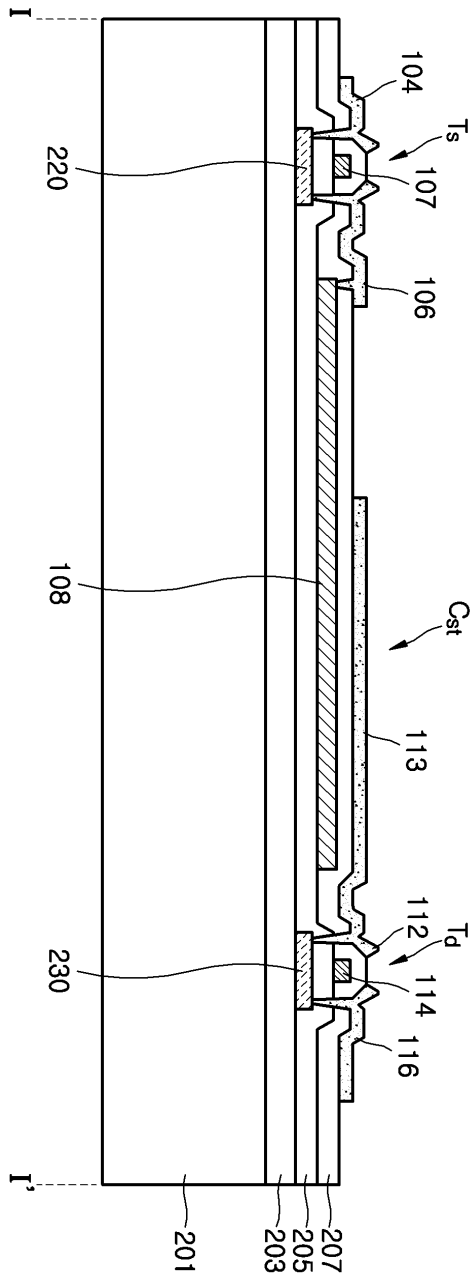
323...제 3전극

440...제 4전극

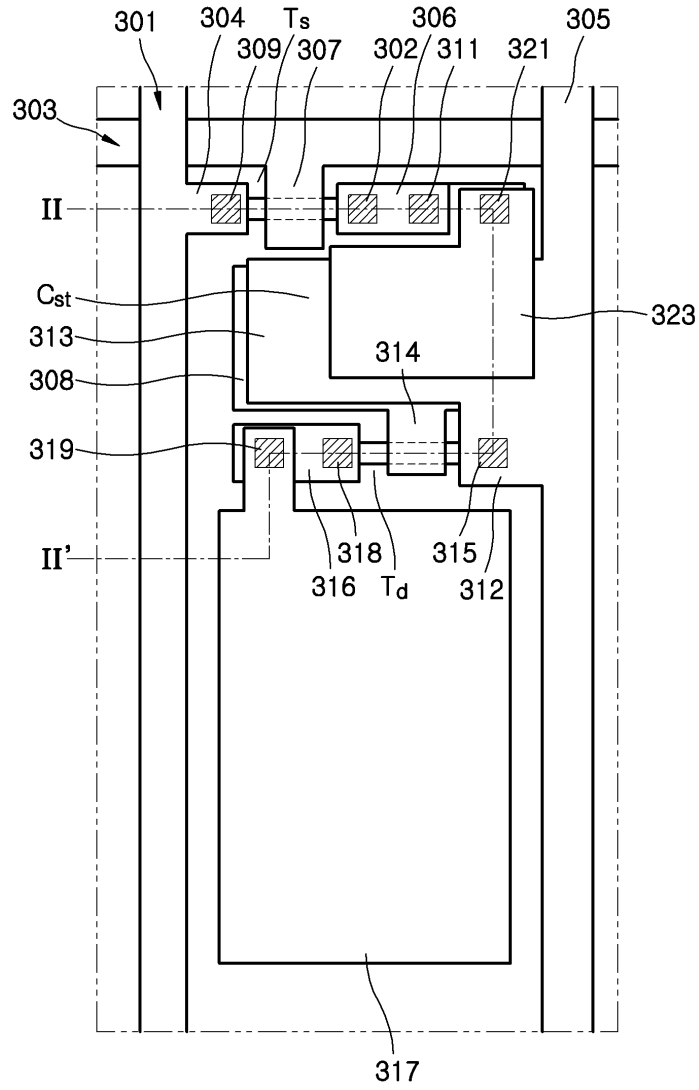
321...제 7콘택홀

425...제 8콘택홀

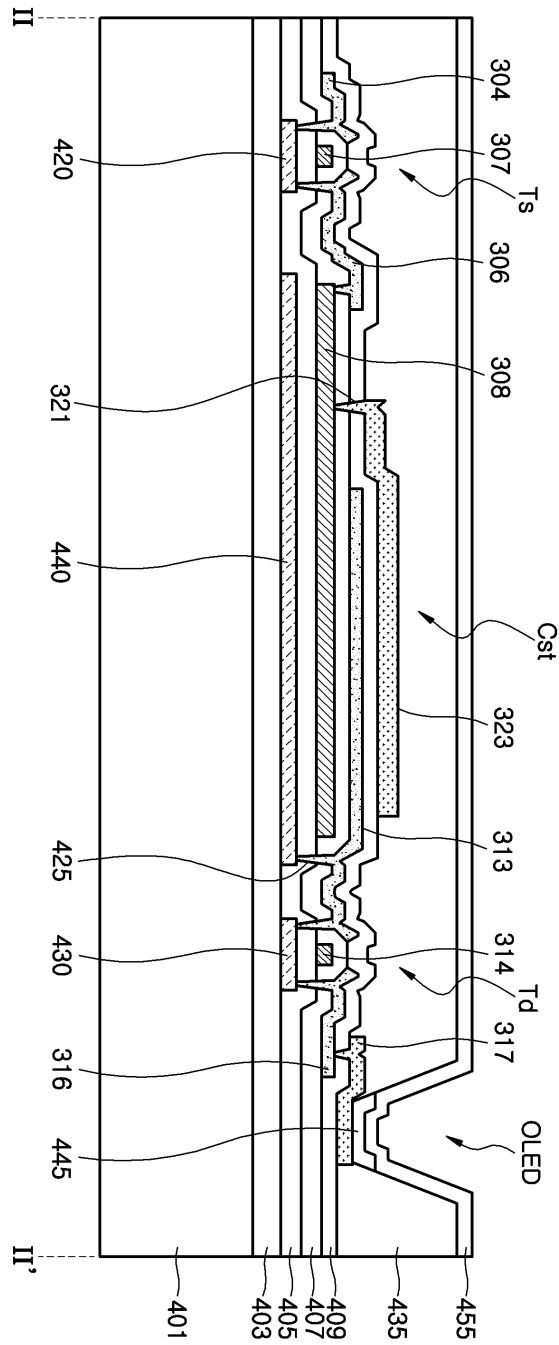
도면2



도면3



도면4



도면5

