

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>G09G 3/30</i> (2006.01)	(45) 공고일자 2006년09월19일 (11) 등록번호 10-0624320 (24) 등록일자 2006년09월07일
---	--

(21) 출원번호	10-2005-0056541	(65) 공개번호
(22) 출원일자	2005년06월28일	(43) 공개일자

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	윤영준 경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소
(74) 대리인	신영무

심사관 : 최정운

(54) 시프트 레지스터 및 이를 구비하는 유기 발광 표시장치

요약

본 발명은 소자 특성 변화에 안정적인 시프트 레지스터 및 이를 구비한 유기 발광 표시장치에 관한 것이다.

본 발명에 따른 시프트 레지스터는 클럭 단자와 출력 단자에 전기적으로 접속되는 제 1 트랜지스터, 입력 단자와 제 1 노드에 전기적으로 접속되는 제 2 트랜지스터, 제 2 전원과 제 2 노드에 전기적으로 접속되는 제 3 트랜지스터, 상기 제 2 트랜지스터와 제 1 전원에 전기적으로 접속되는 제 4 트랜지스터, 상기 제 1 전원과 상기 제 2 노드에 전기적으로 접속되는 제 5 트랜지스터, 상기 제 1 전원과 상기 제 2 노드에 전기적으로 접속되는 제 6 트랜지스터, 상기 제 1 전원과 상기 제 1 트랜지스터에 전기적으로 접속되는 제 7 트랜지스터, 상기 제 1 전원과 상기 제 1 트랜지스터에 전기적으로 접속되는 제 8 트랜지스터 및 외부로부터 독립적 전원을 공급 받아, 상기 제 1 트랜지스터 내지 상기 제 8 트랜지스터의 오동작을 방지하는 외부 설정부를 포함한다.

대표도

도 4

색인어

유기 발광 표시장치, pMOS, 시프트 레지스터, 주사 구동부

명세서

도면의 간단한 설명

도 1은 종래 유기 발광 표시장치의 구성을 나타낸 도이다.

도 2는 종래 유기 발광 표시장치에 채용된 주사 구동부의 일례를 나타낸 도이다.

도 3은 본 발명에 따른 시프트 레지스터를 나타낸 블록도이다.

도 4는 도 3의 시프트 레지스터의 일례를 나타낸 회로도이다.

도 5는 본 발명에 따른 시프트 레지스터의 타이밍도이다.

*** 도면의 주요 부분에 대한 부호의 설명 ***

21, 210~230 :시프트 레지스터 22 :게이트부

23 :레벨 시프터 24 :버퍼부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 시프트 레지스터 및 이를 구비한 유기 발광 표시장치에 관한 것으로 더욱 상세하게는, 소자 특성 변화에 안정적인 PMOS 트랜지스터만을 이용하여 회로를 설계하는 시프트 레지스터 및 이를 구비한 유기 발광 표시장치에 관한 것이다.

유기 발광 표시장치는 유기물 박막에 음극과 양극을 통하여 주입된 전자와 정공이 재결합(recombination)하여 여기자(exciton)을 형성하고 형성된 여기자로부터 특정한 파장의 빛이 발생하는 현상을 이용한 표시장치이다. 유기 발광 표시장치는 자체 발광소자를 이용하여 구성되므로 LCD(liquid crystal display)와 달리 별도의 광원을 필요로 하지 않는다는 특징을 가지고 있다. 또한, 유기 발광 표시장치를 구성하는 유기 발광 소자(organic light emitting device, OLED)의 휘도는 유기 발광 소자에 흐르는 전류량에 의하여 제어된다는 특징을 가지고 있다.

유기 발광 표시장치의 구동 방식으로는 수동 매트릭스 방식과 능동 매트릭스 방식이 있다. 이 중에서, 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는 방식이다. 수동 매트릭스 방식에 의한 유기 발광 표시장치는 그 구조가 단순하므로 구현이 용이한 반면에, 대화면 구현시 많은 전류량이 소모되고 각 발광 소자를 구동할 수 있는 시간이 줄어든다는 문제점이 있다. 능동 매트릭스 방식은 능동 소자를 이용하여 발광 소자에 흐르는 전류량을 제어하는 방식이다. 능동 소자로는 박막 트랜지스터(thin film transistor, 이하 TFT라 함)가 주로 사용된다. 능동 매트릭스 방식은 다소 복잡하나 전류 소모량이 적고 발광 시간이 길어진다는 장점이 있다.

도 1은 종래 유기 발광 표시장치의 구성을 나타낸 도이다.

도 1을 참조하면 종래 유기 발광 표시장치는 기관(100), 화소부(10), 주사 구동부(20), 데이터 구동부(30)를 포함한다.

기관(100)상에는 화소부(10), 데이터 구동부(30)등을 형성하며, 또한 복수의 화소(5)를 통해 발생하는 빛이 외부로 잘 발광할 수 있도록 투과율이 높고 반사율이 낮은 투명 기관(100)을 사용한다. 이러한 투명 기관(100)의 종류로는 실리콘, 유리 및 플라스틱 등이 있다.

화소부(10)는 기관(100)상에 형성되며, 복수의 주사선(S1,S2,...Sn), 복수의 데이터선(D1,D2,...Dm) 및 주사선(S1,S2,...Sn)과 데이터선(D1,D2,...Dm)에 전기적으로 접속되는 복수의 화소(5)를 포함한다.

주사 구동부(20)는 기관(100)상에 화소부(10)와 같은 단계에서 형성되며, 복수의 주사선(S1,S2,...Sn)에 주사 신호를 순차적으로 인가하여 화소(5)를 선택하고, 선택된 화소(5)에 데이터 신호가 전달되도록 한다.

데이터 구동부(30)는 화소부(10) 및 주사 구동부(20)의 형성 후 그 다음 단계로 형성되며, 복수의 데이터선(D1,D2,...Dm)에 데이터 신호를 공급하여 이에 대응하는 전류가 각 화소(5)에 흐르도록 하는 역할을 한다.

도 2는 종래 유기 발광 표시장치에 채용된 주사 구동부의 일례를 나타낸 도이다.

도 2를 참조하여 설명하면, 종래 주사 구동부(20)는 시프트 레지스터(21), 게이트부(22), 레벨 시프터(23) 및 버퍼부(24)를 포함한다.

시프트 레지스터(21)는 클럭바 신호(CLKB), 클럭 신호(CLK) 및 스타트 펄스(STV)를 입력받아 클럭바 신호(CLKB) 또는 클럭 신호(CLK)에 동기하여 스타트 펄스(STV)를 순차적으로 시프트(SHIFT) 한다. 홀수번째 시프트 레지스터(21)는 클럭 신호(CLK)가 로우 레벨이고 클럭바 신호(CLKB)가 하이 레벨일때 구동되고, 짝수번째 시프트 레지스터(21)는 클럭 신호(CLK)가 하이 레벨이고 클럭바 신호(CLKB)가 로우 레벨일때 구동된다.

게이트부(22)는 pMOS 트랜지스터와 nMOS 트랜지스터로 형성된 낸드 게이트(NAND)로 구성된다. 또한, 게이트부(22)는 시프트 레지스터(21)로부터 출력된 n번째 시프트 신호(SH[n])와 n-1번째 시프트 신호(SH[n-1])를 NAND 연산하여 레벨 시프터(23)로 전달한다.

레벨 시프터(23)는 게이트(22)로부터 입력받은 신호를 반전하기 위한 인버터, 풀 다운(pull down) 스위칭을 위한 nMOS 트랜지스터 및 pMOS 트랜지스터를 구비하여 동작한다. nMOS 트랜지스터는 인버터의 출력단자와 연결되고 소스는 접지(Vss)와 연결된다.

버퍼부(24)는 두개의 인버터 회로로 구성되며 레벨 시프터(23)에서 전달받은 시프트 신호(SH)를 가속하여 주사 신호(Sn)로서 화소부(미도시)에 전달되도록 한다. 이때, 레벨 시프터(23)에서 출력된 하나의 시프트 신호(SH)가 바로 화소부(미도시)에 입력되면 레벨 시프터(23)로부터 멀리 떨어져 있는 화소(미도시)에는 신호의 전달이 원활하게 이루어지지 않게 된다. 따라서, 레벨 시프터(23)에 버퍼부(24)가 연결되어 주사 신호(Sn)의 세기를 증가시킨다.

상기와 같이, 발광 표시장치의 구동에 필요한 구성 요소들을 기판상에 탑재해 통합화하는 것을 SOG라 하며, SOG가 구현되면 디스플레이 장치는 더욱 얇고 가벼워진다. 그러나, SOG를 위하여 CMOS 회로로 장치의 구성 요소들을 형성하였으나 그 결과 별도의 추가 공정이 필요하게 되었다. 또한, 상기 문제점을 해결하기 위해 어느 하나의 트랜지스터만을 이용하여 각 시프트 레지스터를 제조할 수 있으나, nMOS 트랜지스터 만으로 각 시프트 레지스터를 제조하는 경우에는 공정이 복잡하여, 종래의 CMOS 회로를 사용하였을때와 마찬가지로 SOG의 본 목적인 원가 절감의 효과가 줄어들게 되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 상술한 종래의 문제점을 해결하기 위한 본 발명의 목적은 주사 구동부에 포함되는 시프트 레지스터의 회로를 pMOS 트랜지스터 만으로 구현하고, 또한 pMOS 회로의 TFT 소자 특성 변화에 의한 오동작을 방지하기 위해 별도의 회로부를 추가하는 시프트 레지스터 및 이를 이용한 유기 발광 표시장치를 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 기술적 수단으로써 본 발명의 일측면은 클럭 단자와 출력 단자에 전기적으로 접속되는 제 1 트랜지스터, 입력 단자와 제 1 노드에 전기적으로 접속되는 제 2 트랜지스터, 제 2 전원과 제 2 노드에 전기적으로 접속되는 제 3 트랜지스터, 상기 제 2 트랜지스터와 제 1 전원에 전기적으로 접속되는 제 4 트랜지스터, 상기 제 1 전원과 상기 제 2 노드에 전기적으로 접속되는 제 5 트랜지스터, 상기 제 1 전원과 상기 제 2 노드에 전기적으로 접속되는 제 6 트랜지스터, 상기 제 1 전원과 상기 제 1 트랜지스터에 전기적으로 접속되는 제 7 트랜지스터, 상기 제 1 전원과 상기 제 1 트랜지스터에 전기적으로 접속되는 제 8 트랜지스터 및 외부로부터 독립적 전원을 공급 받아, 상기 제 1 트랜지스터 내지 상기 제 8 트랜지스터의 오동작을 방지하는 외부 설정부를 포함하는 시프트 레지스터를 제공하는 것이다.

본 발명의 다른 측면은 기판, 상기 기판 상에 복수의 주사선 및 복수의 데이터선을 형성하며 상기 복수의 주사선 및 복수의 데이터선이 교차한 영역에 복수의 화소를 형성하는 화소부, 시프트 레지스터, 게이트부 및 버퍼부를 형성하여 상기 복수의 주사선에 주사 신호를 순차적으로 인가하는 주사 구동부, 상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 포함하며, 상기 시프트 레지스터는 상기 제 1항 내지 상기 제 7항 중 어느 하나에 의한 상기 시프트 레지스터인 유기 발광 표시장치를 제공하는 것이다.

이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도 3은 본 발명에 따른 시프트 레지스터를 나타낸 블록도이다.

도 3을 참조하여 설명하면, 제 1 시프트 레지스터(210) 및 제 3 시프트 레지스터(230)는 클럭바 신호(CLKB)에 동기하여 동작하고, 제 2 시프트 레지스터(220) 및 제 4 시프트 레지스터(240)는 클럭 신호(CLK)에 동기하여 동작하며 각 시프트 레지스터는 클럭 신호(CLK) 또는 클럭바 신호(CLKB)에 대응하여 수직 스타트 신호(STV)를 10MHz의 동작 주파수 주기로 순차적으로 시프트(SHIFT)시켜 복수의 주사 신호(S1내지 S4)로서 출력한다. 또한, 제 1 전원(VDD)으로서 5V와 제 2 전원(VSS)으로서 0V를 각 시프트 레지스터에 입력한다. 한편, 출력 신호(OUT)는 입력 단자(INPUT)의 위상을 시프트시킨 신호이고, 캐리 신호(CARRY)는 출력 신호(OUT)와 같은 위상을 가지나 출력 신호(OUT)와는 따로 제어되어 다음단 시프트 레지스터의 입력 단자(INPUT)로 입력된다.

예를 들어, 제 1 시프트 레지스터(210)에 수직 스타트 신호(STV)가 입력되면, 제 1 시프트 레지스터(210)는 수직 스타트 신호(STV)를 시프트시켜 제 1 주사 신호(S1)를 출력하고, 제 1 캐리 신호(Cr1)를 제 2 시프트 레지스터(220)에 입력한다.

제 2 시프트 레지스터(220)는 제 1 캐리 신호(Cr1)를 입력받아 제 1 캐리 신호(Cr1)가 시프트된 제 2 주사 신호(S2)를 출력하고, 제 2 캐리 신호(Cr2)를 제 3 시프트 레지스터(230)에 입력한다.

제 3 시프트 레지스터(230)는 제 2 캐리 신호(Cr2)가 시프트된 제 3 주사 신호(S3)를 출력하고, 제 3 캐리 신호(Cr3)를 제 4 시프트 레지스터(240)에 입력한다.

제 4 시프트 레지스터(240)는 제 3 캐리 신호(Cr3)가 시프트된 제 4 출력 신호(S4)를 출력하고, 제 4 캐리 신호(Cr4)를 그 다음 시프트 레지스터에 입력한다

도 4는 도 3의 시프트 레지스터의 일례를 나타낸 회로도이다.

도 4를 참조하여 설명하면 본 발명에 의한 시프트 레지스터는 제 1 트랜지스터(T1) 내지 제 8 트랜지스터(T8) 및 외부 설정부(24)를 포함한다. 도 4에 도시된 시프트 레지스터는 클럭바 신호(CLKB)를 입력받아 동작하는 홀수번째 시프트 레지스터이다.

제 1 트랜지스터(T1)는 클럭바 단자(CLKB) 및 출력 단자(OUT)와 전기적으로 접속되어 클럭바 신호(CLKB)를 전달받고 제 1 노드(P)의 전압에 의해 스위칭 동작을 수행하며 제 1 트랜지스터(T1)가 턴 온(turn on)되었을때 출력 신호로써 클럭바 신호(CLKB)를 출력 단자(OUT)로 출력한다.

제 2 트랜지스터(T2)는 입력 단자(INPUT) 및 제 1 노드(P)와 전기적으로 접속되어 입력 단자(INPUT)를 통해 수직 스타트 신호(STV)를 전달받고 제 1 노드(P)를 로우(LOW) 레벨로 유지한다.

제 3 트랜지스터(T3)는 제 2 전원(V2) 및 제 2 노드(N)에 전기적으로 접속되어 평상시 제 2노드(N)를 0V의 로우(LOW) 레벨로 유지한다. 또한, 제 2 노드(N)는 제 4트랜지스터(T4) 및 제 7 트랜지스터(T7)의 게이트와 접속된다.

제 4 트랜지스터(T4)는 제 2 트랜지스터(T2) 및 제 1 전원(V1)와 전기적으로 접속되어 제 1 노드(P)에 제 1 전원(V1)의 전압이 인가되도록 한다. 이때 제 1 전원(V1)의 전압은 5V의 하이 레벨을 갖는다.

제 5 트랜지스터(T5)는 제 1 전원(5V) 및 제 2 노드(N)와 전기적으로 접속되어 수직 스타트 신호(STV)가 입력 단자(INPUT)에 입력됐을때 제 2 노드(N)에 제 1 전원(5V)을 공급하고 제 4 트랜지스터(T4), 제 7 트랜지스터(T7) 및 제 10 트랜지스터(T10)를 제어한다.

제 6 트랜지스터(T6)는 제 1 전원(5V) 및 제 2 노드(N)와 전기적으로 접속되어 입력 단자(INPUT)에 신호가 입력되지 않을때 제 2 노드(N)에 제 1 전원(5V)를 공급하고 제 4 트랜지스터(T4), 제 7 트랜지스터(T7) 및 제 10 트랜지스터(T10)를 제어한다.

제 7 트랜지스터(T7)는 제 1 전원(5V) 및 출력 단자(OUT)와 접속되어 출력 단자(OUT)의 출력 신호를 5V로 유지한다.

제 8 트랜지스터(T8)는 제 1 전원(5V) 및 출력 단자(OUT)와 접속되어 이전단의 캐리 단자(CARRY)로부터 출력되는 캐리 신호를 리셋 단자(RESET)를 통해 공급받아 출력 신호를 안정적으로 초기화 한다.

외부 설정부(24)는 제 9 트랜지스터(T9) 내지 제 11 트랜지스터(T11)를 포함한다. 제 9 트랜지스터(T9)는 클럭바 단자(CLKB) 및 캐리 단자(CARRY)와 접속되어 출력 신호와는 별도로 캐리 신호를 생성하여 캐리 단자(CARRY)로 출력한다. 제 10 트랜지스터(T10)는 제 1 전원(5V) 및 캐리 단자(CARRY)와 접속되어 캐리 신호를 5V로 유지한다. 제 11 트랜지스터(T11)는 제 1 전원(5V) 및 캐리 단자(CARRY)와 접속되어 캐리 단자(CARRY)에 5V의 캐리 신호를 전달한다. 상기 외부 설정부(24)에 포함된 제 9 트랜지스터(T9) 내지 제 11 트랜지스터(T11)는 제 1 트랜지스터(T1), 제 7 트랜지스터(T7) 및 제 8 트랜지스터(T8)가 서로 접속된 형태와 같으며 외부 설정부(24)는 독립적 전원을 공급받아 제 1 트랜지스터(T1) 내지 제 8 트랜지스터(T8)의 열화에도 회로가 안정적으로 동작할 수 있도록 한다.

도 5는 본 발명에 따른 시프트 레지스터의 타이밍도이다.

도 5를 도 4와 결부하여 설명하면, 먼저 T1~T2 구간에서 입력 단자(INPUT)에 수직 스타트 신호(STV)가 입력되면 제 2 트랜지스터(T2) 및 제 5 트랜지스터(T5)가 턴 온 된다. 제 2 트랜지스터(T2)가 턴 온 됨에 따라 제 1 노드(P)는 로우(LOW) 레벨로 유지되며 제 1 트랜지스터(T1)의 게이트와 접속되어 제 1 트랜지스터(T1)를 턴 온 시키게 된다. 따라서 출력 단자(OUT)는 클럭바 신호에 대응하여 하이(HIGH) 레벨의 신호를 출력한다. 또한 제 1 노드(P)는 제 9 트랜지스터(T9)의 게이트와 접속되어 캐리 단자(CARRY)에 하이 레벨 클럭바 신호를 출력한다. 한편, 제 5 트랜지스터(T5)가 턴 온 되면, 제 2 노드(N)에 제 1 전원(V1)인 5V의 전압이 걸리게 되고 이에 따라 제 4 트랜지스터(T4), 제 7 트랜지스터(T7) 및 제 10 트랜지스터(T10)는 오프 상태로 유지된다.

T2~T3 구간에서 입력 단자(INPUT)에는 T1~T2구간에서 출력된 하이 레벨의 신호(VG1)가 입력되고, 클럭바 단자(CLKB)에는 로우 레벨의 클럭바 신호가 입력된다. 따라서, 제 2 트랜지스터(T2) 및 제 5 트랜지스터(T5)는 턴 오프 되고 로우 레벨로 유지되어 있는 제 1 노드(P)에 의해 제 1 트랜지스터가 턴 온 되고 제 6 트랜지스터(T6)의 게이트에는 로우 레벨의 클럭바 신호가 공급된다. 따라서, 제 6 트랜지스터(T6)가 턴 온되고 제 2 노드(N)에는 제 1 전원(5V)가 공급되므로 제 4 트랜지스터(T4), 제 7 트랜지스터(T7) 및 제 10 트랜지스터(T10)는 오프(OFF)된다. 즉 출력 단자(OUT)와 캐리 단자(CARRY)에 5V의 하이 레벨 전압이 출력되는 경로를 차단하여 제 1 트랜지스터(T1) 및 제 9 트랜지스터(T9)를 통해 출력 단자(OUT) 및 캐리 단자(CARRY) 각각에 로우 레벨의 신호가 출력되도록 한다. 한편 t2~t3 구간에서 클럭바 신호가 하이 레벨에서 로우 레벨로 반전하면 제 1 노드(P)는 로우 레벨 보다 더 낮은 레벨이 된다. 이는 제 1 트랜지스터(T1)의 게이트, 소스 간 또는 게이트, 드레인 간의 기생 용량이 있기 때문에 제 1 노드(P)에 하이 레벨의 전압, 즉 제 1 전원(5V)이 공급되어 있지 않으면 제 1 트랜지스터(T1)의 드레인, 소스 간의 전위 변동에 따라 제 1 노드(P)의 전위가 변동하게 되기 때문이다. 이처럼 트랜지스터의 전위 변동의 영향을 받아 노드의 전위가 변동하는 현상을 부트 스트랩이라 한다. 이 부트 스트랩의 효과로 제 1 트랜지스터(T1)의 게이트단을 더 강하게 턴 온 시킬 수 있고 이 결과로 확실한 출력 신호를 공급할 수 있다.

일반적으로 입력 단자(INPUT)에 입력 신호가 입력되지 않을때 제 3 트랜지스터(T3)는 제 2 전원(0V)과 연결되어 있기 때문에 항상 턴 온 되어있다. 따라서 제 2 노드(N)는 로우 레벨로 유지되고, 제 4 트랜지스터(T4), 제 7 트랜지스터(T7) 및 제 10 트랜지스터(T10)는 턴 온 된다. 즉, 제 4 트랜지스터(T4)에 의해 제 1 노드(P)는 5V로 유지되고, 제 7 트랜지스터(T7)에 의해 출력 단자(OUT)의 출력 전압이 5V로 유지되며, 제 10 트랜지스터(T10)에 의해 캐리 단자(CARRY)의 출력 전압이 5V로 유지된다.

또한, T3~T4의 구간에는 입력 단자(INPUT)에 로우 레벨의 신호(VG2)가 입력되어 상술한 동작을 실시한다.

상기 시프트 레지스터의 출력 단자(OUT)로 출력되는 출력 신호는 복수의 주사선(미도시)에 전달되고, 시프트 레지스터로부터 출력되는 캐리 신호는 다음단 시프트 레지스터의 입력 단자에 입력된다.

상술한 본 발명의 실시예에 따라 시프트 레지스터의 구성 요소를 pMOS 트랜지스터만으로 구성함으로써 그 공정이 간단하여 SOG구조에서 요구되는 원가 절감을 기대할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 변형 예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 시프트 레지스터 및 이를 이용한 유기 발광 표시장치에 의하면 시프트 레지스터의 구성을 화소부와 동일한 PMOS 트랜지스터를 이용하여 공정을 실시함으로써 그 결과 SOG의 본 목적인 원가 절감 효과를 극대화시킬 수 있다.

(57) 청구의 범위

청구항 1.

클럭 단자와 출력 단자에 전기적으로 접속되는 제 1 트랜지스터;

입력 단자와 제 1 노드에 전기적으로 접속되는 제 2 트랜지스터;

제 2 전원과 제 2 노드에 전기적으로 접속되는 제 3 트랜지스터;

상기 제 2 트랜지스터와 제 1 전원에 전기적으로 접속되는 제 4 트랜지스터;

상기 제 1 전원과 상기 제 2 노드에 전기적으로 접속되는 제 5 트랜지스터;

상기 제 1 전원과 상기 제 2 노드에 전기적으로 접속되는 제 6 트랜지스터;

상기 제 1 전원과 상기 제 1 트랜지스터에 전기적으로 접속되는 제 7 트랜지스터;

상기 제 1 전원과 상기 제 1 트랜지스터에 전기적으로 접속되는 제 8 트랜지스터; 및

외부로부터 독립적 전원을 공급 받아, 상기 제 1 트랜지스터 내지 상기 제 8 트랜지스터의 오동작을 방지하는 외부 설정부를 포함하는 시프트 레지스터.

청구항 2.

제 1항에 있어서,

상기 외부 설정부는

상기 클럭 단자와 캐리 단자에 전기적으로 접속되는 제 9 트랜지스터;

상기 제 1 전원과 상기 캐리 단자에 전기적으로 접속되는 제 10 트랜지스터;

상기 제 1 전원과 상기 캐리 단자에 전기적으로 접속되는 제 11 트랜지스터를 포함하는 시프트 레지스터.

청구항 3.

제 2항에 있어서,

상기 제 1 트랜지스터 내지 상기 제 11 트랜지스터는 PMOS 트랜지스터인 시프트 레지스터.

청구항 4.

제 1 항에 있어서,

상기 제 1 트랜지스터는 상기 클럭 단자를 통해 클럭 신호를 입력받아 상기 출력 단자에 상기 클럭 신호에 대응하는 출력 신호를 출력하는 시프트 레지스터.

청구항 5.

제 1 항에 있어서,

상기 제 3 트랜지스터는 상기 입력 신호가 공급되지 않을때 제 4 트랜지스터, 상기 제 7 트랜지스터 및 상기 제 10 트랜지스터를 제어하는 시프트 레지스터.

청구항 6.

제 5 항에 있어서,

상기 제 4 트랜지스터는 상기 제 1 노드를 상기 제 1 전원의 값으로 유지하고, 상기 제 7 트랜지스터는 상기 출력 신호를 상기 제 1 전원의 값으로 유지하며, 상기 제 10 트랜지스터는 상기 캐리 신호를 상기 제 1 전원의 값으로 유지하는 시프트 레지스터.

청구항 7.

제 1 항에 있어서,

상기 제 6 트랜지스터는 상기 입력 단자에 상기 입력 신호가 입력되지 않을때 상기 제 4 트랜지스터, 상기 제 7 트랜지스터 및 상기 제 10 트랜지스터를 모두 오프 시키는 시프트 레지스터.

청구항 8.

기관;

상기 기관 상에 복수의 주사선 및 복수의 데이터선을 형성하며 상기 복수의 주사선 및 복수의 데이터선이 교차한 영역에 복수의 화소를 형성하는 화소부;

시프트 레지스터, 게이트부 및 버퍼부를 형성하여 상기 복수의 주사선에 주사 신호를 순차적으로 인가하는 주사 구동부;

상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 포함하며,

상기 시프트 레지스터는 상기 제 1항 내지 상기 제 7항 중 어느 하나에 의한 상기 시프트 레지스터인 유기 발광 표시장치.

청구항 9.

제 8항에 있어서,

상기 시프트 레지스터로부터 출력되는 출력 신호는 상기 주사선에 전달되고, 상기 시프트 레지스터로부터 출력되는 캐리 신호는 다음단의 상기 시프트 레지스터의 입력 단자에 입력되는 유기 발광 표시장치.

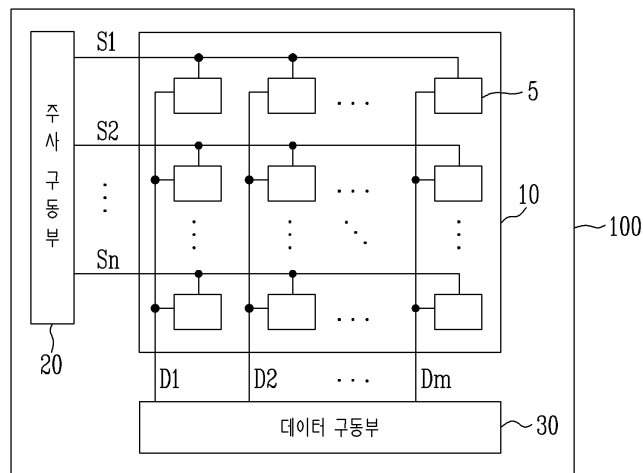
청구항 10.

제 8항에 있어서,

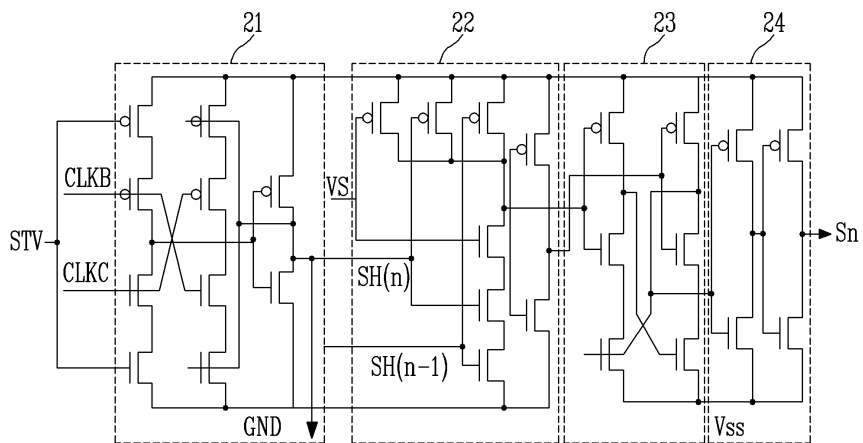
상기 화소부, 상기 주사 구동부 및 상기 데이터 구동부 중 적어도 상기 화소부 및 상기 주사 구동부는 상기 기판상에 형성되는 유기 발광 표시장치.

도면

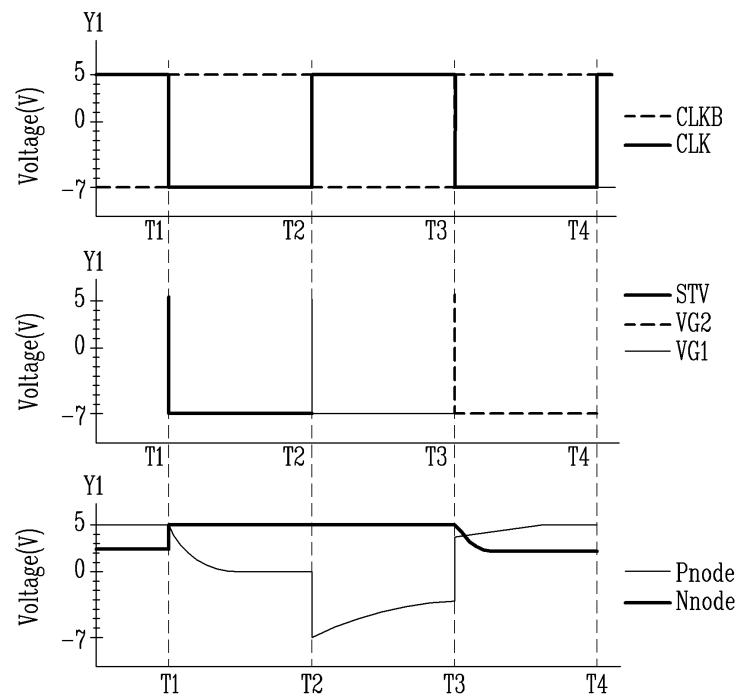
도면1



도면2



도면5



专利名称(译)	移位寄存器和具有它的有机发光显示器		
公开(公告)号	KR100624320B1	公开(公告)日	2006-09-19
申请号	KR1020050056541	申请日	2005-06-28
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YOUNGJUN YUN 윤영준		
发明人	윤영준		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 G09G2310/0286		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

用途：提供移位寄存器和具有该移位寄存器的有机发光显示装置，以通过使用与像素单元相同的移位寄存器的pMOS晶体管执行处理来降低SOG（旋涂玻璃）的成本。组成：移位寄存器包括一个电连接到时钟端的第一晶体管（T1）和一个输出端（OUT）；第二晶体管（T2）电连接到输入端（INPUT）和第一节点（P）；第三晶体管（T3），其电连接至第二电源和第二节点；第四晶体管（T4），与第二晶体管和第一电源电连接；第五晶体管（T5）电连接到第一电源和第二节点；第六晶体管（T6），与第一电源和第二节点电连接；第七晶体管（T7），与第一电源和第一晶体管电连接；第八晶体管（T8），与第一电源和第一晶体管电连接；外部设定单元从外部接收独立的电力并防止八个晶体管的故障。

