

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H05B 33/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월25일 10-0604279 2006년07월18일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2003-0013282	(65) 공개번호	10-2003-0074186
(22) 출원일자	2003년03월04일	(43) 공개일자	2003년09월19일

(30) 우선권주장	JP-P-2002-00059590	2002년03월05일	일본(JP)
	JP-P-2003-00022757	2003년01월30일	일본(JP)

(73) 특허권자 산요덴키가부시킴이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 아베히사시
일본오사카후히라카타시소다이미나미마찌1-45-11

스즈끼고지
일본아이찌켄하구리공기소가와쵸미쯔호우지쓰지마에1-501

하세가와이사오
일본기후켄기후시니시노소2-17-43

(74) 대리인 주성민
이중희
구영창

심사관 : 이창용

(54) 일렉트로 루미네센스 패널 및 그 제조 방법

요약

신뢰성이 높은 유기 EL 패널의 제조 방법을 제공한다. 유기 EL층(50)의 하층에 위치하는 제2 평탄화 절연층(40)을 열처리하여, 함유 수분량을 매우 적게 한다. 이 함유 수분량을 77ng/cm² 이하로 함으로써, 발광 특성의 열화가 적은 유기 EL 패널을 실현할 수 있다. 유기 EL층(50)에의 수분의 영향을 저감하기 위한 다른 방법으로서, 제2 평탄화 절연층(40)에 개질(改質) 처리를 실시해도 되며, 또한 코팅 처리를 실시해도 된다.

대표도

도 2

색인어

일렉트로 루미네센스층, 열처리, 배리어막, 함유 수분량, 평탄화 절연층

명세서

도면의 간단한 설명

도 1의 (a)는 제1 실시예에서 능동층을 형성한 상태를 도시하는 도면이고, 도 1의 (b)는 게이트 전극을 형성한 상태를 도시하는 도면이며, 도 1의 (c)는 제1 평탄화 절연층을 형성한 상태를 도시하는 도면.

도 2의 (a)는 표시 전극인 홀 주입 전극을 형성한 상태를 도시하는 도면이고, 도 2의 (b)는 홀 주입 전극의 주변에 제2 평탄화 절연층을 형성한 상태를 도시하는 도면이며, 도 2의 (c)는 유기 EL층 및 전자 주입 전극을 형성한 상태를 도시하는 도면.

도 3은 제1 실시예에서의 열처리를 실시한 경우의 발광 특성의 실험 결과를 도시하는 도면.

도 4는 제2 실시예에서의 이온 주입 처리를 실시한 경우의 발광 특성의 실험 결과를 도시하는 도면.

도 5는 코팅층을 형성한 상태를 도시하는 도면.

도 6은 제3 실시예에서의 SiN_x , 다이아몬드형 카본을 코팅한 경우의 발광 특성의 실험 결과를 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

10 : 유리 기판

30 : 제1 평탄화 절연층

32 : TFT 기판

34 : 홀 주입 전극

40 : 제2 평탄화 절연층

48 : 전자 주입 전극

50 : 유기 EL층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일렉트로 루미네센스 패널 및 그 제조 방법에 관한 것이다.

유기 일렉트로 루미네센스 패널(이하 「유기 EL 패널」이라고도 함)은 자기 발광을 하기 때문에 액정 패널에 비해 시인성이 높고, 또한 백 라이트가 불필요하기 때문에 얇고 가벼운 표시용 패널로서, 가까운 장래, 액정 패널을 대신할 것으로서 주목받고 있다. 일반적으로, 유기 EL 패널이 구비하는 유기 일렉트로 루미네센스 소자(이하 「유기 EL 소자」라고도 함)는, 전자 주입 전극으로부터 전자 수송층으로 주입된 전자와 홀 주입 전극으로부터 홀 수송층으로 주입된 홀이, 유기 발광층과 홀 수송층의 계면이나 계면 부근의 유기 발광층 내부에서 재결합함으로써 발광한다. 적, 녹, 청색을 발광하는 유기 재료를 증착하여 유기 발광층을 형성함으로써, 컬러 표시의 유기 EL 소자가 제작된다. 특히 최근에는, 박막 트랜지스터(Thin Film Transistor : TFT)를 스위칭 소자로서 구비하는 액티브 매트릭스형 유기 EL 패널이 차세대 평면 표시 장치의 주역으로서 생각되고 있으며, 현재 그 개발이 급속하게 진행되고 있다.

유기 EL 소자는 수분에 의해 신뢰성이 손상되기 때문에, 유기 EL 패널의 제작 시에는, 유기 EL 소자의 외표면을 금속관 등으로 피복하여, 외부로부터 수분이 침입하지 않도록 밀봉 구조를 형성하여 방습 대책을 행하고 있다. 또한, 다른 방법으로서, 유기층과 유기 EL층 사이에 SiO_x층을 형성하여, 유기 EL층을 유기층 성분이나 수분으로부터 보호하는 구조가 제안되어 있다(예를 들면, 특허 문헌1(특개평11-260562호 공보) 참조).

발명이 이루고자 하는 기술적 과제

그러나, 금속관을 이용한 밀봉 구조를 구비한 유기 EL 패널이어도, 현실적으로는 유기 EL 소자가 수분에 의해 열화되는 현상을 인식할 수 있다. 본 발명자는, 그 요인을 해석한 결과, TFT 기판에 함유되는 수분이 유기 EL 소자에 침투하여, 유기 EL 소자의 신뢰성을 손상시키고 있는 것을 밝혀냈다.

특허 문헌1은, 유기 EL층을 수분으로부터 보호하기 위한 SiO_x층을 개시하지만, SiO_x층의 수분의 배리어성은 높지 않다. 또한 유기층 상에 SiO_x층을 형성하기 위해서는, 유기층을 보호하기 위해 저온에서 성막해야만 하기 때문에, 유기 EL층에 침투하는 수분을 충분히 억제하는 치밀한 막을 형성할 수 없다.

따라서, 본 발명은, 상기한 과제를 해결할 수 있는 EL 패널 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 과제를 해결하기 위해, 본 발명의 일 형태에 따른 일렉트로 루미네센스 패널의 제조 방법은, 기판 상에, 제1 전극을 형성하는 공정과, 상기 제1 전극 주위에 절연층을 형성하는 공정과, 상기 절연층에 포함되는 수분량을 적게 하도록 상기 절연층에 열처리를 실시하는 공정과, 상기 절연층 상에 일렉트로 루미네센스층을 형성하는 공정과, 상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정을 포함한다. 일렉트로 루미네센스층의 하층에 존재하는 절연층을 열처리함으로써, 절연층에 잔류하는 수분이 일렉트로 루미네센스 소자의 신뢰성에 미치는 영향을 저감하는 것이 가능해진다. 상기 열처리 공정은, 상기 절연층의 함유 수분량이 154ng/cm² 이하가 되도록 절연층을 열처리하는 것이 바람직하고, 더욱 신뢰성을 높이기 위해서는 함유 수분량이 77ng/cm² 이하가 되도록 절연층을 열처리하는 것이 바람직하다. 또한, 얇은 샘플의 함유 수분량을 표현하는 단위로서 pg/cm²를 이용해도 되고, 예를 들면 절연층의 두께가 1,300nm인 경우에는 7.7ng/cm²=1pg/cm²로 된다. 이 경우, 절연층의 함유 수분량은 20pg/cm² 이하로 되는 것이 바람직하며, 또한 10pg/cm² 이하로 되는 것이 바람직하다. 상기 열처리 공정은, 전기로 내 등에서 기판을 가열해도 되고, 또한 상기 절연층에 전자파를 조사하여 가열해도 된다.

본 발명의 다른 형태에 따른 일렉트로 루미네센스 패널의 제조 방법은, 기판 상에, 제1 전극을 형성하는 공정과, 상기 제1 전극 주위에 절연층을 형성하는 공정과, 상기 절연층에, 200℃ 내지 270℃의 온도에서 1시간 내지 3시간의 열처리를 가하는 공정과, 상기 절연층 상에 일렉트로 루미네센스층을 형성하는 공정과, 상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정을 포함한다. 절연층을 열처리함으로써, 절연층에 잔류하는 수분이 일렉트로 루미네센스 소자의 신뢰성에 미치는 영향을 저감하는 것이 가능해진다.

본 발명의 또 다른 형태에 따른 일렉트로 루미네센스 패널의 제조 방법은, 기판 상에, 제1 전극을 형성하는 공정과, 상기 제1 전극 주변에 절연층을 형성하는 공정과, 상기 절연층의 흡습성을 저감하도록 상기 절연층에 개질(改質) 처리를 실시하는 공정과, 상기 절연층 상에 일렉트로 루미네센스층을 형성하는 공정과, 상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정을 포함한다. 절연층에 개질 처리를 실시함으로써, 절연층의 흡습성을 저하시킴과 함께, 잔류하는 수분량을 줄일 수 있다.

본 발명의 또 다른 형태에 따른 일렉트로 루미네센스 패널의 제조 방법은, 기판 상에, 제1 전극을 형성하는 공정과, 상기 제1 전극 주변에 절연층을 형성하는 공정과, 상기 절연층 상에, SiN_x 함유층, 다이아몬드형 카본 함유층 또는 Si 박막층 중 어느 하나로 구성되는 배리어막을 형성하는 공정과, 상기 배리어막 상에 일렉트로 루미네센스층을 형성하는 공정과, 상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정을 포함한다. 절연층 상에 배리어막을 형성함으로써, 일렉트로 루미네센스층을 수분으로부터 보호할 수 있다.

본 발명의 또 다른 형태에 따른 일렉트로 루미네센스 패널의 제조 방법은, 기판 상에, 제1 전극을 형성하는 공정과, 상기 제1 전극 주변에 절연층을 형성하는 공정과, 상기 절연층 상에, 소수성 재료의 코팅층을 형성하는 공정과, 상기 코팅층 상에

일렉트로 루미네센스층을 형성하는 공정과, 상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정을 포함한다. 절연층 상에 소수성 재료를 코팅함으로써, 절연층에 수분이 침입하는 것을 억제하여, 절연층의 수분 함유량을 저감시켜, 일렉트로 루미네센스층을 수분으로부터 보호할 수 있다.

본 발명의 또 다른 형태에 따른 일렉트로 루미네센스 패널은, 기판 상에 형성된 제1 전극과, 상기 제1 전극 주위에 형성되며, 수분량이 154ng/cm² 이하인 절연층과, 상기 절연층 상에 형성된 일렉트로 루미네센스층과, 상기 일렉트로 루미네센스층 상에 형성된 제2 전극을 포함한다. 절연층 내의 잔류 수분량을 적게 함으로써, 이 잔류 수분이 일렉트로 루미네센스 소자의 신뢰성에 미치는 영향을 저감하는 것이 가능해진다.

<제1 실시예>

도 1~도 2는 본 발명에 따른 제1 실시예에 따른 유기 EL 패널의 제조 공정을 도시하는 도면이다. 도 1의 (a)는 능동층(14)을 형성한 상태를 도시한다. 이 공정에서는, 우선 무알카리 유리 등으로 이루어지는 유리 기판(10) 상에, SiO₂막으로 이루어지는 절연성 보호막(12)을 플라즈마 CVD법을 이용하여 형성한다. 보호막(12) 상에 플라즈마 CVD법 등에 의해 a-Si막을 성막하고, 그 a-Si막의 표면에 엑시머 레이저 등의 레이저광을 주사하면서 스폿 조사하여 어닐링 처리를 행하여, a-Si막을 용융 재결정화하여 p-Si막으로 개질(改質)시킨다. 그리고, 이 p-Si막을 섬 형상으로 에칭하여 능동층(14)을 형성한다.

도 1의 (b)는 게이트 전극(20)을 형성한 상태를 도시한다. 이 공정에서는, p-Si막으로 구성되는 능동층(14) 상에, CVD법을 이용하여 SiO₂막으로 이루어지는 제1 게이트 절연막(16)과, SiN막으로 이루어지는 제2 게이트 절연막(18)을 형성한다. 제2 게이트 절연막(18) 상에, 크롬(Cr), 몰리브덴(Mo) 등의 고용점 금속으로 이루어지는 도전 재료를 스퍼터법을 이용하여 성막하고, 포토리소그래피 기술 및 드라이 에칭 기술을 이용하여, 능동층(14)의 상방에 배치되도록 게이트 전극(20)을 형성한다.

도 1의 (c)는 제1 평탄화 절연층(30)을 형성한 상태를 도시한다. 이 공정에서는, 우선 능동층(14)에 대하여, 게이트 전극(20)을 마스크로 하여 P형 또는 N형의 불순물 이온을 제2 게이트 절연막(18) 및 제1 게이트 절연막(16)을 통해 주입한다. 능동층(14)에서는, 게이트 전극(20)의 하방에 존재하는 채널 영역과, 채널 영역의 양측에 존재하는 소스 영역 및 드레인 영역이 형성된다. 그리고 나서, 게이트 전극(20) 및 제2 게이트 절연막(18) 상에, SiN막으로 이루어지는 제1 층간 절연막(22)과 SiO₂막으로 이루어지는 제2 층간 절연막(24)을 형성한다. 그 다음에, 소스 영역 및 드레인 영역에 대응하여, 능동층(14)까지 도달하는 콘택트홀을 형성하고, 이 콘택트홀에 알루미늄(Al) 등의 금속을 충전하여, 소스 전극(26) 및 드레인 전극(28)을 형성한다. 소스 전극 및 드레인 전극은 서로 교체되어 형성되어도 된다. 그 후, 이 위에 감광성 수지인 제1 평탄화 절연층(30)을 형성한다. 이 제1 평탄화 절연층(30)은, 소스 전극(26)이나 드레인 전극(28) 등의 상방으로 돌출된 부분의 요철을 흡수하여 표면을 평탄하게 하여, 후 공정에서 표시 전극을 평탄하게 형성할 수 있도록 한다. 이 공정에 의해, 박막 트랜지스터를 갖는 TFT 기판(32)이 형성된다.

도 2의 (a)는 표시 전극인 홀 주입 전극(34)을 형성한 상태를 도시한다. 이 공정에서는, 우선 드레인 전극(28)의 위치에 대응하여, 제1 평탄화 절연층(30)에 콘택트홀을 형성하고, 거기에 투명 전극 재료인 산화 인듐 주석(Indium Tin Oxide : ITO)을 퇴적하여, 표시 전극인 홀 주입 전극(34)을 형성한다.

도 2의 (b)는, 홀 주입 전극(34)의 주변에 제2 평탄화 절연층(40)을 형성한 상태를 도시한다. 이 공정에서는, 우선 감광성 수지를 퇴적하고, 그리고 나서 홀 주입 전극(34)의 위치에 대응하여 콘택트홀을 형성하며, 홀 주입 전극(34)의 주변의 상방에 제2 평탄화 절연층(40)을 형성한다. 이 제2 평탄화 절연층(40)은, 홀 주입 전극(34)의 두께로부터 발생하는 단차에 의해 전자 주입 전극과 쇼트되는 것을 방지하기 위해 형성된다.

제1 실시예에서는, 제2 평탄화 절연층(40) 형성 직후에 열처리를 실시하여, 제2 평탄화 절연층(40)에 포함되는 수분을 매우 적게 한다. 대표적인 평탄화 절연층(40)은, 열처리 전에는 그 수분 함유량을 385ng/cm² 이상으로 한다. 이 평탄화 절연층(40)의 두께가 1,300nm인 경우에는, 그 수분 함유량을 50pg/cm² 이상으로 표현할 수도 있다. 본 발명자는, 이 수분이 유기 EL 소자에 악영향을 미치고 있는 것에 주목하여, 이 수분을 극력 제거함으로써, 유기 EL 소자의 신뢰성을 높이는 것을 실험에 의해 실증하였다.

본 발명자는, 내열 투명 감광형 아크릴 수지에 의해 제2 평탄화 절연층(40)을 형성한 샘플에서, 열처리 후의 제2 평탄화 절연층(40)의 수분 함유량을 77ng/cm² 이하로 함으로써, 100000시간을 초과하는 유기 EL 소자의 신뢰성을 확보할 수 있는 것을 실증하였다. 100000시간 후의 휘도 저하를 20%까지 허용하는 경우에는, 수분 함유량은 154ng/cm² 이하이면 충분한

것도 알 수 있었다. 100000시간 후의 휘도 저하가 20%라는 값은, 실용적으로 충분히 활용할 수 있는 범위이다. 그 때문에, 제2 평탄화 절연층(40)의 열처리 공정에서는, 이 절연층의 함유 수분량이 154ng/cm² 이하가 되도록, 더 적합하게는 77ng/cm² 이하가 되도록 열처리를 실시한다.

도 3은 제2 평탄화 절연층(40)의 함유 수분량이 77ng/cm² 이하가 되도록 열처리를 실시한 경우의 발광 특성의 실험 결과를 도시하는 것이다. 종축은 휘도(상대 강도)를 나타내고, 횡축은 시간을 나타낸다. 질소 분위기 중, 상압의 환경 하에서 열처리가 실시되었다. 비교용 데이터로서 열처리가 행해지지 않은 유기 EL 소자의 발광 특성도 나타낸다. 열처리가 실시되지 않은 제2 평탄화 절연층(40)의 함유 수분량은 385ng/cm² 이상이다. 이 실험 결과에 의해, 열처리를 행하지 않은 경우에는, 거의 100시간 후부터 발광 특성이 악화되어, 장시간의 사용에 견딜 수 없는 것이 판명되었다. 또한 300℃에서 30분 열처리를 행한 경우, 거의 1000시간을 초과한 정도부터 점차로 발광 특성이 악화되는 것도 알 수 있었다. 다른 실험에 의해, 270℃를 초과한 온도에서 가열처리를 행하면, 그 하층에 존재하는 박막 트랜지스터(TFT)의 특성에 악영향이 발생하는 것이 판명되었다. 그 때문에, 300℃에서 열처리를 행한 경우에는, 이 TFT의 응답 특성이 열화됨으로써, 유기 EL 소자의 발광 특성이 악화되는 것으로 생각된다.

한편, 150℃에서 10시간의 열처리를 행한 경우와, 220℃에서 2시간의 열처리를 행한 경우에는, 100000시간을 초과해도 유기 EL 소자의 발광 특성이 거의 열화되는 양을 알 수 있었다. 그러나 150℃에 의한 열처리는, 처리 시간이 너무 길어져 양산에는 적합하지 않다. 이상의 실험에 의해, 제2 평탄화 절연층(40)에 대하여, 200℃ 내지 270℃의 온도에서 1시간 내지 3시간의 열처리를 가하는 것이 바람직하고, 220℃의 온도에서 2시간의 열처리를 가하는 것이 보다 바람직한 것이 판명되었다.

도 2의 (c)는 유기 EL층(50) 및 전자 주입 전극(48)을 형성한 상태를 도시한다. 이 공정에서는, 우선 홀 수송층(42), 발광층(44) 및 전자 수송층(46)을 이 순서로 적층하고, 제2 평탄화 절연층(40) 및 홀 주입 전극(34) 상에 유기 EL층(50)을 형성한다. 홀 수송층(42)으로서, 4, 4', 4''-트리스(3-메틸페닐페닐아미노)트리페닐아민(4, 4', 4''-tris(3-methylphenylphenylamino)triphenylamine : MTDATA), N, N'-디(나프탈렌-1-이루)-N, N'-디페닐-벤지딘(N, N'-Di(naphthalene-1-yl)-N, N'-diphenyl-benzidine : NPB), N, N'-디페닐-N, N'-디(3-메틸페닐)-1, 1'-비페닐-4, 4'-디아민(N, N'-diphenyl-N, N'-di(3-methylphenyl)-1, 1'-biphenyl-4, 4'-diamine : TPD) 등이 예시된다. 발광층(44)으로서, 퀴나크리돈 유도체를 포함하는 비스(벤조 퀴놀리네이트)베릴륨 착체(bis(10-hydroxybenzo[h]quinolinato)beryllium : Bebq2) 등이 예시된다. 전자 수송층(46)으로서, 알루미늄퀴놀렌 착체(Alq3), 또는 Bebq2 등이 예시된다. 그 다음에, 유기 EL층(50) 상에 전자 주입 전극(48)을 성막한다. 전자 주입 전극(48)으로서, 예를 들면, 리튬을 미량 포함하는 알루미늄 합금, 마그네슘 인듐 합금, 또는 마그네슘은 합금 등이 예시된다. 이상의 공정에 의해, 제1 실시예에 따른 유기 EL 패널이 형성된다.

이상, 제2 평탄화 절연층(40)에 열처리를 실시하여, 함유 수분량을 적게 하는 실시예를 설명하였다. 예를 들면, 열처리는, 전기로 내, 크린 오븐 내 또는 핫 플레이트 상 등에서, 제2 평탄화 절연층(40)을 형성한 TFT 기관(32)을 가열함으로써 행해져도 된다. 수분 제거를 위해서는 진공 중에서 열처리를 행하는 것이 효과적이지만, 아르곤 등의 불활성 가스, 수소, 산소, 질소, 건조 공기 등의 분위기 중에서 열처리를 행해도 된다.

다른 방법으로서, 제2 평탄화 절연층(40)을 직접 가열해도 된다. 구체적으로는, 제2 평탄화 절연층(40)에 흡수되는 전자파를 제2 평탄화 절연층(40)에 조사하여, 가열한다. 마이크로파는 제2 평탄화 절연층(40)의 수분에 직접 흡수되기 때문에 적합하다. 예를 들면, 조사 조건으로서, 2.4GHz의 마이크로파를 5kW로 10분간 조사해도 된다. 제2 평탄화 절연층(40)에 전자파를 직접 조사하기 때문에, 에너지 효율이 양호하고, 또한 단시간에 열처리를 행할 수 있다. 분위기는 상기한 것과 마찬가지로 지이다.

또한 래피드 서멀 어닐링(rapido thermal annealing)에 의해, 제2 평탄화 절연층(40)의 수분을 저감하는 것도 가능하다. 이 방법에 의하면, 열처리 시간을 단축할 수 있다. 래피드 서멀 어닐링 방법으로서, 제2 평탄화 절연층(40)의 전면을 전자파, 예를 들면 플래시 램프광이나 마이크로파에 의해 급속 가열하는 방법과, 히터 등의 열원에 의해 고온으로 한 부재를 TFT 기관(32)에 대하여 상대적으로 주사하는 방법이 있다. 고온 부재를 TFT 기관(32)에 대하여 이동시켜도 되지만, TFT 기관(32)을 고온 부재에 대하여 이동시켜도 된다. 분위기는 상기한 것과 마찬가지로 지이다. 이 때, 300~450℃에서, 1~10분간 열처리를 행해도 된다. 상술한 바와 같이, 300℃에서 가열처리를 30분 정도 행하면, TFT 특성에 악영향이 발생하는 경우도 있지만, 래피드 서멀 어닐링을 행하여 가열처리 시간을 충분히 짧게 하면, TFT 특성의 열화가 발생하지 않는 것도 판명되었다. 처리 시간을 짧게 함으로써, 유기 EL 패널의 생산성을 향상시킬 수 있다.

<제2 실시예>

제2 실시예에서는, 제2 평탄화 절연층(40)을 개질함으로써, 제2 평탄화 절연층(40)의 흡습성을 저감시킨다. 개질 처리를 실시함으로써, 제2 평탄화 절연층(40)의 함유 수분량도 저감시킬 수 있다. 저감된 함유 수분량은, 제1 실시예에서 설명한 범위에 있는 것이 바람직하다. 제2 실시예에서는, 제1 실시예에서의 열처리 대신에 개질 처리를 행하고, 다른 공정에 대해서는 제1 실시예에서 설명한 공정과 마찬가지로이다. 또한, 제1 실시예에서의 열처리와 제2 실시예에서의 개질 처리를 조합하여, 유기 EL 패널의 제조 방법을 실현해도 된다. 이하, 개질 방법의 구체예를 설명한다.

(플라즈마 처리법)

제2 평탄화 절연층(40)을 형성한 TFT 기관(32)을 플라즈마에 노출시킴으로써, 제2 평탄화 절연층(40)으로부터 수분을 제거함과 함께, 제2 평탄화 절연층(40)을 개질하여 흡습성을 저감한다. 플라즈마는, CF₄ 등의 불화 탄소, CHF₃ 등의 수소화 불화 탄소, 질소나 N₂O 등, 또는 이들을 포함하는 혼합 가스를 이용하는 것이 바람직하다. 특히 불소 함유 가스 플라즈마는, 제2 평탄화 절연층(40)의 표면을 소수성으로 하기 때문에 적합하다. 예를 들면, CF₄를 함유하는 가스의 압력을 20Pa, RF 전력을 1W/cm²의 조건으로 형성한 플라즈마에 5~30초간 노출시킴으로써, 제2 평탄화 절연층(40)을 개질할 수 있다.

(이온 주입법)

제2 평탄화 절연층(40)을 형성한 TFT 기관(32)에 이온 주입함으로써, 제2 평탄화 절연층(40)으로부터 수분을 제거함과 함께, 제2 평탄화 절연층(40)을 개질하여 흡습성을 저감한다. 이온은, 불활성 가스 이온, 불소, 붕소, 질소, 산소, 알루미늄, 유황, 염소, 갈륨, 게르마늄, 비소, 셀레늄, 브롬, 안티몬, 요오드, 인듐, 주석, 텔루르, 납, 비스무스, 티탄, 니오븀, 하프늄, 탄탈의 원소 단체 이온 또는 이들 원소의 화합물 이온이다. 고에너지로 이온 주입함으로써, 표면뿐만 아니라, 제2 평탄화 절연층(40)의 내부까지 개질하는 것이 가능해진다. 예를 들면, 가속 에너지를 40~140keV, 도우즈량을 1×10¹⁴~1×10¹⁶cm⁻²의 조건으로 이온 주입을 행하여, 제2 평탄화 절연층(40)을 개질해도 된다.

(자외광 조사법)

제2 평탄화 절연층(40)을 형성한 TFT 기관(32)에 자외광을 조사함으로써, 제2 평탄화 절연층(40)을 개질하여 흡습성을 저감한다. 자외광의 조사는 진공 상태를 필요로 하지 않기 때문에, 제2 평탄화 절연층(40)을 간이하게 개질할 수 있다. 예를 들면, 자외광을 10mW/cm²로 1~5분간 조사함으로써, 제2 평탄화 절연층(40)을 개질해도 된다.

도 2의 (b)로 되돌아가, 제2 평탄화 절연층(40)에는, 홀 주입 전극(34)의 위치에 대응하여 컨택트홀이 형성된다. 제2 평탄화 절연층(40)의 개질 처리는, 이 컨택트홀의 형성 전에 행해도 되고, 형성 후에 행해도 된다. 컨택트홀 형성 전에 개질 처리를 행하면, 컨택트홀 바닥의 홀 주입 전극(34)에의 손상을 고려하지 않아도 된다. 이온 주입법에 의하면, 이온 주입의 가속 에너지를 높게 함으로써, 제2 평탄화 절연층(40)의 내부까지 개질할 수 있기 때문에, 이온 주입 처리는 컨택트홀 형성 전에 행해져도 된다. 한편, 컨택트홀 형성 후에 개질 처리를 행하면, 제2 평탄화 절연층(40)의 표면뿐만 아니라, 컨택트홀의 측벽도 개질할 수 있다. 플라즈마 처리나 자외광 조사는 제2 평탄화 절연층(40)의 표면을 개질하는 것이기 때문에, 컨택트홀의 측벽도 개질하기 위해, 이들 처리는 컨택트홀 형성 후에 행해져도 된다. 또한 조사 강도를 높여, 컨택트홀 형성 전에 자외광 조사를 행하여, 제2 평탄화 절연층(40)의 내부까지 개질을 행해도 된다.

도 4는 제2 평탄화 절연층(40)에 Ar 이온 주입 처리를 실시한 경우의 발광 특성의 실험 결과를 도시하는 것이다. 종축은 휘도(상대 강도)를 나타내고, 횡축은 시간을 나타낸다. Ar 이온은, 가속 에너지가 140keV, 도우즈량이 1×10¹⁴cm⁻² 및 1×10¹⁵cm⁻² 조건 하에서 주입되었다. 비교용 데이터로서 Ar 이온을 주입하지 않은 경우의 유기 EL 소자의 발광 특성도 나타낸다. 이 실험 결과에 의해, 이온 주입에 의한 제2 평탄화 절연층(40)의 개질 처리를 행하지 않은 경우에는, 단시간에 발광 특성이 악화되어, 장시간의 사용에 견딜 수 없는 것이 판명되었다. 한편, 이온 주입에 의해 제2 평탄화 절연층(40)의 개질 처리가 행해진 경우에는, 장시간에 걸쳐 유기 EL 소자의 발광 특성이 거의 열화되는 않는 것을 알 수 있었다.

<제3 실시예>

제3 실시예에서는, 제2 평탄화 절연층(40)을 코팅함으로써, 제2 평탄화 절연층(40)의 함유 수분이 상방의 유기 EL층(50)에 미치는 영향을 저감한다. 제3 실시예에서는, 제1 실시예에서의 열처리 대신에 코팅 처리하여 코팅층을 형성하고, 그 이후의 공정에 대해서는 제1 실시예에서 설명한 공정과 마찬가지로이다. 또한, 제1 실시예에서의 열처리와 제3 실시예에서의 개질 처리를 조합하여, 유기 EL 패널의 제조 방법을 실현해도 된다. 이하, 코팅 방법의 구체예를 설명한다.

(배리어막의 코팅)

제2 평탄화 절연층(40) 상에 수분이 투과되지 않는 배리어막을 코팅함으로써, 유기 EL층(50)을 수분으로부터 보호할 수 있다. 유기 EL층(50)은 배리어막 상에 형성된다. 이 배리어막은, 예를 들면 SiN_x , 다이아몬드형 카본, Si 막막 등으로 형성된다. 이들 재료로 배리어막을 형성함으로써, SiO_x 로 형성하는 경우와 비교하여, 수분의 배리어성이 향상된다. SiN_x 막은, 예를 들면 플라즈마 CVD법에 의해, NH_3/SiH_4 가스 유량비가 1~3, 기판 온도가 200℃, 압력이 5~50Pa, RF 파워 밀도가 1~3W/cm²인 조건 하에서 작성해도 된다. 다이아몬드형 카본은, 예를 들면 플라즈마 CVD법에 의해, $\text{H}_2/\text{C}_2\text{H}_4$ 가스 유량비가 0.1~0.5, 기판 온도가 100℃, 압력이 5~50Pa, RF 파워 밀도가 2~4W/cm²인 조건 하에서 작성해도 된다.

(소수성 재료의 코팅)

제2 평탄화 절연층(40) 상에 소수성 재료를 코팅함으로써, 제2 평탄화 절연층(40)에 수분이 침입하는 것을 억제하고, 그 결과, 제2 평탄화 절연층의 수분 함유량을 저감할 수 있다. 유기 EL층(50)은 코팅층 상에 형성된다. 이 코팅은, 스핀 코팅이나 스프레이 코팅 등의 도포법이나, 기상 퇴적법을 이용하여 행해도 된다. 소수성 재료는, 헥사메틸 디실라잔 등의 하이드로 카본이나 플루오로 카본 등의 소수기를 갖는 유기 규소 화합물이나 불소 수지 등이 바람직하다.

도 2의 (b)로 되돌아가, 제2 평탄화 절연층(40)에는, 홀 주입 전극(34)의 위치에 대응하여 컨택트홀이 형성된다. 제2 평탄화 절연층(40)의 코팅은, 이 컨택트홀의 형성 전에 행해도 되고, 형성 후에 행해도 된다. 컨택트홀 형성 전에 코팅 처리를 행하면, 1회의 공정으로 홀 주입 전극(34)에 도달하는 컨택트홀을 형성할 수 있다. 한편, 컨택트홀 형성 후에 코팅 처리를 행하면, 컨택트홀 바닥의 홀 주입 전극(34)에도 코팅막이 형성되기 때문에, 그 부분의 코팅막을 제거할 필요가 있다. 그 때문에 공정수는 증가하게 되지만, 컨택트홀의 측벽에도 코팅막을 형성할 수 있기 때문에, 수분의 억제 효과는 높아진다. 도 5는 컨택트홀 측벽에도 코팅막(60)을 형성한 상태를 도시한다. 컨택트홀 형성 후에 코팅 처리를 행함으로써, 컨택트홀 형성 시에 코팅막(60)이 손상되지 않는다.

도 6은 제2 평탄화 절연층(40)에 SiN_x , 다이아몬드형 카본을 코팅한 경우의 발광 특성의 실험 결과를 도시하는 것이다. 코팅 처리는, 컨택트홀 형성 후의 제2 평탄화 절연층(40)에 대하여 행하였다. 종축은 휘도(상대 강도)를 나타내고, 횡축은 시간을 나타낸다. 비교용 데이터로서 코팅 처리를 실시하지 않은 경우의 유기 EL 소자의 발광 특성도 나타낸다. 이 실험 결과에 의해, 코팅 처리를 행하지 않은 경우에는, 단시간에 발광 특성이 악화되어, 장시간의 사용에 견딜 수 없는 것이 판명되었다. 한편, SiN_x , 다이아몬드형 카본을 코팅한 경우에는, 장시간에 걸쳐 유기 EL 소자의 발광 특성이 거의 열화되는 않는 것을 알 수 있었다.

이상, 본 발명을 몇 개의 실시예를 기초로 설명하였지만, 본 발명의 기술적 범위는 상기 실시예에 기재된 범위에 한정되지 않는다. 상기 실시예는 예시이며, 이들 각 구성 요소나 각 처리 공정의 조합, 또는 다양한 변형예가 가능한 것, 또한 그러한 변형예도 본 발명의 범위에 있는 것은 당업자에게 이해될 것이다. 실시예에서, 증착하는 유기층의 재료를 나타내고 있지만, 이들 재료는 단순한 예시인 것도 당업자에게 이해될 것이다. 실시예에서는, EL 소자로서 유기 EL 소자를 예로 들어 설명하였지만, 이에 한정되는 것이 아니라, 무기 EL 소자이어도 된다.

각각의 실시예를 통해, 제2 평탄화 절연층(40)에 열처리, 개질 처리, 및 코팅 처리를 실시하여, 유기 EL층(50)에 대한 수분의 영향을 저감시키는 방법을 설명하였지만, 이들은 각각 단독으로 이용해도 될 뿐만 아니라, 조합하여 이용해도 된다. 조합하여 이용함으로써, 유기 EL층(50)에의 수분의 영향을 한층 더 효율적으로 저감하는 것이 가능해진다. 예를 들면, 열처리 후에 코팅 처리를 행하면, 제2 평탄화 절연층(40)의 수분 함유량을 저감하고, 또한 함유 수분이 유기 EL층(50)에 미치는 영향을 코팅막에 의해 억제할 수 있어, 매우 효과적이다. 개질 처리 후에 코팅 처리를 행한 경우에도, 마찬가지로의 효과를 얻을 수 있다.

발명의 효과

본 발명에 따르면, 수분에 의해 EL 소자의 발광 특성이 열화되는 것을 방지하는 EL 패널 및 그 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

기판 상에, 제1 전극을 형성하는 공정과,

상기 제1 전극 주변에 절연층을 형성하는 공정과,

상기 절연층에 포함되는 수분량을 적게 하도록 상기 절연층에 열처리를 실시하는 공정과,

상기 절연층 상에 일렉트로 루미네센스층을 형성하는 공정과,

상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정

을 포함하며,

상기 열처리 공정은,

상기 절연층의 함유 수분량이 $154\text{ng}/\text{cm}^2$ 이하가 되도록 상기 절연층을 열처리하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 제조 방법.

청구항 3.

제2항에 있어서,

상기 열처리 공정은,

상기 절연층에 전자과를 조사하여 가열하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 제조 방법.

청구항 4.

기판 상에, 제1 전극을 형성하는 공정과,

상기 제1 전극 주변에 절연층을 형성하는 공정과,

상기 절연층에, 200°C 내지 270°C 의 온도에서 1시간 내지 3시간의 열처리를 가하는 공정과,

상기 절연층 상에 일렉트로 루미네센스층을 형성하는 공정과,

상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정

을 포함하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 제조 방법.

청구항 5.

기판 상에, 제1 전극을 형성하는 공정과,

상기 제1 전극 주변에 절연층을 형성하는 공정과,

상기 절연층의 흡습성을 저감하도록 상기 절연층에 개질(改質) 처리를 실시하는 공정과,

상기 절연층 상에 일렉트로 루미네센스층을 형성하는 공정과,

상기 일렉트로 루미네센스층 상에 제2 전극을 형성하는 공정

을 포함하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 제조 방법.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

기판 상에 형성된 제1 전극과,

상기 제1 전극 주변에 형성되며, 함유 수분량이 $154\text{ng}/\text{cm}^2$ 이하인 절연층과,

상기 절연층 상에 형성된 일렉트로 루미네센스층과,

상기 일렉트로 루미네센스층 상에 형성된 제2 전극

을 포함하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

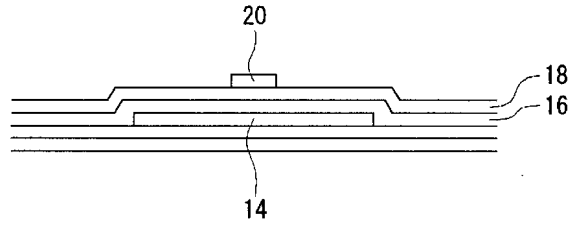
도면

도면1

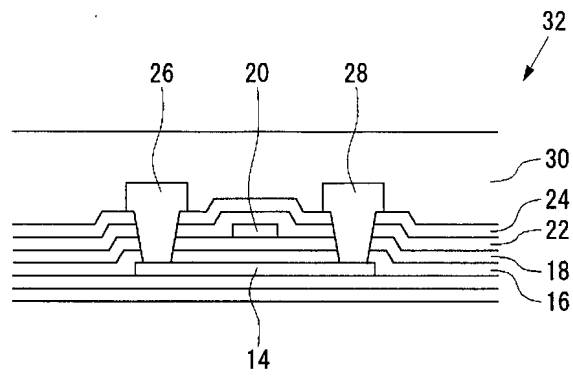
(a)



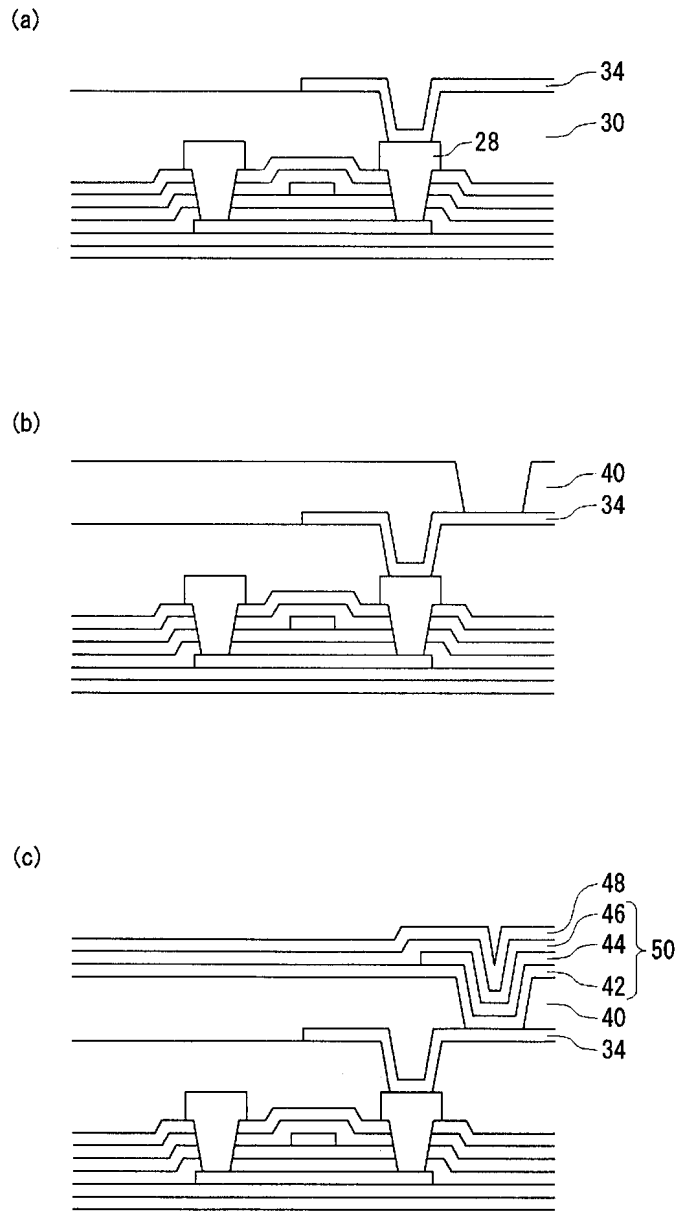
(b)



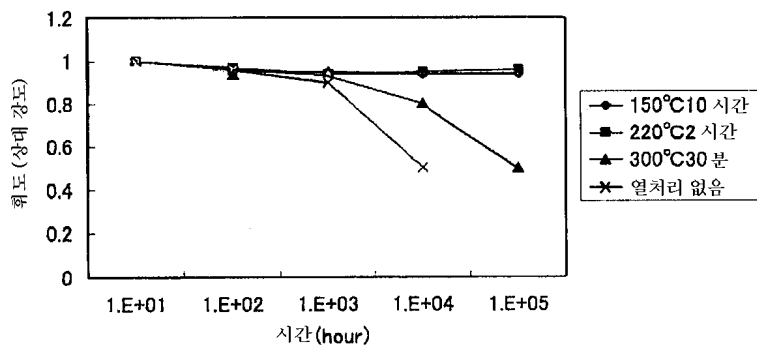
(c)



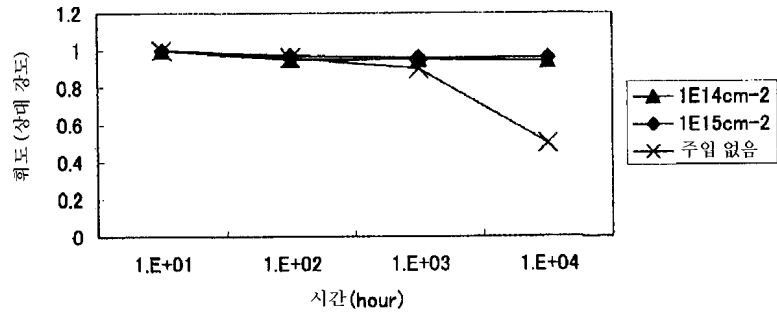
도면2



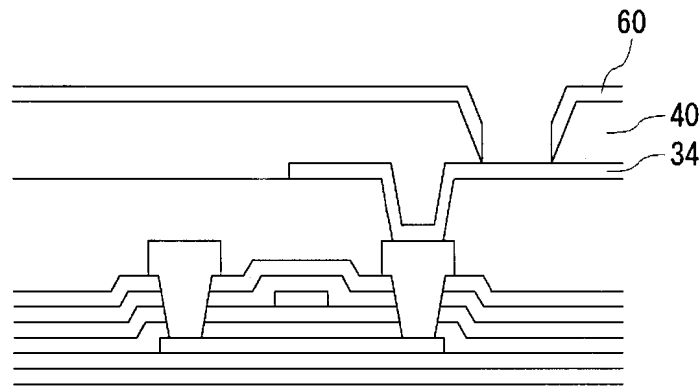
도면3



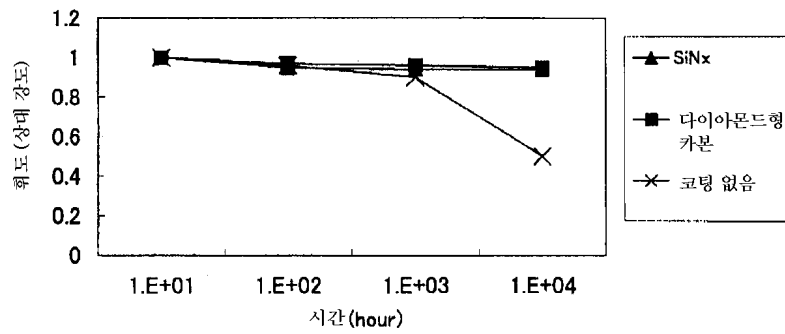
도면4



도면5



도면6



专利名称(译)	电致发光面板及其制造方法		
公开(公告)号	KR100604279B1	公开(公告)日	2006-07-25
申请号	KR1020030013282	申请日	2003-03-04
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	ABE HISASHI 아베히사시 SUZUKI KOJI 스즈끼고지 HASEGAWA ISAO 하세가와이사오		
发明人	아베히사시 스즈끼고지 하세가와이사오		
IPC分类号	H05B33/10 C01B32/949 H01L27/32 H01L51/50 H01L51/52 H05B33/22		
CPC分类号	H01L27/3246 H01L29/4908 H01L51/5253		
代理人(译)	LEE , JUNG HEE CHU , 晟敏		
优先权	2002059590 2002-03-05 JP 2003022757 2003-01-30 JP		
其他公开文献	KR1020030074186A		
外部链接	Espacenet		

摘要(译)

提供了一种具有高可靠性的有机EL面板的制造方法。位于有机电子发光层(50)下层的第二平面绝缘层(40)进行热处理。含水量很大。这包含含水量,其中需要低发光度劣化的有机EL面板可以实现为77ng/cm²该靶盒。作为降低有机电子发光层(50)的水分影响的另一种方法,对第二平面绝缘层(40)进行改性处理。而且,执行封装。电致发光层,热处理,阻挡膜,含水量,平面绝缘层。

