



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0101409  
(43) 공개일자 2009년09월28일

(51) Int. Cl.

*H05B 33/02* (2006.01) *H05B 33/08* (2006.01)*H01L 51/50* (2006.01)

(21) 출원번호 10-2009-0020626

(22) 출원일자 2009년03월11일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-074774 2008년03월23일 일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

야마시타 준이치

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 나이

야마모토 테츠로

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 나이

우치노 카쓰히데

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 나이

(74) 대리인

이화의, 김홍두

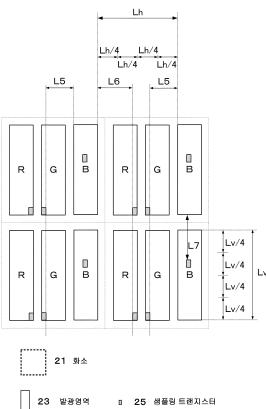
전체 청구항 수 : 총 4 항

## (54) EL 표시 패널 및 전자기기

## (57) 요 약

내부 산란광의 영향에 의한 임계값전압 변동을 억제하는 패널구조를 제안한다. 액티브 매트릭스 구동방식에 대응한 화소구조를 가지는 EL 표시 패널에, 이하의 구조를 채용하는 것을 제안한다. 즉, 박막 트랜지스터의 임계값전압을 변동시키는 특성이 가장 높은 발광색에 대응하는 제1 발광 영역끼리의 사이에 다른 발광색에 대응하는 제2 발광 영역이 레이아웃되어 있을 경우에, 상기 제2 발광 영역을 구동하는 각 화소회로 내의 샘플링 트랜지스터가, 자발광 영역을 사이에 두고 인접하는 2개의 제1 발광 영역의 한쪽의 가장자리부로부터 다른 쪽의 가장자리부까지의 길이의 1/4 이상 3/4 이하의 범위 내에 레이아웃 되는 구조를 제안한다.

대 표 도 - 도24



## 특허청구의 범위

### 청구항 1

액티브 매트릭스 구동방식에 대응한 화소회로를 갖는 EL 표시 패널로서,

박막 트랜지스터의 임계값전압을 변동시키는 특성이 가장 높은 발광색에 대응하는 제1 발광 영역끼리의 사이에 다른 발광색에 대응하는 제2 발광 영역이 레이아웃된 구조와,

상기 제2 발광 영역을 구동하는 각 화소회로 내의 샘플링 트랜지스터가, 자발광 영역을 사이에 두고 인접하는 2개의 제1 발광 영역의 한쪽의 가장자리부로부터 다른 쪽의 가장자리부까지의 길이의  $1/4$  이상  $3/4$  이하의 범위 내에 배치된 구조를 갖는 것을 특징으로 하는 EL 표시 패널.

### 청구항 2

제 1항에 있어서,

상기 제1 발광 영역끼리가 패널 내에서 인접할 경우,

상기 제1 발광 영역을 구동하는 각 화소회로 내의 샘플링 트랜지스터가,

상기 제1 발광 영역이 인접하는 방향의 자발광 영역의 길이의  $1/4$  이상  $3/4$  이하의 범위에 레이아웃 되는 것을 특징으로 하는 EL 표시 패널.

### 청구항 3

제 1항 또는 제 2항에 있어서,

상기 제1 발광 영역은, 청색에 대응하는 발광 영역인 것을 특징으로 하는 EL 표시 패널.

### 청구항 4

액티브 매트릭스 구동방식에 대응한 화소회로와, 상기 화소회로를 구성하는 박막 트랜지스터의 임계값전압을 변동시키는 특성이 가장 높은 발광색에 대응하는 제1 발광 영역끼리의 사이에 다른 발광색에 대응하는 제2 발광 영역이 레이아웃된 구조와, 상기 제2 발광 영역을 구동하는 각 화소회로 내의 샘플링 트랜지스터가, 제2 발광 영역을 사이에 두고 인접하는 2개의 제1 발광 영역의 한쪽의 가장자리부로부터 다른 쪽의 가장자리부까지의 길이의  $1/4$  이상  $3/4$  이하의 범위 내에 레이아웃된 구조를 갖는 EL 표시 패널과,

시스템 전체의 동작을 제어하는 시스템 제어부와,

상기 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 갖는 것을 특징으로 하는 전자기기.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

&lt;1&gt;

본 명세서에서 설명하는 발명은, 액티브 매트릭스 구동방식으로 구동 제어되는 EL 표시 패널에 관한 것이다. 여기에서, 본 명세서에서 제안하는 발명은, EL 표시 패널을 탑재하는 각종 전자기기로서의 측면도 가진다.

#### 배경 기술

&lt;2&gt;

도 1에, 액티브 매트릭스 구동형의 유기EL패널에 사용할 수 있는 회로 블록의 구성예를 개시한다. 도 1에 나타내는 유기EL패널(1)은, 화소 어레이부(3)와, 그 구동회로인 기록제어 스캐너(5), 전원선 스캐너(7) 및 수평 셀렉터(9)로 구성된다.

&lt;3&gt;

화소 어레이부(3)는, 신호선 DTL과 기록제어선 WSL의 각 교점에 서브 화소(11)를 배치한 매트릭스 화소구조를 갖고 있다. 서브 화소(11)는, 1화소를 구성하는 화소구조의 최소 단위다. 예를 들면 화이트 유닛으로서의 1화소는, 유기EL재료가 다른 3개의 서브 화소(R(적색)화소, G(녹색)화소, B(청색)화소)의 집합체나 이것들에 W(백색)화소를 첨가한 4개의 서브 화소 등으로 구성된다.

- <4> 도 2에, 화소(21)의 구성예를 게시한다. 도 2에 나타내는 화소(21)는, 3원색에 대응하는 서브 화소(11)의 집합체로서 형성되는 표시상의 1화소다. 이 때, 각 발광색은 서브 화소(11)의 중앙 부근에 배치되는 발광 영역(유기EL소자)(23)으로부터 출력된다.
- <5> 본 명세서에서 설명하는 서브 화소(11)는, 액티브 구동방식에 대응한다. 따라서, 서브 화소(11)는, 발광 영역(유기EL소자)(23)과 화소회로로 형성된다.
- <6> 이 때, 발광 영역을 구성하는 유기EL소자는 전류발광소자다. 따라서, 유기EL패널의 휘도계조는, 각 화소에 대응하는 유기EL소자에 흐르는 전류량에 의해 제어된다. 이 전류의 공급을 일정 기간 계속하는 것이 액티브 구동방식에 대응하는 화소회로의 기능이다.
- <7> 참고까지, 액티브 매트릭스 구동방식을 채용하는 유기EL패널 디스플레이에 관한 문헌을 예시한다.
- <8> [특허문헌 1] 일본국 공개특허공보 특개 2003-255856호
- <9> [특허문헌 2] 일본국 공개특허공보 특개 2003-271095호
- <10> [특허문헌 3] 일본국 공개특허공보 특개 2004-133240호
- <11> [특허문헌 4] 일본국 공개특허공보 특개 2004-029791호
- <12> [특허문헌 5] 일본국 공개특허공보 특개 2004-093682호

## 발명의 내용

### 해결 하고자하는 과제

- <13> 도 3에, 서브 화소(11)에 대응하는 화소회로의 가장 단순한 회로예를 게시한다. 도 3에 나타내는 화소회로는, 박막 트랜지스터 T1, T2 및 저장용량 Cs로 구성된다. 이하, 박막 트랜지스터 T1을 「샘플링 트랜지스터 T1」이라고 하고, 박막 트랜지스터 T2를 「구동 트랜지스터 T2」라고 한다. 전술한 도 2는, 화소회로의 구성 소자 중 샘플링 트랜지스터 T1의 배치 위치만을 나타내고 있다. 이 때 도면 중에는, 유기EL소자 OLED 자체의 용량을 Coled로 나타내고, 보완용량을 Csub로 나타낸다. 이와 관련하여, 보완용량 Csub는 저장용량 Cs와 같은 TFT구조를 가지는 용량이다. 다만, 화소회로의 구조에 따라서는, 보완용량 Csub는 사용하지 않을 경우도 있다.
- <14> 샘플링 트랜지스터 T1은, 대응 화소의 계조에 대응하는 신호전위 Vsig의 저장용량 Cs에의 기록을 제어하는 N채널형 박막 트랜지스터다. 또한 구동 트랜지스터 T2는, 저장용량 Cs에 유지된 신호전위 Vsig에 따라 정해지는 게이트·소스간 전압 Vgs에 근거하여 구동전류 Ids를 유기EL소자 OLED에 공급하는 N채널형 박막 트랜지스터다.
- <15> 기록제어 스캐너(5)는, 샘플링 트랜지스터 T1의 온·오프 동작을 제어하는 회로 디바이스다. 또한 전원선 스캐너(7)는, 전원선 DSL을 고전위 Vcc과 저전위 Vss로 구동하는 회로 디바이스다. 수평 셀렉터(9)는, 신호선 DTL을 화소 데이터 Din에 대응하는 신호전위 Vsig와 임계값 보정용의 기준전위 Vofs로 구동하는 회로 디바이스다.
- <16> 이 때, 발광 기간 동안의 전원선 DSL은 고전위 Vcc로 구동되어, 해당 전원선 DSL로부터 구동 트랜지스터 T2를 통해서 유기EL소자 OLED에 구동전류 Ids가 공급된다. 이와 관련하여, 발광 기간 동안의 구동 트랜지스터 T2는, 항상 포화 영역에서 동작하고 있다. 즉, 구동 트랜지스터 T2는, 신호전위 Vsig에 따른 크기의 구동전류 Ids를 유기EL소자 OLED에 공급하는 정전류원으로서 동작한다.
- <17> 이 구동전류 Ids는, 다음 식으로 주어진다.
- <18> 
$$Ids = k \cdot \mu \cdot (Vgs - Vth)^2 \quad (\text{식1})$$
- <19> 여기에서,  $\mu$ 는 구동 트랜지스터 T2의 다수 캐리어의 이동도다. 또한  $Vth$ 는 구동 트랜지스터 T2의 임계값전압이다. 또한  $k$ 는  $(W/L) \cdot Cox/2$ 로 주어지는 계수다. 이 때,  $W$ 는 채널 폭,  $L$ 은 채널 길이,  $Cox$ 는 단위면적당 게이트용량이다.
- <20> 그런데, 화소회로(11)의 형성에는, 고온 폴리실리콘 프로세스뿐만 아니라, 저온 폴리실리콘 프로세스나 아모포스 실리콘 프로세스의 적용도 가능하다. 다만, 저온 폴리실리콘 프로세스나 아모포스 실리콘 프로세스를 사용해서 형성한 박막 트랜지스터에는, 임계값전압  $Vth$ 나 이동도  $\mu$ 에 특성 편차가 나타나기 쉬워진다.
- <21> 특히 구동 트랜지스터 T2의 특성 편차는, 구동전류 Ids의 크기에 직접 영향을 준다. 즉, 신호전위 Vsig는 같아도, 유기EL소자의 휘도계조에 차이가 나타난다. 이 휘도차가 일정 이상 커지면, 화면상에서도 휘도차가 시인된다.

다.

<22> 따라서, 이 종류의 화소회로에서는, 임계값전압  $V_{th}$ 나 이동도  $\mu$ 의 보정기술이 종래부터 제안되어 왔다.

<23> 도 4에, 출원인에 의해 제안된 특성보정기능을 갖는 구동동작예를 개시한다. 이 때 도 4는, 화소 어레이부(3)를 구성하는 수직해상도 수만큼의 수평 라인 중 1개의 수평 라인의 구동동작예를 나타낸 것이다. 1프레임 기간은 비발광 기간과 발광 기간으로 구성되고, 비발광 기간에 전술한 특성보정동작이 실행된다.

<24> 여기에서 도 4a는 어느 신호선 DTL의 파형도를 나타내고, 도 4b는 기록제어선 WSL의 파형도를 나타내고, 도 4c는 전원선 DSL의 파형도를 나타내고 있다. 또 도 4d는 구동 트랜지스터 T2의 게이트 전위  $V_g$ 의 파형도를 나타내고, 도 4e는 구동 트랜지스터 T2의 소스 전위  $V_s$ 의 파형도를 나타낸다.

<25> 도 4에 나타내는 구동동작의 내용을 간단하게 설명한다. 도 4에 나타내는 구동동작에서는, 비발광 기간의 시작 타이밍에 전원선 DSL의 전위가 저전위  $V_{ss}$ 로 전환 제어된다. 이에 따라, 구동 트랜지스터 T2의 소스 전위  $V_s$ 는, 저전위  $V_{ss}$ 에 달하도록 저하한다. 이 때, 캐소드 전위  $V_{cat}$ 에 유기EL소자 OLED의 임계값전압  $V_{thel}$ 을 가산한 전위  $V_{cat}+V_{thel}$ 보다도 소스 전위  $V_s$ 가 저하한 시점에, 유기EL소자 OLED는 자동으로 소동한다.

<26> 또한 이 동작시, 구동 트랜지스터 T2의 게이트 전극은 오픈 상태에 있기 때문에, 소스 전위  $V_s$ 의 전위 저하에 연동해서 게이트 전위  $V_g$ 도 저하한다.

<27> 다음에 구동 트랜지스터 T2의 임계값 보정동작을 설명한다. 구동 트랜지스터 T2의 임계값 보정동작은, 전원선 DSL이 다시 고전위  $V_{cc}$ 로 제어됨으로써 개시된다. 이 때, 여기에서의 고전위  $V_{cc}$ 는, 다음 회의 발광 기간의 종료 시점까지 계속된다.

<28> 이 때, 샘플링 트랜지스터 T1은, 전원선 DSL이 고전위  $V_{cc}$ 로 상승하기 전에 온 상태로 제어되어, 구동 트랜지스터 T2의 게이트 전위  $V_g$ 가 오프셋 전위  $V_{ofs}$ 로 고정된다. 이에 따라 구동 트랜지스터 T2의 게이트 · 소스간 전압  $V_{gs}$ 는, 그 임계값전압  $V_{th}$ 보다 높은 전압  $V_{ofs}-V_{ss}$ 로 프리세트된다.

<29> 이 프리세트 상태에서, 전원선 DSL이 고전위  $V_{cc}$ 로 전환되면, 구동 트랜지스터 T2에 전류가 흘러, 도 5에 나타낸 바와 같이 소스 전위  $V_s$ 가 상승한다.

<30> 이 전류는, 저장용량  $C_s$ 와 유기EL소자 OLED에 기생하는 용량을 충전하도록 흐른다. 기생 용량의 충전에 따라, 구동 트랜지스터 T2의 소스 전위  $V_s$ 는 상승한다. 그리고 소스 전위  $V_s$ 가  $V_{ofs}-V_{th}$ 에 달한 시점에 구동 트랜지스터 T2는 자동으로 컷오프 동작한다. 이에 따라 임계값 보정이 완료된다. 이 때  $V_{ofs}-V_{th}$ 는  $V_{cat}+V_{thel}$ 보다 작은 조건을 충족시키므로, 이 시점에서 유기EL소자 OLED가 발광하는 일은 없다.

<31> 그 후, 샘플링 트랜지스터 T1은, 한 번 오프 제어된다. 그 후, 신호선 DTL에 신호전위  $V_{sig}$ 가 인가된 타이밍에, 샘플링 트랜지스터 T1은 다시 온 제어된다. 이에 따라 구동 트랜지스터 T2의 게이트 · 소스간 전압  $V_{gs}$ 는 임계값전압  $V_{th}$ 보다 다시 커지고, 신호전위  $V_{sig}$ 에 따른 크기의 전류가 흐르기 시작한다. 이것이 기록 겸 이동도 보정 동작이다.

<32> 이 경우에도, 전류는, 저장용량  $C_s$ 와 유기EL소자 OLED의 기생 용량을 충전하도록 흐른다. 이 때, 구동 트랜지스터 T2에 흐르는 전류는 이동도  $\mu$ 의 크기에 의존하고, 이동도  $\mu$ 가 큰 구동 트랜지스터 T2에는 큰 전류가 흐르고, 이동도  $\mu$ 가 작은 구동 트랜지스터 T2에는 작은 전류가 흐른다.

<33> 결과적으로, 이동도  $\mu$ 가 큰 구동 트랜지스터 T2의 소스 전위  $V_s$ 의 상승은, 이동도  $\mu$ 가 작은 구동 트랜지스터 T2의 소스 전위  $V_s$ 의 상승보다도 커진다. 도 6에, 이동도  $\mu$ 의 크기의 차이에 의한 구동 트랜지스터 T2의 소스 전위  $V_s$ 의 변화의 차이를 나타낸다.

<34> 이 이동도 보정동작이 종료되면, 샘플링 트랜지스터 T1은 오프 제어되어, 구동 트랜지스터 T2의 구동전류  $I_{ds}$ 는 유기EL소자 OLED에 흐르기 시작한다. 이에 따라 유기EL소자 OLED의 새로운 발광 기간이 개시된다.

<35> 그런데, 전술한 구동동작으로 실행되는 보정동작은, 구동 트랜지스터 T2의 특성 편차의 보정을 목적으로 한다. 즉, 샘플링 트랜지스터 T1의 특성 편차의 보정동작은 준비되어 있지 않다. 이것은, 샘플링 트랜지스터 T1이 스위칭 구동되어, 특성 편차의 영향이 작은 것이 하나의 이유다.

<36> 다만, 샘플링 트랜지스터 T1의 임계값전압  $V_{th}$ 의 변동은(즉, 온 기간의 변동은), 구동 트랜지스터 T2의 이동도 보정의 동작점의 변동을 발생시켜, 이동도 보정의 정밀도에 영향을 준다. 즉, 휘도 레벨을 변동시키는 원인이 된다.

- <37> 임계값전압  $V_{th}$ 를 변동시키는 원인의 하나로, 발광 기간 동안의 역(음) 바이어스가 있다. 도 7에, 발광 기간 동안의 전위상태를 나타낸다. 도 7은, 신호전위  $V_{sig}$ 가 화이트 계조시인 전위상태다. 이와 관련하여, 유기EL소자 OLED의 애노드 전위  $V_{el}$ (구동 트랜지스터 T2의 소스 전위  $V_s$ )은 5V이며, 구동 트랜지스터 T2의 게이트 전위  $V_g$ 는 10V다.
- <38> 한편, 샘플링 트랜지스터 T1의 게이트 전위  $V_g$ 는 -3V이며, 샘플링 트랜지스터 T1이 계속적으로 역(음) 바이어스로 켜어된다. 이 바이어스 상태는, 샘플링 트랜지스터 T1의 임계값전압  $V_{th}$ 를 저하시키는 방향으로 작용한다. 게다가, 이 임계값전압  $V_{th}$ 의 변화는, 패널 내의 산란광이 샘플링 트랜지스터 T1에 입사함으로써 증폭된다.
- <39> 도 8에, 틈 이미션 구조를 가지는 유기EL패널의 단면구조예를 개시한다. 이 때, 틈 이미션 구조란, 밀봉기판측에서 빛이 쏘아지는 타입의 패널구조를 말하는 것으로 한다. 도면 중, 밀봉기판에는, 유리기판(31)이 해당한다. 다만, 밀봉기판에는, 플라스틱필름 등의 투과성 재료도 사용할 수 있다.
- <40> 밀봉기판(31)의 하층에는 투과성이 높은 밀봉재료(33)가 도포된다. 밀봉재료(33)의 하층에는, 유기EL소자 OLED를 형성하는 캐소드 전극(35), 유기층(37), 애노드 전극(39)이 순서대로 형성된다. 이 때, 캐소드 전극(35)은 광 투과성 재료로 형성되어 있다. 한편, 애노드 전극(39)은 금속재료로 형성된다.
- <41> 또 도 8의 경우, 애노드 전극(39)과 애노드 전극(39)과의 틈 부분에 보조 배선(41)이 배치된다. 보조 배선(41)은, 캐소드 전극(35)에 캐소드 전위를 공급하는 배선이며, 애노드 전극(39)과 같은 금속재료로 형성된다. 이 보조 배선(41)은, 패널 사이즈가 큰 경우에 사용되는 경우가 많고, 패널 사이즈가 작은 경우에는 사용되지 않는 경우도 많다. 유기EL소자 OLED의 하부에는, 화소회로가 형성된다. 도 8은, 보텀 게이트형의 박막 트랜지스터의 예다.
- <42> 도 8의 경우, 소스 전극(43), 드레인 전극(45), 충간막(47), 폴리실리콘층(채널층)(49), 게이트 산화막(51), 게이트 전극(53)이 화소회로를 구성하는 구조다. 이들 화소회로는, 구동소자가 형성되는 기판(소위 회로기판)으로서의 유리기판(55)의 표면에 형성된다. 이 때, 유리기판(55)과 유기EL소자 OLED의 하층 전극층인 애노드 전극(39)과의 사이에는 충간막(57)이 형성되어 있다.
- <43> 이제, 화살표 부착한 굵은 선으로 나타낸 내부 산란광의 설명으로 돌아간다. 원래, 유기EL소자 OLED에서 발생한 빛은, 패널 내부로부터 밀봉기판의 외측으로 쏘아진다.
- <44> 그러나, 산란광의 일부는 패널 내부에서 반사를 반복하여, 도면 중의 화살표로 나타낸 바와 같이 인접 화소를 구성하는 샘플링 트랜지스터 T1의 채널 영역에 입사할 가능성이 있다.
- <45> 도 9에, 내부 산란광의 입사와 역(음) 바이어스의 인가상태가 계속될 경우의 임계값전압  $V_{th}$ 의 특성 변동을 측정한 결과의 일례를 개시한다.
- <46> 도 9에 나타낸 바와 같이 스트레스 시간이 길수록 임계값전압  $V_{th}$ 는 서서히 저하하고, 1000초를 초과하고부터 임계값전압  $V_{th}$ 의 저하량이 증가한다.
- <47> 이 때, 발명자들의 실험에서는, 임계값전압  $V_{th}$ 의 저하 효과는, 파장이 짧은 청색의 내부 산란광에서 관측되고, 상대적으로 파장이 긴 녹색이나 적색의 내부 산란광에서는 임계값전압  $V_{th}$ 의 저하 효과는 확인되지 않거나 상당히 작았다.
- <48> 그런데, 샘플링 트랜지스터 T1의 임계값전압  $V_{th}$ 가 저하하면, 도 10에 나타낸 바와 같이 샘플링 트랜지스터 T1의 온 기간은 길어진다.
- <49> 도 10에서는, 트랜зи트(Transient) 특징을 강조해서 나타내고 있다. 샘플링 트랜지스터 T1에 있어서의 온 기간의 장기화는, 이동도 보정시간의 증가로서 나타난다. 즉, 이동도 보정의 동작점의 변동으로서 나타난다.
- <50> 이동도 보정동작중에는, 구동 트랜지스터 T2의 소스 전위  $V_s$ 의 상승을 수반하므로, 보정시간이 길어지면 그만큼, 게이트 · 소스간 전압  $V_{gs}$ 를 크게 하도록 작용한다.
- <51> 이 이동도 보정 후의 구동전류  $I_{ds}$ 의 크기는, 다음 식으로 나타낼 수 있다.
- <52> 
$$I_{ds} = k \cdot \mu \cdot \{(V_{sig} - V_{ofs}) / [1 + (V_{sig} - V_{ofs}) \cdot k \cdot \mu \cdot t/C]\}^2 \quad (\text{식 } 2)$$
- <53> 식 2로부터도 알 수 있듯이, 보정시간  $t$ 가 길수록 구동전류  $I_{ds}$ 의 크기가 작아진다.
- <54> 여기에서, 용량  $C$ 는 저장용량  $C_s$ 와, 보완용량  $C_{sub}$ 와, 유기EL소자 OLED 자체의 용량  $C_{oled}$ 의 총합

(C=Cs+Csub+Coled)으로 주어진다.

<55> 즉, 샘플링 트랜지스터 T1의 임계값전압 Vth의 변동이 크면, 결과적으로 본래의 크기보다도 구동전류 Ids가 작아져 버린다. 따라서, 임계값전압 Vth의 변동을 가속시키는 내부 산란광의 영향을 최소화하는 기술이 필요하다고 발명자들은 생각한다.

### 과제 해결수단

<56> 따라서, 발명자들은, 액티브 매트릭스 구동방식에 대응한 화소구조를 가지는 EL 표시 패널에, 이하의 구조를 채용하는 것을 제안한다.

<57> 즉, 박막 트랜지스터의 임계값전압을 변동시키는 특성이 가장 높은 발광색에 대응하는 제1 발광 영역끼리의 사이에 다른 발광색에 대응하는 제2 발광 영역이 레이아웃되어 있을 경우에, 상기 제2 발광 영역을 구동하는 각 화소회로 내의 샘플링 트랜지스터가, 자발광 영역을 사이에 두고 인접하는 2개의 제1 발광 영역의 한쪽의 가장 자리부로부터 다른 쪽의 가장자리부까지의 길이의 1/4 이상 3/4 이하의 범위 내에 레이아웃 되는 구조를 제안한다.

<58> 이 때 제1 발광 영역끼리가 패널 내에서 인접할 경우, 제1 발광 영역을 구동하는 각 화소회로 내의 샘플링 트랜지스터가, 제1 발광 영역이 인접하는 방향의 자발광 영역의 길이의 1/4 이상 3/4 이하의 범위에 레이아웃 되는 구조를 제안한다.

<59> 여기에서, 제1 발광 영역과 발광색과의 관계는, 발광소자에 사용되는 재료에 의해 정해진다. 예를 들면 청색광이나 백색광에 대응하는 발광 영역이 제1 발광 영역인 것으로 한다.

<60> 또한 발명자들은, 전술한 구조를 가지는 EL 표시 패널을 탑재한 전자기기를 제안한다.

<61> 여기에서, 전자기기는, EL 표시 패널과, 시스템 전체의 동작을 제어하는 시스템 제어부와, 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부로 구성한다.

### 효과

<62> 컬러 패널에서는, 각 색에 대응하는 발광 영역이 규정된 레이아웃에 따라 반복 출현한다.

<63> 이 때문에, 각 화소(발광 영역과 주변의 틈 영역을 포함한다.)에는, 인접하는 사방의 화소로부터의 내부 산란광이 도래한다.

<64> 그러나 발명자들이 제안하는 배치 구조에서는, 임계값전압을 변동시키는 특성이 가장 높은 발광색에 대응하는 발광 영역(제1 발광 영역)의 가장자리부로부터 그 이외의 발광색에 대응하는 발광 영역(제2 발광 영역)을 구동하는 샘플링 트랜지스터까지의 거리가, 인접하는 2개의 제1 발광 영역 간의 거리의 1/4 이상은 최소한 확보된다.

<65> 이는 샘플링 트랜지스터의 채널층에 입사하는 내부 산란광의 광량을 작게 할 수 있는 것을 의미한다. 즉, 내부 산란광의 영향을 제로로는 할 수 없어도, 그 영향을 최소화할 수 있다. 따라서, 이동도 보정시의 동작점을 안정화할 수 있다.

### 발명의 실시를 위한 구체적인 내용

<66> 이하, 발명을, 액티브 매트릭스 구동형의 유기EL패널에 적용할 경우에 관하여 설명한다.

<67> 이 때, 본 명세서에서 특별히 도시 또는 기재되지 않는 부분에는, 해당 기술분야의 주지 또는 공지 기술을 적용한다. 또 이하에 설명하는 형태예는, 발명의 하나의 형태예이며, 이것들에 한정되는 것은 아니다.

<68> (A) 외관 구성

<69> 이 때, 본 명세서에서는, 화소 어레이부와 구동회로(예를 들면 기록제어 스캐너 및 전원선 스캐너)를 같은 반도체 프로세스를 사용해서 같은 기판 위에 형성한 표시 패널뿐만 아니라, 예를 들면 특정 용도용 IC로서 제조된 구동회로를 화소 어레이부의 형성된 기판 위에 설치한 것도 유기EL패널이라고 한다.

<70> 도 11에, 유기EL패널의 외관 구조예를 게시한다. 유기EL패널(61)은, 지지기판(63) 중 화소 어레이부의 형성 영역에 대향기판(65)을 부착한 구조로 되어 있다.

- <71> 지지기판(63)은, 유리, 플라스틱 등의 기본 재료로 구성된다. 톱 이미션 구조의 경우, 지지기판(63)의 표면에는 화소회로가 형성된다. 즉, 지지기판(63)이 회로기판에 해당한다. 한편, 보텀 이미션 구조의 경우, 지지기판(63)의 표면에는 유기EL소자가 형성된다. 즉, 지지기판(63)이 밀봉기판에 해당한다.
- <72> 대향기판(55)도, 유리, 플라스틱 등의 투명부재를 기본재료로 한다. 대향기판(65)은 밀봉재료를 끼워서 지지기판(63)의 표면을 밀봉하는 부재다. 이 때, 톱 이미션 구조의 경우, 대향기판(65)이 밀봉기판에 해당한다. 또한 보텀 이미션 구조의 경우, 대향기판(65)이 회로기판에 해당한다.
- <73> 한편, 유기EL패널(61)에는, 외부 신호나 구동전원을 입력하기 위한 FPC(플렉시블 프린트 서킷)(67)가 배치된다.
- <74> (B) 형태예 1
- <75> (B-1) 시스템 구성
- <76> 도 12에, 형태예에 관련되는 유기EL패널(71)의 시스템 구성예를 제시한다. 이 때 도 12에는, 도 1과의 대응 부분에 동일한 부호를 부착해서 나타낸다.
- <77> 도 12에 나타내는 유기EL패널(71)은, 화소 어레이부(73)와, 그 구동회로인 기록제어 스캐너(75), 전원선 스캐너(7) 및 수평 셀렉터(9)로 구성된다.
- <78> (1) 화소 어레이부의 구성
- <79> 화소 어레이부(73)에는, R(적색)화소, G(녹색)화소, B(청색)화소에 각각 대응하는 서브 화소(11)가 행렬 배치되어 있다. 도 13에, 서브 화소(11)에 대응하는 화소회로와 전술한 각 구동회로와의 접속 관계를 나타낸다.
- <80> 이 때, 본 형태예의 경우에도, 화소회로의 전기적인 구성은 도 3에 나타낸 구성과 같다. 즉, 화소회로는, 샘플링 트랜지스터 T1과, 구동 트랜지스터 T2과, 저장용량 Cs로 구성된다. 또한 샘플링 트랜지스터 T1의 게이트 전극은 기록제어선 WSL과 접속되고, 구동 트랜지스터 T2의 한쪽의 주전극은 전원선 DSL과 접속된다.
- <81> 도 1에 나타내는 유기EL패널(1)과 도 12에 나타내는 유기EL패널(71)과의 차이는, 서브 화소(11)를 구동하는 화소회로를 구성하는 샘플링 트랜지스터 T1의 배치 위치다. 도 14에 유기EL패널(1)에서 채용하는 샘플링 트랜지스터 T1의 배치 위치(종래예)를 나타내고, 도 15에 유기EL패널(71)에서 채용하는 샘플링 트랜지스터 T1의 배치 위치(형태예)를 나타낸다.
- <82> 도 14에 나타낸 바와 같이 종래 구조의 화소회로에서는, 발광색의 차이에 상관없이 같은 배치 구조를 채용한다. 즉, 샘플링 트랜지스터 T1은, 화소영역 내의 같은 위치에 배치되어 있다. 일반적으로는, 사각형 형상을 갖는 발광 영역(23)의 네 모퉁이 중 어느 1개에 치우쳐서 배치된다. 도 14의 경우, 샘플링 트랜지스터 T1은, 좌상측 모퉁이 부근에 치우쳐서 배치된다.
- <83> 그러나 이 소자배치는, 샘플링 트랜지스터 T1의 임계값전압을 변동시키는 청색의 내부 산란광의 광원 가장자리부(즉, B(청색)화소의 발광 영역 가장자리부)와, 타색에 대응하는 샘플링 트랜지스터 T1과의 거리가 짧아지기 쉬운 문제를 내재하고 있다. 즉, B(청색)화소에 인접하는 R(적색)화소 및 G(녹색)화소의 샘플링 트랜지스터 T1과의 거리가 짧아지기 쉬운 문제를 내재하고 있다.
- <84> 도 14의 화소배열의 경우, G(녹색)화소의 샘플링 트랜지스터 T1과 가장 가까운 측의 B(청색)화소의 발광 영역 가장자리부와의 거리 L1은, 2개의 B(청색)화소의 발광 영역 외측 가장자리 간의 거리 Lh의 4분의 1보다 크지만, R(적색)화소의 샘플링 트랜지스터 T1과 가장 가까운 측의 B(청색)화소의 발광 영역 가장자리부와의 거리 L2는, 2개의 B(청색)화소의 발광 영역 외측 가장자리 간의 거리 Lh의 4분의 1보다 작아진다.
- <85> 즉, R(적색)화소의 샘플링 트랜지스터 T1은, G(녹색)화소의 샘플링 트랜지스터 T1보다도 B(청색)화소의 발광 영역(23)에 가까워, 청색의 내부 산란광의 영향을 받기 쉽다. 이것은, R(적색)화소의 샘플링 트랜지스터 T1의 임계값전압 Vth에는, 타색의 샘플링 트랜지스터 T1의 임계값전압 Vth와 비교해서 장기적으로는 큰 전압 변동이 나타난다는 것을 의미한다.
- <86> 또 도 14의 경우, 수평 라인 단위로 같은 화소배열을 채용하므로, 수직방향으로 B(청색)화소가 인접하도록 배치된다. 이 때문에, 샘플링 트랜지스터 T1이 발광 영역(23)의 모퉁이 부분에 배치되어 있으면, 다른 쪽의 B(청색)화소의 발광 영역의 가장자리부와의 거리 L3도 짧아지기 쉽다. 거리 L3이 짧으면, R(적색)화소와 마찬가지로, 샘플링 트랜지스터 T1의 임계값전압 Vth의 시간에 따른 변화가 커지기 쉬워진다.
- <87> 이에 대하여 발명자들이 제안하는 화소회로에서는, 도 15에 나타낸 바와 같이 R(적색)화소를 구동하는 샘플링

트랜지스터 T1과 G(녹색)화소를 구동하는 샘플링 트랜지스터 T1은, 각 화소영역에 인접하는 B(청색)화소에서 가장 면 쪽에 배치된다.

<88> 즉, R(적색)화소를 구동하는 샘플링 트랜지스터 T1은 화소영역의 오른쪽 가장자리(도 15에서는 발광 영역(23)의 오른쪽 가장자리)에 배치되고, G(녹색)화소를 구동하는 샘플링 트랜지스터 T1은 화소영역의 왼쪽 가장자리(도 15에서는 발광 영역(23)의 왼쪽 가장자리)에 배치된다. 이렇게, R(적색)화소와 G(녹색)화소에서, 샘플링 트랜지스터 T1의 화소영역 내의 배치 위치는 좌우 대칭의 관계에 있다.

<89> 도 15의 화소배열의 경우, G(녹색)화소의 샘플링 트랜지스터 T1과 가장 가까운 측의 B(청색)화소의 발광 영역 가장자리부와의 거리 L5(>L1)와, R(적색)화소의 샘플링 트랜지스터 T1과 가장 가까운 측의 B(청색)화소의 발광 영역 가장자리부와의 거리 L6(>L2)은, 2개의 B(청색)화소의 발광 영역끼리의 외측 가장자리 간의 거리 Lh의 4분의 1보다 커진다.

<90> 물론, B(청색)화소의 발광 영역 가장자리부로부터의 거리가 길어지면, 샘플링 트랜지스터 T1의 채널 영역에 입사하는 내부 산란광의 광량도 감소한다. 따라서, 도 15에 나타내는 화소배치를 채용하는 R(적색)화소와 G(녹색)화소에서는, 도 14에 나타내는 화소배치보다도, 샘플링 트랜지스터 T1의 임계값전압 Vth의 변동을 작게 하는 것이 가능하게 된다.

<91> 이와 관련하여, 도 15의 경우, R(적색)화소의 샘플링 트랜지스터 T1과 G(녹색)화소의 발광 영역 가장자리부와의 거리나 G(녹색)화소의 샘플링 트랜지스터 T1과 R(적색)화소의 발광 영역 가장자리부와의 거리는, 도 14의 경우에 비해서 짧아진다.

<92> 그러나 파장에너지가 작은 적색광이나 녹색광의 내부 산란광을 원인으로 하는 샘플링 트랜지스터 T1의 임계값전압 Vth의 변동은 상당히 작다. 이 때문에, 청색 이외의 내부 산란광의 영향은 무시해서 생각할 수 있다.

<93> 또한 도 15의 경우, 수직방향으로 인접하는 B(청색)화소에 대해서도, 그 샘플링 트랜지스터 T1은, 발광 영역의 가장자리부로부터 내측으로 발광 영역의 수직방향 길이 Lv의 4분의 1 이상 떨어져서 배치된다.

<94> 이에 따라, B(청색)화소를 구동하는 샘플링 트랜지스터 T1과 수직방향으로 인접하는 다른 B(청색)화소의 발광 영역의 가장자리부와의 거리 L7은, 도 14의 경우의 거리 L3보다도 길어진다. 따라서, 도 15에 나타내는 화소구조의 채용에 의해, B(청색)화소를 구동하는 샘플링 트랜지스터 T1의 임계값전압 Vth의 변동을 도 14에 나타내는 화소구조보다도 작게 할 수 있다.

<95> 이 때, 이상의 설명에서는, R(적색)화소와 G(녹색)화소에 대응하는 샘플링 트랜지스터 T1과 B(청색)화소의 발광 영역 가장자리부와의 거리관계를 수평방향의 거리로서 설명하고 있지만, 이것은 수직방향(도면 중 세로방향)보다도 수평방향(도면 중 가로방향) 쪽이 서브 화소간의 틈이 작기 때문이다.

<96> 즉, 샘플링 트랜지스터 T1과 인접하는 B(청색)화소와의 거리가 모든 방향 중에서 가장 짧아지기 때문이다. 따라서, 서브 화소의 형상이나 화소배치의 관계에 따라서는, 수직방향이나 화면 내의 대각선 방향에 주목하여, R(적색)화소와 G(녹색)화소에 대응하는 샘플링 트랜지스터 T1의 배치를 결정하는 것이 요구된다.

<97> 발명자들의 실측결과에서는, 청색의 내부 산란광에 의한 샘플링 트랜지스터 T1의 임계값전압 Vth의 변동의 저감 효과가 확인되는 경계값으로서, 도 16에 나타낸 바와 같이 2가지 조건을 설정한다.

<98> 하나는, 2개의 B(청색)화소의 사이에 타색 화소가 존재할 경우이며, 다른 하나는 2개의 B(청색)화소의 사이에 타색 화소가 존재하지 않을 경우다.

<99> 전자는 R(적색)화소나 G(녹색)화소를 구동하는 샘플링 트랜지스터 T1의 배치 조건을 주고, 후자는 B(청색)화소를 구동하는 샘플링 트랜지스터 T1의 배치 조건을 준다.

<100> 전자의 조건은, 자발광 영역을 사이에 두고 인접하는 2개의 B(청색)화소 중 한쪽의 발광 영역 가장자리부로부터 다른 쪽의 발광 영역 가장자리까지의 길이 Lh의 1/4 이상 3/4 이하의 범위 내에 샘플링 트랜지스터 T1이 배치 되는 것과 같은 의미다. 도 15(도 16)의 경우에는, 각 화소의 발광 영역(23) 중 인접하는 B(청색)화소로부터 가장 떨어진 위치에 샘플링 트랜지스터 T1을 배치한 예를 나타내고 있다.

<101> 후자의 조건은, 자발광 영역의 짧은 변 사이의 길이(즉, 수직방향의 길이) Lv의 1/4 이상 3/4 이하의 범위 내에 샘플링 트랜지스터 T1이 배치되는 것과 같은 의미다. 이 때, 해당 화소의 발광 영역(23) 중 인접하는 B(청색)화소로부터 가장 떨어진 위치는 발광 영역의 중심위치이지만, 도 15(도 16)의 경우에는, 약간이나마 중심위치보다 오프셋 한 위치에 샘플링 트랜지스터 T1을 배치한 예를 나타내고 있다.

<102> (2) 기록제어 스캐너의 구성

<103> 계속해서, 본 형태예에 관련되는 유기EL패널(71)에서 채용하는 기록제어 스캐너(75)에 관하여 설명한다. 이 기록제어 스캐너(75)에 새로운 기능은, 계조회도의 차이에 의한 이동도 보정시간의 최적화 기술이다.

<104> 도 17에, 계조회도와 대응하는 최적의 이동도 보정시간과의 관계를 나타낸다. 이 때 도 17의 가로축은 이동도 보정시간이며, 도 17의 세로축은 계조회도(신호전위 Vsig)이다.

<105> 도 17에 나타낸 바와 같이 고휘도(화이트 계조)의 경우, 이동도  $\mu$ 가 큰 구동 트랜지스터 T2의 휘도 레벨과 이동도  $\mu$ 가 작은 구동 트랜지스터 T2의 휘도 레벨은, 이동도 보정시간이 t1인 시점에 같아진다. 즉, 고휘도 화소의 이동도 보정시간은 t1인 것이 요구된다.

<106> 한편, 저휘도(그레이 계조)의 경우, 이동도  $\mu$ 가 큰 구동 트랜지스터 T2의 휘도 레벨과 이동도  $\mu$ 가 작은 구동 트랜지스터 T2의 휘도 레벨은, 이동도 보정시간이 t2인 시점에 같아진다. 즉, 저휘도 화소의 이동도 보정시간은 t2인 것이 요구된다.

<107> 따라서, 이동도 보정시간을 고정하는 구동방식을 채용하면, 특정 휘도 레벨 이외의 화소회로에서는 이동도 보정 시간에 과부족이 발생해버린다. 이 과부족은, 최악의 경우, 휘도 편차나 라인으로 시인되어버린다.

<108> 그래서, 기록제어 스캐너(75)에는, 각 화소의 휘도 레벨에 따라 각 화소회로의 이동도 보정시간을 자동 조정하는 기능을 탑재한다.

<109> 즉, 고휘도 레벨에 대응하는 화소회로에서는 이동도 보정시간이 자동으로 짧아지고, 저휘도 레벨에 대응하는 화소회로에서는 이동도 보정시간이 자동으로 길어지도록 조정되는 구동기능을 채용한다.

<110> 이 때, 이동도 보정시간은, 샘플링 트랜지스터 T1의 온 동작시간으로서 주어진다.

<111> 따라서, 본 형태예의 경우에는, 이동도 보정기간에 대응하는 샘플링 트랜지스터 T1의 기록제어신호를 도 18에 나타내는 과형으로 제어할 수 있는 기능을 탑재하는 기록제어 스캐너(75)를 제안한다. 도 18에 나타내는 기록제어신호는, 급준하게 전위가 저하하는 과형영역과 완만하게 전위가 저하하는 과형영역을 갖고 있다.

<112> 이 기록제어신호의 채용에 의해, 고휘도 화소에서는, 샘플링 트랜지스터 T1의 게이트 · 소스간 전압 Vgs가, 과형이 급준하게 변화되는 영역에서 임계값전압 Vth보다 작아진다(자동으로 컷오프한다). 한편, 저휘도 화소에서는, 샘플링 트랜지스터 T1의 게이트 · 소스간 전압 Vgs가, 과형이 완만하게 변화되는 영역에서 임계값전압 Vth보다 작아진다(자동으로 컷오프한다).

<113> 이것은 신호전위 Vsig의 크기에 따라 각 화소의 이동도 보정시간이 자동으로 조정되어, 신호전위 Vsig가 달라도 최적의 이동도 보정동작이 확보된다는 것을 의미한다.

<114> 도 19에, 전술한 기록제어신호를 발생하는 기록제어 스캐너(75)의 부분 구성예를 제시한다. 이 때, 도 19에 나타내는 구성은, 1개의 수평 라인에 대응하는 구성이다. 따라서, 화면 내의 수직방향에는, 도 19에 나타내는 구성의 회로가 수직해상도 수만큼 배치된다.

<115> 이하에서는, 이 부분 회로도 기록제어 스캐너(75)라고 부른다. 기록제어 스캐너(75)는, 시프트 레지스터(81), 2단의 인버터 회로(83, 85)로 구성되는 버퍼 회로, 레벨 시프터(87) 및 1단의 인버터 회로(89)로 구성되는 출력 버퍼 회로로 구성된다.

<116> 이 구성 자체는 일반적이다. 특징적인 구성은, 인버터 회로(89)에 공급되는 전원전압 펄스 WSP의 과형 레벨이 도 20에 나타내는 특성으로 저하하는 점이다.

<117> 물론, 이 과형 레벨의 저하가 출현하는 타이밍은, 도 20에 나타낸 바와 같이 각 수평 라인의 이동도 보정기간에 위상 동기해서 실행될 필요가 있다.

<118> 도 21에, 기록제어 스캐너(75)에 공급되는 전원전압 펄스 WSP를 발생하는 회로 디바이스의構성을 나타낸다.

<119> 전원전압 펄스 WSP는, 타이밍 제너레이터(91)와 구동전원 발생부(93)에 의해 생성된다. 타이밍 제너레이터(91)는, 기록제어 스캐너(75)뿐만 아니라, 전원선 스캐너(7) 및 수평 스캐너(9)에 구동 펄스(구형파)를 공급하는 회로 디바이스다. 이 때, 구동 펄스의 하강 타이밍은, 이동도 보정의 시작 타이밍에 대해 소정 시간만큼 늦은 타이밍으로 설정된다.

<120> 구동전원 발생부(93)는, 구형파 모양의 구동 펄스에 근거하여 하강시의 과형이 2단계로 꺾여 구부러지는 구동전

암 펄스 WSP(도 20)를 발생하는 회로 디바이스다.

<121> 도 22에, 구동전원 발생부(93)의 회로예를 게시한다. 도 22에 나타내는 구동전원 발생부(93)는, 2개의 트랜지스터와, 1개의 용량과, 3개의 고정저항과, 2개의 가변저항에 의해 구성된다.

<122> 구동전원 발생부(93)는, 구동 펄스를 아날로그 처리하고, 하강시의 과형이 2단계로 꺾여 구부러지는 전원전압 펄스 WSP를 발생한다. 즉, 1단계의 하강 과형의 경사각도가 크고, 2단계의 하강 과형의 경사가 작은 전원전압 펄스 WSP를 발생한다.

<123> (B-2) 구동동작 및 효과

<124> 본 형태예의 경우, 이동도 보정기간의 동작 이외에는, 전술한 도 4의 구동동작과 같다. 이 때, 각 서브 화소 (11)로부터 패널 표면에 쏘아지는 광속의 일부는, 내부 산란광으로서 유리기판(31)의 내측에 잔류하고, 그 일부가 인접하는 다른 화소회로의 샘플링 트랜지스터 T1의 채널 영역에 입사한다.

<125> 그러나 본 형태예의 경우에는, 각 화소회로의 샘플링 트랜지스터 T1이 도 16에 나타내는 조건을 만족하도록 배치되어, 샘플링 트랜지스터 T1의 채널 영역에 입사하는 내부 산란광의 광량이 실용상 허용되는 레벨(내부 산란광의 영향을 실용상 무시할 수 있는 레벨)로 억제된다.

<126> 이렇게 하여, 샘플링 트랜지스터 T1의 임계값전압 Vth의 변동은 억제되어, 이동도 보정시간의 최적상태가 유지된다.

<127> 게다가, 이 내부 산란광의 차광은, 본 형태예로 제안하는 이동도 보정동작시의 구동방식과의 조합에서 보다 높은 효과를 기대할 수 있다.

<128> 전술한 바와 같이, 본 형태예의 경우에는, 신호전위 Vsig의 크기에 따라 이동도 보정시간이 자동으로 최적화되도록, 이동도 보정의 시작으로부터 일정 시간 후에 전원전압 펄스 WSP가 2단계로 저하하는 과형을 채용한다.

<129> 이 때문에, 도 23a에 나타낸 바와 같이 임계값전압 Vth의 변동이 커지면, 이동도 보정시간이 크게 변화되어 버린다. 특히, 전원전압 펄스 WSP가 급준하게 저하하는 영역이 최적의 이동도 보정시간인 신호전위 Vsig의 경우, 임계값전압 Vth가 저하하면, 샘플링 트랜지스터 T1의 온 시간이 크게 변화되어 버린다. 이것은, 이동도 보정시간의 전원전압 펄스 WSP의 과형을 2단계로 둔화시키 저하시키는 구동방식에 고유한 문제다.

<130> 그러나 본 형태예의 경우에는, 내부 산란광의 차광에 의해 임계값전압 Vth의 변화를 최소화할 수 있으므로, 도 23b에 나타낸 바와 같이 실제의 이동도 보정시간이 각 신호전위 Vsig에 대해서 최적화된 이동도 보정시간으로부터 크게 변화되는 것을 막을 수 있다.

<131> 이렇게, 내부 산란광의 차광은 그 자체로도 이동도 보정시간의 동작점의 안정에 기여할 수 있을 뿐 아니라, 이동도 보정시간 길이의 최적화 기술과 조합함으로써, 보다 높은 효과를 실현할 수 있다.

<132> (C) 다른 형태예

<133> (C-1) 샘플링 트랜지스터 T1의 다른 배치예

<134> 전술한 형태예의 설명에서는, R(적색)화소와 G(녹색)화소를 구동하는 샘플링 트랜지스터 T1의 화소영역 내에 있어서의 수직방향의 높이와, B(청색)화소를 구동하는 샘플링 트랜지스터 T1의 화소영역 내에 있어서의 수직방향의 높이를 일치시키는 경우에 관하여 설명했다.

<135> 그러나 샘플링 트랜지스터 T1의 화소영역 내에 있어서의 수직방향의 높이는, 반드시 모든 발광색에서 같게 할 필요는 없다. 예를 들면 도 24나 도 25에 나타낸 바와 같이 R(적색)화소와 G(녹색)화소의 샘플링 트랜지스터 T1의 수직방향의 높이를, B(청색)화소의 샘플링 트랜지스터 T1의 수직방향의 높이와 다른 높이로 설정해도 좋다.

<136> 이 때 도 24는, R(적색)화소와 G(녹색)화소의 샘플링 트랜지스터 T1을 발광 영역의 최하단에 배치한 예다. 또 도 25는, R(적색)화소와 G(녹색)화소의 샘플링 트랜지스터 T1을 인접 화소영역과의 경계 위치에 배치한 예다.

<137> 그 외에, R(적색)화소와 G(녹색)화소의 샘플링 트랜지스터 T1은, 화소영역(발광 영역의 외측)의 최하단에 배치해도 좋다. 물론, 각 샘플링 트랜지스터 T1은, 발광 영역이나 화소영역의 상단측에 배치해도 좋다. B(청색)화소와 수평방향에 대해서 인접하는 한, 수직방향의 위치는 내부 산란광의 입력에 영향을 주지 않기 때문이다.

<138> 또한 도 24나 도 25의 경우에는, R(적색)화소의 샘플링 트랜지스터 T1과 G(녹색)화소의 샘플링 트랜지스터 T1의 화소영역 내의 수직방향의 높이를 같게 하고 있지만, 이 높이에 관해서도 반드시 같게 할 필요는 없다. 즉, 발

광색 단위로 화소영역 내에 있어서의 샘플링 트랜지스터 T1의 높이를 변경해도 좋다. 이 때, 발광색이 같아도, 화면 내의 위치에 따라 샘플링 트랜지스터 T1의 배치 위치(수직방향의 높이나 수평방향의 위치)를 변경해도 좋다.

## &lt;139&gt; (C-2) 기타 화소구조

전술한 형태예의 경우에는, 화이트 유닛으로서의 1화소가, 3개의 서브 화소(R(녹색)화소, G(녹색)화소, B(청색)화소)의 집합체로 형성될 경우에 관하여 설명했다. 또한 발광색의 배열이 수평방향으로 R(적색)화소, G(녹색)화소, B(청색)화소의 순서인 경우에 관하여 설명했다.

그러나 화소구조나 1화소를 구성하는 발광 영역의 배열은 이것에 한정되지 않는다. 도 26에, 1화소가 4개의 서브 화소(W(백색)화소, R(적색)화소, G(녹색)화소, B(청색)화소)의 집합체로 형성되는 예를 개시한다. 이 경우, W(백색)화소와 B(청색)화소의 조와, R(적색)화소, G(녹색)화소의 조로 샘플링 트랜지스터 T1의 배치 위치를 설정하게 된다.

W(백색)화소로부터 출력되는 광선에는, 적, 녹, 청의 모든 광장성분이 포함되기 때문이다. 따라서, 도 26의 화소구조의 경우에는, W(백색)화소와 B(청색)화소의 2화소로부터 출력되는 내부 산란광이 인접 화소의 샘플링 트랜지스터 T1의 임계값전압 Vth를 변동시키는 원인이 된다.

이 때, 도 26의 화소구조의 경우, R(적색)화소와 G(녹색)화소에는 각각, 상하좌우로 W(백색)화소 또는 B(청색)화소가 배치된다. 따라서, R(적색)화소와 G(녹색)화소에 대응하는 샘플링 트랜지스터 T1은, 수평방향에 인접하는 다른 발광 영역의 가장자리부 간의 수평방향거리 Lh1의 4분의 1~4분의 3의 범위와 수직방향에 인접하는 다른 발광 영역의 가장자리부 간의 수직방향거리 Lv1의 4분의 1~4분의 3의 범위가 중복되는 영역 내에 설정하면 된다.

## &lt;144&gt; (C-3) 기타 화소회로예

전술한 형태예에서는, 서브 화소(11)를 구동하는 화소회로가 2개의 박막 트랜지스터 T1, T2과 1개의 저장용량 Cs로 구성될 경우에 관하여 설명했다.

그러나 본 발명은 화소회로의 구조와는 관계없다. 따라서, 화소회로의 구성이나 그 구동방법은 임의이다. 예를 들면 화소회로는 3개 이상의 박막 트랜지스터로 구성되어 있어도 된다. 또한 형태예의 경우에는, 샘플링 트랜지스터 T1이 보텀 게이트 구조의 경우에 관하여 설명했다. 그러나, 샘플링 트랜지스터 T1은 톱 게이트 구조여도 좋다.

## &lt;147&gt; (C-4) 기타 패널구조

전술한 형태예의 경우에는, EL 표시 패널이 톱 이미션 구조인 경우에 관하여 설명했다.

그러나 EL 표시 패널은 보텀 이미션 구조여도 좋다. 여기에서, 보텀 이미션 구조란, 회로기판 측에서 빛이 쏘아지는 타입의 패널구조를 말하는 것으로 한다.

## &lt;150&gt; (C-5) 제품예

## &lt;151&gt; (a) 전자기기

상기의 설명에서는, 유기EL패널을 예로 발명을 설명했다. 그러나, 전술한 유기EL패널은, 각종 전자기기에 설치한 상품형태로도 유통된다. 이하, 다른 전자기기에의 설치예를 개시한다.

도 27에, 전자기기(101)의 개념 구성을 예를 개시한다. 전자기기(101)는, 전술한 유기EL 패널(103), 시스템 제어부(105) 및 조작 입력부(107)로 구성된다. 시스템 제어부(105)에서 실행되는 처리 내용은, 전자기기(101)의 상품 형태에 따라 다르다. 또한 조작 입력부(107)는, 시스템 제어부(105)에 대한 조작 입력을 접수하는 디바이스다. 조작 입력부(107)에는, 예를 들면 스위치, 버튼 등의 기계식 인터페이스, 그래픽 인터페이스 등을 사용할 수 있다.

이 때, 전자기기(101)는, 기기 내에서 생성되거나 외부에서 입력되는 화상이나 영상을 표시하는 기능을 탑재하고 있으면, 특정한 분야의 기기에는 한정되지 않는다.

도 28에, 그 외의 전자기기가 텔레비전 수상기인 경우의 외관예를 개시한다. 텔레비전 수상기(111)의 케이싱 정면에는, 프런트 패널(113) 및 필터 유리(115) 등으로 구성되는 표시 화면(117)이 배치된다. 표시 화면(117)의

부분이, 형태예에서 설명한 유기EL패널에 대응한다.

<156> 또한 이 종류의 전자기기(101)에는, 예를 들면 디지털 카메라가 상정된다. 도 29에, 디지털 카메라(121)의 외관 예를 게시한다. 도 29a가 정면측(피사체측)의 외관예이며, 도 29b가 배면측(활상자측)의 외관예다.

<157> 디지털 카메라(121)는, 보호 커버(123), 활상 렌즈부(125), 표시 화면(127), 컨트롤 스위치(129) 및 셔터 버튼(131)으로 구성된다. 이 중, 표시 화면(127)의 부분이, 형태예에서 설명한 유기EL패널에 대응한다.

<158> 또한 이 종류의 전자기기(101)에는, 예를 들면 비디오 카메라가 상정된다. 도 30에, 비디오 카메라(141)의 외관 예를 게시한다.

<159> 비디오 카메라(141)는, 본체(143)의 전방에 피사체를 활상하는 활상 렌즈(145), 활상의 스타트/스톱 스위치(147) 및 표시 화면(149)으로 구성된다. 이 중, 표시 화면(149)의 부분이, 형태예에서 설명한 유기EL패널에 대응한다.

<160> 또한 이 종류의 전자기기(101)에는, 예를 들면 휴대 단말장치가 상정된다. 도 31에, 휴대 단말장치로서의 휴대 전화기(151)의 외관예를 게시한다. 도 31에 나타내는 휴대전화기(151)는 접이식이며, 도 31a가 케이싱을 연 상태의 외관예이며, 도 31b가 케이싱을 접은 상태의 외관예다.

<161> 휴대전화기(151)는, 상측 케이싱(153), 하측 케이싱(155), 연결부(본 예에서는 헌지부)(157), 표시 화면(159), 보조 표시 화면(161), 꽉쳐 라이트(163) 및 활상 렌즈(165)로 구성된다. 이 중, 표시 화면(159) 및 보조 표시 화면(161)의 부분이, 형태예에서 설명한 유기EL패널에 대응한다.

<162> 또한 이 종류의 전자기기(101)에는, 예를 들면 컴퓨터가 상정된다. 도 32에, 노트형 컴퓨터(171)의 외관예를 게시한다.

<163> 노트형 컴퓨터(171)는, 하측 케이싱(173), 상측 케이싱(175), 키보드(177) 및 표시 화면(179)으로 구성된다. 이 중, 표시 화면(179)의 부분이, 형태예에서 설명한 유기EL패널에 대응한다.

<164> 이들 외에, 전자기기(101)에는, 오디오 재생장치, 게임기, 전자서적, 전자사전 등이 상정된다.

<165> (C-6) 기타 표시 디바이스의 예

<166> 상기의 형태예에 있어서는, 발명을 유기EL패널에 적용할 경우에 관하여 설명했다.

<167> 그러나, 전술한 구동기술은, 그 외의 EL 표시장치에 대하여도 적용할 수 있다. 예를 들면 LED를 배열하는 표시장치 등의 다이오드 구조를 가지는 발광소자를 화면 위에 배열한 표시장치에 대하여도 적용할 수 있다. 예를 들면 무기EL패널에도 적용할 수 있다.

<168> (C-7) 기타

<169> 전술한 형태예에는, 발명의 취지의 범위 내에서 여러 가지 변형예를 생각해 볼 수 있다. 또한 본 명세서의 기재에 근거하여 창작되거나 조합되는 각종 변형예 및 응용예도 생각해 볼 수 있다.

## 도면의 간단한 설명

<170> 도 1은 유기EL패널의 기능 블록 구성을 설명하는 도다.

<171> 도 2는 화소구조예를 도시한 도면이다.

<172> 도 3은 화소회로와 구동회로와의 접속 관계를 설명하는 도다.

<173> 도 4는 도 3에 나타내는 화소회로의 구동동작예를 도시한 도면이다.

<174> 도 5는 임계값 보정동작시에 있어서의 구동 트랜지스터의 소스 전위의 변화를 설명하는 도다.

<175> 도 6은 이동도 보정동작시에 있어서의 구동 트랜지스터의 소스 전위의 변화를 설명하는 도다.

<176> 도 7은 발광 기간 동안에 있어서의 화소회로 내의 전위관계를 설명하는 도다.

<177> 도 8은 내부 산란광의 전파 경로를 설명하는 도다.

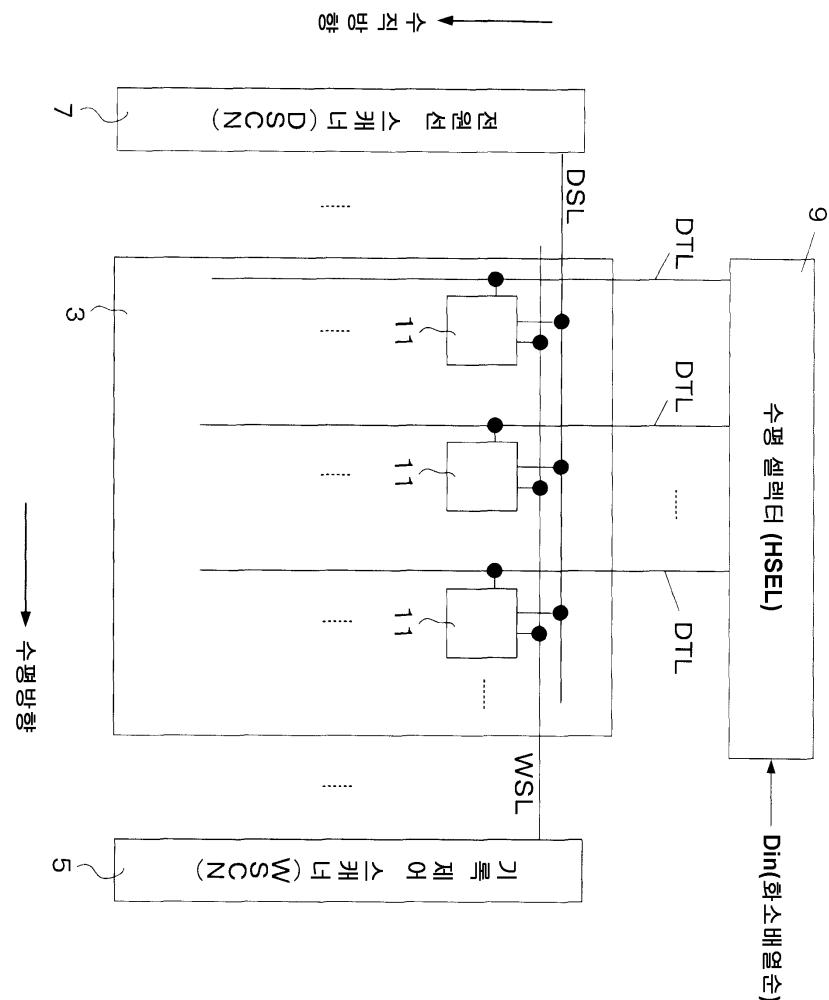
<178> 도 9는 샘플링 트랜지스터의 임계값전압 변동을 설명하는 도다.

<179> 도 10은 임계값전압의 변동과 이동도 보정시간의 관계를 설명하는 도다.

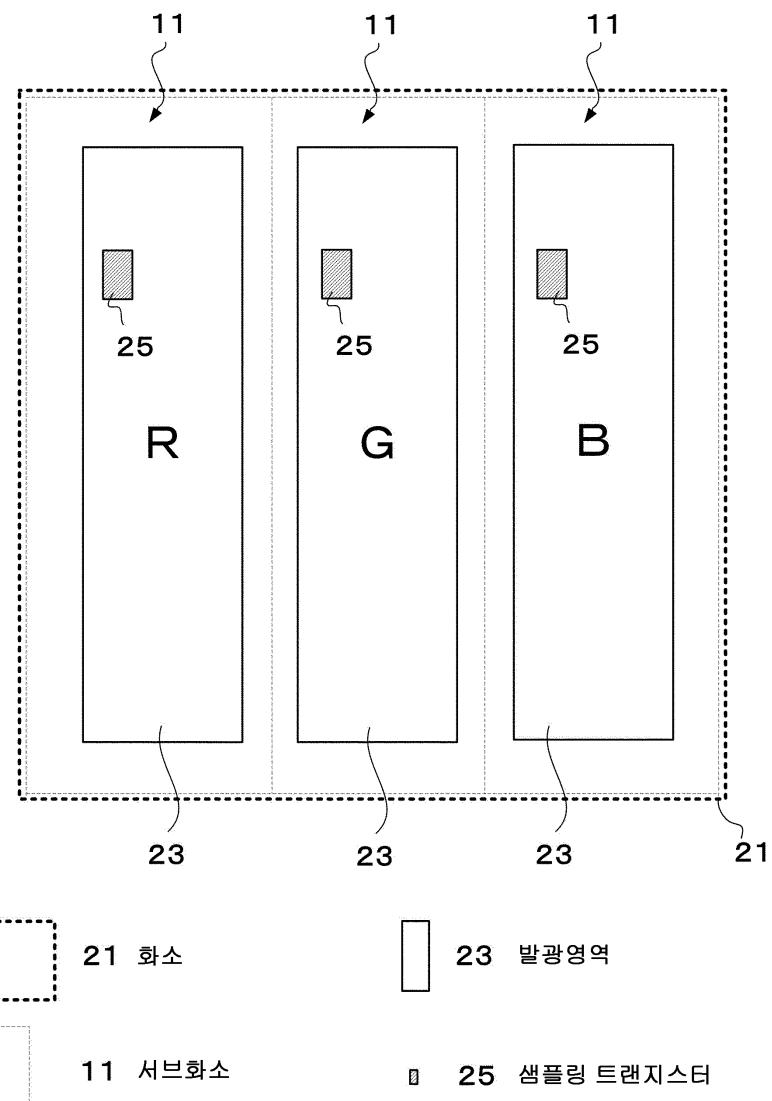
- <180> 도 11은 유기EL패널의 외관 구성예를 도시한 도면이다.
- <181> 도 12는 화소회로와 구동회로와의 접속 관계를 설명하는 도다.
- <182> 도 13은 형태예 1에 관련되는 화소회로의 구성예를 도시한 도면이다.
- <183> 도 14는 종래 구조의 화소회로에서 채용하는 샘플링 트랜지스터 T1의 배치예를 도시한 도면이다.
- <184> 도 15는 형태예 1에 관련되는 화소회로에서 채용하는 샘플링 트랜지스터 T1의 배치예를 도시한 도면이다.
- <185> 도 16은 형태예 1에 관련되는 화소회로에서 채용하는 샘플링 트랜지스터 T1의 배치 범위를 도시한 도면이다.
- <186> 도 17은 계조회도와 최적의 이동도 보정시간과의 관계를 설명하는 도다.
- <187> 도 18은 계조회도에 따른 이동도 보정시간의 최적화에 사용하는 기록제어신호의 신호 파형을 설명하는 도다.
- <188> 도 19는 형태예에서 제안하는 기록제어 스캐너의 회로 구성을 설명하는 도다.
- <189> 도 20은 형태예에서 제안하는 전원전압 펄스의 파형예를 설명하는 도다.
- <190> 도 21은 전원전압 펄스의 발생 회로계를 설명하는 도다.
- <191> 도 22는 구동전원 발생부의 내부 구성예를 설명하는 도다.
- <192> 도 23은 샘플링 트랜지스터 T1의 배치 위치의 최적화 기술과 도 18에 나타내는 기록제어신호의 구동기술을 조합할 경우의 기술적인 효과를 설명하는 도다.
- <193> 도 24는 샘플링 트랜지스터 T1의 다른 배치예를 도시한 도면이다.
- <194> 도 25는 샘플링 트랜지스터 T1의 다른 배치예를 도시한 도면이다.
- <195> 도 26은 샘플링 트랜지스터 T1의 다른 배치예를 도시한 도면이다.
- <196> 도 27은 전자기기의 개념 구성예를 도시한 도면이다.
- <197> 도 28은 전자기기 상품예를 도시한 도면이다.
- <198> 도 29는 전자기기 상품예를 도시한 도면이다.
- <199> 도 30은 전자기기 상품예를 도시한 도면이다.
- <200> 도 31은 전자기기 상품예를 도시한 도면이다.
- <201> 도 32는 전자기기 상품예를 도시한 도면이다.
- <202> [부호의 설명]
- |                    |             |
|--------------------|-------------|
| <203> 41 보조 배선     | 71 유기EL패널   |
| <204> 73 화소 어레이부   | 75 기록제어 스캐너 |
| <205> 91 타이밍 제너레이터 | 93 구동전원 발생부 |

도면

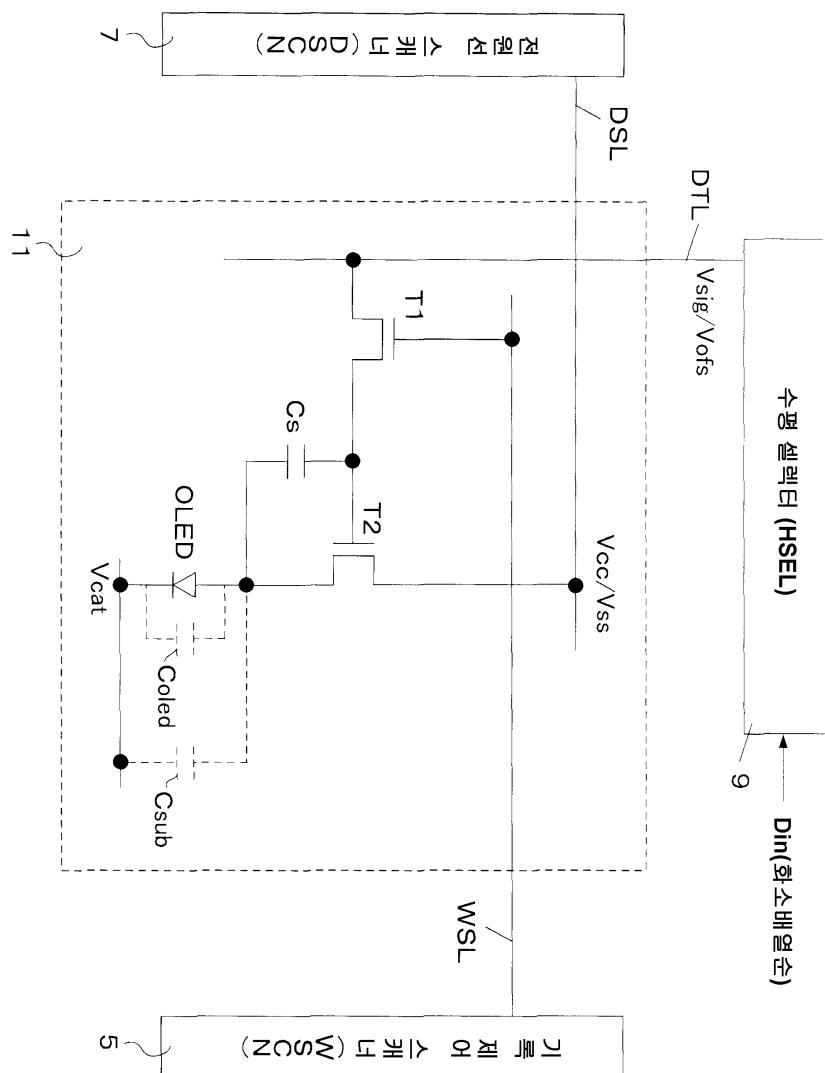
도면1



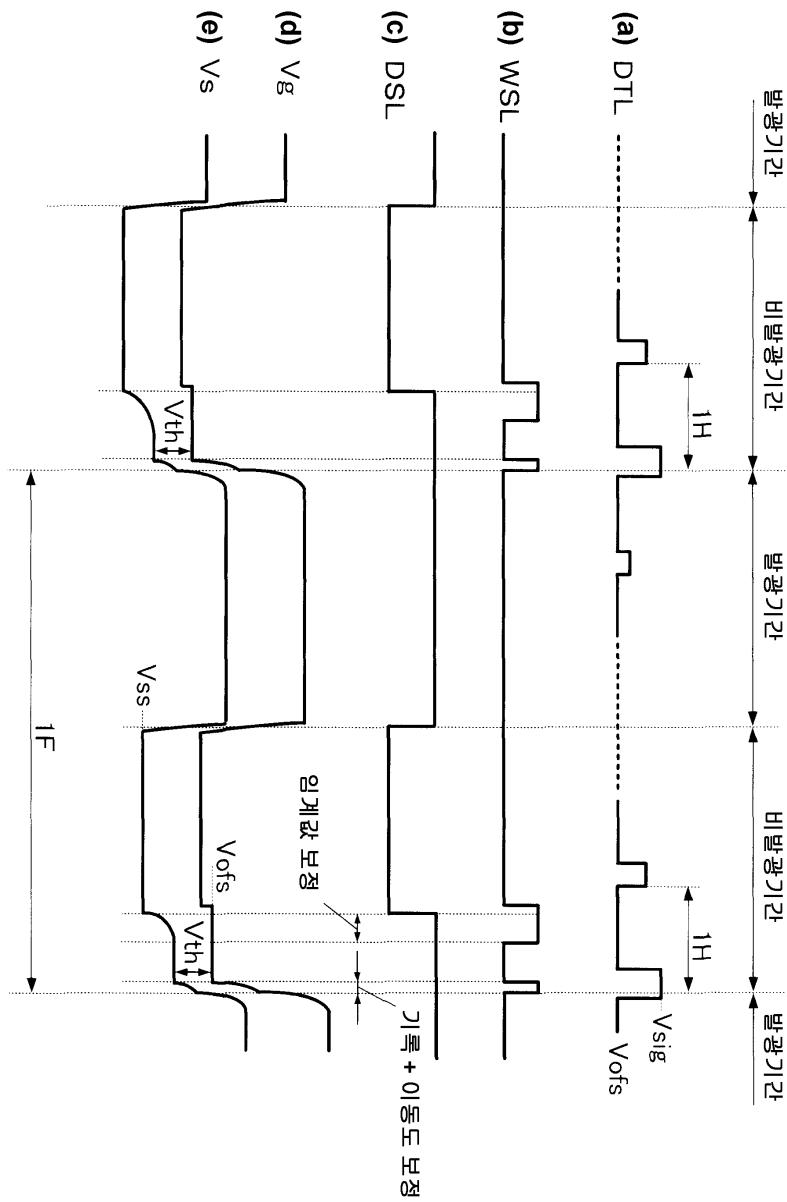
도면2



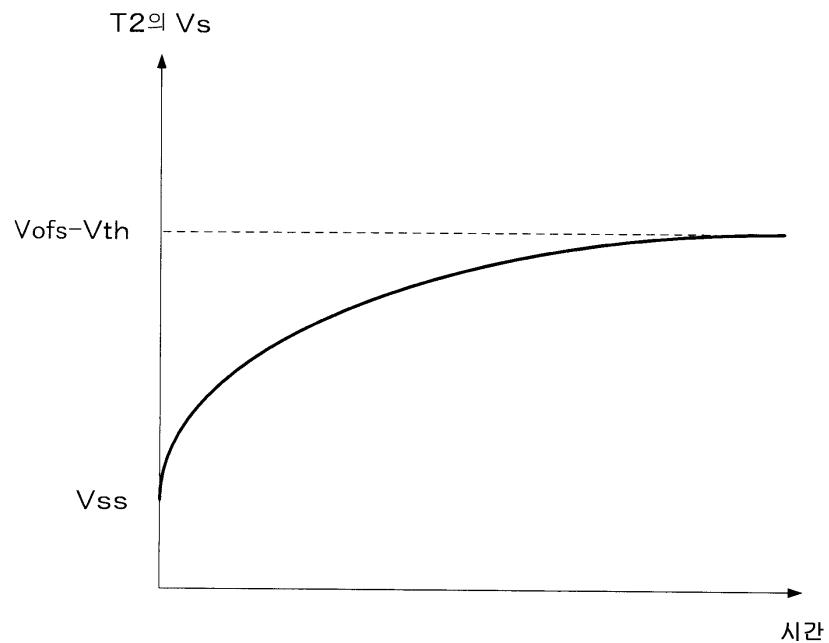
도면3



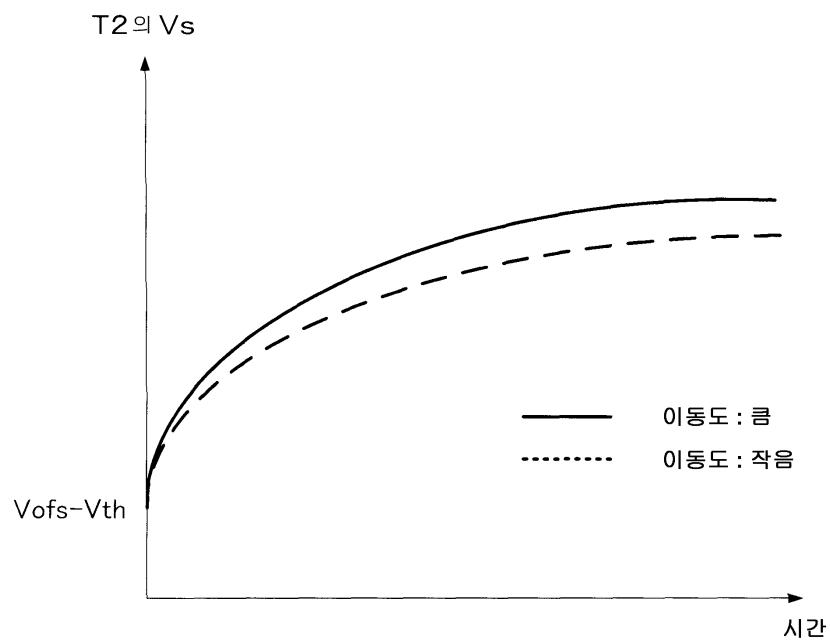
도면4



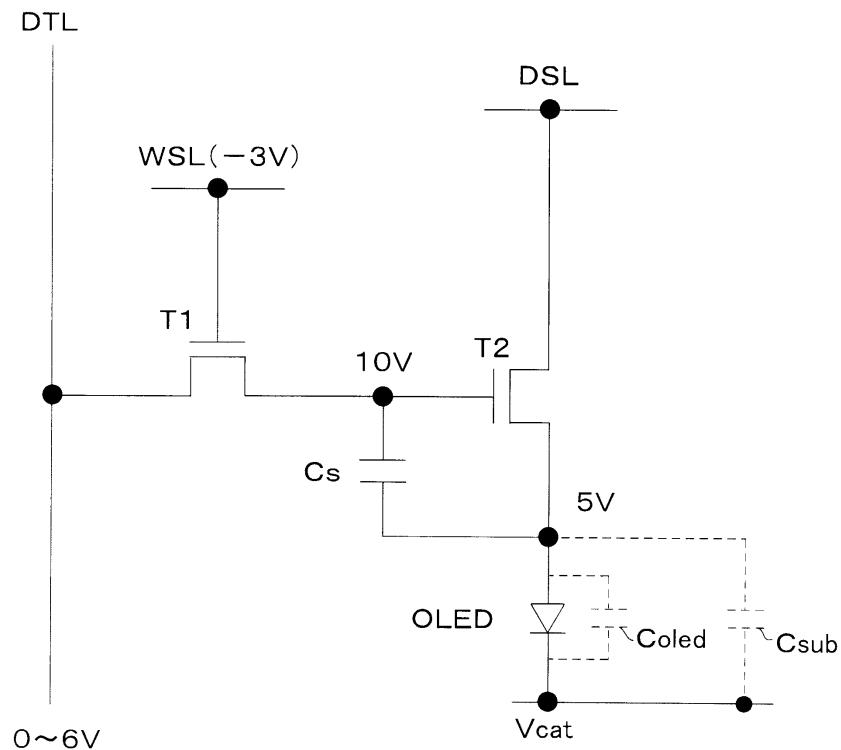
## 도면5



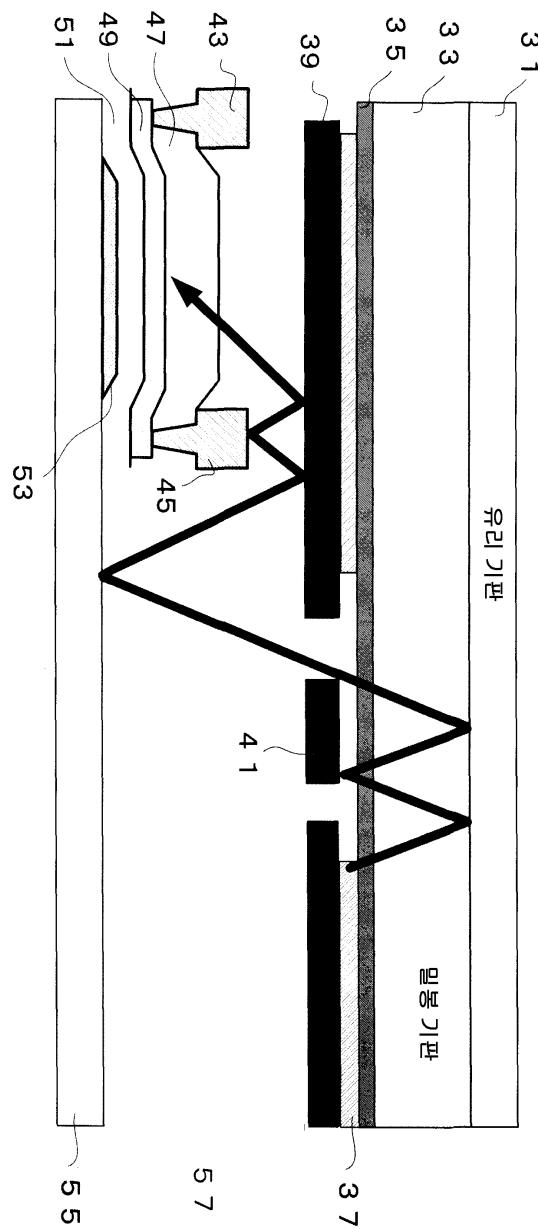
## 도면6



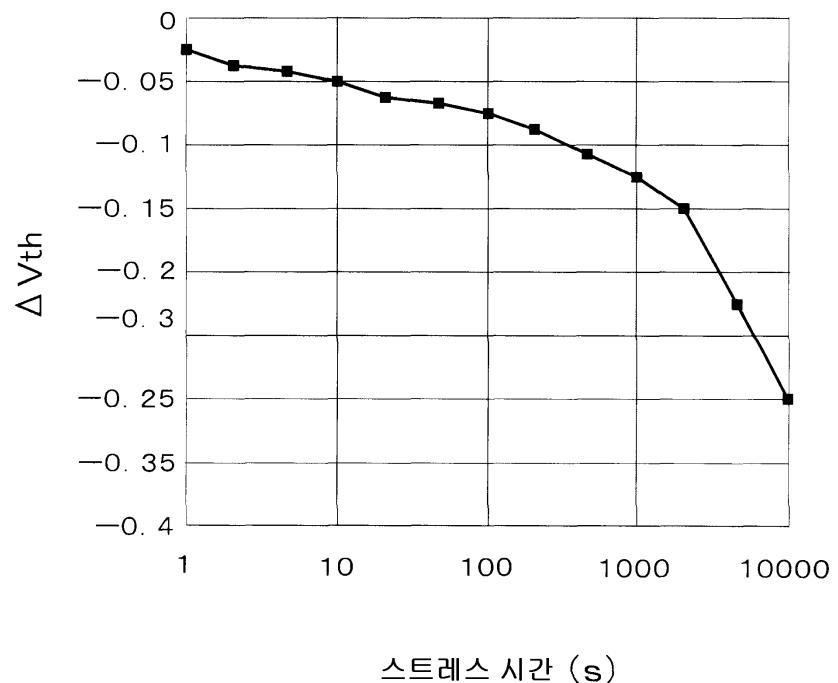
## 도면7



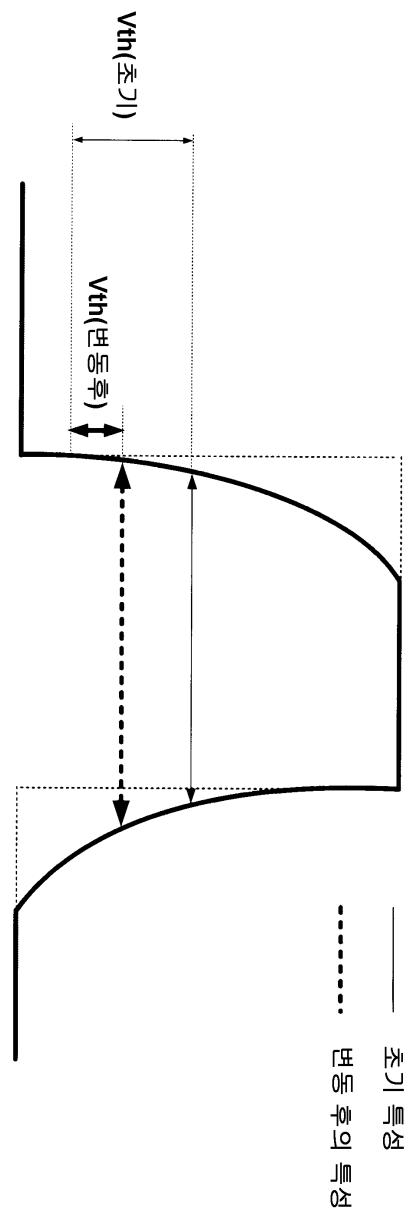
도면8



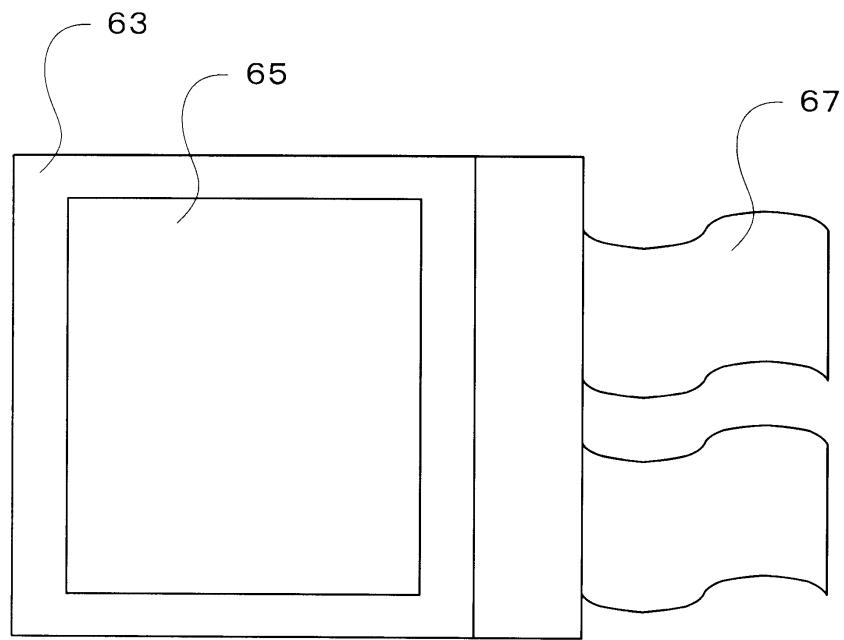
도면9



도면10

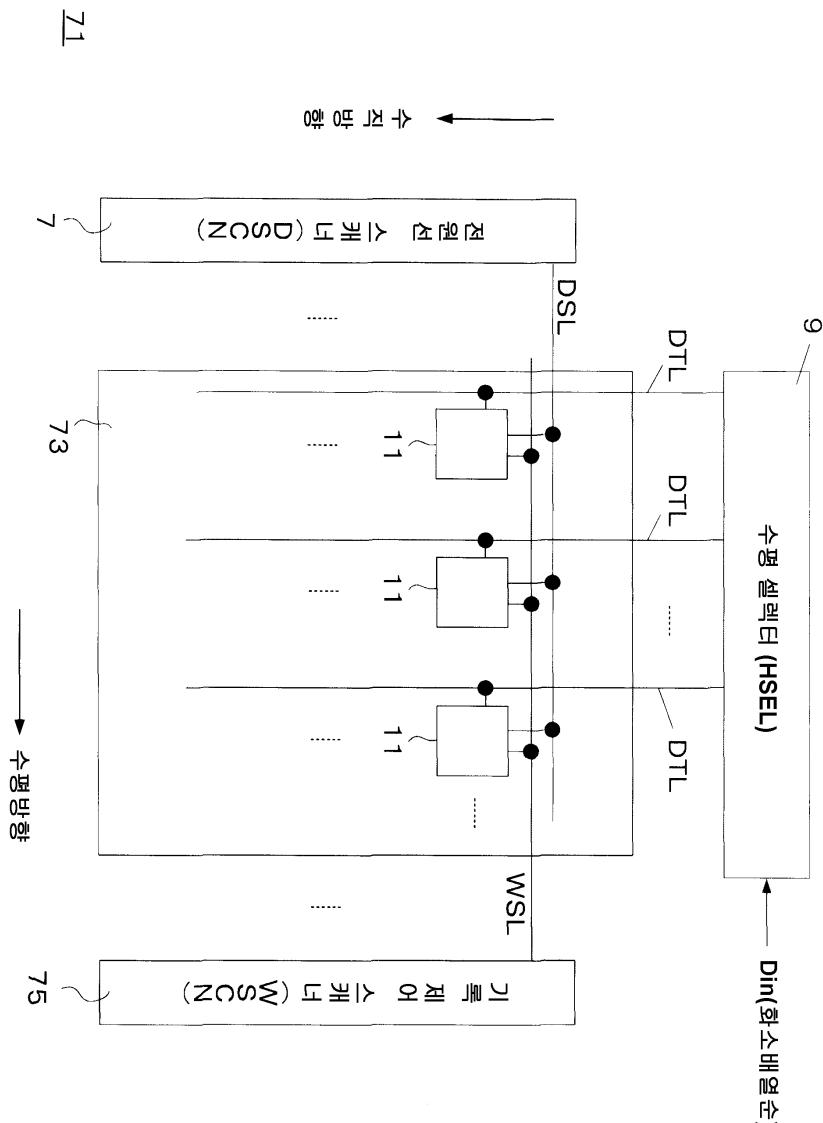


도면11

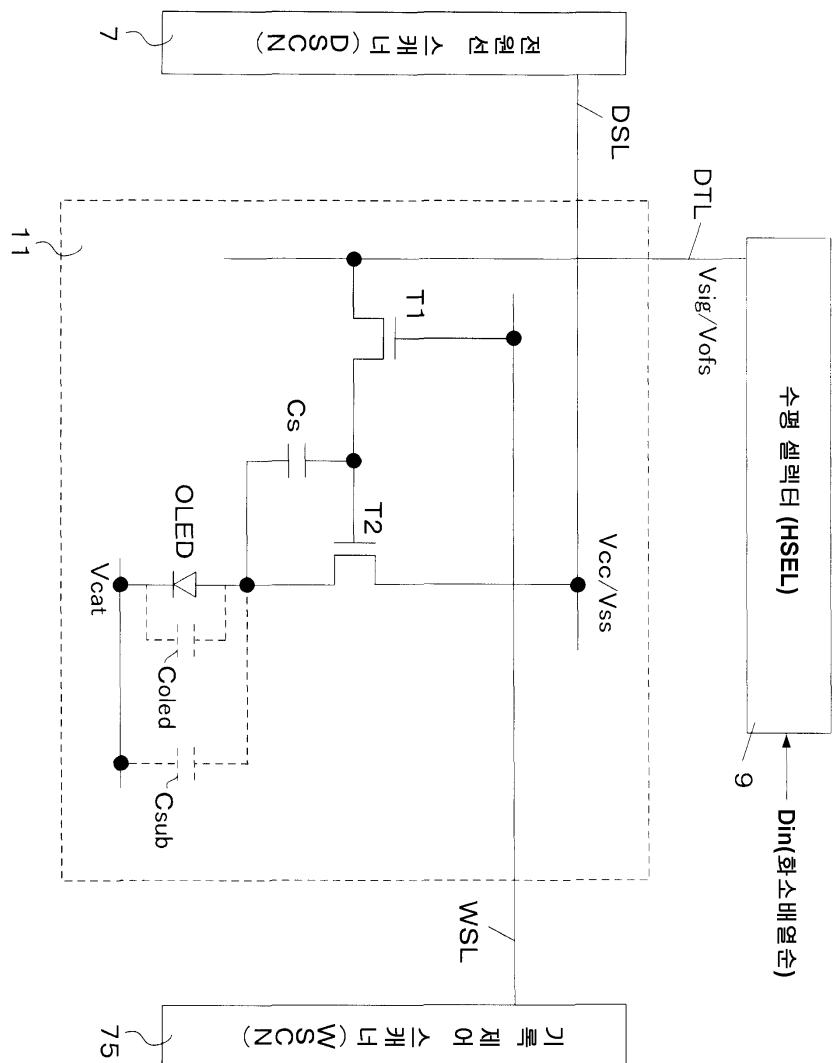


61

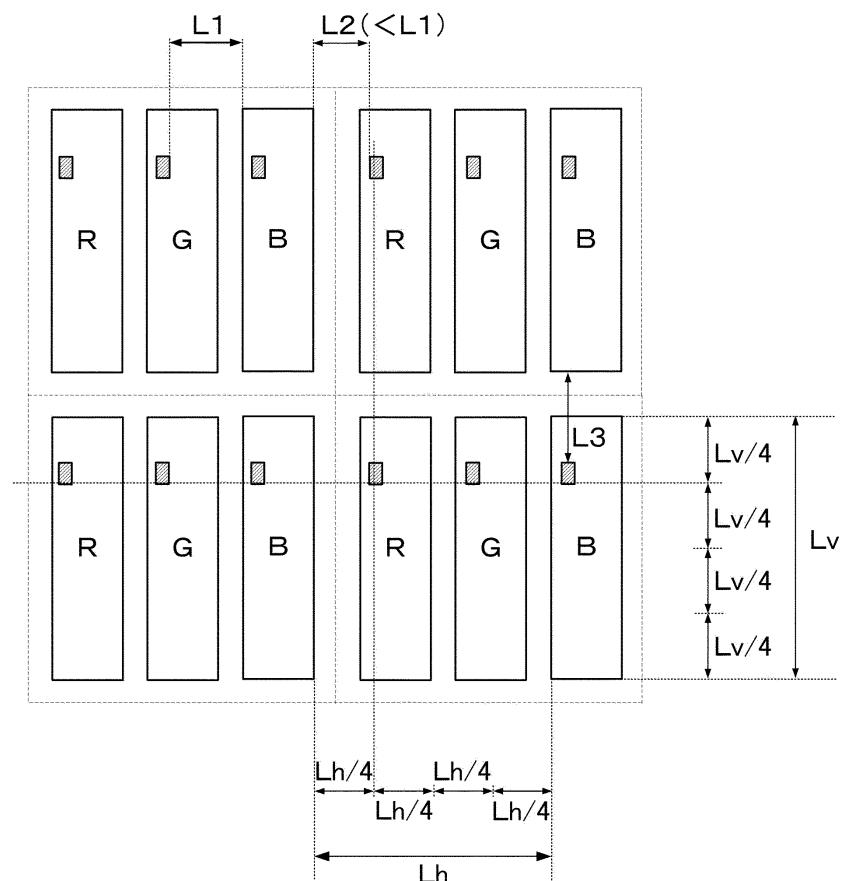
도면12



### 도면13



도면14



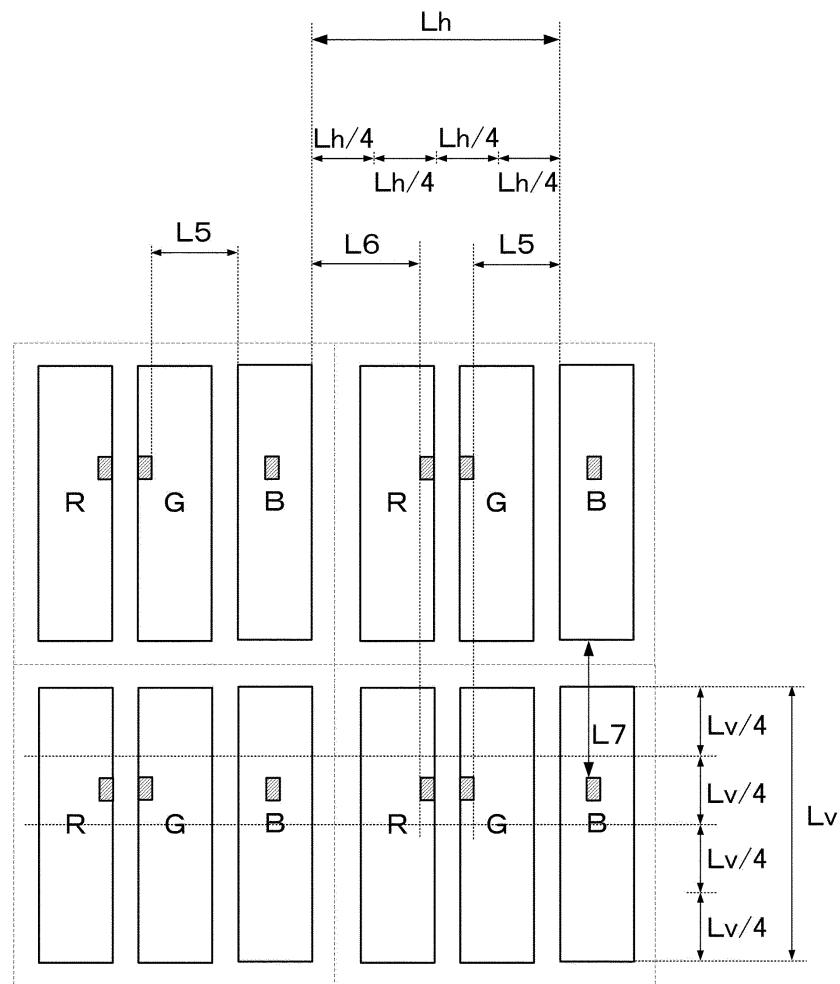
21 화소



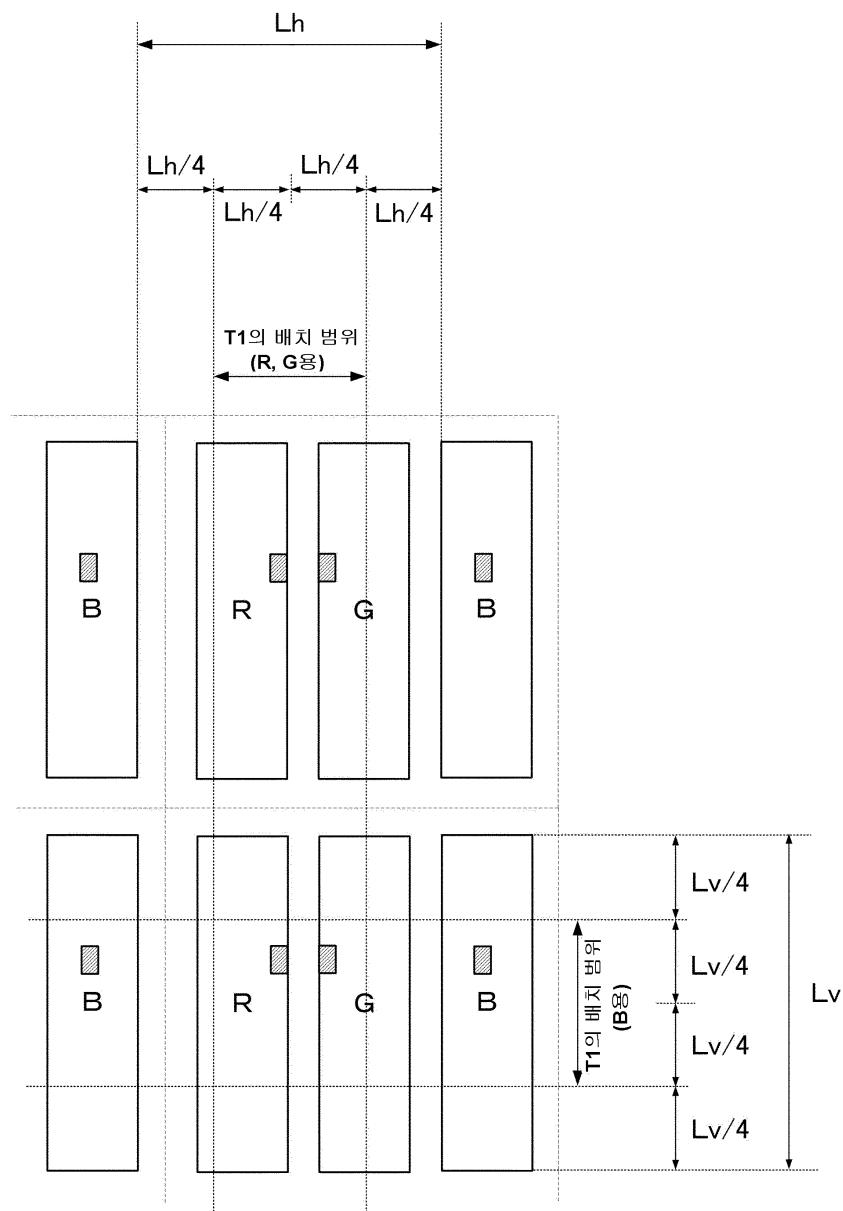
23 발광영역

25 샘플링 트랜지스터

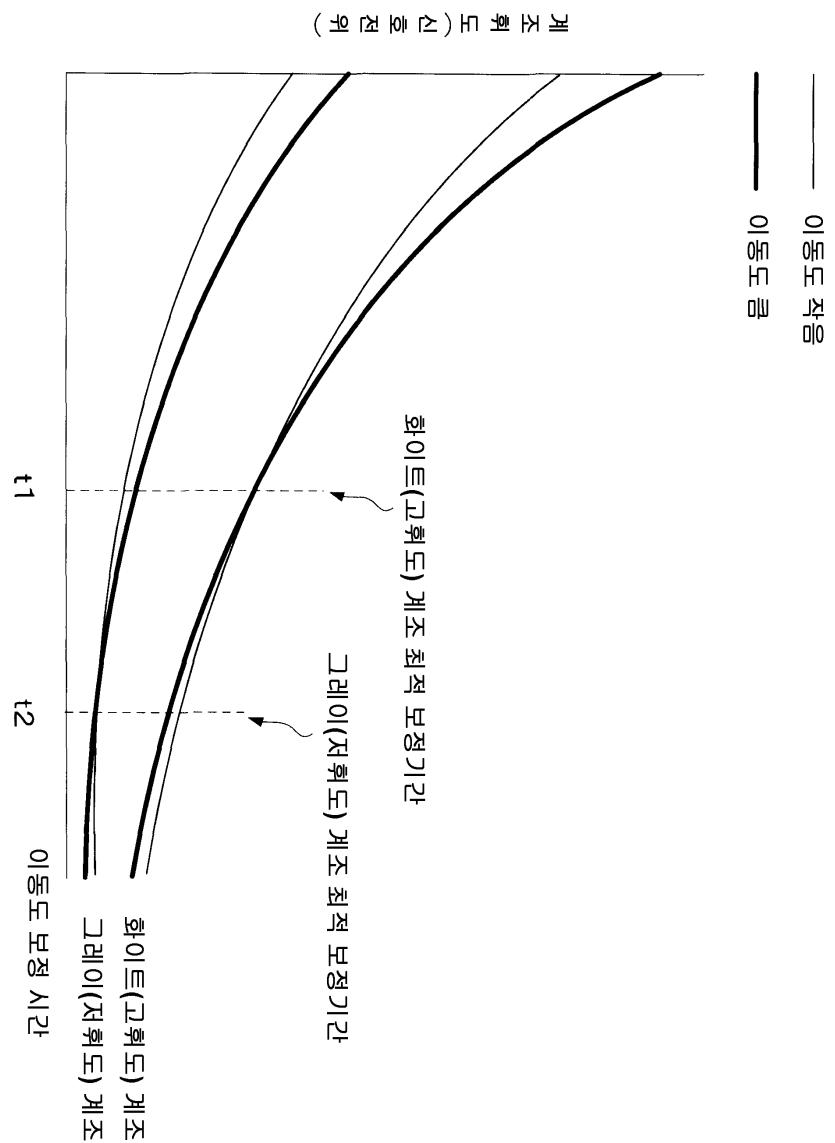
도면15



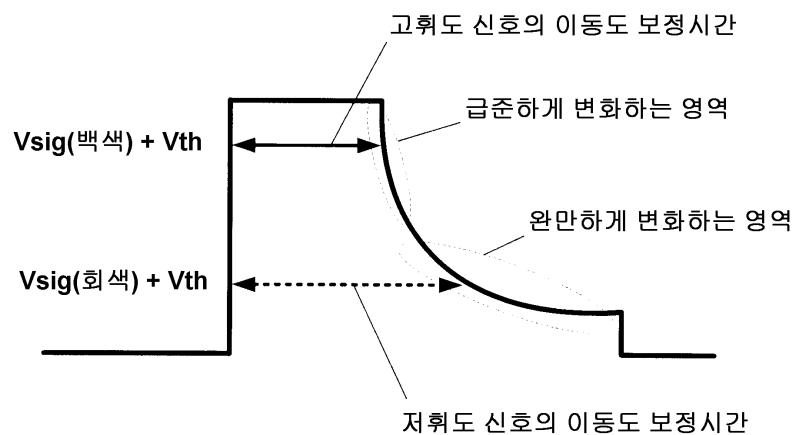
도면16



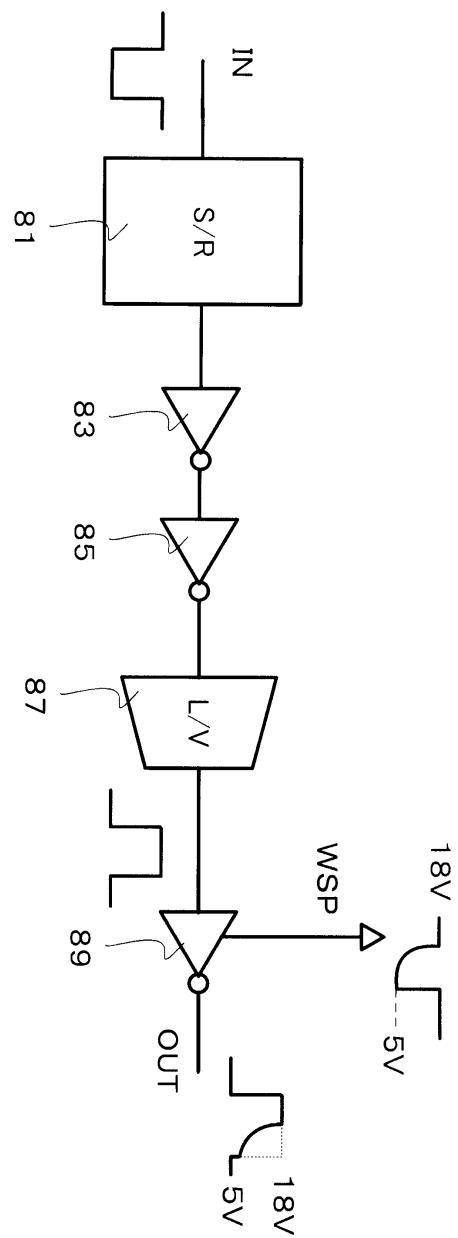
도면17



도면18

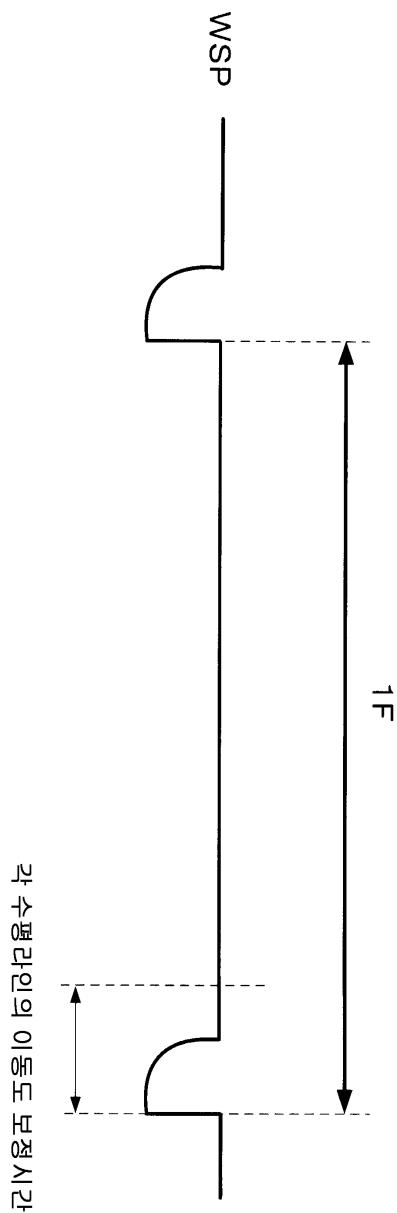


도면19

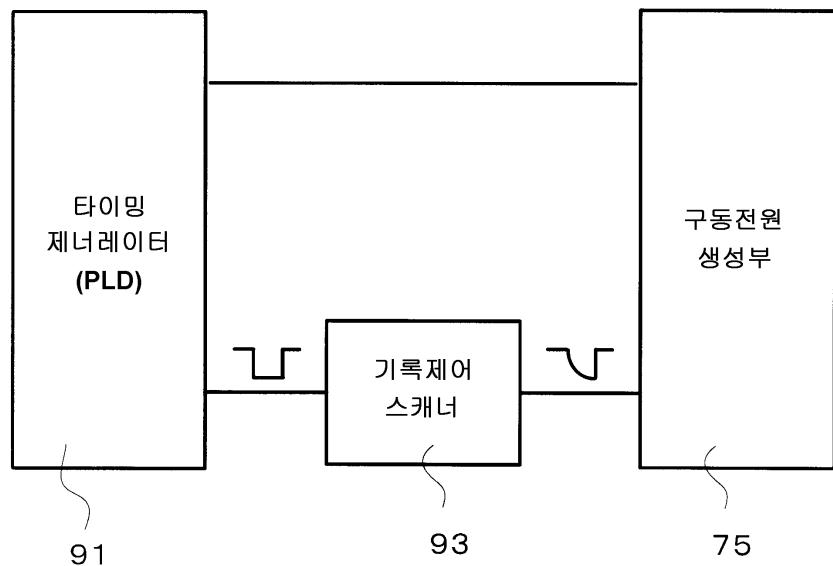


75

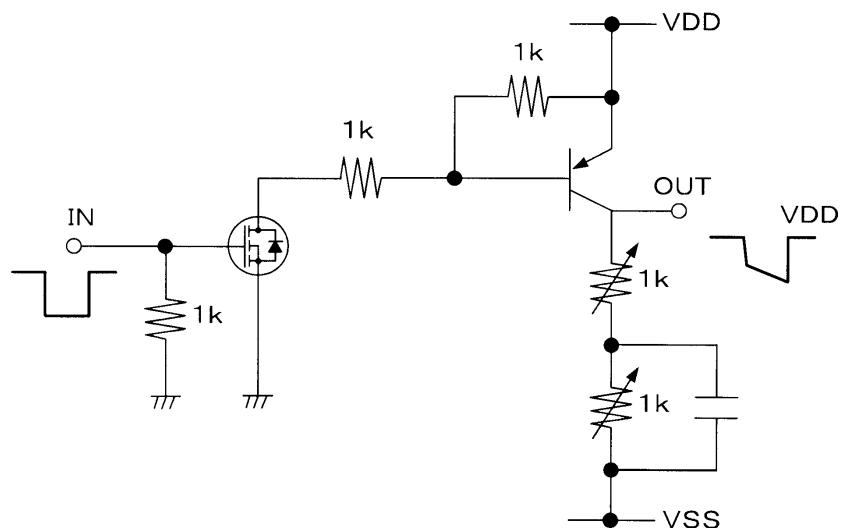
도면20



도면21

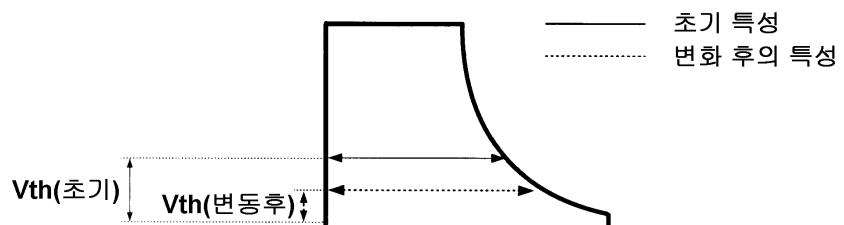


도면22

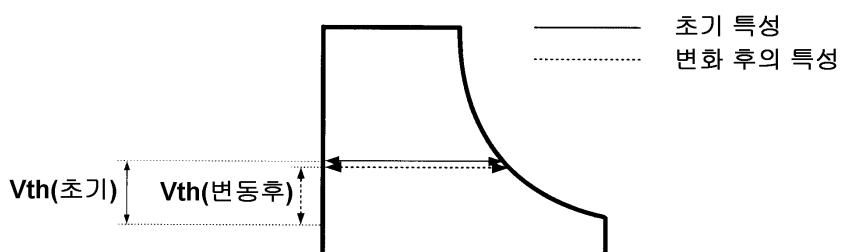


93

## 도면23

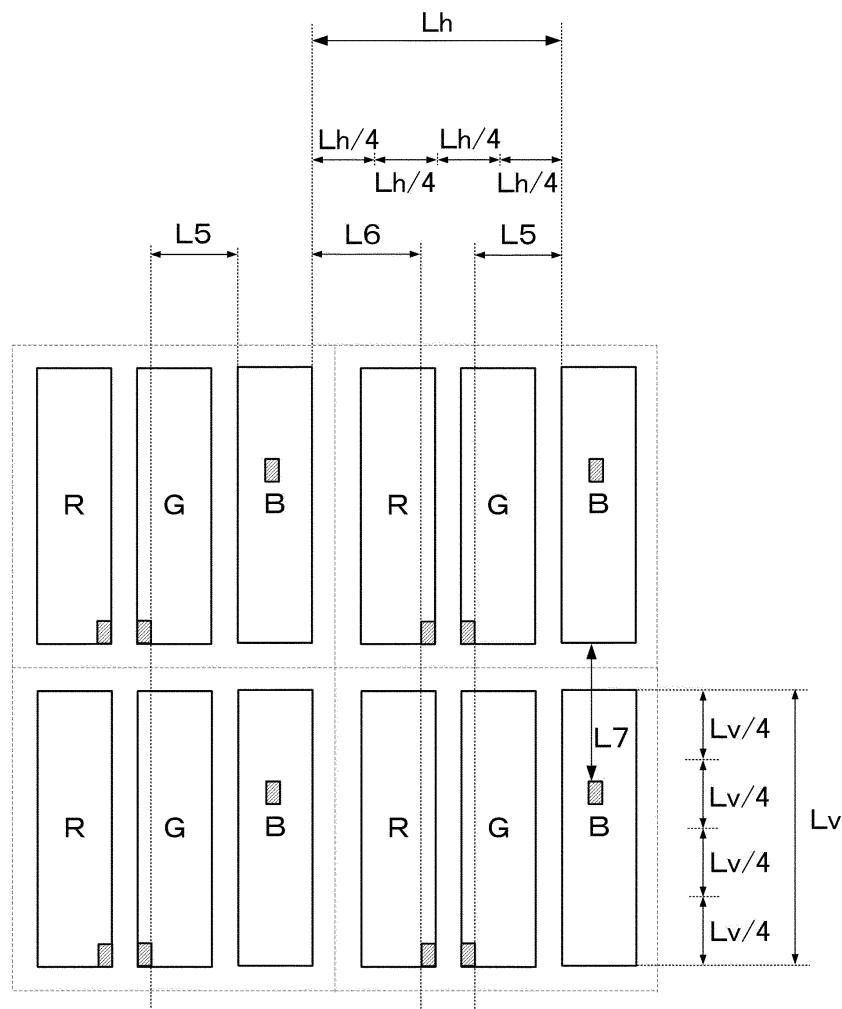


(a)



(b)

## 도면24



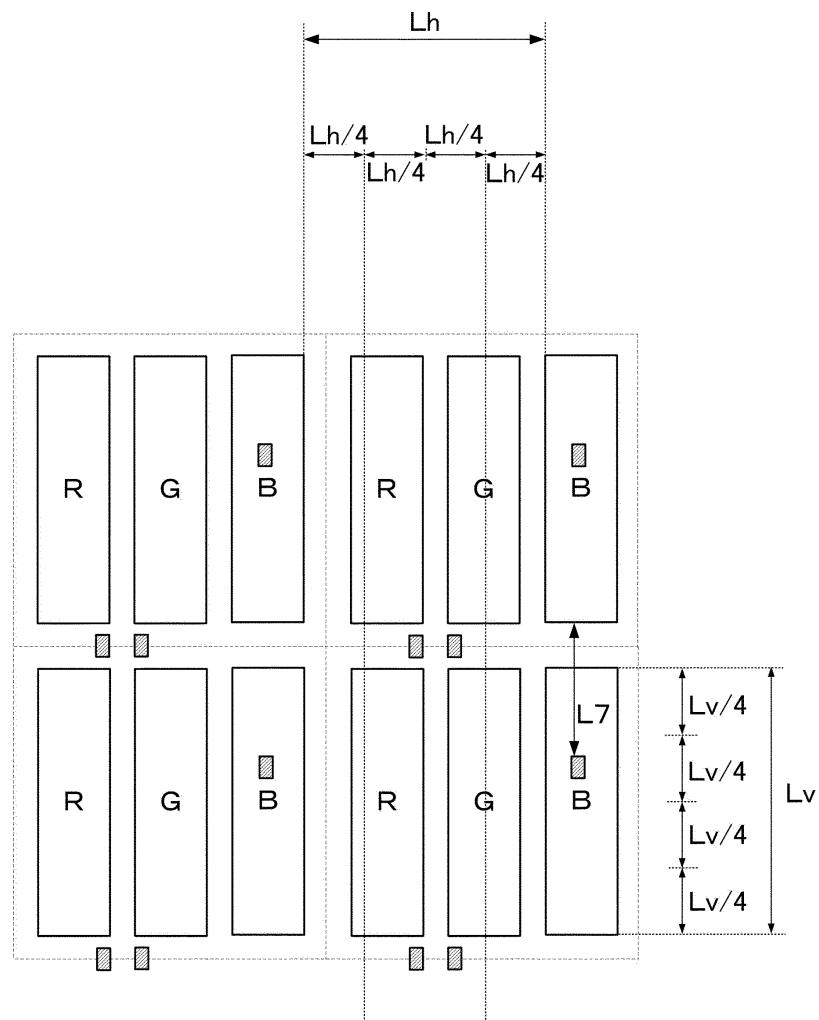
21 화소



23 발광영역

25 샘플링 트랜지스터

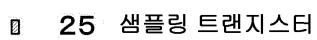
도면25



21 화소

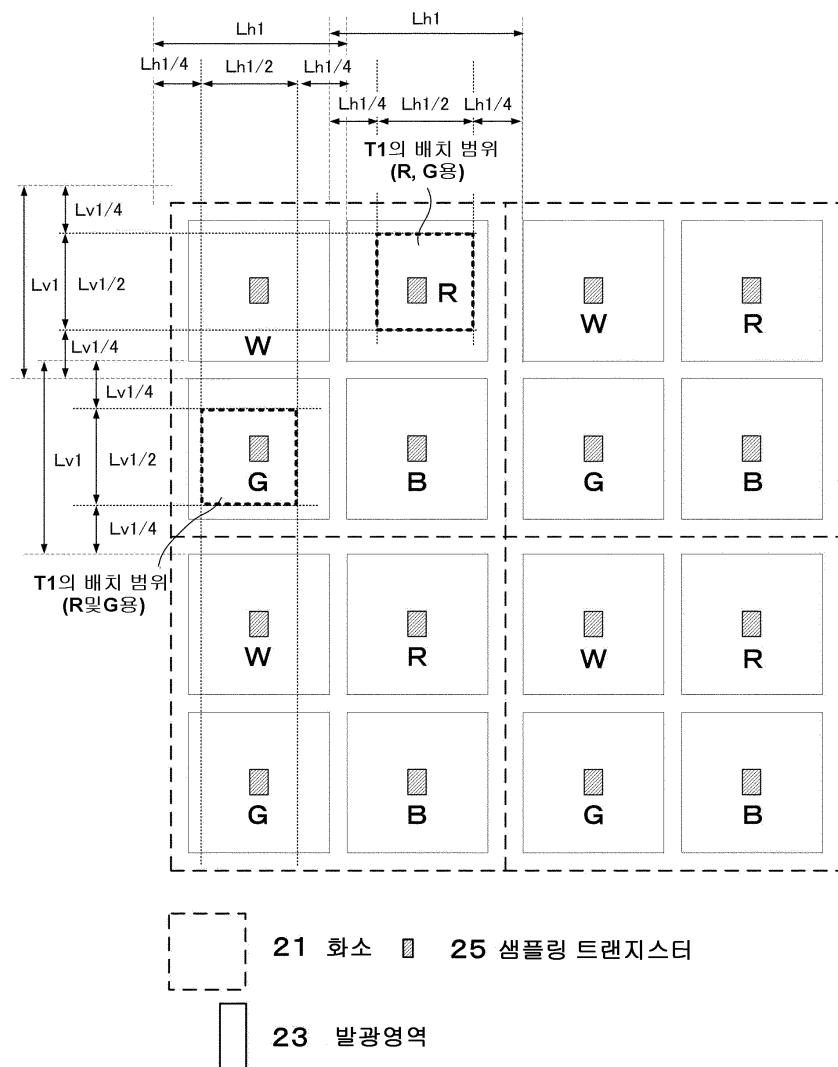


23 발광영역



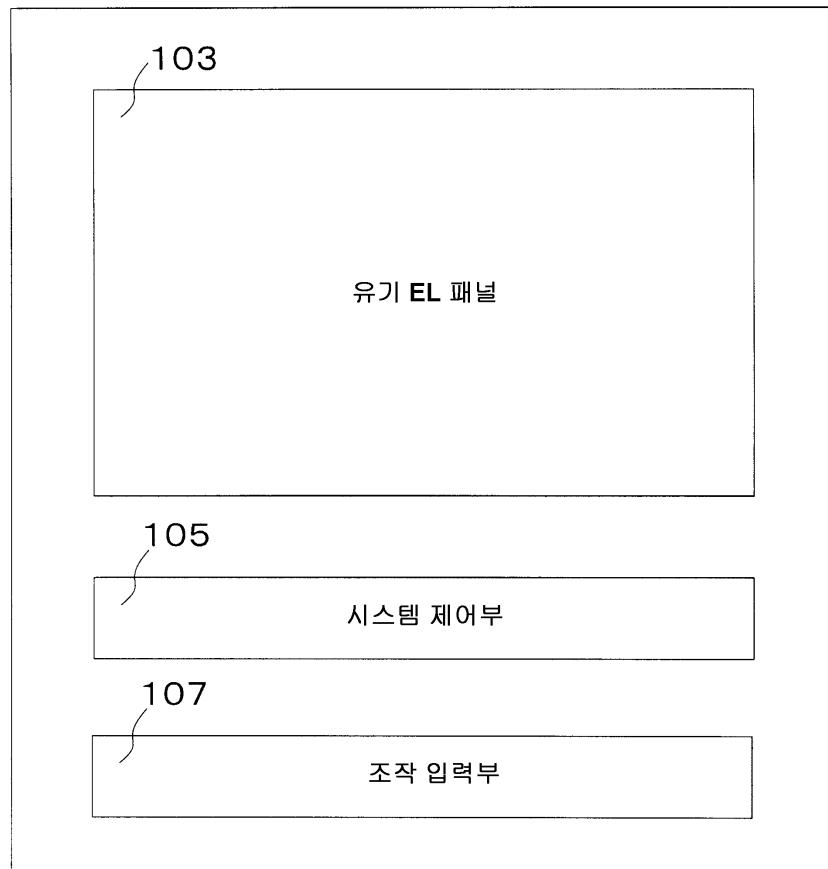
25 샘플링 트랜지스터

도면26

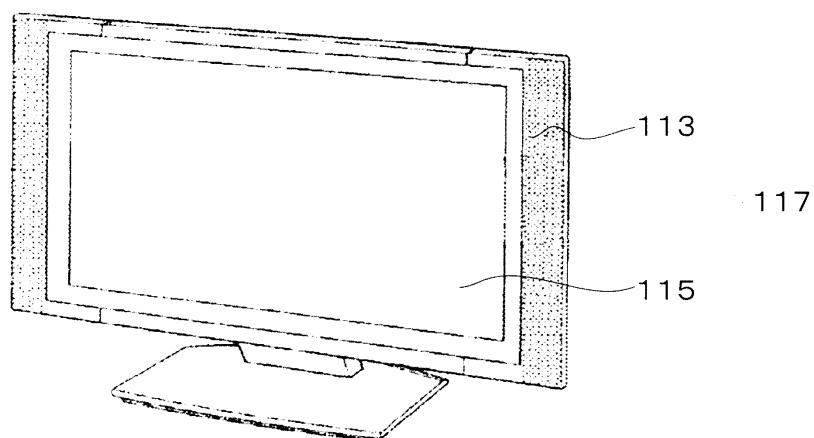


도면27

101

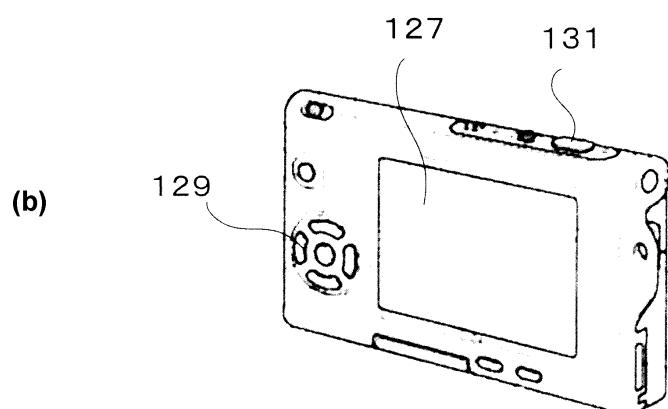
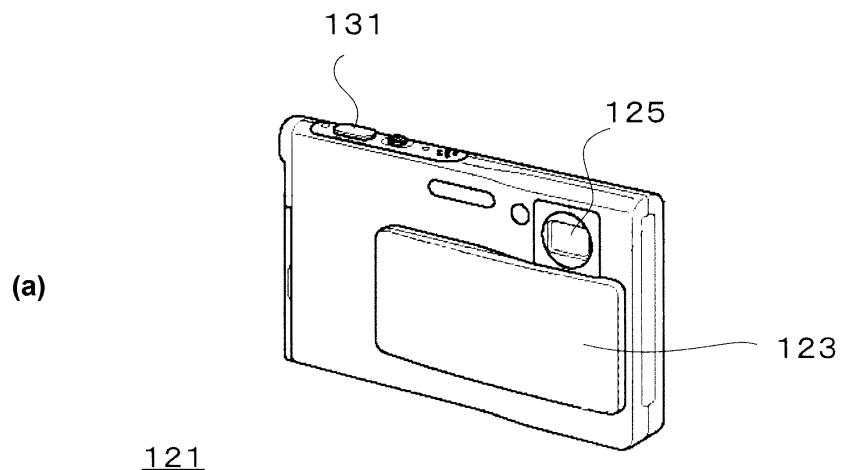


도면28

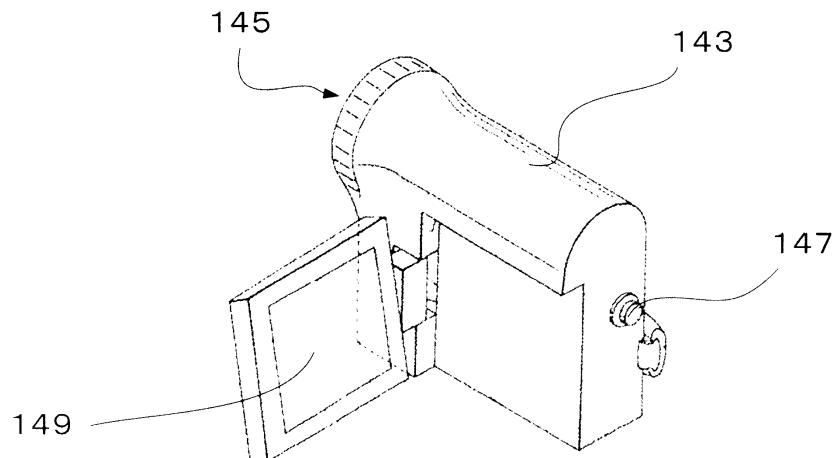


111

도면29

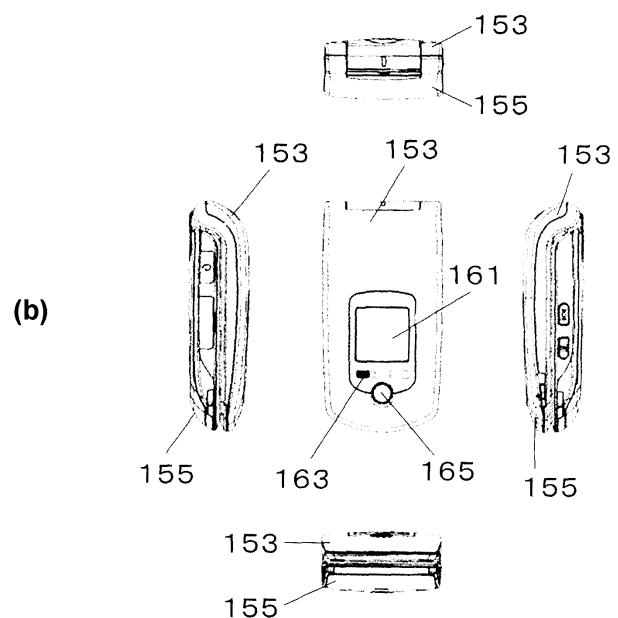
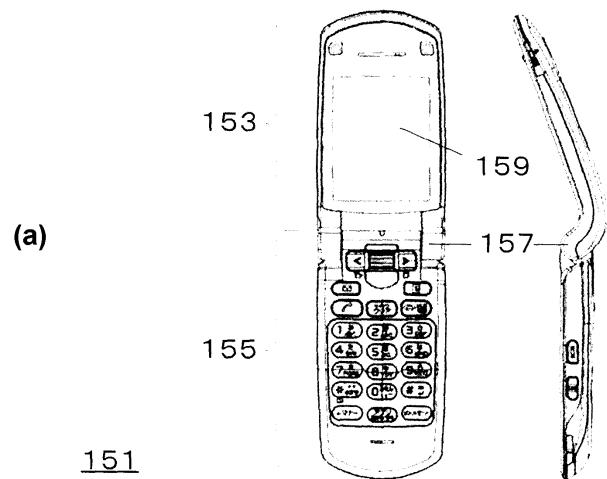


도면30

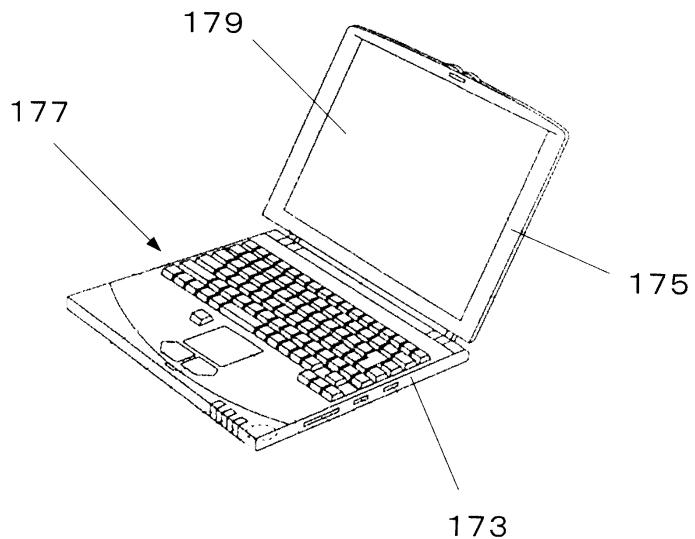


141

도면31



도면32



171

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | EL显示板和电子设备   |         |            |
| 公开(公告)号        | <a href="#">KR1020090101409A</a>   | 公开(公告)日 | 2009-09-28 |
| 申请号            | KR1020090020626  | 申请日     | 2009-03-11 |
| [标]申请(专利权)人(译) | 索尼公司   |         |            |
| 申请(专利权)人(译)    | 索尼公司   |         |            |
| 当前申请(专利权)人(译)  | 索尼公司   |         |            |
| [标]发明人         | YAMASHITA JUNICHI<br>야마시타준이치<br>YAMAMOTO TETSURO<br>야마모토테츠로<br>UCHINO KATSUHIDE<br>우치노카쓰히데 |         |            |
| 发明人            | 야마시타준이치<br>야마모토테츠로<br>우치노카쓰히데  |         |            |
| IPC分类号         | H05B33/02 H05B33/08 H01L51/50  |         |            |
| CPC分类号         | H01L27/3262 H01L27/3211 H01L27/3213 H01L27/3276 H01L27/3244 H01L23/49838 H01L27/3218       |         |            |
| 代理人(译)         | Yihwaik<br>金红豆   |         |            |
| 优先权            | 2008074774 2008-03-23 JP   |         |            |
| 其他公开文献         | KR101607154B1  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

### 摘要(译)

我们提出了一种面板结构，其抑制由于内部散射光的影响导致的阈值电压的波动。提出以下结构用于具有对应于有源矩阵驱动系统的像素结构的EL显示板。也就是说，当对应于另一发光颜色的第二发光区域布置在对应于具有改变薄膜晶体管的阈值电压的最高特性的发光颜色的第一发光区域之间时，像素电路中的每个像素电路中的采样晶体管处于从夹着自身的两个相邻的第一发光区域的一个边缘部分到另一个边缘部分的长度的1/4到3/4的范围内。我们提出了一种布局结构。

