



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0072819
(43) 공개일자 2008년08월07일

- | | |
|--|---|
| <p>(51) Int. Cl.
G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)</p> <p>(21) 출원번호 10-2008-7008509</p> <p>(22) 출원일자 2008년04월08일
심사청구일자 없음
번역문제출일자 2008년04월08일</p> <p>(86) 국제출원번호 PCT/JP2006/322653
국제출원일자 2006년11월14일</p> <p>(87) 국제공개번호 WO 2007/055376
국제공개일자 2007년05월18일</p> <p>(30) 우선권주장
JP-P-2005-00328334 2005년11월14일 일본(JP)</p> | <p>(71) 출원인
소니 가부시키 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자
우치노 카츠히데
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고 소니가부시키 가이샤내
야마시타 준이치
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고 소니가부시키 가이샤내</p> <p>(74) 대리인
신관호</p> |
|--|---|

전체 청구항 수 : 총 19 항

(54) 화소 회로 및 표시 장치

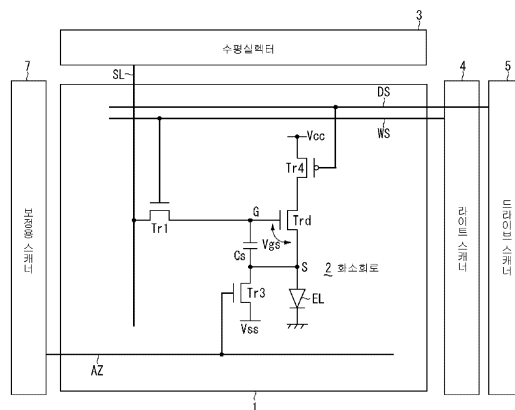
(57) 요약

임계 전압 보정 기능을 갖춘 화소 회로의 효율화 및 간소화를 도모한다. 샘플링 트랜지스터(Tr1)는, 수평 주사 기간에 주사선(WS)으로부터 공급되는 제어 신호에 적합하게 도통하여 신호선(SL)으로부터 공급된 영상 신호를 화소 용량(Cs)에 샘플링한다.

화소 용량(Cs)은, 샘플링된 영상 신호에 적합하게 드라이브 트랜지스터(Trd)의 게이트(G)에 입력 전압(Vgs)을 인가한다. 드라이브 트랜지스터(Trd)는, 입력 전압(Vgs)에 적합한 출력 전류를 발광 소자(EL)에 공급한다. 출력 전류는 드라이브 트랜지스터(Trd)의 임계 전압(Vth)에 대해서 의존성을 가진다.

출력 전류의 임계 전압(Vth)에 대한 의존성을 취소하기 위해서, 수평 주사 기간의 일부에서 동작하고, 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하여 화소 용량(Cs)에 기입해 두는 보정 수단(Tr3, Tr4)을 갖춘다.

대표도



특허청구의 범위

청구항 1

제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고,

상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 수평 주사 기간에 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고,

상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간 중 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고, 상기 출력 전류는 상기 드라이브 트랜지스터의 채널 영역의 임계 전압(Threshold voltage)에 대하여 의존성을 가지고,

상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 화소 회로에 있어서,

출력 전류의 상기 임계 전압에 대한 의존성을 취소하기 위해서, 수평 주사 기간의 일부에서 동작하고, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입해 두는 보정 수단을 갖추는 것을 특징으로 하는 화소 회로.

청구항 2

제 1항에 있어서,

상기 보정 수단은, 수평 주사 기간에 상기 샘플링 트랜지스터가 도통하여 상기 화소 용량의 일단(一端)이 상기 신호선에 의해 일정 전위에 보관 유지된 상태에서 동작하고, 상기 화소 용량의 타단(他端)으로부터 상기 일정 전위에 대한 전위차가 상기 임계 전압으로 될 때까지 상기 화소 용량을 충전하는 것을 특징으로 하는 화소 회로.

청구항 3

제 1항에 있어서,

상기 보정 수단은, 수평 주사 기간의 전반(前半)에서 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입하는 한편,

상기 샘플링 트랜지스터는, 상기 수평 주사 기간의 후반(後半)에서 상기 신호선으로부터 공급되는 영상 신호를 상기 화소 용량에 샘플링하고,

상기 화소 용량은, 상기 샘플링된 영상 신호에 상기 기입된 임계 전압을 더한 입력 전압을 상기 드라이브 트랜지스터의 게이트와 소스 간에 인가하고, 이로써 출력 전류의 상기 임계 전압에 대한 의존성을 취소하는 것을 특징으로 하는 화소 회로.

청구항 4

제 1항에 있어서,

상기 보정 수단은, 수평 주사 기간보다도 전에 도통하여, 상기 화소 용량의 양단(兩端)의 전위차가 상기 임계 전압을 넘도록 설정하는 제 1의 스위칭 트랜지스터(switching transistor)와,

상기 수평 주사 기간에 도통하여, 상기 화소 용량의 양단의 전위차가 상기 임계 전압이 될 때까지 상기 화소 용량을 충전하는 제 2의 스위칭 트랜지스터를 포함하는 것을 특징으로 하는 화소 회로.

청구항 5

제 4항에 있어서,

상기 제 1의 스위칭 트랜지스터는, 상기 주사선보다도 전에 위치하는 다른 주사선으로 할당되기 전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 상기 임계 전압을 넘도록 설정하는 것을 특징으로 하는 화소 회로.

청구항 6

제 5항에 있어서,

상기 제 1의 스위칭 트랜지스터는, 상기 주사선의 직전에 위치하는 다른 주사선으로 할당되기 직전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 상기 임계 전압을 넘도록 설정하는 것을 특징으로 하는 화소 회로.

청구항 7

제 1항에 있어서,

상기 샘플링 트랜지스터는, 수평 주사 기간 내에 상기 신호선이 영상 신호의 전위가 되는 신호 공급 기간에, 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하는 한편,

상기 보정 수단은, 수평 주사 기간 내에 상기 신호선이 일정 전위가 되는 신호 고정기간에, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입하는 것을 특징으로 하는 화소 회로.

청구항 8

제 7항에 있어서,

상기 보정 수단은, 다른 주사선에 할당되는 수평 주사 기간 내의 신호 고정기간에서도 동작하고, 각 신호 고정기간에서 시분할 적으로 상기 화소 용량을 임계 전압까지 충전하는 것을 특징으로 하는 화소 회로.

청구항 9

제 8항에 있어서,

상기 신호 고정기간은, 각 주사선에 차례차례 할당되는 각 수평 주사 기간을 서로 구분하는 수평 블랭킹 (blanking) 기간이며,

상기 보정 수단은, 각 수평 블랭킹 기간에 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전하는 것을 특징으로 하는 화소 회로.

청구항 10

제 8항에 있어서,

상기 보정 수단이 각 신호 고정기간에서 상기 화소 용량을 충전하면, 상기 신호선이 일정 전위로부터 영상 신호의 전위로 바뀌기 전에 상기 샘플링 트랜지스터를 닫아 상기 화소 용량을 상기 신호선으로부터 전기적으로 떼어 내는 것을 특징으로 하는 화소 회로.

청구항 11

제 1항에 있어서,

상기 드라이브 트랜지스터는, 그 출력 전류가 채널 영역의 임계 전압에 더해 커리어 이동도에 대해서도 의존성을 가지고,

상기 보정 수단은, 상기 출력 전류의 커리어 이동도에 대한 의존성을 취소하기 위해서, 상기 수평 주사 기간의 일부에서 동작하고, 상기 영상 신호가 샘플링되어 있는 상태에서 상기 드라이브 트랜지스터로부터 출력 전류를 발취하고, 이것을 상기 화소 용량에 부귀환(負歸還)하여 상기 입력 전압을 보정 하는 것을 특징으로 하는 화소 회로.

청구항 12

제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고,

상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 수평 주사 기간에 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고,

상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간 중 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고, 상기 출력 전류는 상기 드라이브 트랜지스터의 채널 영역의 임계 전압에 대해서 의존성을 가지고,

상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 화소 회로에 있어서,

출력 전류의 상기 임계 전압에 대한 의존성을 취소하기 위해서, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입해 두는 보정 수단을 갖추고 있고,

상기 보정 수단은, 제 1의 스위칭 트랜지스터와 제 2의 스위칭 트랜지스터를 포함하고,

상기 제 1의 스위칭 트랜지스터는, 상기 주사선보다도 전에 위치하는 다른 주사선으로 할당된 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 임계 전압을 넘도록 설정하고,

상기 제 2의 스위칭 트랜지스터는, 상기 수평 주사 기간에 도통하고, 상기 화소 용량의 양단의 전위차가 상기 임계 전압이 될 때까지 상기 화소 용량을 충전하는 것을 특징으로 하는 화소 회로.

청구항 13

제 12항에 있어서,

상기 제 1의 스위칭 트랜지스터는, 상기 주사선의 직전에 위치하는 다른 주사선으로 할당되기 직전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 상기 임계 전압을 넘도록 설정하는 것을 특징으로 하는 화소 회로.

청구항 14

제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고,

상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 수평 주사 기간에 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고,

상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고,

상기 드라이브 트랜지스터는, 소정의 발광 기간 중 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고, 상기 출력 전류는 상기 드라이브 트랜지스터의 채널 영역의 임계 전압에 대해서 의존성을 가지고,

상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 화소 회로에 있어서,

출력 전류의 상기 임계 전압에 대한 의존성을 취소하기 위해서, 미리 상기 영상 신호의 샘플링에 앞서, 상기 드라이브 트랜지스터의 임계 전압을 검출하고 상기 화소 용량에 기입해 두는 보정 수단을 갖추고 있고,

상기 보정 수단은, 복수의 주사선으로 할당된 복수의 수평 주사 기간 내에서 동작하고, 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전하는 것을 특징으로 하는 화소 회로.

청구항 15

제 14항에 있어서,

상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 상기 수평 주사 기간 내에서 상기 신호선이 영상 신호의 전위가 되는 신호 공급 기간에, 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하는 한편, 상기 보정 수단은, 복수의 주사선으로 할당된 각 수평 주사 기간 내에서 상기 신호선이 일정 전위가 되는 각 신호 고정기간에, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전하는 것을 특징으로 하는 화소 회로.

청구항 16

제 15항에 있어서,

상기 신호 고정기간은, 각 주사선에 차례차례 할당되는 각 수평 주사 기간을 서로 구분하는 수평 블랭킹 기간이며, 상기 보정 수단은, 각 수평 블랭킹 기간에 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전하는 것을 특징으로 하는 화소 회로.

청구항 17

제 15항에 있어서,

상기 보정 수단이 각 신호 고정기간에 상기 화소 용량을 충전한다면, 상기 신호선이 일정 전위로부터 영상 신호의 전위로 바뀌기 전에 상기 샘플링 트랜지스터를 닫아 상기 화소 용량을 상기 신호선으로부터 전기적으로 떼어내는 것을 특징으로 하는 화소 회로.

청구항 18

제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고,

상기 샘플링 트랜지스터는, 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고,

상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고,

상기 드라이브 트랜지스터는, 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고,

상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 표시장치에 있어서,

상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입해 두는 보정 수단을 갖추는 것을 특징으로 하는 표시장치.

청구항 19

제 18항에 있어서,

상기 보정 수단은, 상기 샘플링 트랜지스터가 도통하여 상기 화소 용량의 일단이 상기 신호선에 의해 일정 전위에 보관 유지된 상태에서 동작하고, 상기 화소 용량의 타단으로부터 상기 일정 전위에 대한 전위차가 상기 임계 전압이 될 때까지 상기 화소 용량을 충전하는 것을 특징으로 하는 표시장치.

명세서

기술분야

<1> 본 발명은, 화소마다 배치한 발광 소자를 전류 구동하는 화소 회로에 관한 것이다. 보다 상세하게는, 각 화소 회로 내에 설치한 절연 게이트형 전계 효과 트랜지스터에 의해서 유기 EL 등의 발광 소자에 통전(通電)하는 전류량을 제어하는, 이른바 액티브 매트릭스(active matrix)형의 표시장치에 적용하는 화소 회로에 관한 것이다.

또, 당해 화소 회로를 탑재한 표시장치에 관한 것이다.

배경 기술

- <2> 화상 표시장치, 예를 들면 액정 디스플레이 등에서는, 다수의 액정 화소를 매트릭스상에 늘어놓고, 표시해야 할 화상 정보에 적합하게 화소마다 입사광의 투과 강도 또는 반사 강도를 제어함으로써 화상을 표시한다. 이것은, 유기 EL소자를 화소에 이용한 유기 EL 디스플레이 등에 있어서도 마찬가지이지만, 액정 화소와 달리 유기 EL 소자는 자(自) 발광 소자이다. 그 때문에, 유기 EL 디스플레이는 액정디스플레이에 비해 화상의 시인(視認)성이 높고, 백 라이트가 불필요하며, 응답 속도가 높다는 등의 이점을 가진다. 또, 각 발광 소자의 휘도 레벨(계조(階調))은 거기에 흐르는 전류치에 의해서 제어 가능하며, 이른바 전류제어형이라고 하는 점에서 액정 디스플레이 등의 전압제어형과는 크게 다르다.
- <3> 유기 EL 디스플레이에 있어서는, 액정 디스플레이와 같이, 그 구동 방식으로서 단순 매트릭스 방식과 액티브 매트릭스 방식이 있다. 전자는 구조가 단순한 것의, 대형 또는 고해상도의 디스플레이의 실현이 어렵다는 등의 문제가 있기 때문에, 현재는 액티브 매트릭스 방식의 개발이 활발하게 실시되고 있다. 이 방식은, 각 화소 회로 내부의 발광 소자에 흐르는 전류를, 화소 회로 내부에 설치한 능동 소자(일반적으로는 박막 트랜지스터(TFT))에 의해서 제어하는 것이며, 특개 2003-255856호 공보, 특개 2003-271095호 공보, 특개 2004-133240호 공보, 특개 2004-029791호 공보, 특개 2004-093682호 공보에 기재가 있다.
- <4> 종래의 화소 회로는, 제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와 용량부와 드라이브 트랜지스터와 발광 소자를 포함한다. 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 신호선으로부터 공급된 영상 신호를 샘플링한다. 용량부는, 샘플링된 영상 신호에 적합한 입력 전압을 보관 유지한다. 드라이브 트랜지스터는, 용량부에 보관 유지된 입력 전압에 적합하게 소정의 발광 기간에 출력 전류를 공급한다. 또한 일반적으로, 출력 전류는 드라이브 트랜지스터의 채널 영역의 커리어 이동도 및 임계 전압(Threshold voltage)에 대해서 의존성을 가진다. 발광 소자는, 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 영상 신호에 적합한 휘도로 발광한다.
- <5> 드라이브 트랜지스터는, 용량부에 보관 유지된 입력 전압을 게이트에 받아서 소스/드레인 간에 출력 전류를 흐르게 하고, 발광 소자에 통전(通電)한다. 일반적으로 발광 소자의 발광 휘도는 통전량에 비례하고 있다. 또한 드라이브 트랜지스터의 출력 전류 공급량은 게이트 전압 즉 용량부에 기입된 입력 전압에 의해서 제어된다. 종래의 화소 회로는, 드라이브 트랜지스터의 게이트에 인가되는 입력 전압을 입력 영상 신호에 적합하게 변화시킴으로써, 발광 소자에 공급하는 전류량을 제어하고 있다.
- <6> 여기에서 드라이브 트랜지스터의 동작 특성은 이하의 식 1로 표현된다.
- <7>
$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots \text{식 1}$$
- <8> 이 트랜지스터 특성 식 1에 있어서, I_{ds} 는 소스/드레인 간에 흐르는 드레인 전류를 나타내고 있고, 화소 회로에서는 발광 소자에 공급되는 출력 전류이다. V_{gs} 는 소스를 기준으로서 게이트에 인가되는 게이트 전압을 나타내고 있고, 화소 회로에서는 상술한 입력 전압이다. V_{th} 는 트랜지스터의 임계 전압이다. 또 μ 는 트랜지스터의 채널을 구성하는 반도체 박막의 이동도를 나타내고 있다. 그 외 W 는 채널 폭을 나타내고, L 은 채널 길이를 나타내고, C_{ox} 는 게이트 용량을 나타내고 있다. 이 트랜지스터 특성 식 1로부터 분명한 바와 같이, 박막 트랜지스터는 포화 영역에서 동작할 때, 게이트 전압(V_{gs})이 임계 전압(V_{th})을 넘어서 커지게 되면, 온(on) 상태가 되어 드레인 전류(I_{ds})가 흐른다. 원리적으로 보면 상기의 트랜지스터 특성 식 1이 나타내는 바와 같이, 게이트 전압(V_{gs})이 일정하다면 항상 같은 양의 드레인 전류(I_{ds})가 발광 소자에 공급된다. 따라서, 화면을 구성하는 각 화소에 모두 동일한 레벨의 영상 신호를 공급하면, 모든 화소가 동일 휘도에서 발광하고, 화면의 균일성(一様性)(uniformity, 유니포미티)을 얻을 수 있을 것이다.
- <9> 그렇지만 실제로는, 폴리 실리콘 등의 반도체 박막으로 구성된 박막 트랜지스터(TFT)는, 개개의 디바이스 특성에 불균일이 있다. 특히, 임계 전압(V_{th})은 일정한 것이 아니라, 각 화소마다 불균일이 있다. 상술의 트랜지스터 특성 식 1로부터 분명한 바와 같이, 각 드라이브 트랜지스터의 임계 전압(V_{th})이 흐트러지면, 게이트 전압(V_{gs})이 일정해도, 드레인 전류(I_{ds})에 불균일이 생기고, 화소마다 휘도가 흐트러져 버리기 때문에, 화면의 유니포미티를 파손한다. 종래부터 드라이브 트랜지스터의 임계 전압의 불균일을 캔슬(Cancel)하는 기능을 장착한 화소 회로가 개발되어 있고, 예를 들면 상기의 특개 2004-133240호 공보에 개시가 있다.

<10> 그렇지만, 임계 전압의 불균일을 캔슬하는 기능(임계 전압 보정 기능)을 장착한 종래의 화소 회로는 구성이 복잡하고, 화소의 미세화 혹은 고해상도화의 장애로 되어 있다. 또 종래의 임계 전압 보정 기능을 장착한 화소 회로는, 효율적이 아니라 회로설계의 복잡화를 초래하고 있다. 덧붙여서 종래의 임계 전압 보정 기능을 갖춘 화소 회로는, 구성 소자 수가 비교적 많기 때문에 수율(收率)의 저하를 초래하고 있다.

발명의 상세한 설명

<11> 상술한 종래 기술의 과제에 감안하여 이루어진 것이며, 본 발명은 임계 전압 보정 기능을 갖춘 화소 회로의 효율화 및 간소화를 도모하고, 이로써 표시장치의 고해상도화 및 수율의 개선을 달성하는 것을 목적으로 한다. 이러한 목적을 달성하기 위하여 이하의 수단을 강구했다. 즉 본 발명은, 제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고, 상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 수평 주사 기간에 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고, 상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간 중 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고, 상기 출력 전류는 상기 드라이브 트랜지스터의 채널 영역의 임계 전압에 대해서 의존성을 가지며, 상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 화소 회로에 있어서, 출력 전류의 상기 임계 전압에 대한 의존성을 취소하기 위해서, 수평 주사 기간의 일부에서 동작하고, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입해 두는 보정 수단을 갖추는 것을 특징으로 한다.

<12> 바람직하게는 상기 보정 수단은, 수평 주사 기간에 상기 샘플링 트랜지스터가 도통하여 상기 화소 용량의 일단(一端)이 상기 신호선에 의해 일정 전위에 보관 유지된 상태에서 동작하고, 상기 화소 용량의 타단(他端)으로부터 상기 일정 전위에 대한 전위차가 상기 임계 전압이 될 때까지 상기 화소 용량을 충전한다. 또 상기 보정 수단은, 수평 주사 기간의 전반에 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입하는 한편, 상기 샘플링 트랜지스터는, 상기 수평 주사 기간의 후반에 상기 신호선으로부터 공급되는 영상 신호를 상기 화소 용량에 샘플링하고, 상기 화소 용량은, 상기 샘플링된 영상 신호에 상기 기입된 임계 전압을 더한 입력 전압을 상기 드라이브 트랜지스터의 게이트와 소스 간에 인가하고, 이로써 출력 전류의 상기 임계 전압에 대한 의존성을 취소한다. 또 상기 보정 수단은, 수평 주사 기간보다도 전에 도통하고, 상기 화소 용량의 양단(兩端)의 전위차가 상기 임계 전압을 넘도록 설정하는 제 1의 스위칭 트랜지스터와, 상기 수평 주사 기간에 도통하고, 상기 화소 용량의 양단의 전위차가 상기 임계 전압이 될 때까지 상기 화소 용량을 충전하는 제 2의 스위칭 트랜지스터를 포함한다. 또 상기 제 1의 스위칭 트랜지스터는, 상기 주사선보다도 전에 위치하는 다른 주사선으로 할당되기 전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 상기 임계 전압을 넘도록 설정한다. 또 상기 제 1의 스위칭 트랜지스터는, 상기 주사선의 직전에 위치하는 다른 주사선으로 할당되기 직전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 상기 임계 전압을 넘도록 설정한다. 또 상기 샘플링 트랜지스터는, 수평 주사 기간 내에 상기 신호선이 영상 신호의 전위가 되는 신호 공급 기간에, 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하는 한편, 상기 보정 수단은, 수평 주사 기간 내에 상기 신호선이 일정 전위가 되는 신호 고정기간에, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입한다. 또 상기 보정 수단은, 다른 주사선에 할당되는 수평 주사 기간 내의 신호 고정기간이어도 동작하고, 각 신호 고정기간에 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전한다. 또 상기 신호 고정기간은, 각 주사선에 차례차례 할당되는 각 수평 주사 기간을 서로 구분하는 수평 블랭킹 기간이며, 상기 보정 수단은, 각 수평 블랭킹 기간에 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전한다. 또 상기 보정 수단이 각 신호 고정기간에 상기 화소 용량을 충전한다면, 상기 신호선이 일정 전위로부터 영상 신호의 전위로 바뀌기 전에 상기 샘플링 트랜지스터를 닫아 상기 화소 용량을 상기 신호선으로부터 전기적으로 떼어낸다. 또 상기 드라이브 트랜지스터는, 그 출력 전류가 채널 영역의 임계 전압에 더해 커리어 이동도에 대해서도 의존성을 가지고, 상기 보정 수단은, 상기 출력 전류의 커리어 이동도에 대한 의존성을 취소하기 위해, 상기 수평 주사 기간의 일부에서 동작하고, 상기 영상 신호가 샘플링되어 있는 상태에서 상기 드라이브 트랜지스터로부터 출력 전류를 발채하고, 이것을 상기 화소 용량에 부귀환(負歸還)하여 상기 입력 전압을 보정한다.

<13> 본 발명은 또, 제어 신호를 공급하는 행 모양의 주사선과 영상 신호를 공급하는 열 모양의 신호선이 교차하는

부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고, 상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 수평 주사 기간에 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고, 상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간 중 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고, 상기 출력 전류는 상기 드라이브 트랜지스터의 채널 영역의 임계 전압에 대해서 의존성을 가지고, 상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 화소 회로에 있어서, 출력 전류의 상기 임계 전압에 대한 의존성을 취소하기 위해서, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입해 두는 보정 수단을 갖추고 있고, 상기 보정 수단은, 제 1의 스위칭 트랜지스터와 제 2의 스위칭 트랜지스터를 포함하고, 상기 제 1의 스위칭 트랜지스터는, 상기 주사선보다도 전에 위치하는 다른 주사선으로 할당되기 전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 임계 전압을 넘도록 설정하고, 상기 제 2의 스위칭 트랜지스터는, 상기 수평 주사 기간에 도통하고, 상기 화소 용량의 양단의 전위차가 상기 임계 전압이 될 때까지 상기 화소 용량을 충전하는 것을 특징으로 한다.

<14> 바람직하게는 상기 제 1의 스위칭 트랜지스터는, 상기 주사선의 직전에 위치하는 다른 주사선으로 할당되기 직전의 수평 주사 기간에 상기 다른 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 상기 화소 용량의 양단의 전위차가 상기 임계 전압을 넘도록 설정한다.

<15> 본 발명은 더욱이, 제어 신호를 공급하는 행 모양의 주사선과 영 모양 신호를 공급하는 열 모양의 신호선이 교차하는 부분에 배치되며, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소 용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광 소자를 포함하고, 상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 수평 주사 기간에 상기 주사선으로부터 공급되는 제어 신호에 적합하게 도통하여 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하고, 상기 화소 용량은, 상기 샘플링된 영상 신호에 적합하게 상기 드라이브 트랜지스터의 게이트에 입력 전압을 인가하고, 상기 드라이브 트랜지스터는, 소정의 발광 기간 중 상기 입력 전압에 적합한 출력 전류를 상기 발광 소자에 공급하고, 상기 출력 전류는 상기 드라이브 트랜지스터의 채널 영역의 임계 전압에 대해서 의존성을 가지고, 상기 발광 소자는, 상기 드라이브 트랜지스터로부터 공급된 출력 전류에 의해 상기 영상 신호에 적합한 휘도로 발광하는 화소 회로에 있어서, 출력 전류의 상기 임계 전압에 대한 의존성을 취소하기 위해서, 미리 상기 영상 신호의 샘플링에 앞서, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 상기 화소 용량에 기입해 두는 보정 수단을 갖추고 있고, 상기 보정 수단은, 복수의 주사선으로 할당된 복수의 수평 주사 기간 내에서 동작하고, 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전하는 것을 특징으로 한다.

<16> 바람직하게는 상기 샘플링 트랜지스터는, 상기 주사선으로 할당된 상기 수평 주사 기간 내에 상기 신호선이 영상 신호의 전위가 되는 신호 공급 기간에, 상기 신호선으로부터 공급된 영상 신호를 상기 화소 용량에 샘플링하는 한편, 상기 보정 수단은, 복수의 주사선으로 할당된 각 수평 주사 기간 내에 상기 신호선이 일정 전위가 되는 각 신호 고정기간에, 상기 드라이브 트랜지스터의 임계 전압을 검출하여 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전한다. 또 상기 신호 고정기간은, 각 주사선에 차례차례 할당되는 각 수평 주사 기간을 서로 구분하는 수평 블랭킹 기간이며, 상기 보정 수단은, 각 수평 블랭킹 기간에 시분할 적으로 상기 화소 용량을 상기 임계 전압까지 충전한다. 또 상기 보정 수단이 각 신호 고정기간에 상기 화소 용량을 충전한다면, 상기 신호선이 일정 전위로부터 영상 신호의 전위로 바뀌기 전에 상기 샘플링 트랜지스터를 닫아 상기 화소 용량을 상기 신호선으로부터 전기적으로 떼어낸다.

<17> 본 발명에 관계되는 화소 회로는, 발광 소자에 공급하는 출력 전류의 임계 전압에 대한 의존성을 취소하기 위해서, 보정 수단을 갖추고 있다. 특징 사항으로서, 이 보정 수단은, 수평 주사 기간의 일부에서 동작하고, 미리 드라이브 트랜지스터의 임계 전압을 검출하여 화소 용량에 기입해 둔다. 화소 용량에 대한 영상 신호의 샘플링을 실시하는 수평 주사 기간의 일부를 이용하여, 임계 전압의 보정 동작을 실행하기 때문에, 보정 수단의 구성을 간소화할 수 있다. 구체적으로는, 본 발명에 관계되는 보정 수단은, 수평 주사 기간보다도 전에 도통하여 화소 용량을 미리 리셋하는 제 1의 스위칭 트랜지스터와 수평 주사 기간에 도통하여, 리셋 된 화소 용량에 임계 전압을 충전하는 제 2의 스위칭 트랜지스터로 구성할 수 있다. 따라서 본 발명의 화소 회로는, 이 보정 수단을 구성하는 제 1 및 제 2의 스위칭 트랜지스터와, 영상 신호를 샘플링하는 샘플링 트랜지스터와, 발광 소자를 구동하는 드라이브 트랜지스터로 구성할 수 있다. 본 발명의 화소 회로는 이와 같이 함께 4개의 트랜지

스터로 구성할 수 있고, 소자 수를 삭감 가능하다. 이것에 따라 전원 라인이나 게이트 라인 수를 삭감할 수 있고, 배선 크로스오버를 감소시킴으로써 수율을 개선할 수 있다. 동시에 패널의 고해상도화도 가능하게 된다.

<18> 또 본 발명에 의하면, 상술한 제 1의 스위칭 트랜지스터는, 당해 화소로 할당된 당해 주사선보다도 전에 위치하는 다른 주사선을, 제어용의 게이트 라인에 이용하고 있다. 구체적으로는, 본 발명의 보정 수단을 구성하는 제 1의 스위칭 트랜지스터는, 당해 주사선보다도 전에 위치하는 다른 주사선으로 할당되기 전의 수평 주사 기간에, 이 외의 주사선으로부터 공급되는 제어 신호에 적합하게 도통하고, 이로써 화소 용량의 리셋을 실시하고 있다. 이와 같이, 보정 수단을 구성하는 제 1의 스위칭 트랜지스터의 게이트 라인으로서, 전의 행에 속하는 주사선을 이용하는 것으로, 토탈의 게이트 라인 수를 삭감하고, 이것에 의해 배선 크로스오버를 감소시킴으로써 수율의 개선으로 연결된다. 동시에 패널의 고해상도화도 가능하게 된다.

<19> 또한 본 발명에 의하면, 화소 회로에 장착되는 보정 수단이, 복수의 주사선으로 할당된 복수의 수평 주사 기간 내에서 동작하고, 시분할 적으로 화소 용량을 임계 전압까지 충전한다. 이와 같이, 임계 전압 보정 동작을 복수의 수평 주사 기간에 분산하여, 여러 차례에 분할하는 것으로, 1 수평 주사 기간 당의 임계 전압 보정 시간을 짧게 설정할 수 있다. 그만큼 1 수평 주사 기간에 있어서의 영상 신호의 샘플링 시간을 충분히 확보 가능하다. 따라서 고해상도화로 고주파 구동의 패널에 있어서도, 충분히 영상 신호 전위를 화소 용량에 기입할 수 있다. 따라서 더욱 표시 패널의 고해상도화나 고주파수에서의 구동을 가능하게 하고 있다.

실시예

<36> 이하 도면을 참조하여 본 발명의 실시의 형태를 상세하게 설명한다. 우선 최초로 도 1을 참조하여, 임계 전압(Vth) 보정 기능을 갖춘 액티브 매트릭스 표시장치의 전체 구성을 설명한다. 도시하는 바와 같이, 액티브 매트릭스 표시장치는 주요부로 이루어지는 화소 어레이(1)와 주변의 회로부로 구성되어 있다. 주변의 회로부는 수평 실렉터(3), 라이트 스캐너(4), 드라이브 스캐너(5), 보정용 스캐너(7) 등을 포함하고 있다. 화소 어레이(1)는 행 모양의 주사선(WS)과, 열 모양의 신호선(SL)과 양자의 교차하는 부분에 매트릭스 상에 배열한 화소(R,G,B)로 구성되어 있다. 컬러 표시를 가능하게 하기 위해, RGB의 삼원색 화소를 준비하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 각 화소(R,G,B)는 각각 화소 회로(2)로 구성되어 있다. 신호선(SL)은 수평 실렉터(3)에 의하여 구동된다. 수평 실렉터(3)는 신호부를 구성하고, 신호선(SL)으로 영상 신호를 공급한다. 주사선(WS)은 라이트 스캐너(4)에 의해서 주사된다. 또한, 주사선(WS)과 평행으로 다른 주사선(DS 및 AZ)도 배선되어 있다. 주사선(DS)은 드라이브 스캐너(5)에 의해서 주사된다. 주사선(AZ)은 보정용 스캐너(7)에 의해서 주사된다. 라이트 스캐너(4), 드라이브 스캐너(5) 및 보정용 스캐너(7)는 스캐너 부를 구성하고 있고, 1 수평 기간마다 화소의 행을 차례차례 주사한다. 각 화소 회로(2)는 주사선(WS)에 의해서 선택되었을 때 신호선(SL)으로부터 영상 신호를 샘플링한다. 또한 주사선(DS)에 의해서 선택되었을 때, 샘플링된 영상 신호에 적합하게 화소 회로(2) 내에 포함되어 있는 발광 소자를 구동한다. 덧붙여서 화소 회로(2)는 주사선(AZ)에 의해서 주사되었을 때, 미리 결정된 보정 동작을 실시한다.

<37> 상술한 화소 어레이(1)는 통상 유리 등의 절연 기판상에 형성되어 있고, 플랫 패널로 되어 있다. 각 화소 회로(2)는 어모퍼스(amorphous) 실리콘 박막 트랜지스터(TFT) 또는 저온 폴리 실리콘(TFT)으로 형성되어 있다. 어모퍼스 실리콘(TFT)의 경우, 스캐너부는 패널과는 다른 TAB 등으로 구성되며, 플렉시블 케이블에 플랫 패널로 접속된다. 저온 폴리 실리콘(TFT)의 경우, 신호부 및 스캐너부도 같은 저온 폴리 실리콘(TFT)으로 형성할 수 있으므로, 플랫 패널상에 화소 어레이부와 신호부와 스캐너부를 일체적으로 형성할 수 있다.

<38> 도 2는, 도 1에 나타낸 표시장치에 장착되는 화소 회로(2)의 제 1 실시 형태를 나타내는 회로도이다. 화소 회로(2)는, 4개의 박막 트랜지스터(Tr1,Tr3,Tr4,Trd)와 1개의 용량 소자(화소 용량)(Cs)와 1개의 발광 소자(EL)로 구성되어 있다. 트랜지스터(Tr1,Tr3,Trd)는 N채널형의 폴리 실리콘(TFT)이다. 트랜지스터(Tr4)만 P채널형의 폴리 실리콘(TFT)이다. 1개의 용량 소자(Cs)는 본 화소 회로(2)의 화소 용량을 구성하고 있다. 발광 소자(EL)는 예를 들면 애노드(anode) 및 캐소드(cathode)를 갖춘 다이오드 형의 유기 EL소자이다. 단 본 발명은 이것에 한정되지 않고, 발광 소자는 일반적으로 전류 구동에서 발광하는 모든 디바이스를 포함한다.

<39> 화소 회로(2)의 중심이 되는 드라이브 트랜지스터(Trd)는 그 게이트(G)가 화소 용량(Cs)의 일단에 접속되며, 그 소스(S)가 같은 화소 용량(Cs)의 타단에 접속되어 있다. 드라이브 트랜지스터(Trd)의 드레인은 제 1의 스위칭 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속되어 있다. 이 스위칭 트랜지스터(Tr4)의 게이트는 주사선(DS)에 접속하고 있다. 발광 소자(EL)의 애노드는 드라이브 트랜지스터(Trd)의 소스(S)에 접속하고, 캐소드는 접지되어 있다. 이 접지 전위는 Vcath로 나타내지는 경우가 있다. 또 드라이브 트랜지스터(Trd)의 소스(S)와 소정

의 기준 전위(Vcc)와의 간에 제 2의 스위칭 트랜지스터(Tr3)가 개재하고 있다. 이 트랜지스터(Tr3)의 게이트는 주사선(AZ)에 접속하고 있다. 또한 샘플링 트랜지스터(Tr1)는 신호선(SL)과 드라이브 트랜지스터(Trd)의 게이트(G)와의 간에 접속되어 있다. 샘플링 트랜지스터(Tr1)의 게이트는 주사선(WS)에 접속하고 있다.

<40> 이러한 구성에 있어서, 샘플링 트랜지스터(Tr1)는, 주사선(WS)으로 할당된 수평 주사 기간(1H)에 주사선(WS)으로부터 공급되는 제어 신호(WS)에 적합하게 도통하여 신호선(SL)으로부터 공급된 영상 신호(Vsig)를 화소 용량(Cs)에 샘플링한다. 화소 용량(Cs)은, 샘플링된 영상 신호(Vsig)에 적합하게 드라이브 트랜지스터(Trd)의 게이트(G)에 입력 전압(Vgs)을 인가한다. 드라이브 트랜지스터(Trd)는, 소정의 발광 기간 중 입력 전압(Vgs)에 적합한 출력 전류(Ids)를 발광 소자(EL)에 공급한다. 이 출력 전류(Ids)는 드라이브 트랜지스터(Trd)의 채널 영역의 임계 전압(Vth)에 대해서 의존성을 가진다. 발광 소자(EL)는, 드라이브 트랜지스터(Trd)로부터 공급된 출력 전류(Ids)에 의해 영상 신호(Vsig)에 적합한 휘도로 발광한다.

<41> 본 발명의 특징 사항으로서, 화소 회로(2)는 제 1의 스위칭 트랜지스터(Tr3)와 제 2의 스위칭 트랜지스터(Tr4)로 구성되는 보정 수단을 갖추고 있다. 이 보정 수단은 출력 전류(Ids)의 임계 전압(Vth)에 대한 의존성을 취소하기 위해서, 수평 주사 기간(1H)의 일부에서 동작하고, 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하여 화소 용량(Cs)에 기입해 둔다. 이 보정 수단은, 수평 주사 기간(1H)에 샘플링 트랜지스터(Tr1)가 도통하여 화소 용량(Cs)의 일단이 신호선(SL)에 의해 일정 전위(Vss0)에 보관 유지된 상태에서 동작하고, 화소 용량(Cs)의 타단으로부터 일정 전위(Vss0)에 대한 전위차가 임계 전압(Vth)으로 될 때까지, 화소 용량(Cs)을 충전한다. 이 보정 수단은, 수평 주사 기간(1H)의 전반에 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하여 화소 용량(Cst)에 기입하는 한편, 샘플링 트랜지스터(Tr1)는 수평 주사 기간(1H)의 후반에 신호선(SL)으로부터 공급되는 영상 신호(Vsig)를 화소 용량(Cs)에 샘플링한다. 화소 용량(Cs)은, 샘플링된 영상 신호(Vsig)에 미리 기입된 임계 전압(Vth)을 더한 입력 전압(Vgs)을 드라이브 트랜지스터(Trd)의 게이트(G)와 소스(S) 간에 인가하고, 이로써 출력 전류(Ids)의 임계 전압(Vth)에 대한 의존성을 취소한다. 이 보정 수단은, 수평 주사 기간(1H)보다도 전에 도통하여 화소 용량(Cs)의 양단의 전위차가 임계 전압(Vth)을 넘는 것처럼 설정(리셋)하는 제 1의 스위칭 트랜지스터(Tr3)와, 수평 주사 기간(1H)에 도통하여, 화소 용량(Cs)의 양단의 전위차가 임계 전압(Vth)으로 될 때까지, 화소 용량(Cs)을 충전하는 제 2의 스위칭 트랜지스터(Tr4)를 포함한다. 샘플링 트랜지스터(Tr1)는, 수평 주사 기간(1H) 내에 신호선(SL)이 영상 신호(Vsig)의 전위가 되는 신호 공급 기간에, 신호선(SL)으로부터 공급된 영상 신호(Vsig)를 화소 용량(Cs)에 샘플링하는 한편, 보정 수단은 수평 주사 기간(1H) 내에서 신호선(SL)이 일정 전위(Vss0)가 되는 신호 고정기간에, 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하여 화소 용량(Cs)에 기입한다.

<42> 본 실시 형태에서는, 드라이브 트랜지스터(Trd)는, 그 출력 전류(Ids)가 채널 영역의 임계 전압(Vth)에 더해 커리어 이동도(μ)에 대해서도 의존성을 가진다. 이것에 대처하기 위해, 본 발명의 보정 수단은, 출력 전류(Ids)의 커리어 이동도(μ)에 대한 의존성을 취소할 수 있도록 수평 주사 기간(1H)의 일부에서 동작하고, 영상 신호(Vsig)가 샘플링되어 있는 상태에서 드라이브 트랜지스터(Trd)로부터 출력 전류(Ids)를 발채하여, 이것을 화소 용량(Cs)으로 음 귀환하여 입력 전압(Vgs)을 보정한다.

<43> 도 3은, 도 2에 나타낸 표시장치로부터 화소 회로(2)의 부분을 발채한 모식도이다. 이해를 용이하게 하기 위해, 샘플링 트랜지스터(Tr1)에 의해서 샘플링되는 영상 신호(Vsig)나, 드라이브 트랜지스터(Trd)의 입력 전압(Vsig) 및 출력 전류(Ids), 또는 발광 소자(EL)가 가지는 용량 성분(Coled) 등을 기입해 넣는다. 또, 각 트랜지스터의 게이트에 접속되는 주사선(WS, DS, AZ)도 기입해 넣는다. 이 화소 회로(2)는, 수평 주사 기간 내에 Vth보정 동작과 영상 신호 기입 동작을 실시한다. 이것에 의해, 화소 회로(2)는 4개의 트랜지스터(Tr1, Tr3, Tr4, Trd)와 1개의 화소 용량(Cs)과 1개의 발광 소자(EL)로 구성 가능하다. 종래의 Vth보정 기능을 장착한 화소 회로에 비해, 적어도 트랜지스터를 1개 삭감 가능하다. 이것에 의해, 전원 라인을 1개와 게이트 라인(주사선)을 적어도 1개씩 삭감할 수 있고, 패널의 수율의 개선에 연결된다. 또, 화소 회로의 레이아웃을 간소화하는 것으로, 고해상도화도 가능하다.

<44> 도 4는, 도 2 및 도 3에 나타낸 화소 회로의 타이밍 차트이다. 도 4를 참조하여, 도 2 및 도 3에 나타낸 화소 회로의 동작을 구체적 또는 상세하게 설명한다. 도 4는, 시간축(T1)을 따라 각 주사선(WS, AZ 및 DS)에 인가되는 제어 신호의 파형(波形)을 나타내고 있다. 표기를 간략화하기 위해, 제어 신호도 대응하는 주사선의 부호와 같은 부호로 나타내고 있다. 맞추어 신호선에 인가되는 영상 신호(Vsig)의 파형도 시간축(T)을 따라 나타내고 있다. 도시하는 바와 같이, 이 영상 신호(Vsig)는 각 수평 주사 기간(H)의 전반에 일정 전위(Vss0)가 되어 후반에 신호 전위로 된다. 트랜지스터(Tr1 및 Tr3)는 N채널형이므로, 주사선(WS, AZ)이 각각 높은 레벨일 때 온(on) 되고, 낮은 레벨일 때 오프(off)된다. 또한 트랜지스터(Tr4)는 P채널형이므로, 주사선(DS)이 높은

레벨일 때 오픈되고, 낮은 레벨일 때 온 된다. 또한 이 타이밍 차트는, 각 제어 신호(WS,AZ,DS)의 파형이나 영상 신호(Vsig)의 파형과 함께, 드라이브 트랜지스터(Trd)의 게이트(G)의 전위 변화 및 소스(S)의 전위 변화도 나타내져 있다.

- <45> 도 4의 타이밍 차트에서는 타이밍(T1~T8)까지를 1 필드(1f)로 하고 있다. 1 필드의 간에 화소 어레이의 각 행이 1회 차례차례 주사된다. 타이밍 차트는, 일행 분의 화소에 인가되는 각 제어 신호(WS,AZ,DS)의 파형을 나타내고 있다.
- <46> 당해 필드가 시작되기 전의 타이밍(T0)에서, 모든 제어 신호(WS,AZ,DS)가 낮은 레벨에 있다. 따라서 N채널형의 트랜지스터(Tr1 및 Tr3)는 오프 상태에 있는 한편, P채널형의 트랜지스터(Tr4)만 온 상태이다. 따라서 드라이브 트랜지스터(Trd)는 온 상태의 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속하고 있으므로, 소정의 입력 전압(Vgs)에 적합하게 출력 전류(Ids)를 발광 소자(EL)에 공급하고 있다. 따라서 타이밍(T0)에서 발광 소자(EL)는 발광하고 있다. 이때 드라이브 트랜지스터(Trd)에 인가되는 입력 전압(Vgs)은, 게이트 전위와(G) 소스 전위(S)의 차이로 나타내진다.
- <47> 당해 필드가 시작되는 타이밍(T1)에서, 제어 신호(DS)가 낮은 레벨에서 높은 레벨로 전환한다. 이것에 의해 트랜지스터(Tr4)가 오픈되고, 드라이브 트랜지스터(Trd)는 전원(Vcc)으로부터 떼어내 지므로, 발광이 정지하여 비 발광 기간에 들어간다. 타이밍(T1)에 들어가면, 모든 트랜지스터(Tr1,Tr3,Tr4)가 오프 상태가 된다.
- <48> 계속하여 타이밍(T2)이 되면 제어 신호(AZ)가 낮은 레벨에서 높은 레벨로 상승하고, 스위칭 트랜지스터(Tr3)가 온 된다. 이것에 의해, 화소 용량(Cs)의 타단 및 드라이브 트랜지스터(Trd)의 소스(S)에 기준 전위(Vss)를 기입한다. 이때 드라이브 트랜지스터(Trd)의 게이트 전위는 하이 임피던스이므로, 소스 전위(S)의 강하(降下)에 추종하여 게이트 전위(G)도 저하한다.
- <49> 이 후 제어 신호(AZ)가 낮은 레벨로 되돌아오고 스위칭 트랜지스터(Tr3)가 오프된 후, 타이밍(Ta)에서, 제어 신호(WS)가 높은 레벨이 되어, 샘플링 트랜지스터(Tr1)가 도통한다. 이때, 신호선에 나타나는 전위는, 소정의 일정 전위(Vss0)에 설정되어 있다. 여기에서, $V_{ss0} - V_{ss} > V_{th}$ 를 만족하는 바와 같이 V_{ss0} 및 V_{ss} 가 설정되어 있다. $V_{ss0} - V_{ss}$ 는 드라이브 트랜지스터(Trd)의 입력 전압(Vgs)으로 되어 있다. 여기에서는, $V_{gs} > V_{th}$ 로 함으로써, 그 후의 Vth보정 동작의 준비를 실시하고 있다. 바꾸어 말하면 타이밍(Ta)으로, 화소 용량(Cs)의 양단은 Vgs를 넘는 전압으로 설정되며, Vth보정 동작에 앞서 화소 용량(Cs)에 리셋이 가해진다. 또 발광 소자(EL)의 임계 전압을 VthEL로 하면, $V_{thEL} > V_{ss}$ 로 설정함으로써, 발광 소자(EL)에 역 바이어스를 인가한다. 이것은, 그 후의 Vth보정 동작을 정상적으로 실시하기 위하여 필요하다.
- <50> 계속하여 타이밍(T3)에서 제어 신호(DS)를 낮은 레벨로 전환하고, 스위칭 트랜지스터(Tr4)를 온 시켜서, Vth보정을 실행한다. 이때 신호선의 전위는 Vth보정을 정확하게 실시하기 때문에, 여전히 일정 전위(Vss0)에 보관 유지되어 있다. 스위칭 트랜지스터(Tr4)가 온 됨으로써, 드라이브 트랜지스터(Trd)가 전원(Vcc)에 접속되며, 출력 전류(Ids)가 흐른다. 이것에 따라 화소 용량(Cs)은 충전되어 가고, 그 타단에 접속된 소스 전위(S)가 상승해 간다. 또한 화소 용량(Cs)의 일단의 전위(게이트 전위(G))는 Vss0에 고정되어 있다. 따라서 화소 용량(Cs)의 충전에 따라 소스 전위(S)가 상승해 가고, 입력 전압(Vgs)이 꼭 Vth에 이른 것으로, 드라이브 트랜지스터(Trd)가 컷오프(cut off)된다. 드라이브 트랜지스터(Trd)가 컷오프되면, 그 소스 전위(S)는 타이밍 차트에 나타낸 바와 같이 $V_{ss0} - V_{th}$ 가 된다.
- <51> 이 후 타이밍(T4)에서, 제어 신호(DS)를 높은 레벨로 되돌리고, 스위칭 트랜지스터(Tr4)를 오프 시킴으로써, Vth보정 동작은 종료한다. 이 보정 동작에 의하여, 화소 용량(Cs)에 임계 전압(Vth) 상당의 전압이 기입된다.
- <52> 이와 같이 타이밍(T3~T4)에서 Vth보정을 실시한 후, 1 수평 주사 기간(1H)의 반이 경과하고, 신호선의 전위가 Vss0로부터 Vsig로 변화한다. 이것에 의해 영상 신호(Vsig)가 화소 용량(Cs)에 기입된다. 발광 소자(EL)의 등가 용량(Coled)에 비해 화소 용량(Cs)은 충분히 작다. 이 결과, 영상 신호(Vsig)의 거의 대부분이 화소 용량(Cs)에 기입된다. 따라서 드라이브 트랜지스터(Trd)의 게이트(G)와 소스(S) 간의 전압(Vgs)은, 먼저 검출 보관 유지된 Vth와 이번 샘플링된 Vsig를 더한 레벨($V_{sig} + V_{th}$)이 된다. 게이트/소스 간 전압(Vgs)은 도 4의 타이밍 차트에 나타내는 바와 같이 $V_{sig} + V_{th}$ 가 된다. 이러한 영상 신호(Vsig)의 샘플링은 제어 신호(WS)가 낮은 레벨로 되돌아오는 타이밍(T7)까지 실시된다. 즉 타이밍(T5~T7)이 샘플링 기간에 상당한다.
- <53> 이와 같이 본 발명에서는, Vth보정기간(T3~T4)과 샘플링 기간(T5~T7)이, 1 수평 주사 기간(1H)에 포함된다. 1H의 간, 샘플링용의 제어 신호(WS)는 높은 레벨에 있다. 본 발명에서는 샘플링 트랜지스터(Tr1)가 온 상태에서, Vth보정 및 Vgis기입을 실시하고 있다. 이것에 의해 화소 회로(2)의 구성을 간소화하고 있다.

- <54> 본 실시 형태에서는, 상술한 Vth보정에 더해 이동도(μ)의 보정도 동시에 실시하고 있다. 단 본 발명은 이것에 한정되지 않고, 이동도(μ)보정을 실시하지 않는 단순한 Vth보정 동작만의 화소 회로에도 적용 가능한 것은 말할 필요도 없다. 또 본 실시 형태의 화소 회로(2)는, 드라이브 트랜지스터(Trd) 이외의 트랜지스터는 N채널형과 P채널형이 혼재하고 있지만, 본 발명은 이것에 한정되지 않고 N채널형 트랜지스터만 또는 P채널형 트랜지스터만으로 구성하는 것도 가능하다.
- <55> 이동도(μ)의 보정은 타이밍(T6-T7)에서 실시된다. 이하 이 점에 대해 상세하게 설명한다. 샘플링 기간의 종료하는 타이밍(T7)보다 전의 타이밍(T6)에서 제어 신호(DS)가 낮은 레벨로 되어 스위칭 트랜지스터(Tr4)가 온된다. 이것에 의해 드라이브 트랜지스터(Trd)가 전원(Vcc)에 접속되므로, 화소 회로는 비 발광 기간에서 발광 기간으로 진행된다. 이와 같이 샘플링 트랜지스터(Tr1)가 아직 온 상태와 동시에 스위칭 트랜지스터(Tr4)가 온 상태로 들어간 기간(T6-T7)에서, 드라이브 트랜지스터(Trd)의 이동도 보정을 실시한다. 즉 본 실시 형태에서는, 샘플링 기간의 뒷부분과 발광 기간의 선두 부분이 겹치는 기간(T6-T7)에서 이동도 보정을 실시하고 있다. 또한, 이 이동도 보정을 실시하는 발광 기간의 선두에서는, 발광 소자(EL)는 실제로는 역 바이어스 상태에 있으므로 발광하는 일은 없다. 이 이동도 보정기간(T6-T7)에서는, 드라이브 트랜지스터(Trd)의 게이트(G)가 영상 신호(Vgis)의 레벨에 고정된 상태에서, 드라이브 트랜지스터(Trd)에 드레인 전류(Ids)가 흐른다. 여기에서, $V_{ss0}-V_{th}<V_{thEL}$ 로 설정해 두는 것으로, 발광 소자(EL)는 역 바이어스 상태에 있게 되기 때문에, 다이오드 특성이 아닌 단순한 용량 특성을 나타내게 된다. 따라서 드라이브 트랜지스터(Trd)에 흐르는 전류(Ids)는 화소 용량(Cs)과 발광 소자(EL)의 등가 용량(Coled)의 양자를 결합한 용량($C=C_s+C_{oled}$)에 기입되어 간다. 이것에 의해 드라이브 트랜지스터(Trd)의 소스 전위(S)는 상승해 간다. 도 4의 타이밍 차트에서는 이 상승분을 ΔV 로 나타내고 있다. 이 상승분(ΔV)은 결국 화소 용량(Cs)에 보관 유지된 게이트/소스 간 전압(Vgs)으로부터 차감되게 되므로, 부귀환을 끼치게 된다. 이와 같이 드라이브 트랜지스터(Trd)의 출력 전류(Ids)를 같게 드라이브 트랜지스터(Trd)의 입력 전압(Vgs)에 부귀환함으로써, 이동도(μ)를 보정하는 것이 가능하다. 또한 부귀환량(ΔV)은 이동도 보정기간(T6-T7)의 시간 폭(t)을 조정하는 것으로 최적화 가능하다.
- <56> 타이밍(T7)에서는 제어 신호(WS)가 낮은 레벨이 되어 샘플링 트랜지스터(Tr1)가 오프된다. 이 결과 드라이브 트랜지스터(Trd)의 게이트(G)는 신호선(SL)으로부터 분리된다. 영상 신호(Vsig)의 인가가 해제되므로, 드라이브 트랜지스터(Trd)의 게이트 전위(G)는 상승 가능하게 되고, 소스 전위(S)와 함께 상승해 간다. 그 사이 화소 용량(Cs)에 보관 유지된 게이트/소스 간 전압(Vgs)은($V_{sig}-\Delta V+V_{th}$)의 값을 유지한다. 소스 전위(S)의 상승에 따라, 발광 소자(EL)의 역 바이어스 상태는 해소되므로, 출력 전류(Ids)의 유입에 의해 발광 소자(EL)는 실제로 발광을 개시한다. 이때의 드레인 전류(Ids) 대 게이트 전압(Vgs)의 관계는, 앞의 트랜지스터 특성 식 1의 Vgs에 $V_{sig}-\Delta V+V_{th}$ 를 대입하는 것으로, 이하의 식 2와 같이 주어진다.
- <57>
$$I_{ds}=k \mu (V_{gs}-V_{th})^2=k \mu (V_{sig}-\Delta V)^2 \dots \text{식 2}$$
- <58> 상기 식 2에 있어서, $k=(1/2)(W/L)Cox$ 이다. 이 특성 식 2로부터 Vth의 항이 캔슬되어 있고, 발광 소자(EL)에 공급되는 출력 전류(Ids)는 드라이브 트랜지스터(Trd)의 임계 전압(Vth)에 의존하지 않는 것을 알 수 있다. 기본적으로 드레인 전류(Ids)는 영상 신호의 신호 전압(Vsig)에 의해서 정해진다. 바꾸어 말하면, 발광 소자(EL)는 영상 신호(Vsig)에 적합한 휘도로 발광하게 된다. 그때 Vsig는 귀환량(ΔV)으로 보정되어 있다. 이 보정량(ΔV)은 꼭 특성 식 2의 계수부에 위치하는 이동도(μ)의 효과를 취소하도록 움직인다. 따라서, 드레인 전류(Ids)는 실질적으로 영상 신호(Vsig)에만 의존하게 된다.
- <59> 마지막으로 타이밍(T8)에 이르면 제어 신호(DS)가 높은 레벨이 되어 스위칭 트랜지스터(Tr4)가 오프되고, 발광이 종료함과 동시에 해당 필드가 끝난다. 이 후 다음의 필드로 이동하여 다시 Vth보정 동작, 이동도 보정 동작 및 발광 동작이 반복되게 된다.
- <60> 도 5는, 이동도 보정기간(T6-T7)에 있어서의 화소 회로(2)의 상태를 나타내는 회로도이다. 도시하는 바와 같이, 이동도 보정기간(T6-T7)에서는, 샘플링 트랜지스터(Tr1) 및 스위칭 트랜지스터(Tr4)가 온 되어 있는 한편, 나머지의 스위칭 트랜지스터(Tr3)가 오프 되어 있다. 이 상태에서, 드라이브 트랜지스터(Trd)의 소스 전위(S)는 $V_{ss0}-V_{th}$ 이다. 이 소스 전위(S)는 발광 소자(EL)의 어노드 전위이기도 하다. 상술한 바와 같이 $V_{ss0}-V_{th}<V_{thEL}$ 로 설정해 두는 것으로, 발광 소자(EL)는 역 바이어스 상태에 있으며, 다이오드 특성이 아닌 단순한 용량 특성을 나타내게 된다. 따라서 드라이브 트랜지스터(Trd)에 흐르는 전류(Ids)는 화소 용량(Cs)과 발광 소자(EL)의 등가 용량(Coled)과의 합성 용량($C=C_s+C_{oled}$)에 흘러들게 된다. 바꾸어 말하면, 드레인 전류(Ids)의 일부가 화소 용량(Cs)에 부귀환되며, 이동도의 보정이 실시된다.

<61> 도 6은 상술한 트랜지스터 특성 식 2를 그래프 화한 것이며, 세로축에 I_{ds} 를 취해 횡축에 V_{sig} 를 취하고 있다. 이 그래프의 아래 쪽에 특성 식 2도 아울러 나타내고 있다. 도 6의 그래프는, 화소(1)와 화소(2)를 비교한 상태에서 특성 커브를 그리고 있다. 화소(1)의 드라이브 트랜지스터의 이동도(μ)는 상대적으로 크다. 반대로 화소(2)에 포함되는 드라이브 트랜지스터의 이동도(μ)는 상대적으로 작다. 이와 같이 드라이브 트랜지스터를 폴리 실리콘 박막 트랜지스터 등으로 구성한 경우, 화소간에 이동도(μ)가 불균일이 되는 일은 피할 수 없다. 예를 들면 양 화소(1,2)에 같은 레벨의 영상 신호(V_{sig})를 기입한 경우, 어떤 이동도의 보정을 실시하지 않으면, 이동도(μ)가 큰 화소(1)에 흐르는 출력 전류(I_{ds1}')는, 이동도(μ)가 작은 화소(2)에 흐르는 출력 전류(I_{ds2}')에 비해 큰 차이가 생겨 버린다. 이와 같이 이동도(μ)의 불균일에 기인하여 출력 전류(I_{ds})의 간에 큰 차이가 생기므로, 화면의 유니포미티를 해치게 된다.

<62> 그래서 본 발명에서는 출력 전류를 입력 전압 측으로 부귀환하게 하는 것으로 이동도의 불균일을 캔슬하고 있다. 트랜지스터 특성 식으로부터 분명한 바와 같이, 이동도가 크면 드레인 전류(I_{ds})가 커진다. 따라서 부귀환량(ΔV)은 이동도가 클수록 커진다. 도 6의 그래프에 나타낸 바와 같이, 이동도(μ)의 큰 화소(1)의 부귀환량($\Delta V1$)은 이동도가 작은 화소(2)의 부귀환량($\Delta V2$)에 비해 크다. 따라서, 이동도(μ)가 큰 만큼 부귀환이 크게 관계되어, 불균일을 억제하는 것이 가능하다. 도시하는 바와 같이, 이동도(μ)의 큰 화소(1)에서 $\Delta V1$ 의 보정을 취하면, 출력 전류는 I_{ds1}' 로부터 I_{ds1} 까지 크게 하강한다. 한편 이동도(μ)가 작은 화소(2)의 보정량($\Delta V2$)은 작기 때문에, 출력 전류(I_{ds2}')는 I_{ds2} 까지 그렇게 크게 하강하지 않는다. 결과적으로, I_{ds1} 와 I_{ds2} 는 대략 같아져, 이동도의 불균일이 캔슬된다. 이 이동도의 불균일의 캔슬은 흑 레벨부터 백 레벨까지 V_{sig} 의 전 범위에서 실시되므로, 화면의 유니포미티는 극히 높아진다. 이상을 정리하면, 이동도가 다른 화소(1과 2)가 있는 경우, 이동도의 큰 화소(1)의 보정량($\Delta V1$)은 이동도가 작은 화소(2)의 보정량($\Delta V2$)에 대해 작아진다. 즉 이동도가 큰 만큼 ΔV 가 커져 I_{ds0} 의 감소치는 커지게 된다. 이것에 의해 이동도가 다른 화소 전류치는 균일화되며, 이동도의 불균일을 보정할 수 있다.

<63> 이하 참고를 위해 도 7을 참조하여, 상술한 이동도 보정의 수치 해석을 실시한다. 도 7에 나타내는 바와 같이, 트랜지스터($Tr1$ 및 $Tr4$)가 온 상태에서, 드라이브 트랜지스터(Trd)의 소스 전위를 변수(V)에 취하고 해석을 실시한다. 드라이브 트랜지스터(Trd)의 소스 전위(8)를 V 로 하면, 드라이브 트랜지스터(Trd)를 흐르는 드레인 전류(I_{ds})는 이하의 식 3에 나타내는 대로이다.

수학식 1

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{식 3}$$

<64> 또 드레인 전류(I_{ds})와 용량($C(=C_s + C_{oled})$)의 관계에 의해, 이하의 식 4에 나타내는 바와 같이 $I_{ds} = dQ / dt = CdV / dt$ 가 성립된다.

수학식 2

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{よリ} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{식 4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

<66>

<67> 식 4에 식 3을 대입하여 양변 적분한다. 여기에서, 소스 전압(V) 초기 상태는 $-V_{th}$ 이며, 이동도 불균일 보정 시간(T_6-T_7)을 t 로 한다. 이 미분 방정식을 풀면, 이동도 보정 시간(t)에 대한 화소 전류가 이하의 수식 5와 같이 주어진다.

수학식 3

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{식 5}$$

<68>

<69> 도 8은, 식 5를 그래프 화한 도면이며, 세로 축에 출력 전류(I_{ds})를 취하고, 횡축에 영상신호(v_{sig})를 취하고 있다. 파라미터(Parameter)로서 이동도 보정기간($t=0\mu s, 2.5\mu s$ 및 $5\mu s$)의 경우를 설정하고 있다. 또한, 이동도(μ)도 파라미터로서 비교적 큰 경우 $1.2(\mu)$ 로 비교적 작은 경우 $0.8(\mu)$ 를 파라미터로 하고 있다. $t=0\mu s$ 로서 실질적으로 이동도 보정을 끼치지 않는 경우에 비해, $t=2.5\mu s$ 에서는 이동도 불균일 대한 보정이 충분히 관계되어 있는 것을 알 수 있다. 이동도 보정없이 I_{ds} 에 40%의 불균일이 있었지만, 이동도 보정을 취하면 10%이하로 억제된다. 단 $t=5\mu s$ 로서 보정기간을 길게 하면 반대로 이동도(μ)의 차이에 의한 출력 전류(I_{ds})의 불균일이 커져 버린다. 이와 같이, 적절한 이동도 보정을 취하기 위해서, t 는 최적의 값으로 설정할 필요가 있다. 도 8에 나타낸 그래프의 경우, 최적치는 $t=2.5\mu s$ 의 부근이다.

<70> 다음으로 본 발명에 관계되는 화소 회로의 제 2 실시 형태를 설명한다. 상술한 제 1 실시 형태에서는, 도 4의 타이밍 차트에 나타낸 바와 같이, 1 수평 주사 기간(1H) 내에 V_{th} 보정과 V_{sig} 기입을 실시하고 있다. 이것에 의해 회로 소자 수를 삭감하고 있다. 그렇지만 제 1 실시 형태의 화소 회로에서는, 패널의 화소 수가 증가하여 고해상도화하기도 하고 고화질화를 위해서 필드 주파수를 올리기도 한 경우, 수평 주사 기간(1H)이 짧아지기 때문에, 충분히 V_{th} 보정을 취할 수 없을 가능성이 있다. 반대로 V_{th} 보정기간을 어느 정도 확보하면, V_{sig} 기입 시간이 압박되기 때문에, 충분히 영상 신호를 화소 용량에 기입할 수 없는 일도 있을 수 있다. 본 제 2 실시 형태는 제 1 실시 형태를 개량한 것으로, 패널의 고해상도화나 고화질화에 대응 가능하게 되어 있다. 제 2 실시 형태의 화소 회로 구성은 기본적으로 도 2에 나타낸 제 1 실시 형태의 화소 회로 구성과 같다. 단 동작 순서가 다르게 되어 있고, 도 9의 타이밍 차트를 참조하여 상세하게 설명한다. 또한 이해를 용이하게 하기 위해, 제 1 실시 형태의 동작을 나타내는 타이밍 차트 도 4와 대응하는 부분에는 대응하는 참조 부호를 이용하고 있다.

<71> 도 9를 참조하면 분명한 바와 같이, 본 실시 형태에서는 V_{th} 보정기간을 여러 차례에 분할하고 있다. 이것에 의해 1회 마다의 V_{th} 보정기간은 짧아도, 여러 차례 실시하는 것으로 충분히 긴 V_{th} 보정 기간을 확보할 수 있다. 이것에 의해 회로 소자 수를 삭감한 후에, 또한 패널의 고해상도화 및 고주파수화에도 대응할 수 있다. 각각의 V_{th} 보정기간은 수(μs)와 매우 짧은 것이어도, 여러 차례에 걸쳐 보정량을 합계함으로써 충분히 V_{th} 불균일을 보정 가능하다.

<72> 이하 도 9의 타이밍 차트에 준거하여, 제 2 실시 형태의 동작을 상세하게 설명한다. 우선 타이밍(T1)에서, 제어 신호(DS)를 높은 레벨로 하여 스위칭 트랜지스터(Tr_4)를 오피시킨다. 그 후 타이밍(T2)에서, 제어 신호(AZ)를 높은 레벨로 하여 스위칭 트랜지스터(Tr_3)를 온 시킨다. 이것에 의해 드라이브 트랜지스터(Tr_d)의 소스 전위(S)에 기준 전위(V_{ss})를 기입한다. 이때 게이트 전위(G)는 하이 임피던스이므로, 소스 전위(S)의 강하에 추종하여 게이트 전위(G)도 내려간다.

<73> 이 후 각 수평 주사선을 구분하는 수평 블랭킹 기간에서, V_{th} 보정을 시분할 적으로 실시한다. 또한 각 수평 블랭킹 기간에서는 신호선의 전위가 일정 전위(V_{ss0})로 설정되어 있다. 제 1의 V_{th} 보정기간에서는, 제어 신호(WS)가 높은 레벨이 되어 샘플링 트랜지스터가 온 된다. 이때 상술한 바와 같이 신호선의 전위는 V_{ss0} 으로 설정해 둔다. 여기에서 $V_{ss0}-V_{ss}=V_{gs}>V_{th}$ 를 만족하고 있고, $V_{gs}>V_{th}$ 로 함으로써 그 후의 V_{th} 보정 준비를 실시한다. 또 발광 소자(EL)의 임계 전압을 V_{thEL} 로 하면, $V_{thEL}>V_{ss}$ 로 설정함으로써, 발광 소자(EL)에 역 바이어스를 인가한다. 이것은, 그 후의 V_{th} 보정 동작 및 이동도 보정 동작을 정상적으로 실시하기 위해 필요하다.

<74> 다음으로 샘플링 트랜지스터를 온 상태로 한 채, 타이밍(T31)에서 제어 신호(DS)를 낮은 레벨로 변환 스위칭 트랜지스터(Tr_4)를 온 시킨다. 이것에 의해 1회째의 V_{th} 보정이 실행된다. 이때 신호선의 전위는 V_{th} 보정을 정확하게 실시하기 위해 일정 전위(V_{ss0})에 보관 유지해 둔다. 드라이브 트랜지스터(Tr_d)는 스위칭 트랜지스터

(Tr4)가 온 됨으로써, 컷오프를 향해 출력 전류(I_{ds})가 흐른다. 그 후 타이밍(T41)에서 제어 신호(DS)를 높은 레벨로 되돌리고, 스위칭 트랜지스터(Tr4)를 오프시키고 1회제의 Vth보정을 종료한다. 이 후 신호선의 전위가 바뀌지 않는 동안에 제어 신호(WS)를 낮은 레벨로 되돌리고, 샘플링 트랜지스터를 오프시키는 것이 바람직하다. 단 사용자가 하지 않아도 동작상 문제는 없다.

- <75> 본 실시 형태에서는 1회의 Vth보정기간은 예를 들면 수평 블랭킹 기간 내에 알맞게 들어가는 정도로 설정하고 있다. 그 때문에 1회의 Vth보정 동작에서는 드라이브 트랜지스터(Trd)는 컷오프되지 않고, 그 소스 전위(S)는 도중의 동작점에서 보관 유지된다.
- <76> 다음의 수평 블랭킹 기간이 와서 신호선의 전위가 다시 V_{ss0} 이 되었을 때, 2번째의 Vth보정동작을 실시한다. 즉 WS를 높은 레벨로 변경 샘플링 트랜지스터(Tr1)를 도통시킴과 함께, 제어 신호(DS)를 낮은 레벨로 전환하여 스위칭 트랜지스터(Tr4)를 도통하게 하고, 이로써 2번째의 Vth보정동작을 실시한다. 이 2번째의 Vth보정기간이 T32-T42로 나타내지고 있다. 이 일련의 Vth보정동작을 드라이브 트랜지스터가 컷오프될 때까지 여러 차례 실시함으로써, Vth보정을 완료시킨다.
- <77> 도 9의 타이밍 차트에 나타낸 예에서는, 당해 주사선(WS)으로 할당된 수평주사기간(1H)의 선두에 위치하는 수평 블랭킹 기간에서 3번째의 Vth보정을 실시한 후, 영상 신호(V_{sig})를 화소 용량에 기입하고, 또한 그 후 이동도(μ)의 보정을 실시하고 있다. 3번째의 Vth보정기간은 T33-T43에서 나타내지고 있다. 이 3번째의 Vth보정이 완료하면, 게이트 전위(G)와 소스 전위(S)와의 사이의 차이가 꼭 Vth로 설정된다.
- <78> 이상과 같이 본 실시 형태에서는, 화소 회로(2)에 장착된 보정 수단은, 복수의 주사선으로 할당된 복수의 수평 주사 기간 내에서 동작하고, 시분할 적으로 화소 용량(C_s)을 임계 전압(Vth)까지 충전한다. 샘플링 트랜지스터는 당해 주사선(WS)으로 할당된 당해 수평 주사 기간(1H) 내에서 신호선(SL)이 영상 신호의 전위(V_{sig})가 되는 신호 공급 기간에, 신호선(SL)으로부터 공급된 영상 신호를 화소 용량(C_s)에 샘플링하는 한편, 보정 수단은 복수의 주사선(WS)으로 할당된 각 수평 주사 기간 내에서 신호선(SL)이 일정 전위(V_{ss0})가 되는 신호 고정기간에, 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하여 시분할 적으로 화소 용량(C_s)을 임계 전압(Vth)까지 충전한다. 이 신호 고정기간은, 각 주사선(WS)으로 차례차례 할당된 각 수평 주사 기간을 서로 구분하는 수평 블랭킹 기간이다. 보정 수단은, 각 수평 블랭킹 기간에서 시분할 적으로 화소 용량(C_s)을 임계 전압(Vth)까지 충전한다. 이러한 보정 수단이 각 신호 고정기간에 화소 용량(C_s)을 충전하면, 신호선(SL)이 일정 전위(V_{ss0})로부터 영상 신호의 전위(V_{sig})로 전환하기 전에 샘플링 트랜지스터(Tr1)를 닫아 화소 용량(C_s)을 신호선(SL)으로부터 전기적으로 떼어내 두는 것이 바람직하다.
- <79> 도 10은 본 발명의 제 3 실시 형태에 관계되는 표시장치를 나타내는 모식적인 블럭도이다. 이해를 용이하게 하기 위해, 도 1에 나타낸 제 1 실시 형태에 관계되는 표시장치와 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 다른 점은, 제 1 실시 형태가 3개의 주사선(게이트 라인)WS, DS, AZ를 포함하고 있던 것에 대해, 이 제 3 실시 형태는 화소 어레이(1)의 주사선을 WS, DS의 2개로 하고, 또한 게이트 라인의 삭감을 도모하고 있는 것이다. 구체적으로는, 주사선(AZ)을 삭감하고, 이 대신에 전 단의 주사선(WS)을 당단의 주사선(AZ)의 대신으로서 이용하고 있는 것이다. 이것에 의해 게이트 라인을 1개 삭감할 수 있음과 동시에, 보정용 스캐너도 불필요하게 된다.
- <80> 도 11은, 도 10에 나타낸 표시장치의 화소 어레이에 포함되는 화소 회로를 전단분 1개, 당단분 1개의 합계 2개를 모식적으로 나타낸 것이다. 각각의 화소 회로(2)의 구성은, 기본적으로 도 2에 나타낸 제 1 실시 형태와 유사하고, 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 화소 회로(2)는 샘플링 트랜지스터(Tr1), 드라이브 트랜지스터(Trd), 제 1 스위칭 트랜지스터(Tr3), 제 2 스위칭 트랜지스터(Tr4), 화소 용량(C_s), 발광 소자(EL)로 구성되어 있다. 다른 점은, 제 1 스위칭 트랜지스터(Tr3)의 게이트에 전단의 주사선(WS)이 접속되어 있는 것이다. 단 최초의 단의 화소 회로(2)에서는 전단의 주사선(WS)이 없기 때문에, 별도 공급할 필요가 있다.
- <81> 도 12는, 도 11에 나타낸 화소 어레이로부터 또한 1개 분의 화소 회로를 발췌한 모식도이다. 이해를 용이하게 하기 위하여, 샘플링 트랜지스터(Tr1)에 의해서 샘플링되는 영상 신호(V_{sig})나, 드라이브 트랜지스터(Trd)의 입력 전압(V_{gs}) 및 출력 전류(I_{ds}), 또 발광 소자(EL)가 가지는 용량 성분(C_{oled}) 등을 기입하고 있다. 또, 샘플링 트랜지스터(Tr1)의 게이트에 접속하는 당해 단의 주사선을 WS_n 으로 나타내고, 제 1 스위칭 트랜지스터(Tr3)의 게이트에 접속하는 전단의 주사선을 WS_{n-1} 로 나타내고, 제 2 스위칭 트랜지스터(Tr4)의 게이트에 접속하는 주사선을 DS로 나타내고 있다.

- <82> 도 13은, 도 12에 나타난 화소 회로의 동작을 나타내는 타이밍 차트이다. 이해를 용이하게 하기 위하여, 도 4에 나타난 제 1 실시 형태의 타이밍 차트와 대응하는 부분에는 대응하는 참조 부호를 이용하고 있다. 이 타이밍 차트는, 시간 축(T)에 따라서 각 주사선(WSn, WSn-1, DS)에 인가되는 제어 신호의 파형을 나타내고 있다. 표기를 간략화하기 위해, 제어 신호도 대응하는 주사선의 부호와 같은 부호로 나타내고 있다. 또한 이 타이밍 차트는, 각 제어 신호(WSn, WSn-1, DS)의 파형과 함께, 드라이브 트랜지스터(Trd)의 게이트(G)의 전위 변화 및 소스(S)의 전위 변화와, 신호선에 인가되는 영상 신호(Vsig)의 파형도 나타내고 있다. 도시하는 바와 같이, 영상 신호(Vsig)는 각 수평 주사 기간의 전반에 일정 전위(Vsso)에 고정되며, 후반에 영상 신호 전위가 된다. 타이밍(T1)에서 제어 신호(DS)가 높은 레벨이 되어 스위칭 트랜지스터(Tr4)가 오픈되고 화소 회로는 비 발광 상태에 들어간다. 타이밍(T2)에서 전단의 제어 신호(WSn-1)가 높은 레벨이 되어, 스위칭 트랜지스터(Tr3)가 온된다. 이것에 의해 화소 용량(Cs)이 리셋 되어 $V_{gs} > V_{th}$ 가 설정된다. 즉 Vth보정의 준비 동작이 실시된다. 타이밍(Ta)에서 당단의 제어 신호(WSn)가 높은 레벨로 일어서, 샘플링 트랜지스터(Tr1)가 도통한다. 계속하여 타이밍(T3)에서 제어 신호(DS)가 낮은 레벨이 되어 제 2 스위칭 트랜지스터(Tr4)가 온 된다. 이것에 의해 화소 용량(Cs)의 일단을 일정 전위(Css0)에 고정된 상태에서, 화소 용량(Cs)의 충전 실시하여, Vth를 기입한다. 즉 Vth보정동작을 실시한다. 계속하여 타이밍(T5)에서 영상 신호(Vsig)를 화소 용량(Cs)에 기입한다. 또한 타이밍(T6)에서 이동도(μ)의 보정동작을 실시하여 발광 상태에 들어간다.
- <83> 이상 설명한 바와 같이 본 제 3 실시 형태는, 출력 전류(Ids)의 임계 전압(Vth)에 대한 의존성을 취소하기 위해서, 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하여 화소 용량(Cs)에 기입해 두는 보정 수단을 갖추고 있다. 이 보정 수단은, 제 1의 스위칭 트랜지스터(Tr3)와 제 2의 스위칭 트랜지스터(Tr4)를 포함한다. 제 1의 스위칭 트랜지스터(Tr3)는, 자단(自段)의 주사선(WSn)보다도 전에 위치하는 다른 주사선(WSn-1)으로 할당되기 전의 수평 주사 기간에 다른 주사선(WSn-1)으로부터 공급되는 제어 신호(WSn-1)에 적합하게 도통하고, 이로써 화소 용량(Cs)의 양단의 전위차가 임계 전압(Vth)을 넘도록 설정한다. 제 2의 스위칭 트랜지스터(Tr4)는, 당단으로 할당된 수평 주사 기간(1H)에 도통하여, 화소 용량(Cs)의 양단의 전위차(Vgs)가 임계 전압(Vth)이 될 때까지 화소 용량(Cs)을 충전한다. 도 13에 나타난 실시 형태에서는, 전단의 주사선으로서 당단의 주사선(WSn)의 직전에 위치하는 주사선(WSn-1)을 이용하고 있다. 경우에 따라서는 이것에 대신하여, 또한 그 전의 주사선(WSn-2)이나 더 전의 주사선을 제 1의 스위칭 트랜지스터(Tr3)의 게이트 라인에 이용할 수 있다. 이와 같이 본 실시 형태는 주사선(WS)을 2개의 화소간에 공유화함으로써, 또한 1개의 게이트 라인을 삭감할 수 있고, 패널의 수율의 개선으로 연결됨과 함께, 레이아웃의 간소화에 의해 패널의 고해상도화도 가능하게 하고 있다.
- <84> 도 14는 화소 회로의 참고 예를 나타내는 블럭도이다. 이해를 용이하게 하기 위하여, 도 2에 나타난 제 1 실시 형태와 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 다른 점은 본 참고 예가 수평 주사 기간보다도 전에 Vth보정동작을 실시하고 있는 것이다. 이 때문에, Vth보정준비용으로, 스위칭 트랜지스터(Tr3) 외에 또한 1개 더 스위칭 트랜지스터(Tr2)가 필요하게 된다. 또한 트랜지스터(Tr3)는 화소 용량(Cs)의 소스 측 단자를 리셋하는 한편, 추가의 트랜지스터(Tr2)는 화소 용량(Cs)의 게이트 측 단자를 리셋하고 있다. 추가의 스위칭 트랜지스터(Tr2)를 구동하기 위해, 추가의 주사선(AZ1)이나 추가의 보정용 스캐너(71)가 필요하게 된다. 본 발명에서는, 화소 용량(Cs)의 게이트 측 단자의 세팅을 수평 주사 기간 내에 실시함으로써, 트랜지스터(Tr2)를 불필요로 하고 있다. 트랜지스터(Tr2)는 게이트(G)에 전원 전압(Vss1)을 기입하고 있다. 이것에 대해 본 발명에서는 신호선(SL)으로부터 공급되는 고정 전위(Vss0)를 수평 주사 기간 안에 기입하고 있다.
- <85> 이하 도 14에 나타난 참고 예의 동작을 설명한다. 이 액티브 매트릭스 표시장치는 주요부가 되는 화소 어레이(1)와 주변의 회로부로 구성되어 있다. 주변의 회로부는 수평 실렉터(3), 라이트 스캐너(4), 드라이브 스캐너(5), 제 1 보정용 스캐너(71), 제 2 보정용 스캐너(72) 등을 포함하고 있다. 화소 어레이(1)는 행 모양의 주사선(WS)과 열 모양의 신호선(SL)과 양자의 교차하는 부분에 매트릭스 상으로 배열한 화소 회로(2)로 구성되어 있다. 도면에서는 이해를 용이하게 하기 위해, 1개의 화소 회로(2)만을 확대 표시하고 있다. 신호선(SL)은 수평 실렉터(3)에 의해 구동된다. 수평 실렉터(3)는 신호부를 구성하고, 신호선(SL)에 영상 신호를 공급한다. 주사선(WS)은 라이트 스캐너(4)에 의해서 주사된다. 또한, 주사선(WS)과 평행에 다른 주사선(DS, AZ1 및 AZ2)도 배선되어 있다. 주사선(DS)은 드라이브 스캐너(5)에 의해서 주사된다. 주사선(AZ1)은 제 1 보정용 스캐너(71)에 의해서 주사된다. 주사선(AZ2)은 제 2 보정용 스캐너(72)에 의해서 주사된다. 라이트 스캐너(4), 드라이브 스캐너(5), 제 1 보정용 스캐너(71) 및 제 2 보정용 스캐너(72)는 스캐너 부를 구성하고 있고, 1수평 기간마다 화소의 행을 차례차례 주사한다. 각 화소 회로(2)는 주사선(WS)에 의해서 선택되었을 때 신호선(SL)으로부터 영상 신호를 샘플링한다. 또한 주사선(DS)에 의해서 선택되었을 때, 샘플링된 영상 신호에 적합하게 화소 회로(2) 내에 포함되어 있는 발광 소자(EL)를 구동한다. 덧붙여서 화소 회로(2)는 주사선

(AZ1,AZ2)에 의해서 주사되었을 때, 미리 정해진 보정 동작을 실시한다.

- <86> 화소 회로(2)는, 5개의 박막 트랜지스터(Tr1-Tr4 및 Trd)와 1개의 용량 소자(화소 용량)(Cs)와 1개의 발광 소자(EL)로 구성되어 있다. 트랜지스터(Tr1-Tr3 와 Trd)는 N채널형의 폴리 실리콘(TFT)이다. 트랜지스터(Tr4)만 P채널형의 폴리 실리콘(TFT)이다. 1개의 용량 소자(Cs)는 본 화소 회로(2)의 용량부를 구성하고 있다. 발광 소자(EL)는 예를 들면 애노드 및 캐소드를 갖춘 다이오드 형의 유기 EL소자이다.
- <87> 화소 회로(2)의 중심이 되는 드라이브 트랜지스터(Trd)는 그 게이트(G)가 화소 용량(Cs)의 일단에 접속되며, 그 소스(S)가 같이 화소 용량(Cs)의 타단에 접속되어 있다. 또 드라이브 트랜지스터(Trd)의 게이트(G)는 스위칭 트랜지스터(Tr2)를 통하여 다른 기준 전위(Vss1)에 접속되어 있다. 드라이브 트랜지스터(Trd)의 드레인은 스위칭 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속되어 있다. 이 스위칭 트랜지스터(Tr2)의 게이트는 주사선(AZ1)에 접속되어 있다. 스위칭 트랜지스터(Tr4)의 게이트는 주사선(DS)에 접속하고 있다. 발광 소자(EL)의 애노드는 드라이브 트랜지스터(Trd)의 소스(S)에 접속하고, 캐소드는 접지되어 있다. 이 접지 전위는 Vcath로 나타내지는 경우가 있다. 또, 드라이브 트랜지스터(Trd)의 소스(S)와 소정의 기준 전위(Vss2)와의 간에 스위칭 트랜지스터(Tr3)가 개재하고 있다. 이 트랜지스터(Tr3)의 게이트는 주사선(AZ2)에 접속하고 있다. 또한 샘플링 트랜지스터(Tr1)는 신호선(SL)과 드라이브 트랜지스터(Trd)의 게이트(G)와의 간에 접속되어 있다. 샘플링 트랜지스터(Tr1)의 게이트는 주사선(WS)에 접속하고 있다.
- <88> 이러한 구성에 있어서, 샘플링 트랜지스터(Tr1)는, 소정의 샘플링 기간에 주사선(WS)으로부터 공급되는 제어 신호(WS)에 적합하게 도통하여 신호선(SL)으로부터 공급된 영상 신호(Vsig)를 용량부(Cs)에 샘플링한다. 용량부(Cs)는, 샘플링된 영상 신호(Vsig)에 적합하게 드라이브 트랜지스터의 게이트(G)와 소스(S) 간에 입력 전압(Vgs)을 인가한다. 드라이브 트랜지스터(Trd)는, 소정의 발광 기간 중 입력 전압(Vgst)에 적합한 출력 전류(Ids)를 발광 소자(EL)에 공급한다. 또한 이 출력 전류(드레인 전류)(Ids)는 드라이브 트랜지스터(Trd)의 채널 영역의 캐리어 이동도(μ) 및 임계 전압(Vth)에 대해서 의존성을 가진다. 발광 소자(EL)는, 드라이브 트랜지스터(Trd)로부터 공급된 출력 전류(Ids)에 의해 영상 신호(Vsig)에 적합한 휘도로 발광한다.
- <89> 화소 회로(2)는 스위칭 트랜지스터(Tr2~Tr4)로 구성되는 보정 수단을 갖추고 있고, 출력 전류(Ids)의 캐리어 이동도(μ)에 대한 의존성을 취소하기 위해, 미리 발광 기간의 선두에서 용량부(Cs)에 보관 유지된 입력 전압(Vgs)을 보정한다. 구체적으로는, 이 보정 수단(Tr2~Tr4)은, 주사선(WS 및 DS)으로부터 공급되는 제어 신호(WS, DS)에 적합하게 샘플링 기간의 일부에서 동작하고, 영상 신호(Vsig)가 샘플링되어 있는 상태에서 드라이브 트랜지스터(Trd)로부터 출력 전류(Ids)를 발채하여, 이것을 용량부(Cs)에 부귀환하여 입력 전압(Vgs)을 보정한다. 또한 이 보정 수단(Tr2~Tr4)은, 출력 전류(Ids)의 임계 전압(Vth)에 대한 의존성을 취소하기 위해서, 미리 샘플링 기간에 앞서 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하고, 한편 검출된 임계 전압(Vth)을 입력 전압(Vgs)에 더하고 있다.
- <90> 드라이브 트랜지스터(Trd)는 N채널형 트랜지스터로 드레인이 전원(Vcc) 측에 접속하는 한편, 소스(S)가 발광 소자(EL) 측에 접속하고 있다. 이 경우, 상술한 보정 수단은, 샘플링 기간의 뒷부분과 겹쳐지는 발광 기간의 선두 부분에서 드라이브 트랜지스터(Trd)로부터 출력 전류(Ids)를 발채하여, 용량부(Cs)에 부귀환한다. 그때 본 보정수단은, 발광 기간의 선두 부분에서 드라이브 트랜지스터(Trd)의 소스(S) 측에서 발채한 출력 전류(Ids)가, 발광 소자(EL)가 가지는 용량에 흘러들도록 하고 있다. 구체적으로는, 발광 소자(EL)는 애노드 및 캐소드를 갖춘 다이오드 형의 발광 소자로 이루어지고, 애노드 측이 드라이브 트랜지스터(Trd)의 소스(S)에 접속하는 한편 캐소드 측이 접지되어 있다. 이 구성에서, 본 보정수단(Tr2~Tr4)은, 미리 발광 소자(EL)의 애노드/캐소드 간을 역 바이어스 상태로 세트(SET) 해 두고, 드라이브 트랜지스터(Trd)의 소스(S)측에서 발채한 출력 전류(Ids)가 발광 소자(EL)에 흘러들 때, 이 다이오드 형의 발광 소자(EL)를 용량성 소자로서 기능하게 하고 있다. 또한 본 보정수단은, 샘플링 기간 내에 드라이브 트랜지스터(Trd)로부터 출력 전류(Ids)를 발채하는 시간 폭(t)을 조정 가능하고, 이것에 의해 용량부(Cs)에 대한 출력 전류(Ids)의 부귀환량을 최적화하고 있다.
- <91> 도 15는, 도 14에 나타난 표시장치로부터 화소 회로의 부분을 발채한 모식도이다. 이해를 용이하게 하기 위해, 샘플링 트랜지스터(Tr1)에 의해서 샘플링되는 영상 신호(Vsig)나, 드라이브 트랜지스터(Trd)의 입력 전압(Vgs) 및 출력 전류(Ids), 또 발광 소자(EL)가 가지는 용량 성분(Coled) 등을 기입해 넣고 있다. 이하 도 15에 의거하여, 본 화소 회로(2)의 기본적인 동작을 설명한다.
- <92> 도 16은, 도 15에 나타난 화소 회로의 타이밍 차트이다. 도 16을 참조하여, 도 15에 나타난 화소 회로의 동작을 보다 구체적 또는 상세하게 설명한다. 도 16은, 시간 축(T)에 따라서 각 주사선(WS,AZ1,AZ2 및 DS)에 인가되는 제어 신호의 파형을 나타내고 있다. 표기를 간략화하기 위해, 제어 신호도 대응하는 주사선의 부호와 같

은 부호로 나타내고 있다. 트랜지스터(Tr1,Tr2,Tr3)는 N채널형이므로, 주사선(WS,AZ1,AZ2)이 각각 높은 레벨일 때 온 되고, 낮은 레벨일 때 오프된다. 또한 트랜지스터(Tr4)는 P채널형이므로, 주사선(DS)이 높은 레벨일 때 오프되고, 낮은 레벨일 때 온 된다. 또한 이 타이밍 차트는, 각 제어 신호(WS,AZ1,AZ2,DS)의 파형과 함께, 드라이브 트랜지스터(Trd)의 게이트(G)의 전위 변화 및 소스(S)의 전위 변화도 나타내고 있다.

- <93> 도 16의 타이밍 차트에서는 타이밍(T1~T8)까지를 1 필드(1f)로 하고 있다. 1 필드의 간에 화소 어레이의 각 행이 1회 차례차례 주사된다. 타이밍 차트는, 1 행 분의 화소에 인가되는 각 제어 신호(WS,AZ1,AZ2,DS)의 파형을 나타내고 있다.
- <94> 당해 필드가 시작되기 전의 타이밍(T0)에서, 모든 제어 신호(WS,AZ1,AZ2,DS)가 낮은 레벨에 있다. 따라서 N채널형의 트랜지스터(Tr1,Tr2,Tr3)는 오프 상태에 있는 한편, P채널형의 트랜지스터(Tr4)만 온 상태이다. 따라서 드라이브 트랜지스터(Trd)는 온 상태의 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속하고 있으므로, 소정의 입력 전압(Vgs)에 적합하게 출력 전류(Ids)를 발광 소자(EL)에 공급하고 있다. 따라서 타이밍(T0)에서, 발광 소자(EL)는 발광하고 있다. 이때 드라이브 트랜지스터(Trd)에 인가되는 입력 전압(Vgs)은, 게이트 전위(G)와 소스 전위(S)의 차이로 나타내진다.
- <95> 당해 필드가 시작되는 타이밍(T1)에서, 제어 신호(DS)가 낮은 레벨에서 높은레벨로 바뀐다. 이것에 의해 트랜지스터(Tr4)가 오프되고, 드라이브 트랜지스터(Trd)는 전원(Vcc)으로부터 떼어내 지므로, 발광이 정지하여 비 발광 기간에 들어간다. 따라서 타이밍(T1)에 들어가면, 모든 트랜지스터(Tr1-Tr4)가 오프 상태가 된다.
- <96> 계속하여 타이밍(T2)에 진행되면, 제어 신호(AZ1 및 AZ2)가 높은 레벨이 되므로, 스위칭 트랜지스터(Tr2 및 Tr3)가 온 된다. 이 결과, 드라이브 트랜지스터(Trd)의 게이트(G)가 기준 전위(Vcc)에 접속하고, 소스(S)가 기준 전위(Vcc)에 접속된다. 여기에서 $V_{ss1}-V_{ss2}>V_{th}$ 를 만족하고 있고, $V_{ss1}-V_{ss2}=V_{gs}>V_{th}$ 로 하는 것으로, 그 후 타이밍(T3)에서 실시되는 Vth보정의 준비를 실시한다. 바꾸어 말하면 기간(T2-T3)은, 드라이브 트랜지스터(Trd)의 리셋 기간에 상당한다. 또, 발광 소자(EL)의 임계 전압을 VthEL로 하면, $V_{thEL}>V_{ss2}$ 로 설정되어 있다. 이것에 의해, 발광 소자(EL)에는 마이너스 바이어스(minus bias)가 인가되며, 이른바 역 바이어스 상태가 된다. 이 역 바이어스 상태는, 다음에 실시하는 Vth보정 동작 및 이동도 보정 동작을 정상적으로 실시하기 위해 필요하다.
- <97> 타이밍(T3)의 직전에 제어 신호(AZ2)를 낮은 레벨로 하는 한편 타이밍(T3)에서 제어 신호(DS)도 낮은 레벨로 하고 있다. 이것에 의해 트랜지스터(Tr3)가 오프되는 한편 트랜지스터(Tr4)가 온 된다. 이 결과 드레인 전류(Ids)가 화소 용량(Cs)에 흘러들어, Vth보정 동작을 개시한다. 이때 드라이브 트랜지스터(Trd)의 게이트(G)는 Vss1에 보관 유지되어 있고, 드라이브 트랜지스터(Trd)가 컷오프될 때까지, 전류(Ids)가 흐른다. 컷오프되면 드라이브 트랜지스터(Trd)의 소스 전위(S)는 $V_{ss1}-V_{th}$ 가 된다. 드레인 전류가 컷오프된 후의 타이밍(T4)에서, 제어 신호(DS)를 다시 높은 레벨로 되돌리고, 스위칭 트랜지스터(Tr4)를 오프시킨다. 또한 제어 신호(AZ1)도 낮은 레벨로 되돌리고, 스위칭 트랜지스터(Tr2)도 오프시킨다. 이 결과, 화소 용량(Cs)에 Vth가 보관 유지 고정된다. 이와 같이 타이밍(T3-T4)은 드라이브 트랜지스터(Trd)의 임계 전압(Vth)을 검출하는 기간이다. 여기에서는, 이 검출 기간(T3-T4)을 Vth보정기간이라고 부르고 있다.
- <98> 이와 같이 Vth보정을 실시한 후 타이밍(T5)에서 제어 신호(WS)를 높은 레벨로 전환하여, 샘플링 트랜지스터(Tr1)를 온 시키고 영상 신호(Vsig)를 화소 용량(Cs)에 기입한다. 발광 소자(EL)의 등가 용량(Coled)에 비해 화소 용량(Cs)은 충분히 작다. 이 결과, 영상 신호(Vsig)의 거의 대부분이 화소 용량(Cs)에 기입된다. 정확하게는, Vss1에 대한다. Vsig의 차분(Vsig-Vss1)이 화소 용량(Cs)에 기입된다. 따라서 드라이브 트랜지스터(Trd)의 게이트(G)와 소스(S) 간의 전압(Vgs)은, 먼저 검출 보관 유지된 Vth와 이번 샘플링된 $V_{sig}-V_{ss1}$ 을 더한 레벨($V_{sig}-V_{ss1}+V_{th}$)이 된다. 이후 설명 간이화를 위해 $V_{ss1}=0V$ 로 하면, 게이트/소스 간 전압(Vgs)은 도 7의 타이밍 차트에 나타내는 바와 같이 $V_{sig}+V_{th}$ 가 된다. 이러한 영상 신호(Vsig)의 샘플링은 제어 신호(WS)가 낮은 레벨로 돌아오는 타이밍(T7)까지 실시된다. 즉 타이밍(T5-T7)이 샘플링 기간에 상당한다.
- <99> 샘플링 기간의 종료하는 타이밍(T7)보다 전의 타이밍(T6)에서 제어 신호(DS)가 낮은 레벨로 되어 스위칭 트랜지스터(Tr4)가 온 된다. 이것에 의해 드라이브 트랜지스터(Trd)가 전원(Vcc)에 접속되므로, 화소 회로는 비 발광 기간으로부터 발광 기간으로 진행된다. 이와 같이 샘플링 트랜지스터(Tr1)가 아직 온 상태인 한편 스위칭 트랜지스터(Tr4)가 온 상태로 들어간 기간(T6-T7)에서, 드라이브 트랜지스터(Trd)의 이동도 보정을 실시한다. 즉 본 실시 형태에서는, 샘플링 기간의 뒷부분과 발광 기간의 선두 부분이 겹치는 기간(T6-T7)에서 이동도 보정을 실시하고 있다. 또한, 이 이동도 보정을 실시하는 발광 기간의 선두에서는, 발광 소자(EL)는 실제로는 역 바이어스 상태에 있으므로 발광하는 일은 없다. 이 이동도 보정 기간(T6-T7)에서는, 드라이브 트랜지스터

(Trd)의 게이트(G)가 영상 신호(Vsig)의 레벨에 고정된 상태에서, 드라이브 트랜지스터(Trd)에 드레인 전류(Ids)가 흐른다. 여기에서, $V_{ss1} - V_{th} < V_{thEL}$ 로 설정해 두는 것으로, 발광 소자(EL)는 역 바이어스 상태에 있기 때문에, 다이오드 특성이 아닌 단순한 용량 특성을 나타내게 된다. 따라서 드라이브 트랜지스터(Trd)에 흐르는 전류(Ids)는 화소 용량(Cs)과 발광 소자(EL)의 등가 용량(Coled)의 양자를 결합한 용량($C = C_s + C_{oled}$)에 기입되어 간다. 이것에 의해 드라이브 트랜지스터(Trd)의 소스 전위(S)는 상승해 간다. 도 16의 타이밍 차트에서는 이 상승분을 ΔV 로 나타내고 있다. 이 상승분(ΔV)은 결국 화소 용량(Cs)에 보관 유지된 게이트/소스 간 전압(Vgs)으로부터 공제되게 되므로, 부귀환을 끼치게 된다. 이와 같이 드라이브 트랜지스터(Trd)의 출력 전류(Ids)를 같이 드라이브 트랜지스터(Trd)의 입력 전압(Vgs)에 부귀환함으로써, 이동도(μ)를 보정하는 것이 가능하다. 또한 부귀환량(ΔV)은 이동도 보정기간($T_6 - T_7$)의 시간 폭(t)을 조정하는 것으로 최적화가 가능하다.

<100> 타이밍(T7)에서는 제어 신호(WS)가 낮은 레벨이 되어 샘플링 트랜지스터(Tr1)가 오픈된다. 이 결과 드라이브 트랜지스터(Trd)의 게이트(G)는 신호선(SL)으로부터 떼어내 진다. 영상 신호(Vsig)의 인가가 해제되므로, 드라이브 트랜지스터(Trd)의 게이트 전위(G)는 상승 가능해지고, 소스 전위(S)와 함께 상승해 간다. 그 사이 화소 용량(Cs)에 보관 유지된 게이트/소스 간 전압(Vgs)은 $V_{sig} - \Delta V + V_{th}$ 의 값을 유지한다. 소스 전위(S)의 상승에 따라, 발광 소자(EL)의 역 바이어스 상태는 해소되므로, 출력 전류(Ids)의 유입에 의해 발광 소자(EL)는 실제로 발광을 개시한다. 이때의 드레인 전류(Ids) 대 게이트 전압(Vgs)의 관계는, 앞의 트랜지스터 특성 식 1의 Vgs에 $V_{sig} - \Delta V + V_{th}$ 를 대입하는 것으로, 이하의 식 2와 같이 주어진다.

<101>
$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \dots \text{식 2}$$

<102> 상기 식 2에 있어서, $k = (1/2)(W/L)Cox$ 이다. 이 특성 식 2로부터 V_{th} 의 향이 캔슬되어 있고, 발광 소자(EL)로 공급되는 출력 전류(Ids)는 드라이브 트랜지스터(Trd)의 임계 전압(V_{th})에 의존하지 않는 것을 알 수 있다. 기본적으로 드레인 전류(Ids)는 영상 신호의 신호 전압(Vsig)에 의해서 정해진다. 바꾸어 말하면, 발광 소자(EL)는 영상 신호(Vsig)에 적합한 휘도에서 발광하게 된다. 그때 Vsig는 귀환량(ΔV)으로 보정되어 있다. 이 보정량(ΔV)은 꼭 특성 식 2의 계수 부에 위치하는 이동도(μ)의 효과를 취소하도록 움직인다. 따라서, 드레인 전류(Ids)는 실질적으로 영상 신호(Vsig)에만 의존하게 된다.

산업상 이용 가능성

<103> 마지막에 타이밍(T8)에 이르면 제어 신호(DS)가 높은 레벨이 되어 스위칭 트랜지스터(Tr4)가 오픈되고, 발광이 종료함과 동시에 당해 필드가 끝난다. 이 후 다음의 필드로 옮겨 다시 V_{th} 보정 동작, 이동도 보정 동작 및 발광 동작이 반복되게 된다.

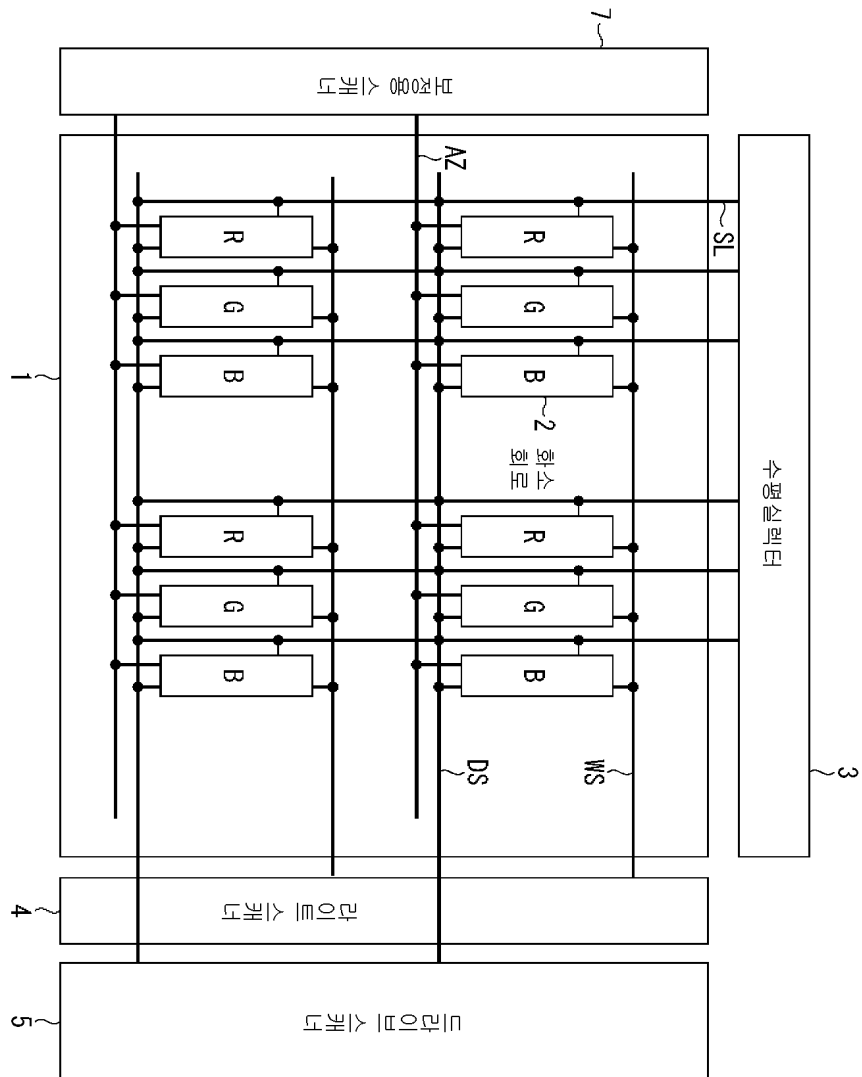
도면의 간단한 설명

- <20> 도 1은, 본 발명에 관계되는 표시장치를 나타내는 블록도이다.
- <21> 도 2는, 도 1에 나타난 표시장치에 포함되는 화소 회로의 제 1 실시 형태를 나타내는 회로도이다.
- <22> 도 3은, 도 2에 나타난 표시장치에 포함되는 화소 회로를 발췌한 모식도이다.
- <23> 도 4는, 도 3에 나타난 화소 회로의 동작 설명에 제공하는 타이밍 차트이다.
- <24> 도 5는, 도 3에 나타난 화소 회로의 동작 설명에 제공하는 모식도이다.
- <25> 도 6은, 같은 동작 설명에 제공하는 그래프이다.
- <26> 도 7은, 같은 동작 설명에 제공하는 모식도이다.
- <27> 도 8은, 도 7에 나타난 화소 회로에 포함되는 드라이브 트랜지스터의 동작 특성을 나타내는 그래프이다.
- <28> 도 9는, 본 발명에 관계되는 화소 회로의 제 2 실시 형태를 나타내는 타이밍 차트이다.
- <29> 도 10은, 본 발명에 관계되는 표시장치를 나타내는 블록도이다.
- <30> 도 11은, 도 10에 나타난 표시장치에 포함되는 화소 회로의 제 3 실시 형태를 나타내는 회로도이다.
- <31> 도 12는, 도 11에 나타난 표시장치에 포함되는 화소 회로를 발췌한 모식도이다.

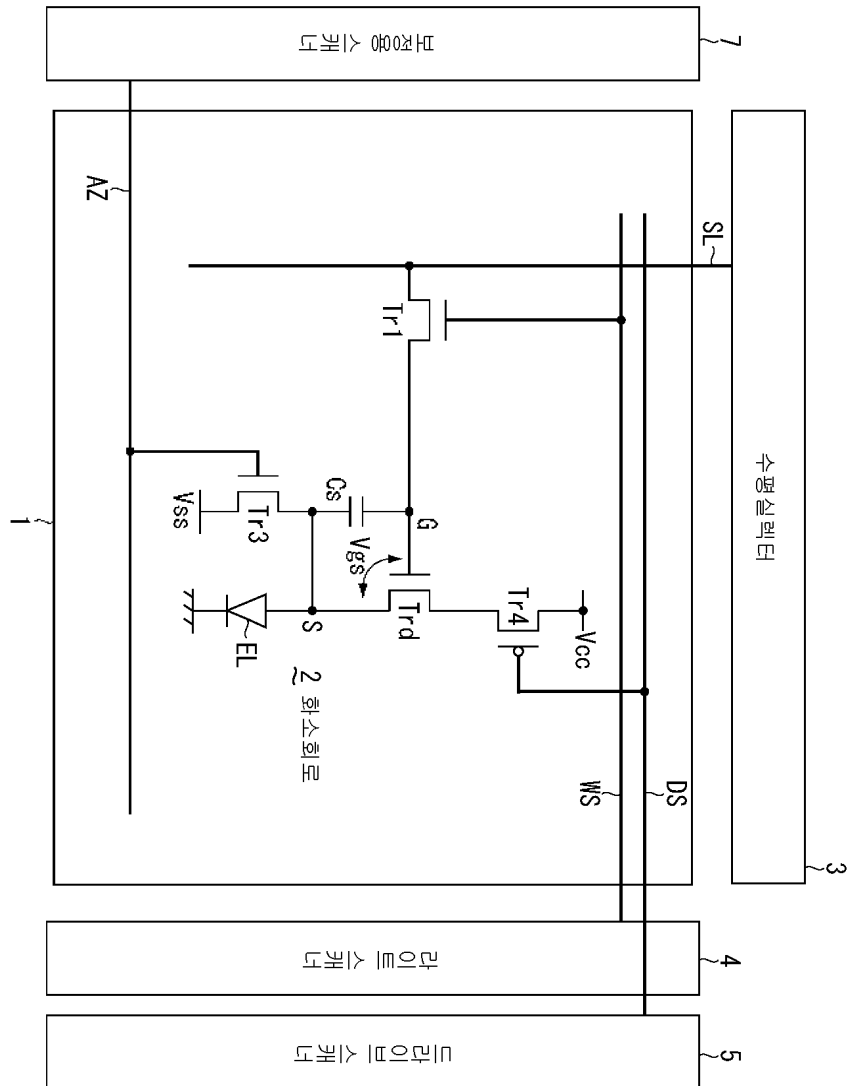
- <32> 도 13은, 도 12에 나타난 화소 회로의 동작 설명에 제공하는 타이밍 차트이다.
- <33> 도 14는, 참고 예에 관계되는 표시장치를 나타내는 블록도이다.
- <34> 도 15는, 도 14에 나타난 표시장치에 포함되는 화소 회로를 발췌한 모식도이다.
- <35> 도 16은, 도 15에 나타난 화소 회로의 동작 설명에 제공하는 타이밍 차트이다.

도면

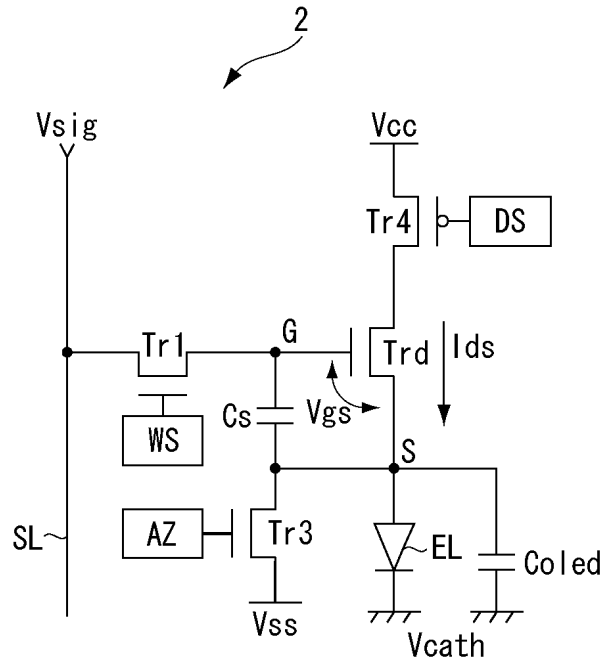
도면1



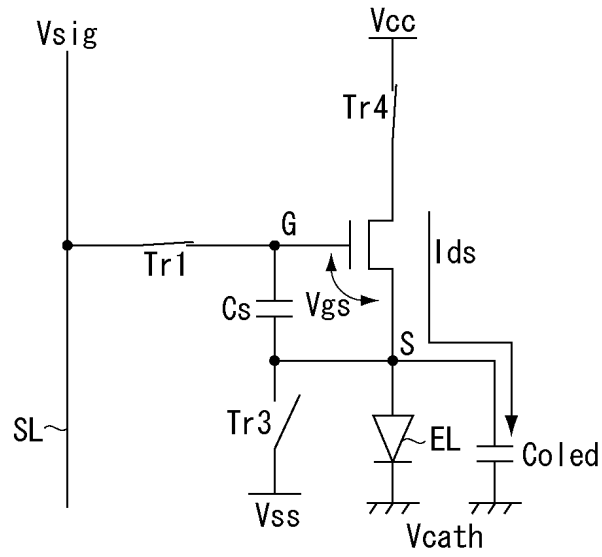
도면2



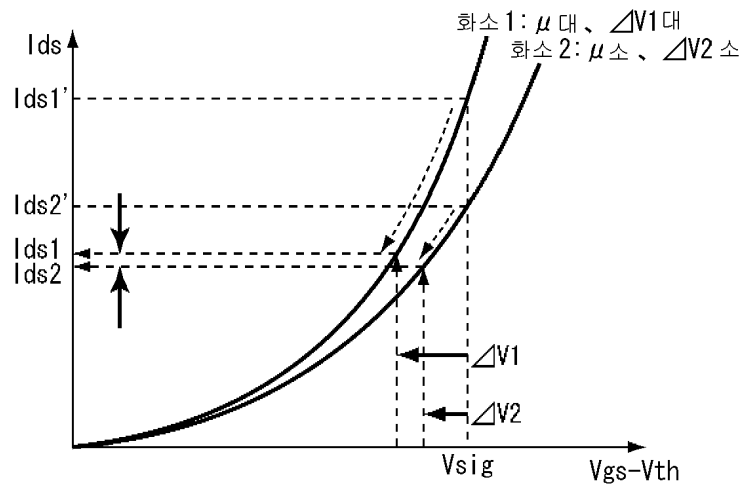
도면3



도면5

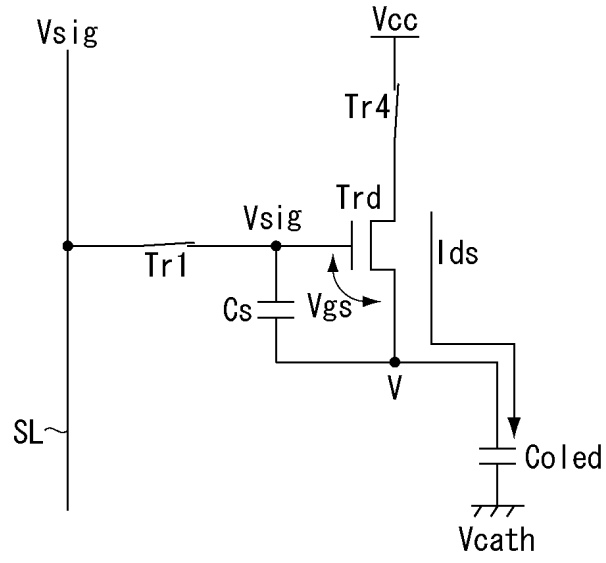


도면6

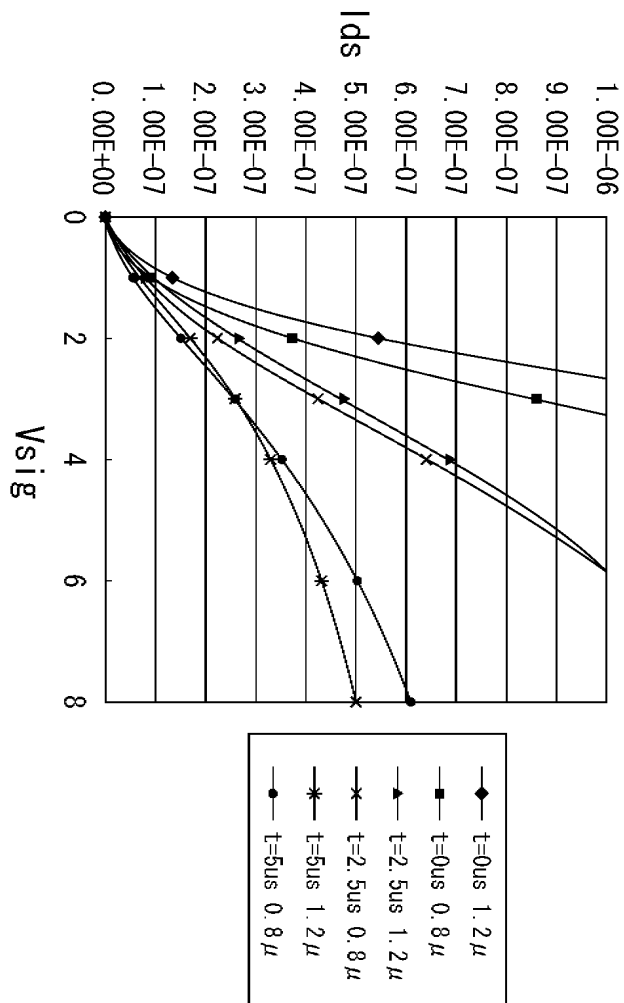


$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

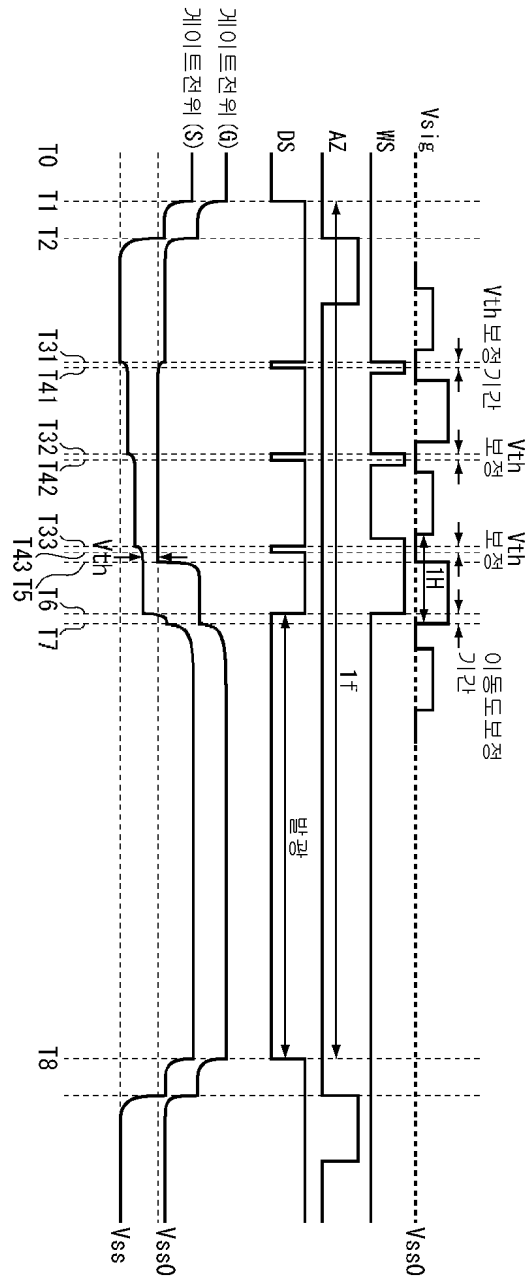
도면7



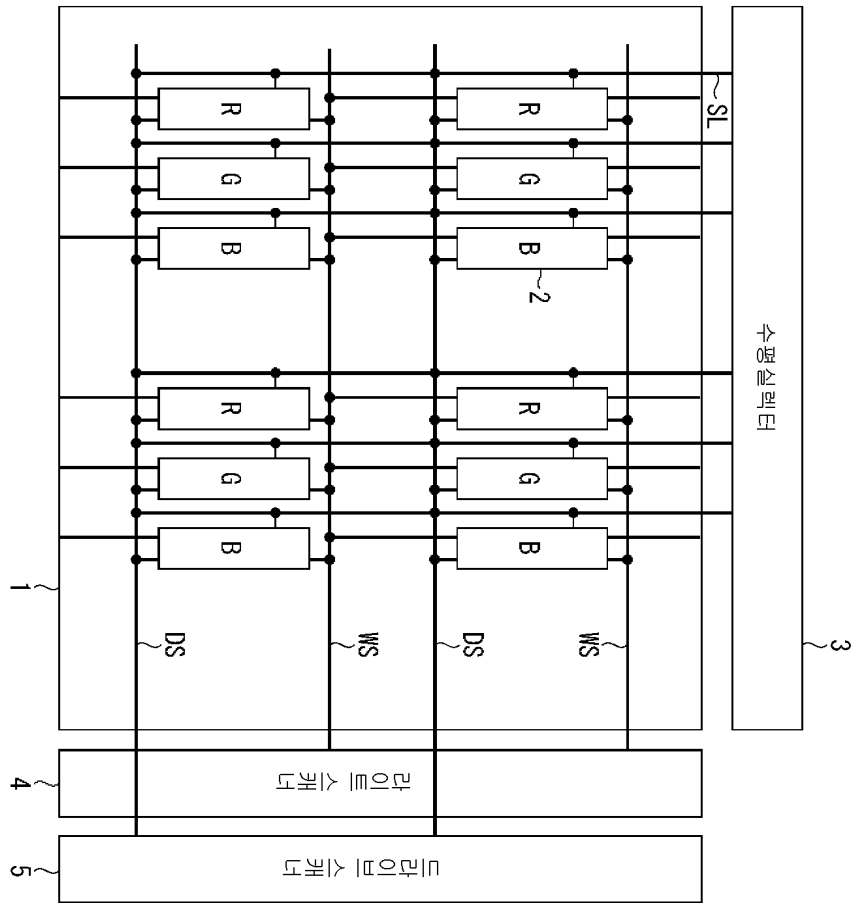
도면8



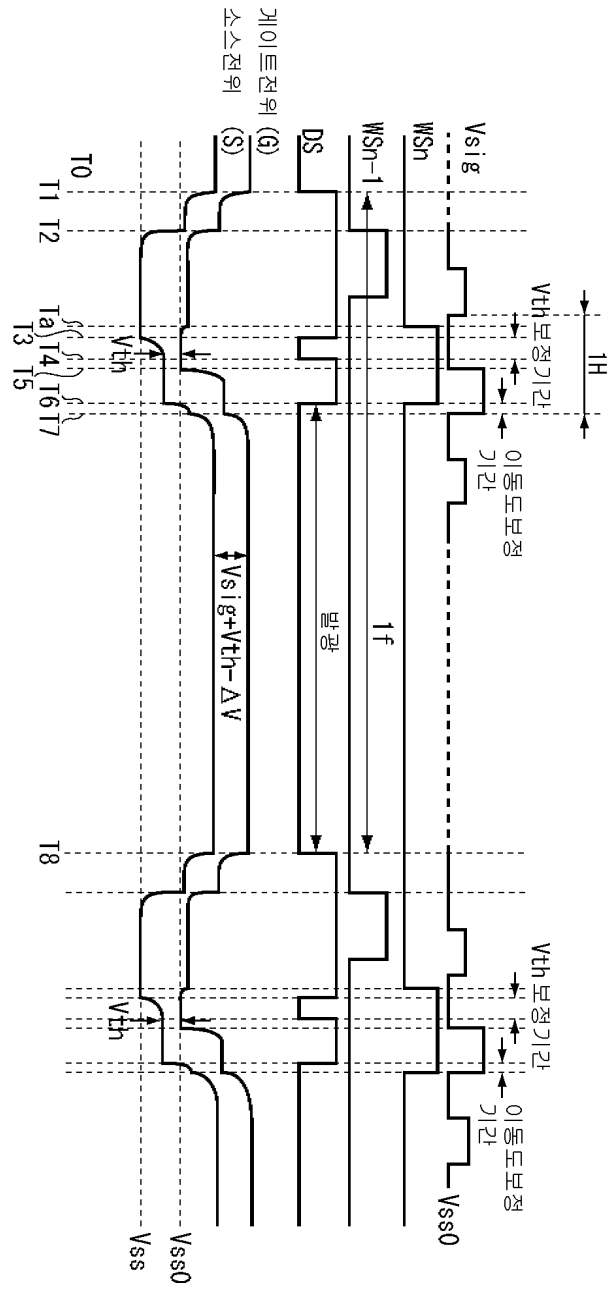
도면9



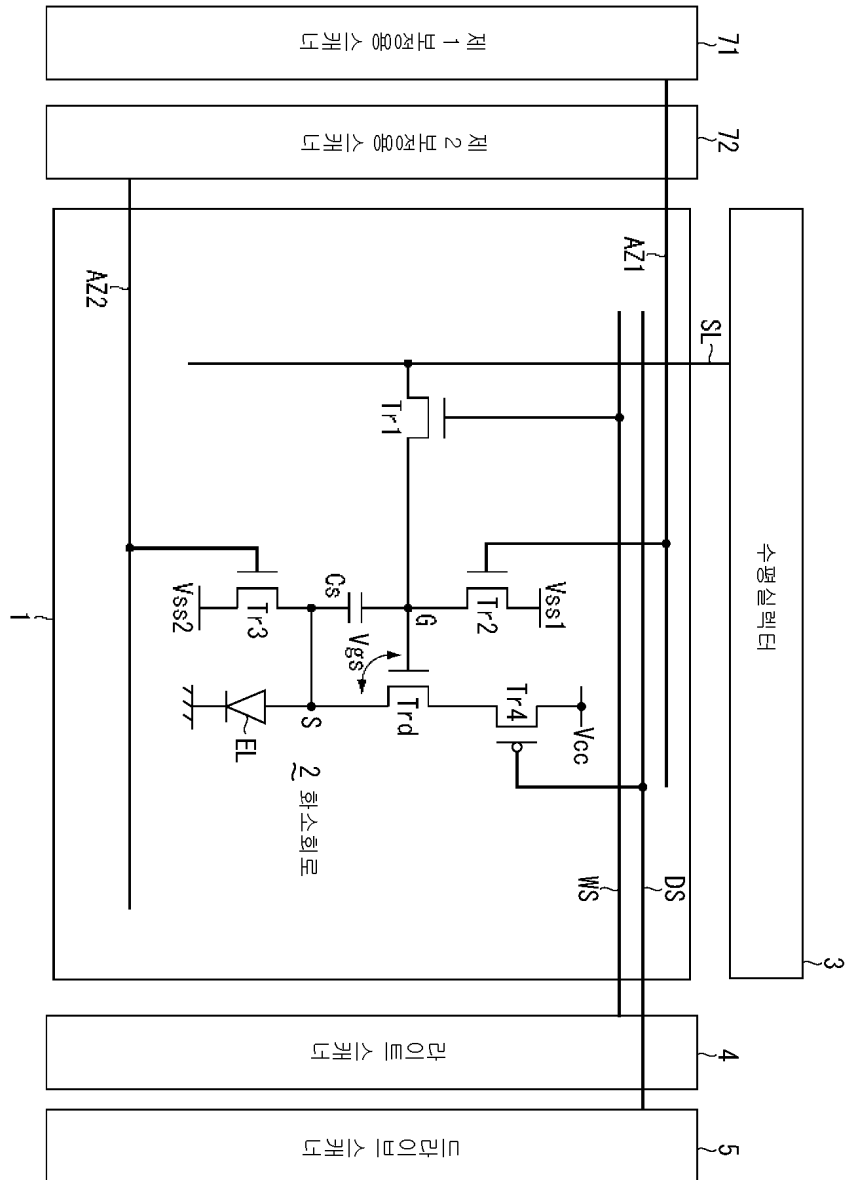
도면10



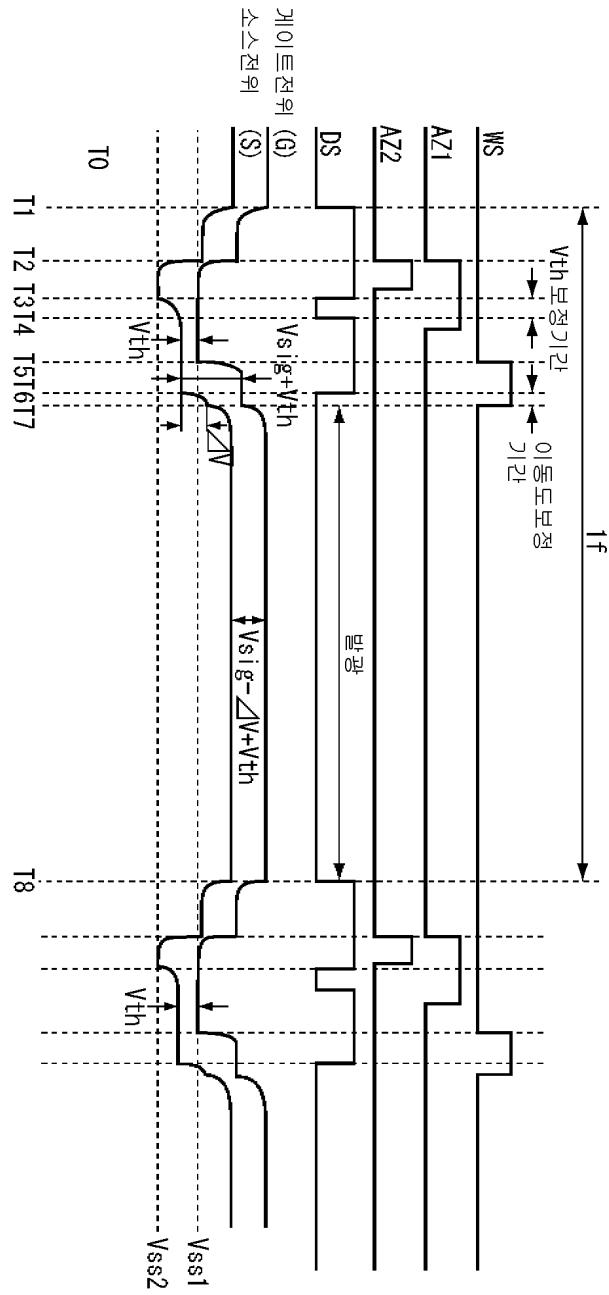
도면13



도면14



도면16



专利名称(译)	像素电路和显示设备		
公开(公告)号	KR1020080072819A	公开(公告)日	2008-08-07
申请号	KR1020087008509	申请日	2006-11-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	UCHINO KATSUHIDE 우치노카츠히데 YAMASHITA JUNICHI 야마시타준이치		
发明人	우치노카츠히데 야마시타준이치		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/3291 G09G3/3266 H01L21/02579 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0256 G09G2320/043 G09G2320/045 H01L2924/13069		
代理人(译)	Singwanho		
优先权	2005328334 2005-11-14 JP		
其他公开文献	KR101346339B1		
外部链接	Espacenet		

摘要(译)

可以提高具有阈值电压校正功能的像素电路的效率并简化像素电路。采样晶体管 (Tr1) 响应于在水平扫描时段期间从扫描线 (WS) 提供的控制信号而电连接, 并且将从信号线 (SL) 提供的视频信号采样到像素电容器 (Cs)。像素电容器 (Cs) 响应于采样的视频信号将输入电压 (Vgs) 施加到驱动晶体管 (Trd) 的栅极 (G)。驱动晶体管 (Trd) 根据输入电压 (Vgs) 将输出电流提供给发光元件 (EL)。输出电流依赖于驱动晶体管 (Trd) 的阈值电压 (Vth)。为了消除输出电流对阈值电压 (Vth) 的依赖性, 提供校正装置 (Tr3, Tr4), 在水平扫描周期的一部分期间工作, 检测驱动晶体管的阈值电压 (Vth) (Trd) , 并将其写入像素电容 (Cs)。

