



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/12 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0026711

(43) 공개일자 2007년03월08일

(21) 출원번호 10-2007-0008879(분할)

(22) 출원일자 2007년01월29일

심사청구일자 없음

(62) 원출원 특허10-2006-0005937

원출원일자 : 2006년01월19일

심사청구일자

2006년01월19일

(30) 우선권주장 JP-P-2005-00021550 2005년01월28일 일본(JP)

(71) 출원인 도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드
일본 도쿄도 미나토구 4조메 고난 1-8

(72) 발명자 다카하라 히로시
일본 도쿄도 미나토구 고난 4조메 1-8 도시바 마쯔시타디스플레이 테크
놀로지 컴퍼니, 리미티드 지적 재산부 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 10 항

(54) E L 표시 장치 및 E L 표시 장치의 구동 방법

(57) 요약

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치로서, 상기 EL 소자의 애노드 전압과 캐소드 전압 중 적어도 한쪽을 발생시키는 전압 발생 회로와, 상기 EL 소자에 인가하는 영상 신호를 발생하는 신호 발생 회로를 구비하고, 상기 전압 발생 회로는 상기 애노드 전압과 캐소드 전압 중 적어도 한쪽의 전압을 가변할 수 있는 것을 특징으로 하는 EL 표시 장치가 제공되었다.

대표도

도 149

특허청구의 범위

청구항 1.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치로서,

상기 EL 소자의 애노드 전압과 캐소드 전압 중 적어도 한쪽을 발생하는 전압 발생 회로와,

상기 EL 소자에 인가하는 영상 신호를 발생하는 신호 발생 회로

를 구비하고,

상기 전압 발생 회로는 상기 애노드 전압과 캐소드 전압 중 적어도 한쪽의 전압을 가변할 수 있는 것을 특징으로 하는 EL 표시 장치.

청구항 2.

제1항에 있어서,

상기 신호 발생 회로는 복수의 단위 트랜지스터를 갖고 있는 것을 특징으로 하는 EL 표시 장치.

청구항 3.

제2항에 있어서,

상기 복수의 단위 트랜지스터는, 별도의 트랜지스터와 커런트 미러 회로를 구성하고 있는 것을 특징으로 하는 EL 표시 장치.

청구항 4.

제1항에 있어서,

상기 화소는 전류 프로그램을 행하는 화소 구성인 것을 특징으로 하는 EL 표시 장치.

청구항 5.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

임의의 상기 EL 소자에 제1 전류가 흐르는 기간을 제1 기간으로 하고, 임의의 상기 EL 소자에 제2 전류가 흐르는 기간을 제2 기간으로 하고,

상기 제2 전류가 상기 제1 전류보다 크다고 할 때,

상기 제2 기간에 있어서의 애노드 전압과 캐소드 전압의 전위차를, 상기 제1 기간에 있어서의 애노드 전압과 캐소드 전압의 전위차보다 크게 하는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 6.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

상기 EL 소자에 흐르는 전류의 크기에 대응하여 애노드 전압과 캐소드 전압의 전위차를 설정할 수 있는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 7.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

기준 전류의 크기 또는 점등율에 대응하여 애노드 전압과 캐소드 전압의 전위차를 설정할 수 있는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 8.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

상기 EL 소자에 흐르는 전류값에 대응시켜, 애노드 전압과 캐소드 전압 중의 적어도 한쪽을 가변할 수 있는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 9.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

상기 EL 소자의 애노드 전압과 캐소드 전압 중의 적어도 한쪽을 전압 발생 회로에 의해 발생하고,

상기 EL 소자에 전류를 공급하는 전류 경로에 설치된 스위치 회로에 의해 상기 전류를 온 오프시켜서, 상기 EL 소자에 흐르는 전류를 제어하는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 10.

제5항 내지 제9항 중 어느 한 항에 있어서,

상기 화소는 전류 프로그램을 행하는 화소 구성인 것을 특징으로 하는 EL 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 또는 무기 일렉트로루미네센스(EL) 소자 등을 이용하는 EL 표시 패널(표시 장치) 등의 자발광 표시 패널(표시 장치)을 이용한 EL 표시 장치 및 EL 표시 장치의 구동 방법에 관한 것이다.

전기 광학 변환 물질로서 유기 일렉트로루미네센스(EL) 재료 혹은 무기 EL 재료를 이용한 액티브 매트릭스형의 화소 표시 장치는 화소에 기입되는 전류에 따라 발광 휘도가 변화한다. EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. EL 표시 패널은 액정 표시 패널에 비해 화상의 시인성이 높은 발광 효율이 높은 백 라이트가 불필요, 응답 속도가 빠른 등의 이점을 갖는다.

액티브 매트릭스 방식의 유기 EL 표시 패널은 특허 문헌 1에 개시되어 있다. 이 표시 패널의 1 화소의 등가 회로를 도 2에 도시한다. 화소(16)는 발광 소자인 EL 소자(15), 제1 트랜지스터(구동용 트랜지스터)(11a), 제2 트랜지스터(스위칭용 트랜지스터)(11b) 및 축적 용량(컨덴서)(19)으로 이루어진다. 발광 소자(15)는 유기 일렉트로루미네센스(EL) 소자이다. 본 명세서에서는 EL 소자(15)에 전류를 공급(제어)하는 트랜지스터(11a)를 구동용 트랜지스터(11)이라고 한다. 또한, 도 2의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위칭용 트랜지스터(11)라고 한다.

도 2의 동작에 대해 설명한다. 게이트 신호선(17)을 선택 상태로 하고, 소스 신호선(18)에 휘도 정보를 나타내는 전압의 영상 신호를 인가한다. 게이트 신호선(17)의 선택에 의해, 트랜지스터(11a)가 도통하고(클로즈 상태=온), 영상 신호가 축적 용량(19)에 충전된다. 게이트 신호선(17)을 비선택 상태로 하면, 트랜지스터(11a)가 오픈 상태(오프 상태)로 된다. 트랜지스터(11b)는 전기적으로 소스 신호선(18)으로부터 분리된다. 그러나, 트랜지스터(11a)의 게이트 단자 전위는 축적 용량(컨덴서)(19)에 의해 유지된다. 트랜지스터(11a)를 통하여 발광 소자(15)에 흐르는 전류는 트랜지스터(11a)의 게이트/드레인 단자간 전압(V_{gd})에 따른 값으로 된다. 발광 소자(15)는 트랜지스터(11a)를 통과하여 공급되는 전류량에 따른 휘도로 발광을 계속한다.

도 2의 화소 구성을 구동하는 드라이버 회로는 전압의 영상 신호를 출력한다. 전압의 영상 신호를 출력하는 드라이버 회로는 액정 표시 패널을 구동하는 드라이버 회로와 구성이 아주 비슷하다. 드라이버 회로로부터, 영상 신호로서의 전압 신호가 소스 신호선(18)에 인가된다. 인가된 전압 신호가 화소(16)에 인가되어 컨덴서(19)에 유지된다.

발명이 이루고자 하는 기술적 과제

그러나, 유기 EL 표시 패널은 저온 혹은 고온 폴리실리콘으로 이루어지는 트랜지스터 어레이를 이용하여 패널을 구성하지만, 유기 EL 소자는 폴리실리콘 트랜지스터 어레이의 트랜지스터 특성에 변동이 있으면, 표시 얼룩이 발생한다.

도 2는 전압 프로그램 방식의 화소 구성이다. 또한, 전압 프로그램 방식이란, 전압의 크기 혹은 강약으로 나타나는 영상 신호 등의 전압 신호(프로그램 전압)를 데이터 신호선, 소스 신호선 혹은 화소 등에 인가하고, 화소의 트랜지스터 등에서 전압 신호를 전류 신호로 변환하여 EL 소자에 인가하는 구성 혹은 회로 혹은 구동 방법을 말한다.

전류 프로그램 방식이란, 전류의 크기 혹은 강약으로 나타나는 영상 신호 등의 전류 신호(프로그램 전류)를 데이터 신호선, 소스 신호선 혹은 화소 등에 인가하고, 화소의 트랜지스터 등에서 인가한 전류 신호를 EL 소자에 인가한다.

구동용 트랜지스터(11)로부터 EL 소자(15)에 유입하는 전류, EL 소자(15)로부터 구동용 트랜지스터에 유출하는 전류 중 어느 것도, 구동용 트랜지스터(11)로부터 EL 표시 소자(15)에 전류를 인가한다고 한다. 혹은 전류 프로그램 방식이란, 인가한 전류 신호에 대략 비례한 전류 신호, 혹은 인가한 전류에 소정의 변환 처리를 행한 전류 신호(프로그램 전류)를 직접 혹은 간접적으로 EL 소자에 인가하는 구성, 혹은 회로 구성 혹은 구동 방법을 말한다.

도 2에 도시하는 화소 구성에서는 전압의 영상 신호를 트랜지스터(11a)에서 전류 신호로 변환한다. 따라서, 구동용 트랜지스터(11a)에 특성 변동이 있으면, 변환되는 전류 신호에도 변동이 발생한다. 통상적으로, 구동용 트랜지스터(11a)는 50% 이상의 특성 변동이 발생한다. 따라서, 도 2의 구성에서는 특성 변동에 대응하여 표시 얼룩이 발생한다.

전압 프로그램 방식은 화소(16)의 트랜지스터 특성을 보상하는 능력이 낮다. 따라서, 트랜지스터의 특성 변동에 따른 표시 얼룩이 발생한다. 그러나, 전압 프로그램 방식은 저계조 영역, 고계조 영역 중 어느 영역에 있어도, 소스 신호선 등의 충방전 능력이 높다. 따라서, 기입 부족이 없고, 양호한 화상 표시를 실현할 수 있다.

표시 얼룩은 전류 프로그램 방식의 구성을 채용함으로써 저감할 수 있다. 전류 프로그램 방식은 저계조 영역에서는 구동 전류가 작다. 그 때문에, 소스 신호선(18)의 기생 용량에 의해 양호하게 구동할 수 없다는 문제가 있었다.

또한, 전류 프로그램(방식)은 전류 구동(방식)이라고 부르기도 한다. 또한, 전압 프로그램(방식)은 전압 구동(방식)이라고 부르기도 한다.

본 발명은 상술한 종래의 과제를 해결하는 것으로, 표시 얼룩을 저감하면서 모든 계조 영역에서 기입 부족을 발생시키지 않는 EL 표시 장치 및 EL 표시 장치의 구동 방법을 제공하는 것을 목적으로 한다.

발명의 구성

상술한 과제를 해결하기 위해, 본 발명의 EL 표시 장치는 예를들면, 화소의 구동용 트랜지스터(11a)로부터 정전류를 출력시킨다. 그리고, 구동용 트랜지스터(11a)가 정전류를 출력한 상태에서, 소스 신호선(18)을 통하여, 상기 구동용 트랜지스터(11a)의 게이트 단자 전위를 측정한다.

측정한 전위는 A/D(아날로그-디지털) 변환하여 메모리에 저장한다. 메모리에는 바람직하게는 모든 화소의 구동용 트랜지스터(11a)의 데이터를 저장한다. EL 표시 패널을 표시할 때는 이 메모리에 저장한 각 화소의 전압 데이터를 읽어내고, D/A(디지털-아날로그) 변환하여, 기준 전압으로 한다. 이 기준 전압을 프리차지 전압(V_p)으로서 소스 신호선에 인가하고, 인가 후, 필요에 따라 프로그램 전압을 소스 신호선에 인가한다. 또한, 이 기준 전압에, 계조 전압의 가감산 처리를 하고, 목표 계조 전압으로서, 화소(16)의 구동용 트랜지스터(11a)에 인가한다.

본 명세서에서, 각 도면은 이해를 쉽게 하기 위해, 또한 도면 작성을 쉽게 하기 위해, 생략 및 확대 혹은 축소한 개소가 있다. 또한, 동일 번호 또는 기호 등을 붙인 개소는 동일 혹은 유사한 형태 혹은 재료 혹은 기능 혹은 동작을 갖는다.

본 명세서에서는 구동용 트랜지스터(11a), 스위칭용 트랜지스터(11b) 등은 박막 트랜지스터로서 설명하지만, 이것에 한정되는 것은 아니다. 박막 다이오드(TFD), 링 다이오드 등이라도 구성할 수 있다. 또한, 박막 소자에 한정되는 것은 아니다. 또한, 실리콘 웨이퍼에 형성한 트랜지스터이어도 된다. 물론, 트랜지스터란, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이어도 된다. 그 밖에, 다이오드, 바리스터, 사이리스터, 링 다이오드, 포토 다이오드, 포토트랜지스터, PLZT 소자 등이어도 됨은 물론이다.

소스 드라이버 회로(IC)(14)는 단순한 드라이버 기능뿐 아니라, 전원 회로(차지 펌프 회로, DCDC 컨버터 회로), 버퍼 회로(시프트 레지스터 등의 회로를 포함한다), 레벨 시프터 회로, 데이터 변환 회로, 래치 회로, 커맨드 디코더, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 된다. 소스 드라이버 IC(회로)(14)는 어레이 기판(30)에 폴리실리콘 기술로 형성해도 된다.

어레이 기판(30)은 글래스 기판으로서 설명을 하지만, 실리콘 웨이퍼로 형성해도 된다. 또한, 어레이 기판(30)은 금속 기판, 실리콘 등의 반도체 기판, 세라믹 기판, 플라스틱 시트(판) 등을 사용해도 된다.

본 발명의 표시 패널 등을 구성하는 트랜지스터(11), 게이트 드라이버 회로(12), 소스 드라이버 회로(IC)(14) 등은 글래스 기판 등에 형성하고, 전사 기술에 의해 다른 기판(플라스틱 시트)에 옮겨 구성 또는 형성한 것이어도 됨은 물론이다.

먼저, 본 발명의 EL 표시 장치의 화소(16)의 구조와 동작, 소스 드라이버 IC(회로)(14) 등에 대해 설명을 한다.

도 1은 본 발명의 EL 표시 장치의 화소(16)의 구성도이다. 1 화소 내에 4개의 트랜지스터(TFT)(11)((11a, 11b, 11c, 11d)를 갖고 있다. 구동용 트랜지스터(11a)의 게이트 단자는 트랜지스터(11b)의 소스 단자에 접속되어 있다. 트랜지스터(11b) 및 트랜지스터(11c)의 게이트 단자는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인 단자는 트랜지스터(11c)의 소스 단자 및 트랜지스터(11d)의 소스 단자에 접속되고, 트랜지스터(11c)의 드레인 단자는 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트 단자는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인 단자는 EL 소자(15)의 애노드 전극(단자)에 접속되어 있다.

도 1의 화소 구성에서는 트랜지스터(11b, 11c)의 게이트 단자는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b, 11c)는 게이트 신호선(17a)에 인가된 온 오프 제어 신호에 의해 온(클로즈), 오프(오픈) 제어된다. 트랜지스터(11d)의 게이트 단자는 게이트 신호선(17b)에 접속되어 있다. 트랜지스터(11d)는 게이트 신호선(17b)에 인가된 온 오프 제어 신호에 의해 온(클로즈), 오프(오픈) 제어된다.

게이트 드라이버(12)(도 3에서는 게이트 드라이버 회로(12a, 12b))는 게이트 신호선(17a, 17b)을 제어한다. 도 3에 도시한 바와 같이, 표시 화면(34)의 좌단에 게이트 드라이버 회로(12a)를 형성 또는 배치하고, 우단에 게이트 드라이버 회로(12b)를 형성 또는 배치해도 된다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 제어하고, 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 제어한다.

도 1에 도시하는 유기 EL의 화소 구성에서는 제1 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터로서 기능시킨다. 또한, 제2 트랜지스터(11a)는 EL 소자(15)에 전류를 공급하기 위한 구동용 트랜지스터로서 기능시키고 있다.

게이트 드라이버(12)에 인가하는 클럭 CLK 신호(CLK1, CLK2), 스타트 신호 ST(ST1, ST2) 등은 컨트롤러 회로(801)로부터 소스 드라이버 IC(회로)(14)에 인가된다. 클럭 CLK 신호, 스타트 신호는 소스 드라이버 IC(회로)(14)에서 로직 레벨이 레벨 시프트되어, 게이트 드라이버 회로(12)에 인가된다. 즉, 게이트 드라이버 회로(12)에 인가되는 신호는 소스 드라이버 IC(회로)(14)로부터 공급된다.

게이트 드라이버 회로(12a)가 동시에 선택하는 게이트 신호선(17a)은 1 게이트 신호선에 한정되는 것이 아니다. 복수의 화소 행을 동시에 선택해도 된다. 예를 들면, 2개의 게이트 신호선(17a)을 동시에 선택해도 된다. 즉, 2 화소 행을 동시에 선택한다.

표시 영역(34)에는 적(R), 녹(G), 청(B)의 3원색의 화소가 매트릭스 형상으로 형성되어 있다. RGB의 화소는 분할 도포 증착에 의해 형성한다. 또한, R, G, B에 한정되는 것이 아니다. 단색이어도 되고, 또한, 시안, 옐로우, 마젠타 등이어도 되고, RGB 이외에, 백색(W)의 4색 등이어도 된다. R, G, B, W의 경우에는 컬러 필터에 의해 형성한다.

표시 영역(34)은 복수 화면을 가져도 된다. 예를 들면, 메인 화면과 서브 화면이다. 메인 화면과 서브 화면의 게이트 드라이버 회로는 독립해서 형성하고, 소스 신호선(18)을 공통으로 한다. 또한, 소스 드라이버 IC(회로)(14)도 메인 화면과 서브 화면을 공통으로 한다.

표시 영역(34)에서, 화소(16)의 트랜지스터를 구성하는 막은 도 109에 도시하는 바와 같이, 레이저 어닐링시에 레이저 조사 스폿의 길이 방향을 소스 신호선에 대략 평행하게 되도록 조사하여 제작하고 있다.

트랜지스터의 온 전류는 단결정으로 형성된 트랜지스터이면, 비교적 균일하다. 형성 온도가 450~550도(섭씨) 이하의 저온 폴리실리콘 기술로 형성한 저온 다결정 트랜지스터에서는 그 임계치의 변동이 $\pm 0.2V \sim \pm 0.5V$ 의 범위에서 변동이 있다. 그 때문에, 구동용 트랜지스터(11a)를 흐르는 온 전류가 이것에 대응하여 변동하고, 표시에 얼룩이 발생한다. 이들 얼룩은 임계치 전압의 변동뿐 아니라, 트랜지스터의 이동도, 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(11)의 열화에 의해서도 특성은 변화한다.

트랜지스터의 특성 변동은 저온 폴리실리콘 기술로 형성된 트랜지스터에 한정되지 않으며, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상 성장(CGS)시킨 반도체막을 이용하여 형성한 트랜지스터에서도 발생한다. 그 밖에, 유기 재료로 형성한 유기 트랜지스터에서도 발생한다. 아몰퍼스 실리콘 트랜지스터에서도 발생한다.

본 발명은 이상의 모든 기술로 형성된 트랜지스터 등으로 이루어지는 EL 표시 장치 혹은 표시 패널의 구성 혹은 구동 방법에 적용할 수 있는 것이다.

도 1 등에서 도시하는 본 발명의 표시 패널의 화소(16)를 구성하는 트랜지스터(11)는 p-채널 폴리실리콘 박막 트랜지스터로 구성된다. 또한, 트랜지스터(11b, 11d)는 듀얼 게이트 이상인 멀티 게이트 구조로 하고 있다.

도 1에서, 본 발명의 표시 패널의 화소(16)를 구성하는 트랜지스터(11b)는 트랜지스터(11a)의 소스-드레인 사이의 스위치로서 작용한다. 따라서, 트랜지스터(11b)는 가능한 한 저리크 전류 특성이 요구된다. 트랜지스터(11b)의 게이트의 구조를 듀얼 게이트 구조 이상의 멀티 게이트 구조로 함으로써 저리크 전류 특성을 실현할 수 있다.

도 1에서는 모든 트랜지스터는 P 채널로 구성하고 있다. P 채널은 N 채널의 트랜지스터에 비교하여 모빌리티가 낮지만, 내압이 크고 또한 열화도 발생하기 어렵다. 따라서, EL 표시 장치에 채용하는 것이 바람직하다. 단, 본 발명은 EL 표시 장치의 화소, 드라이버 회로 등을 P 채널로 구성하는 것에만 한정되는 것은 아니다. 이들을 N 채널만으로 구성해도 된다. 또한, N 채널과 P 채널의 양방을 이용하여 구성해도 된다.

단, 패널을 저비용으로 제작하기 위해서는 화소를 구성하는 트랜지스터(11)를 모두 P 채널로 형성하고, 게이트 드라이버 회로(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5장으로 되어, 저비용화, 고수율화를 실현할 수 있다.

도 1과 같이 화소(16)의 구동용 트랜지스터(11a), 트랜지스터(11b, 11c)가 P 채널 트랜지스터인 경우에는 관통 전압이 발생한다. 이것은 게이트 신호선(17a)의 전위 변동이, 트랜지스터(11b, 11c)의 G-S 용량(기생 용량)을 통하여, 커패시터(19)의 단자에 관통하기 때문이다. P 채널 트랜지스터(11b)가 오프할 때에는 VGH 전압(트랜지스터의 오프 전압)으로 된다. 그 때문에, 커패시터(19)의 단자 전압이 애노드 전압(Vdd) 측에 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하고, 트랜지스터(11a)는 전류를 흘리지 않는 방향으로 변화한다. 따라서, 보다 흑 표시로 되는 양호한 흑 표시를 실현할 수 있다.

커패시터(19) 등에 의한 관통 전압의 시프트량은 일정하고, 또한, VGH 전압(트랜지스터의 오프 전압), VGL 전압(트랜지스터의 온 전압)이 일정치이기 때문이다. 전류 구동 방식(전류 프로그램 방식)에서는 저계조에서는 프로그램 전류가 작아지고, 소스 신호선(18)의 기생 용량의 충전전압이 곤란하다. 관통 전압의 발생 효과에 의해, 프로그램 전류를 저감(전류가 흐르지 않는 방향으로 트랜지스터(11a)의 게이트 전압 전위를 시프트시킨다)시킨다. 따라서, 소스 신호선(18)에 인가하는 프로그램 전류를 비교적 크게 할 수 있고, 구동용 트랜지스터(11a)가 EL 소자(15)에 흐르는 전류는 프로그램 전류보다도 작게 할 수 있다. 결과적으로, 작은 프로그램 전류(저계조 영역의 프로그램 전류)를 화소(16)에 기입할 수 있다.

관통 전압은 화소(16)를 선택하는 게이트 신호선(17a)의 진폭의 크기 $V_g = VGH - VGL$ 에 의존한다. 전류 구동 방식에서는 이 관통 전압을 유효하게 작용시키는 것이 중요하다. 본 발명에서는 V_g 의 크기를 6(V) 이상으로 하고 있다. 또한, 애노드 전압(Vdd), 캐소드 전압(Vss)이라고 할 때, 애노드 전압과 캐소드 전압의 전위차 $V_e = Vdd - Vss$ 는 $V_e = V_g - 0.5(V)$ 이하로 되도록 하고 있다.

또한, 트랜지스터가 P 채널인 경우에는 VGH는 트랜지스터를 오프(오픈)시키는 전압이며, VGL은 트랜지스터를 온(클로즈)시키는 전압이다. 트랜지스터가 N 채널인 경우에는 VGL은 트랜지스터를 오프(오픈)시키는 전압이며, VGH는 트랜지스터를 온(클로즈)시키는 전압이다.

본 발명은 구동용 트랜지스터(11a), 트랜지스터(11b) 등을 P 채널에 한정하는 것은 아니다. 그러나, 구동용 트랜지스터(11a)(커런트 미러 회로의 경우에는 트랜지스터(11b)(도 12 등을 참조할 것))의 극성(P 또는 N)과 스위치용 트랜지스터(11b, 11c)의 극성을 일치시키는 것이 본 발명의 특징이다. 혹은 스위치용 트랜지스터(11b, 11c)가 오프로 될 때, 구동용 트랜지스터(11a)의 전류가 흐르기 어려운 방향으로, 전위 시프트하도록 트랜지스터의 극성, 게이트 신호선(17b)의 진폭 변화 방향이 설정되어 있는 것이 특징이다.

이상과 같이, 본 발명은 화소(16)의 구동용 트랜지스터(11a) 및 스위칭 트랜지스터(11b)의 양방을 P 채널 트랜지스터로 형성함으로써 흑 표시(흑 및 저계조 범위)를 양호하게 할 수 있는 특징 있는 효과를 발휘한다. 또한, 화소(16)의 구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우에는 스위칭 트랜지스터(11b)도 N 채널 트랜지스터로 한다. 즉, 구동용 트랜지스터(11a)와 스위칭 트랜지스터(11b)의 양방을 동일 극성의 트랜지스터로 구성하는 것이 바람직하다.

다음으로, 도 3을 이용하여, 본 발명의 EL 표시 패널에서 사용하는 전원(전압)에 대해 설명을 한다. 게이트 드라이버 회로(12)는 주로 버퍼 회로(32)와 시프트 레지스터 회로(31)로 구성된다. 버퍼 회로(32)는 오프 전압(VGH)과 온 전압(VGL)을 전원 전압으로서 사용한다. 한편, 시프트 레지스터 회로(31)는 시프트 레지스터의 전원(VGDD)과 그라운드(GND) 전압을 사용하고, 또한, 입력 신호(CLK, UD, ST)의 반전 신호를 발생시키기 위한 VREF 전압을 사용한다. 또한, 소스 드라이버 회로(IC)(14)는 전원 전압(Vs)과 그라운드(GND) 전압을 사용한다.

게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 온 오프 제어한다. 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 온 오프 제어한다. 설명을 쉽게 하기 위해, 화소 구성은 도 1을 예로 들어 설명을 한다.

각 시프트 레지스터 회로(31)는 플러스 상과 마이너스 상의 클럭 신호(CLKx)(CLKxP, CLKxN), 스타트 펄스(STx)로 제어된다. 또한, x는 첨자이다. 그 밖에, 게이트 신호선의 출력, 비출력을 제어하는 인에이블(ENBL) 신호, 시프트 방향을 상하 역전하는 업다운(UD) 신호를 부가하는 것이 바람직하다. 그 외에, 스타트 펄스가 시프트 레지스터 회로(31)에 시프트되고, 그리고 출력되어 있는 것을 확인하는 출력 단자 등을 설치하는 것이 바람직하다.

시프트 레지스터 회로(31)의 시프트 타이밍은 컨트롤 회로(도시 생략)로부터의 제어 신호로 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로(31)를 내장한다. 또한, 클럭 신호는 플러스 상만으로 해도 된다. 플러스 상뿐만 아니라 클럭 신호로 함으로써 신호선 수를 삭감할 수 있고, 협소한 틀화를 실현할 수 있다.

시프트 레지스터 회로(31)의 시프트 타이밍은 컨트롤 IC(도시 생략)로부터의 제어 신호로 제어된다. 또한, 게이트 드라이버 회로(12)는 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다. 또한, 클럭 신호는 플러스 상만으로 해도 된다. 플러스 상뿐인 클럭 신호로 함으로써 신호선 수를 삭감할 수 있고, 협소한 틀화를 실현할 수 있다.

시프트 레지스터 회로(31)의 구동 능력은 작기 때문에, 직접적으로는 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(31)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트 사이에는 적어도 2개 이상의 인버터 회로(버퍼 회로(32)에 포함된다)가 형성되어 있다.

여기서 이해를 쉽게 하기 위해, 전압치를 규정한다. 먼저, 애노드 전압(V_{dd})을 6(V)로 하고, 캐소드 전압(V_{ss})을 -9(V)로 한다(도 1 등을 참조할 것). GND 전압은 0(V)으로 하고, 소스 드라이버 회로(14)의 V_s 전압은 V_{dd} 전압과 동일한 6(V)로 한다. V_{GH1} 과 V_{GH2} 전압은 V_{dd} 보다 0.5(V) 이상 3.0(V) 이하로 하는 것이 바람직하다. 여기서는 $V_{GH1}=V_{GH2}=8(V)$ 로 한다.

게이트 드라이버 회로(12)의 V_{GL1} 은 도 1의 트랜지스터(11c)의 온 저항을 충분히 작게 하기 위해, 낮게 할 필요가 있다. 여기서는 회로 구성을 쉽게 하기 위해, V_{GH1} 과 절대치가 반대인 $V_{GL1}=-8(V)$ 로 한다. V_{GDD} 전압은 시프트 레지스터 회로의 전압이다. V_{GH} 보다도 낮고, GND 전압보다도 높게 할 필요가 있다. 여기서는 발생 전압 회로를 용이하게 하고, 회로 코스트를 저감하기 위해, V_{GH} 전압의 1/2의 4(V)로 한다. 한편, V_{GL2} 전압은 너무 낮게 하면, 트랜지스터(11b)의 리크를 발생할 위험성이 있기 때문에, V_{GDD} 전압과 V_{GL1} 전압의 중간 전압으로 하는 것이 바람직하다. 여기서는 전압 회로를 용이하게 하고, 회로 코스트를 저감하기 위해, V_{GDD} 전압과 절대치가 같고, 또한 반대 극성인 -4(V)로 한다.

본 발명의 EL 표시 장치의 각 부의 전압에 대해 도 4를 이용하여 설명을 한다. 본 발명에서는 캐소드 전압(V_{ss})을 그라운드(GND) 전압으로 한다. 애노드 전압(V_{dd})과 소스 드라이버 IC(회로)(14)의 전원 전압(V_d)은 공통으로 하고 있다. 즉 동일 전압으로 한다. 물론, 캐소드 전압(V_{ss})은 GND 이외의 전압으로 설정할 수 있지만, 도 4와 같이 구성함으로써, 전원 회로를 간략화할 수 있고, 효율도 향상한다.

도 4의 본 발명의 전원 회로 방식에서는 애노드 전압(V_{dd})이 상하 변동하면, 소스 드라이버 IC(회로)(14)의 전원 전압(V_d)도 마찬가지로 상하 변동한다. 프리차지 전압(V_p)의 최고 전압은 애노드 전압(V_{dd})과 동일(일치)하게 하고, 최저 전압은 도 4에 도시한 바와 같이 V_{min} 으로 한다. 따라서, 프리차지 전압(V_p)은 애노드 전압(V_{dd})을 기준으로 하여 그라운드 방향으로 전위를 취한다. V_{min} 전압은 마이너스의 레귤레이터에서 입력 전압을 V_{dd} 와 그라운드(GND)로 함으로써 용이하게 발생할 수 있다. 또한, $V_{dd}-V_{min}$ 의 값은 2V 이상 4V 이하로 하는 것이 바람직하다. 프리차지 전압(V_p)은 V_{dd} 와 V_{min} 전압을 유닛 수(계조 수)로 분할하여 전자 볼륨을 구성하고, 입력 디지털 데이터를 상기 전자 볼륨에서 아날로그 데이터로 변환하여 출력한다. 프리차지 전압(V_p)이란, 프리차지 전압(V_p) 전압뿐 아니라, 프로그램 전압도 의미한다.

게이트 드라이버 회로(12)가 출력하는 게이트 온 전압(V_{GH})은 도 4에 도시한 바와 같이 애노드 전압(V_{dd})을 기준으로 하여 플러스 방향으로 취한다. $V_{GH}-V_{dd}$ 는 0.5V 이상 2.5V 이하로 한다. 또한, 게이트 드라이버 회로(12)가 출력하는 게이트 오프 전압(V_{GL})은 도 4에 도시한 바와 같이 그라운드 전압(GND)을 기준(원점)으로 하여 마이너스 방향으로 취한다. $GND-V_{GL}$ 은 0.5 이상 2.5V 이하로 한다. V_{GL} 은 V_{dd} 를 기준으로 하여 발생해도 된다. V_{GH} , V_{GL} 은 차지 펌프 회로에서 발생한다.

화소(16)를 선택하는 게이트 신호선(17a)의 진폭의 크기 $V_g=V_{GH}-V_{GL}$ 로 할 때, 본 발명에서는 V_g 의 크기를 6(V) 이상으로 하고 있다. 또한, 애노드 전압(V_{dd}), 캐소드 전압(V_{ss})으로 할 때, 애노드 전압과 캐소드 전압의 전위차 $V_e=V_{dd}-V_{ss}$ 는 $V_g+2(V)$ 이상으로 하고 있다. 또한, V_{GL} 전압은 폴리실리콘 기술에 의해, 어레이 기판(30)에 차지 펌프 회로 등을 형성하여 발생시켜도 된다. 또한, 애노드 전압을 발생하는 DCDC(직류-직류) 컨버터 회로에는 입력부 또는 출력부에 돌입 전류 제한 회로를 설치하는 것이 바람직하다.

도 4에서는 V_{GL1} 과 V_{GL2} (도 3을 참조할 것)를 동일한 전압으로 했지만, 이것에 한정하는 것은 아니며, $V_{GL1}<V_{GL2}$ 의 관계로 하는 것이 바람직하다. 즉, V_{GL1} 쪽이 V_{GL2} 보다 전압이 낮다. 단, 구동용 트랜지스터(11a)가 P 채널인 경우이다. 구동용 트랜지스터(11a)가 N 채널인 경우에는 반대의 관계로 한다. 또한, V_{GL1} 은 화소 행을 선택하는 게이트 드라이버 회로(12a)의 온 전압이며, V_{GL2} 는 트랜지스터(11d)를 선택하는 게이트 드라이버(12b)의 온 전압이다.

V_{GL1} 을 V_{GL2} 보다 작게 함으로써, 게이트 신호선(17a)의 진폭 동작에 의해, 구동용 트랜지스터(11a)의 게이트 단자의 관통 전압이 커지고, 본 발명의 구동 방식과 조합함으로써 양호한 흑 표시를 실현할 수 있기 때문이다. 예를 들면, $V_{GL1}=-9(V)$, $V_{GL2}=-3(V)$ 가 예시된다.

구동용 트랜지스터(11a)가 출력하는 프로그램 전류의 크기를 크게 하기 위해서는 애노드 전압(Vdd)을 높게 할 필요가 있다. 프로그램 전류를 크게 하면, EL 소자(15)는 고휘도로 발광하기 때문에, EL 표시 장치를 고휘도 표시할 수 있다. 고휘도 표시는 EL 표시 장치를 옥외에서 사용할 때에 유효하다. 그러나, 상시, 애노드 전압(Vdd)을 높게 하면 EL 표시 장치에서 사용하는 소비 전력이 증대한다. 그 때문에, 구동용 트랜지스터(11a)가 큰 프로그램 전류를 출력하는 기간 혹은 상태를 최대한 적게 하고자 한다. 본 발명에서는 고휘도 표시가 필요한 경우에, 애노드 전압(Vdd)을 높게 한다. 또한, 저계조 표시 혹은 저점등률과 같이, 프로그램 전류의 기입 부족이 발생하는 경우에, 도 4에 도시한 바와 같이 애노드 전압을 높게 한다. 이 방식은 도 147에서 설명한다.

도 4에서는 고휘도 표시가 필요한 경우, 저계조 표시 혹은 저점등률과 같이 프로그램 전류의 기입 부족이 발생하는 경우에, 애노드 전압(Vdd)을 높게 한다고 하여 설명했다. 그러나, 구동 방식으로서 캐소드 전압(Vss)을 저하시키는 방식도 생각할 수 있다. 즉, 고휘도 표시가 필요한 경우, 저계조 표시 혹은 저점등률과 같이 프로그램 전류의 기입 부족이 발생하는 경우에, 캐소드 전압(vss)을 낮게 하는 방식이 예시된다. 또한, 고휘도 표시가 필요한 경우, 저계조 표시 혹은 저점등률과 같이 프로그램 전류의 기입 부족이 발생하는 상태를 애노드 전압(Vdd) 또는 캐소드 전압(Vss)을 통상 상태로 하고, 통상의 휘도 시간 혹은 기입 부족이 발생해도 좋은 경우에, 애노드 전압(Vdd) 또는 캐소드 전압을 낮게 해도 된다. 또한, 애노드 전압(Vdd)과 캐소드 전압(Vss)의 양방을 변화시켜도 된다.

또한, 동화상, 정지 화상 등 표시 화상의 종류 혹은 상태에 의해, 애노드 전압(Vdd), 캐소드 전압(Vss)을 변화시켜도 된다. 또한, 외부 조도의 고저에 대응하여 애노드 전압(Vdd), 캐소드 전압(Vss)을 변화시켜도 된다. 외부 조도가 높을 때에는 애노드 전압(Vdd) 등을 높게 하고, 조도가 낮을 때에는 애노드 전압(Vdd) 등을 낮게 한다. 조도의 검출은 PIN 포토 다이오드 등에 의해 행한다. 또한, 패널 온도로부터, 프로그램 전압 또는 프로그램 전류를 인가했을 때의 기입 상태가 변화하는 경우가 있다. 이 경우도, 애노드 전압(Vdd) 등을 변화하면 된다. 온도의 검출은 패널의 이면 혹은 무효 영역(표시에 유효한 광이 출사되지 않는 영역)에 부착된 서미스터, 포지스터로 행한다. 애노드 전압(Vdd), 캐소드 전압(Vss)의 변화 혹은 조정은, 본 발명은 표시 휘도, 프로그램 전류의 기입 상태, 표시 상태, 점등률, 외부 조도 등에 대응시켜, 애노드 전압(Vdd), 캐소드 전압(Vss)을 변화 혹은 조정하는 방식이다.

이상과 같이 표시 장치에서 사용하는 전원 전압을 발생 혹은 제어함으로써, 애노드 전압(Vdd)을 변화시켰을 때, 동시에 소스 드라이버 IC(회로)(14)의 전원 전압, 프리차지 전압(Vp)의 Vmin, VGH도 변화한다. 따라서, 고휘도 표시가 필요할 때에, 애노드 전압(Vdd) 등을 변화시켜도, VGH, 프리차지 전압(Vp)의 상대치도 동시에 변화하므로 양호한 화상 표시를 유지할 수 있다. 이상의 동작은 나중에 도 147 등에서 설명하는 점등률 제어 방식과 조합함으로써 특히 유효한 효과를 발휘할 수 있다. 또한, 도 6, 도 9 등에서 설명하는 N배 구동, duty비 구동 방식과 조합하는 것도 유효하다. N이 클 때에, 애노드 전압(Vdd) 등을 높게 한다.

본 발명에서는 점등률에 대응하여 도 4에서 도시하는 애노드 전압(Vdd) 등을 변화시킨다. 점등률이 낮을 때에는 애노드 전압(Vdd)을 정상치보다도 높게 하고, 또한, 기준 전류를 크게 함으로써, 전류 구동에서의 기입 부족을 개선한다. 또한, 도 9, 도 10, 도 11 등에서 설명하는 N배 구동(비점등 영역 삽입 구동)을 실시하고, 계조에 대한 휘도는 정상치와 대략 동일하게 제어하고 있다.

제1 본 발명의 EL 표시 장치 및 그 구동 방법에서는 기본적으로는 제1 동작(기입 동작)과 제2 동작(발광 동작)의 2개의 동작 상태로 이루어진다. 또한, 제1 동작은 프리차지 전압(Vp) 등을 소스 신호선(18)에 인가하고, 소스 신호선(18)의 전위를 강제적으로 변화시키는 전위 변화 동작(화소(16))의 구동용 트랜지스터(11a)의 게이트 단자 전위를 변화시키는 것도 포함한다)과, 프로그램 전류를 구동용 트랜지스터(11a) 등에 인가하는 전류 프로그램 동작으로 분리된다. 또한, 필요에 따라, 제1 동작 전에, 소스 신호선(18)에 정전류(0(A)도 포함한다)를 인가하고, 소스 신호선(18)의 전위를 측정 혹은 취득하는 초기 동작을 실시한다.

제2 동작은 프로그램된 전류를 화소(16)의 EL 소자(15)에 인가하고, 혹은 화소(16)의 EL 소자(15)에 프로그램된 전류를 흐르도록 하여, EL 소자(15)를 발광시키는 기간이다. 이 제2 동작에서, 필요에 따라, 도 9, 도 10, 도 11 등에서 설명한 바와 같이 게이트 신호선(17b)에 온 오프 전압을 인가하고, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 공급되는 전류를 인가 또는 차단 동작을 행한다. 또한, 도 147에서 설명한 바와 같이, 점등률 제어를 실시한다.

프리차지 전압(Vp)(또는 Va, VO) 등의 전압 인가 동작에서, 인가하는 것은 전압에 한정되는 것은 아니다. 프로그램 전류보다도 큰 전류(과전류)를 소스 신호선(18)에 인가하고, 단시간에 소스 신호선의 전하를 충방전시키는 것도 기술 범주이

다. 이 실시예는 도 81, 도 82 등에서 설명하고 있다. 즉, 전위 변화 동작은 소스 신호선(18) 또는 구동용 트랜지스터(11a)의 게이트 단자 전위를 변화시키는 동작이면 어느 방식이어도 된다. 또한, 과전류를 인가하기 전에, 소정의 전압을 소스 신호선(18)에 인가하고, 그 후에 과전류를 인가해도 된다.

초기 동작에서는 화소의 구동용 트랜지스터(11a)에 정전류(소정의 프로그램 전류)를 인가하고, 상기 구동용 트랜지스터(11a)를 동작시켜, 구동용 트랜지스터(11a)의 동작이 정상 상태로 된 시점에서, 구동용 트랜지스터(11a)의 게이트 단자 전압 또는 소스 신호선(18)의 전압을 측정한다. 측정한 전압은 A/D 변환하여 메모리 등에 저장한다. 혹은 샘플 홀드 회로 등에 전압을 홀드시킨다. 취득한 전압은 제1 동작의 전위 변화 동작용의 전압으로서 사용한다.

또한, 초기 동작에서, 정전류를 인가한다고 했지만, 본 발명에서는 이것에 한정되는 것이 아니며, 정전류를 인가하지 않고(정전류=0(A)), 선택한 화소(16)의 구동용 트랜지스터(11a)의 게이트-드레인 단자를 단락하여, 구동용 트랜지스터(11a)가 오프셋 캔슬(구동용 트랜지스터(11a)가 전류를 흘리지 않는 상태, 컷오프의 상태)했을 때에 전위(V_a 또는 V_O)를 측정 혹은 취득해도 된다. 화소(16)를 선택했을 때, 소스 신호선(18)과 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자는 전기적 접속 상태이므로, 이 전위도 소스 신호선(18)의 전위를 측정함으로써, 취득하는 것이 가능하다.

제2 본 발명의 EL 표시 장치 및 그 구동 방법에서는 초기 동작과, 제1 동작(기입 동작)과 제2 동작(발광 동작)의 2개의 동작 상태로 이루어진다.

초기 동작은 제1 본 발명의 EL 표시 장치(패널) 및 그 구동 방법과 마찬가지로이다. 초기 동작에서는 화소의 구동용 트랜지스터(11a)에 정전류(소정의 프로그램 전류)를 인가하고, 상기 구동용 트랜지스터(11a)를 동작시킨다. 구동용 트랜지스터(11a)의 동작이 정상 상태로 된 시점에서, 구동용 트랜지스터(11a)의 게이트 단자 전압 또는 소스 신호선(18)의 전압(V_a 또는 V_O)을 측정한다.

정전류는 기입하는 계조에 따라 변화시키는 것이 바람직하다. 단, 정전류는 0(A)인 경우도 포함된다. 정전류가 0(A)인 경우에는 실질적으로 구동용 트랜지스터(11a)를 오프셋 캔슬하고 있는 것으로 된다. 측정한 전압(V_a 또는 V_O)은 A/D 변환하여 메모리 등에 저장한다. 혹은 샘플 홀드 회로 등에 전압을 홀드시킨다. 취득한 전압은 제1 동작의 전위 변화 동작용의 전압으로서 사용한다.

또한, 초기 동작 전에, 소스 신호선(18)에 소정 전압을 인가하고, 소스 신호선(18)의 전위를 안정적으로 또는 소정 전압으로 하는 것이 바람직하다.

제1 동작은 초기 동작에서 취득한 전압을 기준 전압(V_a)(또는 원점 전압(V_O))으로 하여, 이 기준 전압에 계조 전압을 가감산하고, 목표 전압을 구한다. 구한 목표 전압은 해당 화소를 선택하고 있는 기간에, 해당 화소에 기입한다.

제2 동작은 프로그램된 전압(목표 전압)을 구동용 트랜지스터(11a)에서 전압-전류 변환을 행하고, 얻어진 전류를 화소(16)의 EL 소자(15)에 인가하는 동작이다. 목표 전압은 화소(16)의 커패시터(19)에 유지되어 있다. 이 제2 동작의 기간에서, 필요에 따라 게이트 신호선(17b)에 온 오프 전압을 인가하여, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 공급되는 전류를 인가 또는 차단 동작을 행한다. 또한, 기준 전류의 증감 제어, duty비 제어(도 9, 도 11 등)를 행한다. 또한, 점등물에 대응하여 온 오프 제어를 변화시킨다.

계조 전압은 전압에 한정되는 것이 아니다. 전류(과전류)를 소스 신호선(18)에 인가하여, 단시간에 소스 신호선의 전하를 충방전시키는 것도 기술적 범주이다. 전류의 인가에 의해 소스 신호선(18)의 전위는 변화한다. 즉, 전류를 인가하는 것도 전압을 인가하고 있는 것과 사실상 동일하다. 전위 변화 동작은 소스 신호선(18) 또는 구동용 트랜지스터(11a)의 게이트 단자 전위를 변화시키는 동작이면 어느 방식이어도 된다.

도 5는 도 1의 동작의 설명도이다. 도 5의 (a)는 소스 드라이버 IC(회로)(14)로부터 정전류를 공급하고, 구동용 트랜지스터(11a)로부터 정전류(I_w)가 소스 드라이버 IC(회로)(14)를 향해 흐르고 있는 상태를 나타내고 있다. 구동용 트랜지스터(11a)가 정전류(I_w)를 흘리고 있을 때는 트랜지스터(11b, 11c)가 클로즈(온) 상태이다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 전위와 소스 신호선(18)의 전위는 동일하다.

도 5의 (b)는 구동용 트랜지스터(11a)로부터 EL 소자(15)에 전류(I_e)를 공급하고 있는 상태를 나타내고 있다. 즉, EL 소자(15)에 전류를 공급하고, 화상 표시를 행하고 있는 상태이다.

이상의 동작을 표시 화면(34)에서 도시하면, 도 6에 도시한 바와 같이 된다. 도 6의 (a)의 61은 표시 화면(34)에서의, 임의의 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소 행)를 나타내고 있다. 혹은 V_a , V_O 전압을 측정하고 있는 화소 행(화소)이다. 또는 목표 전압(V_c)을 기입하고 있는 화소 행(화소)이다.

기본적으로는 정전류가 0(A)일 때의 소스 신호선(18)의 전위를 V_O 으로 하고, 정전류(I_a)(I_a 는 임의의 값)일 때의 소스 신호선(18)의 전위를 V_a 라고 한다. 그러나, 편의상, 또한, 설명을 쉽게 하기 위해, 영상 신호의 계조 0에 대응하는 전압을 V_O 으로 하고, 영상 신호의 계조 a에 대응하는 전압을 V_a 의 의미로 사용하는 경우도 있다.

화소(행)(61)는 비점등(비표시 화소(행))으로 한다. 비점등으로 하기 위해서는 게이트 드라이버 회로(12b)를 제어하고, 화소(16)의 트랜지스터(11d)를 오픈 상태로 하면 된다. 트랜지스터(11d)를 오픈으로 하기 위해서는 게이트 신호선(17b)에 오프 전압을 인가하면 된다. 게이트 드라이버 회로(12)가 게이트 신호선(17)에 오프 전압을 인가하는 위치는 수평 동기 신호에 동기하여 시프트시킨다.

비점등(비표시)이란, EL 소자(15)에 흐르고 있지 않은 상태를 말한다. 혹은 일정 이내의 작은 전류가 흐르고 있는 상태를 말한다. 즉, 어두운 표시 상태이다. 따라서, 비점등 화소 행이란, 해당 화소 행의 EL 소자(15)에 전류가 흐르고 있지 않은 상태 혹은 비교적 어두운 표시 상태를 의미한다.

표시 화면(34)의 비표시(비점등)의 범위를 비표시 영역(62)이라고 한다. 표시 화면(34)의 표시(점등)의 범위를 표시(점등) 영역(63)이라고 한다. 표시 영역(63)의 화소(16)의 스위칭용 트랜지스터(11d)는 클로즈하고, EL 소자(15)에 전류가 흐르고 있다. 단, 흑 표시의 화상 표시에서는 EL 소자(15)에 전류가 흐르지 않는 것은 당연하다. 스위칭용 트랜지스터(11d)가 오픈 영역은 비표시 영역(62)으로 된다.

도 6, 도 9에서는 표시 화면(34)에 비표시 영역(62)과, 표시 영역(63)을 발생시킨다. 이와 같이, 표시하는 구동 방법을 duty비 구동 방식이라고 한다.

본 발명은 표시 영역(63)과 비표시 영역(62)의 비를 변화시키는 혹은 표시 화면(34)의 면적에 대하여 비표시 영역(62)의 면적을 변화시키는 혹은 표시 상태의 화소 수를 증감함으로써, 화면의 휘도 혹은 밝기를 조정하는 것을 특징으로 한다.

본 발명은 화면(34)에 차지하는 표시 영역(63)을 복수로 분할할 수 있다. 또한, 표시 영역(63) 또는 비표시 영역(62)의 분할 수를 동화상 표시와 정지 화상 표시에서 서로 다르게 한다. 화면(34)에 차지하는 비표시 영역(62) 또는 표시 영역(63)이, 띠 형상으로 되어 화면의 위로부터 아래 방향 또는 화면의 아래로부터 위 방향으로 이동하는 것을 특징으로 한다.

통상적으로, NTSC의 프레임 레이트는 60Hz(1초 동안에 60매, 1 화면을 재기입하는 시간은 1/60초), PAL은 50Hz(1초 동안에 50매)이다. 도 6, 도 9와 같이, 본 발명의 duty비 구동을 실시하는 경우에는 프레임 레이트를 1.2배 이상 2.5배 이하로 변환하여 표시한다. 즉, 입력 프레임 레이트가 60Hz인 경우에는 $60 \times 1.2 = 72\text{Hz}$ 이상, $60 \times 2.5 = 150\text{Hz}$ 이하로 한다. 바람직하게는 1.25배의 75Hz 이상 2배의 120Hz 이하로 한다. 혹은 1.25배의 75Hz, 1.5배의 90Hz, 2배의 120Hz 중 어느 하나를 선택한다.

입력 신호는 화상 메모리에 축적하고, 프레임 레이트 변환을 행한다. 혹은 입력 신호의 프레임 레이트를 72Hz 이상 150Hz 이하로 본 발명의 표시 장치에 입력한다. 이상의 프레임 레이트에 관한 사항은 본 발명의 다른 실시예에서도 적용된다.

도 1의 화소 구성의 경우에는 도 5의 (a)에 도시한 바와 같이, 프로그램 전류(정전류)(I_w)가 소스 신호선(18)에 흐른다. 이 프로그램 전류(I_w)가 구동용 트랜지스터(11a)를 흐르고, 프로그램 전류(I_w)를 흐르는 전류가 유지되도록, 커패시터(19)에 전압 설정(프로그램)된다. 또는 구동용 트랜지스터(11a)의 게이트 단자에 프로그램 전류(I_w)를 흐르는 전류가 흐르도록 커패시터(19)에 전압이 유지된다. 이때, 구동용 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

EL 소자(15)에 전류를 흘리는 기간은 도 5의 (b)와 같이, 트랜지스터(11c, 11b)가 오프하고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{GH})이 인가되고, 트랜지스터(11b, 11c)가 오프한다. 한편, 게이트 신호선(17b)에 온 전압(V_{GL})이 인가되고, 트랜지스터(11d)가 온한다.

타이밍차트를 도 7에 도시한다. 도 7에서, 선택된 화소 행의 화소(16)에서는 게이트 신호선(17a)에 온 전압(VGL)이 인가되어 있을 때(도 7의 (a)를 참조)에는 게이트 신호선(17b)에는 오프 전압(VGH)이 인가되어 있다(도 7의 (b)를 참조). 이 기간은 선택된 화소 행의 EL 소자(15)에는 전류가 흐르지 않는다(비점등 상태). 선택 기간은 1 수평 주사 기간(1H)으로 하고 있다.

게이트 신호선(17a)에 온 전압이 인가되어 있지 않은(선택되어 있지 않은) 화소 행에서, 점등 상태의 화소 행에서는 게이트 신호선(17b)에는 온 전압(VGL)이 인가되어 있다. 이 화소 행의 EL 소자(15)에는 전류가 흐르고, EL 소자(15)가 발광한다.

게이트 신호선(17a)에 온 전압이 인가되어 있지 않은(선택되어 있지 않은) 화소 행에서, 비점등 상태의 화소 행에서는 게이트 신호선(17b)에는 오프 전압(VGH)이 인가되어 있다. 이 화소 행의 EL 소자(15)에는 전류가 흐르지 않고, EL 소자(15)는 비발광 상태이다.

이상의 동작을 도시하면, 도 6과 같이 된다. 도 6의 (a)의 61은 표시 화면(34)에서의, 임의의 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소 행)를 나타내고 있다. 화소(행)(61)는 비점등(비표시 화소(행))으로 한다. 또한, 스위칭용 트랜지스터(11d)가 클로즈하고, EL 소자(15)에 전류가 흐르고 있는(단, 후 표시는 흐르지 않는) 영역은 표시 영역(63)으로 된다. 또한, 스위칭용 트랜지스터(11d)의 오픈 영역은 비표시 영역(62)으로 된다.

도 1의 화소 구성의 경우에는 도 5의 (a)에 도시한 바와 같이 전류(I_w)가 구동용 트랜지스터(11a)를 흐르고, 프로그램 전류(I_w)를 흐르는 전류가 유지되도록, 커패시터(19)에 전압 설정(프로그램)된다. 또는 구동용 트랜지스터(11a)의 게이트 단자에 프로그램 전류(I_w)를 흘리는 전류가 흐르도록 전압이 유지된다. 이때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음으로, EL 소자(15)에 전류를 흘리는 기간은 도 5의 (b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(VGH)이 인가되고, 트랜지스터(11b, 11c)가 오프한다. 한편, 게이트 신호선(17b)에 온 전압(VGL)이 인가되고, 트랜지스터(11d)가 온한다.

V_a 전압을 측정 혹은 취득할 때에, 소스 신호선(18)의 충방전을 고속으로 행하는 경우, 또한, 화상 표시에 후 삽입(비표시 영역 삽입)을 행하여, 동화상 시인성을 향상시키는 경우에는 정전류의 크기를 N 배로 한다. 정전류의 크기를 N 배로 함으로써 EL 소자(15)에 흐르는 전류도 N 배로 된다.

V_x (x 는 계조 번호)를 종래와 마찬가지로 1배로 하는 경우에는 N 배의 정전류를 기입 효과에 의해 소스 신호선(18)의 충방전을 고속으로 할 수 있다는 효과가 발휘된다. 이 경우에는 기준으로 되는 V_a 전압이 이미 N 배의 EL 전류로 되는 전압이기 때문에, 가감산하는 V_x 전압도 이 점을 고려하여 설정할 필요가 있다. 목표 전압(V_c)도 마찬가지이다.

이하, 설명을 쉽게 하기 위해, V_a 전압을 측정할 때의 정전류(I_w)도 N 배(기준으로 되는 전압(V_a)도 구동용 트랜지스터(11a)가 N 배의 전류를 흘리도록 설정된다.)로 하고, V_a , V_0 에 가산되는 V_x 도 구동용 트랜지스터(11a)가 EL 소자(15)에 N 배의 전류를 흘리도록 설정된다고 한다. 또한, 1배의 전류일 때에 EL 표시 장치가 표시하는 표시 화면(34)의 휘도는 B 로 하고, N 배의 전류가 흐를 때에는 발광부의 휘도는 $B \times N$ 의 휘도로 표시되는 것으로 한다. 또한, 설명은 N 은 1 이상으로 하여 설명하지만, N 이 1 미만이어도, 본 발명은 적용할 수 있음은 물론이다.

도 6, 도 9에서는 표시 화면(34)의 표시 영역(63)의 화소(16)를 N 배의 휘도로 발광시킨다. 혹은 N 배의 전류를 흘린다. 이와 같이, 표시하는 구동 방법을 N 배 구동 방식이라고 한다.

EL 소자(15)에 흘리는 정전류 혹은 프로그램 전류(I_w)는 표시 화면(34)의 평균(소정) 휘도 B 를 얻는 데 필요한 전류의 N 배로 한다. 따라서, EL 소자(15)는 소정의 N 배의 휘도($N \cdot B$)로 점등한다. 점등 기간은 $1F/N$ 으로 한다. $1F$ 란 1 필드(프레임)이다. 또한, 설명을 쉽게 하기 위해, 1 필드(프레임)에 블랭킹 기간은 없다고 하여 설명을 한다. 실용적으로는 블랭킹 기간이 있기 때문에, 정확하게는 $N \cdot B$ 로는 되지 않는다. 즉, $1F$ 의 $1/N$ 의 기간, N 배의 휘도($N \cdot B$)로 EL 소자(15)가 발광한다. 따라서, $1F$ 를 평균한 표시 패널의 표시 휘도는 $(N \cdot B) \times (1/N) = B$ (소정 휘도)로 된다.

또한, N 은 어느 값이어도 된다. 단, N 이 너무 크면 EL 소자(15)에 흐르는 순시 전류가 크기 때문에, N 은 10 이하로 하는 것이 바람직하다. 물론, $N=1$ 로 하고, 기입 화소 행(181) 이외를 표시(점등) 영역(63)으로 해도 됨은 물론이다. 이 경우에는 EL 소자(15)에 흘리는 전류(I_w)는 표시 화면(34)의 평균(소정) 휘도 B 를 얻는 데 필요한 전류로 한다. 따라서, EL 소자(15)는 소정의 휘도 B 로 점등(발광)한다.

또한, 발광 휘도 N:B으로 되도록 정전류 혹은 프로그램 전류(I_w)를 흘리는 이유 중 하나는 소스 신호선(18)의 기생 용량의 영향을 작게 하기 위해서이다. 큰 전류를 흘림으로써, 기생 용량의 전하를 단기간에 충방전 할 수 있게 된다.

이상의 실시예는 주로 실리콘 칩으로 이루어지는 IC로 소스 드라이버 회로(IC)(14)를 구성하는 것이었다. 그러나, 본 발명은 이것에 한정하는 것이 아니며, 도 8 등에 도시한 바와 같이, 어레이 기판(30)에 직접적으로 폴리실리콘 기술(CGS 기술, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술 등)을 이용하여 출력단 회로(81) 등(폴리실리콘 전류 유지 회로(82))을 형성 또는 구성해도 된다.

도 8은 R, G, B의 출력단 회로(81)(R용은 81R, G용은 81G, B용은 81B)와, RGB의 출력단 회로(81)를 선택하는 스위치(S)가 폴리실리콘 기술로 형성(구성)되어 있다. 스위치(S)는 1 수평 주사 기간(1H 기간)을 시분할하여 동작한다. 기본적으로는 스위치(S)는 1H의 1/3 기간이 R의 출력단 회로(81R)에 접속되고, 1H의 1/3 기간이 G의 출력단 회로(81G)에 접속되며, 남은 1H의 1/3 기간이 B의 출력단 회로(81B)에 접속된다.

도 8에 도시한 바와 같이, 시프트 레지스터 회로, 샘플링 회로 등을 갖는 소스 드라이버(회로)(14)는 출력 단자(83)에서 소스 신호선(18)과 접속된다. 폴리실리콘으로 이루어지는 스위치(S)가 시분할로 절환되고, 출력단 회로(81R, 81G, 81B)에 접속된다. 출력단 회로(81)(81R, 81G, 81B)는 RGB의 영상 데이터로 이루어지는 전류가 유지된다. 또한, 도 8에서는 폴리실리콘 전류 유지 회로(82)는 1단만큼만 도시하고 있지 않지만, 실제로는 2단 구성되어 있음은 물론이다.

도 8에서는 스위치(S)는 1H의 1/3 기간이 R의 출력단 회로(81R)에 접속되고, 1H의 1/3 기간이 G의 출력단 회로(81G)에 접속되며, 남은 1H의 1/3 기간이 B의 출력단 회로(81B)에 접속된다고 설명했지만 본 발명은 이것에 한정되는 것은 아니다. R, G, B를 선택하는 기간은 서로 달라도 된다. 이것은 R, G, B의 프로그램 전류(I_w)의 크기가 서로 다르기 때문이다. R, G, B에서 EL 소자(15)의 효율이 서로 다르기 때문에, R, G, B에서 프로그램 전류의 크기가 서로 다르다. 프로그램 전류의 크기가 작으면, 소스 신호선(18)의 기생 용량의 영향을 쉽게 받기 때문에, 프로그램 전류의 인가 기간을 길게 하여, 충분히 소스 신호선(18)의 기생 용량의 충방전 기간을 확보할 필요가 있다. 한편, 소스 신호선(18)의 기생 용량의 크기는 R, C, B에서 동일한 것이 많다.

도 6에서는 표시 영역(63)을 1개로 한 방식이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다.

예를 들면, 도 9에 도시한 바와 같이, 표시 영역(63)과 비표시 영역(62)을 복수로 분산시켜도 된다.

또한, 도 9에 도시한 바와 같이, 간헐하는 간격(비표시 영역(62)/표시 영역(63))은 등간격에 한정되는 것은 아니다. 예를 들면, 랜덤이어도 된다(전체적으로, 표시 기간 혹은 비표시 기간이 소정치(일정 비율)로 되면 된다). 또한, RGB에서 서로 달라도 된다. 즉, 백(화이트) 밸런스가 최적으로 되도록, R, G, B 표시 기간 혹은 비표시 기간이 소정치(일정 비율)로 되도록 조정(설정)하면 된다.

비표시 영역(62)이란, 임의의 시각에서 비점등 EL 소자(15)의 화소(16) 영역이다. 표시 영역(63)이란, 임의의 시각에서 점등 EL 소자(15)의 화소(16) 영역이다. 비표시 영역(62), 표시 영역(63)은 수평 동기 신호에 동기하여, 1 화소 행씩 위치가 시프트해 간다.

본 발명의 구동 방법에서는 도 10에 도시한 바와 같이 간헐 표시를 실시할 수 있다. 그러나, 간헐 표시를 실시하는 데 있어서, 트랜지스터(11d)는 최대라 하더라도 1H 주기로 온 오프 제어하기만 하면 된다. 따라서, 회로의 메인 클럭은 종래와 변함없기 때문에, 회로의 소비 전력이 증가하지도 않는다. 액정 표시 패널에서는 간헐 표시를 실현하기 위해 간헐 표시의 기간, 영상 데이터를 축적하기 위해 화상 메모리가 필요하다. 본 발명은 화상 데이터는 각 화소(16)의 컨덴서(19)에 보유되어 있다. 그 때문에, 본 발명의 구동 방법에서는 간헐 표시를 실시하기 위한 화상 메모리는 불필요하다.

본 발명의 구동 방법은 스위칭의 트랜지스터(11d)(도 1 등을 참조할 것) 등을 온 오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류(I_w)를 오프해도, 화상 데이터는 그대로 화소(16)의 컨덴서(19)에 유지되어 있다. 따라서, 다음 타이밍에서 트랜지스터(11d) 등을 온시키고, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 앞에 흐르고 있었던 전류치와 동일하다.

본 발명에서는 흑 삽입(흑 표시 등의 간헐 표시)을 실현할 때에도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간 축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광하기까지의 시간이 짧고, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시함으로써 종래의 데이터 유지형의 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치에서 소스 신호선(18)의 배선 길이가 길어지고, 소스 신호선(18)의 기생 용량이 커지는 경우에는 N 값(N은 1보다도 큰 값)을 크게 함으로써 대응할 수 있다. 소스 신호선(18)에 인가하는 프로그램 전류치를 N배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 $1F/N$ 이라고 하면 된다. 이에 따라 텔레비전, 모니터 등의 대형 표시 장치 등에도 적용이 가능하다.

하나의 본 발명은 전류 구동의 화소 구성의 EL 표시 패널에서, 각 화소의 구동용 트랜지스터(11a)에 정전류를 흘리고, 또는 정전류($I_w=0$)가 흐르지 않도록 하여, V_a 전압 또는 V_O 전압을 측정 혹은 취득한다. 측정 혹은 취득한 V_a 전압 또는 V_O 전압을 A/D 변환하여 메모리 등에 저장한다. 화상 표시 시에, 이 V_a 전압 또는 V_O 전압을 읽어내어 D/A 변환하고, 프리차지 전압(V_p)으로서 소스 신호선(18)에 인가한다. 프리차지 전압(V_p)의 인가 후에, 필요에 따라 프로그램 전류를 인가하는 것이다.

하나의 본 발명은 각 화소의 구동용 트랜지스터(11a)에 정전류를 인가하고, 또는 전류가 흐르지 않도록 하여, V_a 전압 또는 V_O 전압을 측정한다. 측정된 전압은 A/D 변환하여 메모리 등에 저장한다. 화상 표시 시에, 이 V_a 전압 또는 V_O 전압을 읽어내어 D/A 변환하고, 이 V_a 전압 또는 V_O 전압을 기준으로 하여 계조 전압(V_x)(x 는 계조 번호)을 가산하고, 목표 전압(V_c)을 발생하는 방식이다.

또한, 본 발명은 이것에 한정하는 것은 아니다. 예를 들면, 전압(V_a)을 측정 혹은 취득할 때, 인가하는 정전류(I_w)를 최대 계조(I_{wm})에 해당하는 전류로 해도 된다.

최대 계조에 해당하는 정전류(I_{wm})를 구동용 트랜지스터(11a)에 인가함으로써, 구동용 트랜지스터(11a)는 최대 계조의 전류가 흐르도록, 그 게이트 단자에 전압(V_{am})이 발생한다. 이 V_{am} 을 기준으로 하여, 계조 전압(V_x)을 감산하여 목표 전압(V_c)을 발생시킨다. 발생시킨 전압(V_{cm})을 구동용 트랜지스터(11a)의 게이트 단자에 인가한다.

이상과 같이, 본 발명의 중요한 구동 방식의 중요 혹은 특징 있는 동작은 전류 구동 방식의 화소를 흐르는 전류를 소스 신호선(18)에 취출하는 혹은 소스 신호선(18)의 전위를 측정하는 것이다. 구동용 트랜지스터(11a) 혹은 구동용 트랜지스터(11a)와 커런트 미러 결합된 트랜지스터(11b)의 드레인 단자 또는 소스 단자가, 직류적으로 소스 신호선(18)에 결선되어 있는 구성 혹은 배치, 즉, 구동용 트랜지스터(11)(11a, 11b)일 필요가 있다. EL 소자(15)에 전류를 흘린다는 것은 EL 소자(15)에 전류를 공급하는 경우와, EL 소자(15)로부터 상기 구동용 트랜지스터(11)에 유입되는 경우의 양방을 포함한다.

본 발명은 V_a , V_O , V_{am} 을 기준으로 하여 구동용 트랜지스터(11)에 대략 1배의 전류(I_e)를 흘리는 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, " $1F/N$ 의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간($1F(N-1)/N$)은 전류를 흘리지 않는" 구동 방식에서는 정전류를 N배로 설정해도 되는 물론이다. 즉, N배의 정전류(리세트 전류)에 대응하는 V_a 전압을 구하고, 이 전압(V_a)을 기준으로 하여 목표 전압(V_c)을 발생시킨다. 또한, N배의 정전류로 했지만, 이것에 한정되는 것은 아니다. N은 1 이상이면 어느 값이어도 된다.

이 방식은 소스 신호선(18)의 기생 용량이 큰 경우에 특히 유효하다. 또한, EL 표시 장치가 10인치 이상으로 큰 경우에 유효하다. 소스 신호선(18)의 기생 용량이 큰 경우, 리세트 전류(프로그램 전류(I_w))를 N배로 하는 것(적게도 1배 이상으로 하는 것)에 의해, 정전류(I_w)의 "기입 부족"을 개선할 수 있다.

본 발명의 구동 방법에서는 도 11에 도시한 바와 같이 적(R), 녹(G), 청(B)마다 간헐 표시를 실시할 수 있다. 그러나, 간헐 표시를 실시하는 데 있어서, 트랜지스터(11d)는 최대라 해도 1H 주기로 온 오프 제어하기만 하면 된다. 따라서, 회로의 메인 클럭은 간헐 표시를 행하지 않는 구동 방식과 동일하기 때문에, 회로의 소비 전력이 증가하는 일도 없다. 액정 표시 패널에서는 간헐 표시를 실현하기 위해 화상 메모리가 필요하다.

본 발명의 화소 구성은 도 1의 구성을 예시하여 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 12의 화소 구성이어도 된다. 도 12의 화소 구성은 전류 프로그램일 때는 트랜지스터(11c, 11d)가 온(클로즈)한다. 소스 드라이버 IC(회로)(14)가 프로그램 전류(정전류)(I_w)를 출력한다. 구동용 트랜지스터(11b)와 커런트 미러 회로를 구성하는 트랜지스터

(11a)에 프로그램 전류(정전류) (I_w)가 흐르고, 프로그램 전류에 대응한 전압이 커패시터(19)에 유지된다. 또한, 트랜지스터(11e)는 게이트 신호선(17b)에 인가한 제어 신호(온 오프 신호)에 의해, 온 오프(클로즈 오픈) 제어되어 도 11, 도 9 등에서 설명한 간헐 제어 등을 실현한다.

도 12의 실시예는 트랜지스터(11a)에 프로그램 전류(I_w)를 흘린다. 도 1과 같이 EL 소자(15)에 전류(I_e)를 인가하는 트랜지스터(11b)에 프로그램 전류(정전류)(I_w)를 흘리는 실시예는 아니다. 도 12의 화소 구성은 트랜지스터(11a)와 트랜지스터(11b)가 커런트 미러 회로를 구성하고, 미러비가 1인 경우에는 트랜지스터(11a)를 흐르는 전류(I_w)와 트랜지스터(11b)를 흐르는 전류(I_e)가 동일하다. 그러나, 트랜지스터(11a)에 프로그램 전류(I_w)를 흘리고, 트랜지스터(11b)의 특성 보상을 한다는 점에서는 도 1의 화소 구성과 동일하다.

본 발명의 기술적 사상은 소스 드라이버 IC(회로)(14) 등으로부터 프로그램 전류 또는 정전류(I_w) 등을 흘려, 직접적으로 구동용 트랜지스터(11a) 또는 간접적으로 EL 소자(15)에 전류를 흘리는 구동용 트랜지스터(11b)의 특성 보상을 행하는 점에 있다. 정전류(I_w)의 인가에 의해, 구동용 트랜지스터(11)의 특성이 게이트 단자 전위(=소스 신호선(18)의 전위)로서 출력되기 때문이다. 이 출력된 전압을 변수로서 이용하여, 게조 전류 혹은 게조 전압을 구한다. 따라서, 도 12의 화소 구성에서도, 본 발명의 구동 방식을 실시할 수 있기 때문에, 도 12의 화소 구성은 본 발명의 기술적 범주이다. 또한, 도 12의 화소 구성에서는 트랜지스터(11e)를 생략해도 된다. V_a 측정 시 등에 정전류(I_w)가 분류되어 EL 소자(15)에 흐르는 일이 없기 때문이다.

도 1, 도 12 등의 화소 구성은 트랜지스터(11d)에 의해 EL 소자(15)에 흐르는 전류를 트랜지스터(11d)에 의해 제어하는 것이었다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 13에 도시하는 화소 구성에서도 본 발명을 적용할 수 있다. 도 13은 트랜지스터(11d)가 없어도 EL 소자(15)에 인가하는 전류를 온 오프 제어할 수 있다.

도 13에서는 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 제어하고, 게이트 신호선(17b)의 전위는 V_{dd} 전압과, 그보다 낮은 전압인 EL 소자(15)에 전류가 흐르지 않는 전압(V_g)으로 구동된다. 즉, 게이트 신호선(17b)에는 V_{dd} 전압과 V_g 전압이 출력된다. 게이트 신호선(17b)에 V_{dd} 전압이 인가되었을 때는 EL 소자(15)에 전류가 흐르고, 게이트 신호선(17b)에 V_g 전압이 인가되었을 때에는 EL 소자(15)에는 전류가 흐르지 않는다. 구동용 트랜지스터(11a)에 정전류(I_w)를 인가하는 점에서, 도 13에서도 도 1과 마찬가지로이다. 따라서, 도 13과 같이, 게이트 드라이버(12b)를 갖지 않는 구성도 본 발명의 기술적 범주이다. 마찬가지로, 도 1의 화소 구성의 변형인 도 14에도 적용할 수 있음은 물론이다. 스위칭용 트랜지스터(11d)를 온 오프 제어한다.

구동용 트랜지스터(11a, 11b)는 1개의 트랜지스터에 한정하는 것이 아니며, 복수개로 구성해도 된다. 예를 들면, 5개의 트랜지스터(11a)를 병렬 혹은 직렬로 형성하는 구성이 예시된다. 또한, 스위칭용 트랜지스터(11c, 11d) 등을 복수개 병렬로 혹은 직렬로 형성해도 된다.

이하, 소스 드라이버 IC(회로)(14)와, 정전류 혹은 프로그램 전류(I_w)의 전류 출력 회로에 대해 설명을 한다. 도 15는 본 발명의 소스 드라이버 IC(회로)(14)의 구성의 설명도이다. 본 발명의 소스 드라이버 IC(회로)(14)는 적(R), 녹(G), 청(B)에 대응하는 기준 전류 회로(153)(153R, 153G, 153B)를 갖고 있다.

기준 전류 회로(153)는 저항(R_1)(R_{1r} , R_{1g} , R_{1b})과 오피 앰프(151a), 트랜지스터(167a)로 구성된다. 저항(R_1)(R_{1r} , R_{1g} , R_{1b})의 값은 R, G, B의 게조 전류에 대응하여 독립적으로 설정 혹은 조정할 수 있도록 구성되어 있다. 저항(R_1)은 소스 드라이버 IC(회로)(14)의 외부에 배치된 외부 부하 저항이다.

오피 앰프의 + 단자(c)에는 전자 볼륨(152)에 의해, 전압(V_i)이 인가되어 있다. 전압(V_i)은 안정된 기준 전압(V_s)을 저항(R)으로 분압하고, 스위치(S)(S_1 , S_2 , S_3 , ...)에서 분압하여 발생한 전압을 선택함으로써 얻어진다.

전자 볼륨(152)은 외부 신호로 스위치(S)를 제어함으로써 출력 전압(V_i)을 변화시키는 것이다. 따라서, 외부로부터의 제어 신호에 의해, 출력 전압을 변화시키는 전압 출력 회로를 생각해도 된다. 또한, 본 발명은 이것에 한정되는 것이 아니며, 내부 임피던스를 변화시키는 전자 저항이어도 된다. 또한, 전압뿐 아니라, 출력 전류를 변화시키는 것이어도 된다. 예를 들면, 도 15에서, 외부로부터의 제어 신호에 의해, 기준 전류(I_c)를 직접 발생 혹은 공급하는 것이어도 된다. 이들 개념도 전자 볼륨(152)의 기술적 사상에 포함된다.

기준 전류(I_c)는 $(V_s - V_i)/R_1$ 로 된다. RGB의 기준 전류(I_c)(I_{cr} , I_{cg} , I_{cb})는 각각 독립된 기준 전류 회로(153)에서 조정 혹은 가변된다. 가변은 RGB 마다 형성된 전자 볼륨으로 실시된다. 따라서, 전자 볼륨(152)에 인가되는 제어 신호에 의해, 전자 볼륨(152)으로부터 출력되는 전압(V_i)의 값이 변화한다. 전압(V_i)에 의해 RGB의 기준 전류의 크기가 변화하고, 단자(83)로부터 출력되는 계조 전류(프로그램 전류)(I_w)의 크기가 비례하여 변화한다.

발생한 기준 전류(I_c)(I_{cr} , I_{cg} , I_{cb})는 트랜지스터(167a)로부터 트랜지스터(167b)에 인가된다. 트랜지스터(167b)와 트랜지스터 군(165c)은 커런트 미러 회로를 구성하고 있다. 또한, 도 15에서, 트랜지스터(167b1)는 1개의 트랜지스터로 구성하고 있는 것처럼 도시하고 있지만, 실제로는 트랜지스터 군(165c)과 마찬가지로, 단위 트랜지스터(164)의 집합(트랜지스터 군)으로서 형성하고 있다.

소스 드라이버 IC(회로)(14)가 출력하는 계조 수를 K로 하고, 단위 트랜지스터(164)의 크기를 St (평방 μm)로 했을 때, $40 \leq K/\sqrt{St}$ 또한 $St \leq 300$ 를 만족하도록, 단위 트랜지스터(164)가 형성되어 있다.

트랜지스터 군(165c)으로부터의 프로그램 전류(I_w)는 출력 단자(83)로부터 출력된다. 트랜지스터 군(165c)의 각 단위 트랜지스터(164)의 게이트 단자 및 트랜지스터(167b)의 게이트 단자는 게이트 배선(163)으로 접속되어 있다.

트랜지스터 군(165c)은 도 16에 도시한 바와 같이, 단위 트랜지스터(164)의 집합으로서 구성된다. 이해를 쉽게 하기 위해, 영상 데이터와 프로그램 전류는 비례 혹은 상관의 관계로 변환된다고 하여 설명한다. 영상 신호에 의해 스위치(161)가 선택되고, 스위치(161)의 선택에 의해, 단위 트랜지스터(164)의 집합으로서의 프로그램 전류(I_w)가 발생한다. 따라서, 영상 신호를 프로그램 전류(I_w)로 변환할 수 있다. 본 발명은 단위 트랜지스터(164)의 단위 전류가, 영상 데이터의 크기에 해당하도록 구성되어 있다.

각 단자(83)의 출력 전류(I_w)가 변동없이 발생하기 위해서는 복수의 단위 트랜지스터(164)를 동작시킬 필요가 있다. 각 출력 단자(83)에서 출력 전류(I_w)의 변동을 적게 하기 위해서는 전류를 발생하는 단위 트랜지스터(164)가 차지하는 면적을 일정 이상의 크기로 할 필요가 있다. 따라서, 정전류(I_w)를 각 단자(83)에서 변동없이(정밀도 좋게) 출력할 수 있도록 하기 위해서는 출력 전류원을 복수의 단위 트랜지스터(164)로 형성하고, 또한, 소정의 면적 이상으로 구성할 필요가 있다. 본 발명에서는 도 15, 도 16은 계조 전류 회로로서, 설명하고 있지만, 단위 트랜지스터(164)의 개수를 고정하면, 소정의 정전류(I_w)로 된다. 따라서, 트랜지스터 군(165)은 정전류(I_w)의 발생부이며, 계조 전류 회로(154)이다. 물론, 도 15의 정전류 회로(153) 등을 사용해도 된다.

단위 전류란, 기준 전류(I_c)의 크기에 대응하여 단위 트랜지스터(164)가 출력하는 1 단위의 프로그램 전류의 크기이다. 기준 전류(I_c)가 변화하면, 단위 트랜지스터(164)가 출력하는 단위 전류도 비례하여 변화한다. 트랜지스터(167b)와 단위 트랜지스터(164)가 커런트 미러 회로를 구성하고 있기 때문이다.

도 15의 트랜지스터(167b1), 도 16의 트랜지스터(167b)는, 본 발명의 별개의 트랜지스터의 일 예에 해당한다. 또한, 트랜지스터(167b)는 트랜지스터 군(165b)을 구성해도 된다. 도 20에 트랜지스터 군(165b)으로서 도시되어 있다.

단위 트랜지스터(164)란, 1 단위 혹은 최소 단위의 프로그램 전류(I_w)를 출력하는 트랜지스터 혹은 전류원이다. 즉, 단위 트랜지스터(164)=단위 전류원이다. 또한, 복수의 단위 트랜지스터(164)가 집합하여, 계조에 대응한 프로그램 전류를 출력하는 구성 혹은 부분을 트랜지스터 군(전류 출력 회로)(165c)이라고 한다.

단위 전류의 크기는 기준 전류 회로(153)가 출력하는 기준 전류(I_c)의 크기 혹은 강도를 조정함으로써 가변할 수 있다. 기준 전류(I_c)의 조정은 소스 드라이버 IC(회로)(14) 내에 내장한 전자 볼륨(152) 등으로 행한다. 기준 전류(I_c)를 발생하는 기준 전류 회로(153)는 R, G, B 회로마다 설치되어 있다.

RGB의 각 트랜지스터 군(165c)은 단위 트랜지스터(164)의 집합으로 구성되어 있고, 단위 트랜지스터(164)의 출력 전류(단위 프로그램 전류)의 크기는 기준 전류(I_c)의 크기로 조정할 수 있다. 기준 전류(I_c)의 크기를 조정하면, RGB 마다 각 계조의 프로그램 전류(정전류)(I_w)의 크기를 변경 혹은 가변할 수 있다. 따라서, RGB의 단위 트랜지스터(164)의 특성이 동일한 것과 같은 이상적 상태에서는 RGB의 기준 전류 회로(153)의 기준 전류(I_c)의 크기의 비율을 변화시킴으로써, EL 표시 장치의 표시 화상의 화이트 밸런스를 취할 수 있다.

이하, 설명을 쉽게 하기 위해 또한 도면 작성을 쉽게 하기 위해, 소스 드라이버 회로(IC)(14)의 트랜지스터 군(165c)은 6 비트라고 하여 설명을 한다. 도 16에서, 각 단위 트랜지스터(164)는 정전류 데이터(D0~D5)마다 배치된다. D0 비트에는

1개의 단위 트랜지스터(164)가 배치된다. D1 비트에는 2개의 단위 트랜지스터(164)가 배치된다. D2 비트에는 4개의 단위 트랜지스터(164)가 배치되고, D3 비트에는 8개의 단위 트랜지스터(164)가 배치되고, D4 비트에는 16개의 단위 트랜지스터(164)가 배치된다. 마찬가지로, D5 비트에는 32개의 단위 트랜지스터(164)가 배치되어 있다.

각 비트의 단위 트랜지스터(164)의 출력 전류가 출력 단자(83)에 출력되는지의 여부는 아날로그 스위치(161) (161a~161f)에 의한 온 오프 제어로 실현된다. 아날로그 스위치(161a~161f)는 정전류(I_w)의 제어 신호의 각 비트(일례로서 6 비트)에 대응한다. D0 비트에 대응하는 스위치(161a)가 폐쇄되면, 1 단위 전류가 출력 단자(83)로부터 출력(입력)된다. 출력 단자(83)에는 소스 신호선(18)이 접속되어 있다. 마찬가지로, D1 비트에 대응하는 스위치(161b)가 폐쇄되면, 2 단위 전류가 출력 단자(83)로부터 출력(입력)된다.

마찬가지로, D2 비트에 대응하는 스위치(161c)가 폐쇄되면, 4 단위 전류가 출력 단자(83)로부터 출력(입력)된다. D3 비트에 대응하는 스위치(161d)가 폐쇄되면, 8 단위 전류가 출력 단자(83)로부터 출력(입력)된다. D4 비트에 대응하는 스위치(161e)가 폐쇄되면, 16 단위 전류가 출력 단자(83)로부터 출력(입력)된다. D5 비트에 대응하는 스위치(161f)가 폐쇄되면, 32 단위 전류가 출력 단자(83)로부터 출력된다.

이상과 같이, 정전류의 제어 신호의 비트에 대응하여, 디지털적으로 스위치(161)가 클로즈 또는 오픈하고, 단위 전류의 총합(프로그램 전류(I_w))이 출력 단자(83)로부터 출력된다.

프로그램 전류(I_w)는 내부 배선(162)을 흐른다. 내부 배선(162)의 전위(V_w)는 소스 신호선(18)의 전위로 된다. 소스 신호선(18)의 전위는 정전위(V_w)를 소스 신호선(18)에 인가하고, 정상 상태에서는 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자의 전압(도 1의 화소 구성의 경우)이다.

단위 트랜지스터(164)는 트랜지스터(167b)와 커런트 미러 회로를 구성하고 있다. 또한, 도 15, 도 16, 도 17에서는 이해를 쉽게 하기 위해 트랜지스터(167b)를 1개로 도시하고 있다. 실제로는 복수의 트랜지스터(트랜지스터 군)로 구성(형성)된다. 트랜지스터(167b)와 트랜지스터 군(165c)은 소정의 커런트 미러비로 커런트 미러 회로를 구성한다.

즉, 트랜지스터(167b)도 다수의 단위 트랜지스터(164)를 갖는 군으로서 구성되어 있다. 단, 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)와 트랜지스터(167b)를 구성하는 단위 트랜지스터의 사이즈, 출력 전류 특성은 서로 다르게 해도 됨은 물론이다. 또한, 트랜지스터(167a)도 복수의 트랜지스터로 형성 혹은 구성해도 됨은 물론이다. 또한, 단위 트랜지스터(164)를 갖는 정전류 출력 회로를 트랜지스터 군(165c)이라고 한다.

이상과 같이, 1개의 동작을 행하는 트랜지스터(도 15, 도 16, 도 17 등의 167b, 167a, 168a, 168b, 165b, 165c)를, 복수의 동일 특성의 단위 트랜지스터(164)로 이루어지는 트랜지스터 군으로서 형성함으로써, 출력 단자(83) 사이, 소스 드라이버 IC(회로)(14) 사이에서 특성 변동이 적어져, 양호한 동작을 실현할 수 있다.

트랜지스터(167b)에는 기준 전류(I_c)가 흐르고, 이 기준 전류(I_c)의 커런트 미러비에 따른 전류가 단위 트랜지스터(164)에 흐른다. 도 16의 63개의 단위 트랜지스터(164)는 모두 동일한 단위 전류를 출력한다. 단위 트랜지스터(164)의 단위 전류가 내부 배선(162)에 흐르기 위해서는 해당 스위치(161)를 폐쇄하고, 전류 경로를 구성할 필요가 있다.

도 15에서 설명한 바와 같이, 기준 전류(I_c)는 오피 앰프(151a)와 저항(R_1)으로 이루어지는 정전류 발생 회로(153)에서 발생한다. 기준 전류(I_c)는 기준 전압(V_s)을 안정화 또한 고정 밀도화함으로써 안정화시킨다. 전압(V_i 와 V_s)이 저항(R_1)의 양단에 인가된다. 따라서, 기준 전류(I_c)= $(V_s - V_i)/R_1$ 로 된다. 기준 전류(I_c)는 RGB 마다 설정할 수 있다. 즉, RGB 마다 트랜지스터 군(165c)이 구성(형성)되어 있다. 상기 트랜지스터 군(165c)의 트랜지스터(167b)에 흐르는 전류(I_c)를 설정(조정)할 수 있다. 저항(R_1)은 소스 드라이버 회로(IC)(14) 밖에 배치되어 있고, 저항(R_1)의 값을 RGB에서 조정함으로써, 양호하게 화이트 밸런스를 조정 혹은 설정할 수 있다.

도 17의 (a)는 기준 전류(I_c)를, V_s 전압을 이용하여 발생하는 회로 구성이다. 도 17의 (b)는 GND와 오피 앰프(151a)의 -단자 사이에 배치(삽입)된 저항(R_1)을 이용하여 기본적인 전류를 발생시키고, 트랜지스터(292b)와 트랜지스터(167a)로 이루어지는 커런트 미러 회로에서 되돌아와서, 트랜지스터(167b)에 기준 전류(I_c)를 흘리는 구성이다. 도 17의 (b)가, 기준 전류의 I_c 의 크기를 조정하기 쉽다. 그러나, 트랜지스터(292b)와 트랜지스터(167a)로 이루어지는 커런트 미러 회로에서 되돌아오기 때문에, 출력 전류(I_w)의 변동이 발생하기 쉽다. 따라서, 도 15, 도 17의 (a)와 같이 구성하는 것이 바람직하다.

본 발명은 도 16의 (a)에 도시한 바와 같이, 각 비트에 1개 또는 복수의 단위 트랜지스터(164)를 형성 또는 배치한다고 했다. 예를 들면, 1 비트째는 1개의 단위 트랜지스터를 형성하고, 2 비트째는 2개의 단위 트랜지스터를 형성한다.

그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 각 비트에, 각 비트에 따른 전류를 출력하는 1개의 단위 트랜지스터(164)를 형성 또는 배치해도 됨은 물론이다. 예를 들면, 1 비트째의 트랜지스터는 0 비트째의 트랜지스터의 2배의 전류를 출력하는 트랜지스터를 1개 형성 또는 배치한다. 2 비트째의 트랜지스터는 0 비트째의 트랜지스터의 4배의 전류를 출력하는 트랜지스터를 1개 형성 또는 배치한다. 그 밖에, 2 비트째의 트랜지스터는 1 비트째의 트랜지스터의 2배의 전류를 출력하는 트랜지스터를 2개 형성 또는 배치해도 된다.

도 16의 (a)에 도시한 바와 같이, 64 계조(RGB 각 6 비트)의 경우에는 63개의 단위 트랜지스터(164)를 형성한다고 했다. 따라서, 256 계조(RGB 각 8 비트)의 경우, 255개의 단위 트랜지스터(164)가 필요하게 된다.

트랜지스터 군(165c)이 출력하는 전류는 전류의 가산을 할 수 있다고 하는 특징 있는 효과가 있다. 또한, 단위 트랜지스터(164)에서, 채널 길이(L)를 일정하게 하고, 채널 폭(W)을 1/2로 하면, 단위 트랜지스터(164)가 흘리는 전류가 약 1/2로 된다고 하는 특징 있는 성질이 있다. 마찬가지로, 채널 길이(L)를 일정하게 하고, 채널 폭(W)을 1/4로 하면, 단위 트랜지스터(164)가 흘리는 전류가 약 1/4로 된다고 하는 특징 있는 성질이 있다. 실제로는 완전하게는 1/n로 되지 않는다. 그러나, 명세서에서는 설명을 쉽게 하기 위해, 채널 W를 1/n로 한다고 설명을 한다. 기술적인 주지는 단위 트랜지스터의 단위 전류의 1/n의 전류를 출력하는 단위 트랜지스터를 형성 또는 배치하는 것이다.

도 18의 (a)는 각 비트에 대하여 동일한 사이즈의 단위 트랜지스터(164)를 배치한 트랜지스터 군(165c)의 구성이다. 설명을 쉽게 하기 위해, 도 18의 (a)는 63개의 단위 트랜지스터(164)가 구성되고, 6 비트의 트랜지스터 군(165c)을 구성(형성)하고 있다. 또한, 도 18의 (b)는 8 비트라고 한다.

도 18의 (b)에서는 하위 2 비트(A로 나타낸다)는 단위 트랜지스터(164)보다도 작은 사이즈의 트랜지스터로 구성하고 있다. 최소 비트째의 제0 비트째는 단위 트랜지스터(164)의 채널 폭(W)의 1/4로 형성하고 있다(단위 트랜지스터(164b)로 나타낸다). 또한, 제1 비트째는 단위 트랜지스터(164)의 채널 폭(W)의 1/2로 형성하고 있다(단위 트랜지스터(164a)로 나타낸다). 또한, 단위 트랜지스터(164a)는 단위 트랜지스터(164)의 채널 폭(W)의 1/4인 단위 트랜지스터(164b)를 2개로 형성해도 된다.

이상의 실시예에서는 단위 트랜지스터(164b)의 W는 단위 트랜지스터(164)의 W의 1/4이라고 했다. 단위 트랜지스터(164b)의 출력 전류는 단위 트랜지스터(164)의 1/4이다. 단위 트랜지스터(164)의 W가 6 μ m이면, 단위 트랜지스터(164b)의 W는 1/4의 1.5 μ m로 된다. 즉, 이것은 이상적인 특성을 나타내는 경우이다. 실제로는 1.5 μ m보다 크게 하고 있다. 즉, 2.0 μ m 등 크게 하고 있다. 일반적으로 트랜지스터가 작은 영역에서는 출력 전류와 채널 폭은 비례 관계에 있지 않다. 채널 폭을 이상치의 1/4보다도 크게 함으로써, 단위 트랜지스터(164b)의 4배의 전류가 단위 트랜지스터(164)의 전류와 일치하도록 구성할 수 있다. 이상의 사항은 나중에 더욱 자세하게 설명을 한다.

도 19에 도시한 바와 같이, 단위 트랜지스터(164a(도 19의 (b))), 트랜지스터(164b)(도 19의 (b))), 트랜지스터(164)(도 19의 (a))의 게이트 단자는 게이트 배선(163)에 접속된다. 게이트 배선(163)은 트랜지스터(167b)의 게이트 단자와 접속되어 있다.

하위 2 비트는 상위의 단위 트랜지스터(164)보다도 작은 사이즈의 단위 트랜지스터(164a, 164b)로 형성하고 있다. 따라서, 단위 트랜지스터(164a, 164b)는 단위 트랜지스터(164)의 1/2, 1/4의 단위 전류를 출력할 수 있다. 단위 트랜지스터(164a, 164b)가 차지하는 면적은 아주 작다. 또한, 정규의 단위 트랜지스터(164)의 개수는 63개로 변화가 없다. 따라서, 6 비트(64 계조)로부터 8 비트(256 계조)로 변경해도, 트랜지스터 군(165c)의 형성 면적은 도 18의 (a)와 도 18의 (b)에서 큰 차이는 없다. 즉, 프로그램 전류 방식에서 이용하는 소스 드라이버 IC(회로)(14)의 칩 사이즈는 계조 수에 거의 의존하지 않는다. 반대로, 프로그램 전압 방식에서 이용하는 소스 드라이버 IC(회로)(14)는 계조 수에 크게 의존한다.

도 18의 (b)에 도시한 바와 같이, 6 비트로부터 8 비트 사양으로 변화시켜도, 전류 프로그램 방식의 소스 드라이버 IC(회로)(14)의 출력단의 트랜지스터 군(165c)의 사이즈가 커지지 않지 않는 것은 단위 전류(1/n의 단위 전류도 포함한다)의 가산에 의해 프로그램 전류(정전류)를 발생할 수 있다고 하는 점, 단위 트랜지스터(164)에서, 채널 길이(L)를 일정하게 하고, 채널 폭(W)을 1/n로 하면, 단위 트랜지스터(164)가 흘리는 전류가 약 1/n로 된다고 하는 점을 잘 이용하고 있기 때문이다.

또한, 도 18의 (b)에 도시한 바와 같이, 단위 트랜지스터(164a, 164b)와 같이 트랜지스터 사이즈가 작아지면, 출력 전류(정전류) 변동도 커진다. 그러나, 아무리 변동이 크더라도, 단위 트랜지스터(164a 또는 164b)의 출력 전류는 가산된다. 즉, 계조의 역전은 원리적으로 발생하지 않는다. 또한, 출력되는 프로그램 전류의 변동은 최대 계조 시는 6 비트도 8 비트도 동일하다. 출력 전류의 변동은 각 출력단의 단위 트랜지스터 군이 차지하는 면적에 의존하고 있기 때문이다.

실제로는 채널 폭(W)을 $1/n$ 로 해도 출력 전류는 정확하게는 $1/n$ 로는 되지 않는다. 다소의 보정이 필요하다. 본 발명에 설명한다. 채널 폭(W) $1/2$ 로 하는 것에 큰 의미를 갖는 것은 아니며, 트랜지스터(24a)의 출력 전류를 단위 트랜지스터(164)의 출력 전류를 $1/2$ 로 하는 것에 기술적 의미가 있다. 따라서, 채널 폭(W) 뿐 아니라, 채널 길이(L)를 변화시켜 출력 전류를 $1/2$ 혹은 $1/4$ 과 같이, 대략 정수분의 1로 구성하면 된다. 또한, 도 18의 (b)에서 도시한 단위 트랜지스터(164, 164a, 164b)는 동일 게이트 전압으로 동작시킨다. 이것은 도 16에 도시한 바와 같이, 내부 배선(162)에 모든 단위 트랜지스터의 게이트 단자를 접속함으로써 용이하게 실현할 수 있다. 또한, 모든 단위 트랜지스터(164, 164a, 164b)는 트랜지스터(167b)와 커런트 미러 회로를 구성시키면 된다.

채널 폭(W)을 $1/2$ 로 하면, 트랜지스터의 게이트 단자 전압을 동일하게 한 경우, 출력 전류는 $1/2$ 이하로 된다. 그 때문에, 본 발명은 하위 비트를 구성하는 트랜지스터와, 상위 비트를 구성하는 트랜지스터의 사이즈를 변화시키는 경우, 이하와 같이 트랜지스터 사이즈를 설정하고 있다.

소스 드라이버 회로(IC)(14)의 단위 트랜지스터(164)를 2 종류의 사이즈와 같이, 적은 형상의 종류로 구성한다. 복수의 단위 트랜지스터(164)의 채널 길이(L)는 동일하게 한다. 즉, 채널 폭(W)만을 변화시킨다. 혹은 채널 폭(W) 또는 채널 길이(L)에 한쪽만을 변화시켜 단위 트랜지스터를 형성한다. 바람직하게는 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)의 크기, 형상은 3 종류 이하로 한다. 특히, 두 가지 이하로 하는 것이 바람직하다.

제1 단위 트랜지스터의 제1 단위 출력 전류와, 제2 단위 트랜지스터의 제2 단위 출력 전류의 비를 n (제1 단위 출력 전류: 제2 단위 출력 전류=1:n, 단, n 은 1보다 작은 값)으로 할 때, 제1 단위 트랜지스터의 채널 폭($W1$) < 제2 단위 트랜지스터의 채널 폭($W2$) $\times n \times a$ 의 관계로 되도록 구성한다.

$W1 \times n \times a = W2$ 로 한 경우, $1.05 < a < 1.3$ 의 관계가 성립하도록 하는 것이 바람직하다. 보정 계수 a 는 테스트 트랜지스터를 형성하고, 측정 혹은 평가함으로써 보정 계수를 용이하게 파악할 수 있다.

본 발명은 하위의 비트를 제작(구성)하기 위해, 상위의 비트의 단위 트랜지스터(164)에 비해 작은 단위 트랜지스터(164)를 형성 또는 배치하는 것이다. 이 작다고 하는 개념은 상위 비트를 구성하는 단위 트랜지스터(164)의 출력 전류보다도 작다고 하는 의미이다. 따라서, 단위 트랜지스터(164)에 비해 채널 폭(W)이 작을 뿐 아니라, 동시에 채널 길이(L)도 작은 경우도 포함된다. 또한, 다른 형상도 포함된다. 단위 트랜지스터(164a)의 출력 전류가 단위 트랜지스터(164)의 $1/2$ 이란 정밀도가 요구되는 것은 아니다. 따라서, 각 비트에서의 출력 전류가 반전하지 않도록, 60%~140%의 범위에서 설정할 수 있으면 된다. 즉, 대략 $1/2$, 대략 $1/4$ 이면 된다.

도 18의 (b)는 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)의 사이즈를 복수 종류로 하는 것이었다. 도 18의 (b)에서는 3 종류(164, 164a, 164b)로 하고 있다. 종류의 수를 한정하는 이유는 앞에서 설명한 바와 같이, 단위 트랜지스터(164)의 사이즈가 서로 다르면 출력 전류의 크기가 형상에 비례하지 않기 때문에 설계가 어려워지기 때문이다. 따라서, 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)의 사이즈는 저계조용과 고계조용의 2 종류로 하는 것이 바람직하다. 예를 들면, 도 18의 (b)에서, 저계조의 단위 트랜지스터인 0 비트째의 단위 트랜지스터(164b)를 2개 이용하여, 1 비트째를 구성하면 된다. 즉, 고계조용의 단위 트랜지스터(164)로 2 비트째로부터 7 비트째를 형성하고, 저계조의 단위 트랜지스터(164b)를 이용하여 0 비트째와 1 비트째를 형성한다.

도 16에서도 도시하고 있는 바와 같이, 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)의 게이트 단자는 1개의 내부 배선(162)으로 접속되어 있다. 내부 배선(162)에 인가된 전압에 의해 단위 트랜지스터(164)의 출력 전류가 결정된다. 따라서, 트랜지스터 군(165c) 내의 단위 트랜지스터(164)의 형상이 동일하면, 각 단위 트랜지스터(164)는 동일한 단위 전류를 출력한다.

본 발명은 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)의 내부 배선(162)을 공통으로 하는 것에는 한정되지 않는다. 예를 들면, 도 19의 (a)와 같이 구성해도 된다. 또한, 트랜지스터 군(165b)과는 트랜지스터(167b)가 대응한다. 즉,

트랜지스터 군(165c)에 의해 트랜지스터(167b)가 구성되어 있다. 도 19의 (a)에서, 트랜지스터 군(165b1)과 커런트 미러 회로를 구성하는 단위 트랜지스터(164)와, 트랜지스터 군(165b2)과 커런트 미러 회로를 구성하는 단위 트랜지스터(164)가 배치되어 있다.

트랜지스터 군(165b1)은 내부 배선(162a)으로 접속되어 있다. 트랜지스터 군(165b2)은 내부 배선(162b)으로 접속되어 있다. 도 19의 (a)의 가장 위의 1개의 단위 트랜지스터(164)는 LSB(0 비트째)이며, 2단계의 2개의 단위 트랜지스터(164)는 1 비트째, 3단계의 4개의 단위 트랜지스터(164)는 2 비트째이다. 또한, 4단계의 조의 8개의 단위 트랜지스터(164)는 3 비트째이다.

도 19의 (a)에서, 내부 배선(162a)과 내부 배선(162b)의 인가 전압을 변화시킴으로써, 각 단위 트랜지스터(164)의 사이즈, 형상이 동일하더라도, 각 단위 트랜지스터(164)의 출력 전류를 내부 배선(162)의 인가 전압에 의해 변화(변경)할 수 있다.

도 19의 (a)에서, 단위 트랜지스터(164)의 사이즈 등을 동일하게 하여, 내부 배선(162a, 162b)의 전압을 서로 다르게 한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 단위 트랜지스터(164)의 사이즈 등을 다르게 하고, 인가하는 내부 배선(162a, 162b)의 전압을 조정함으로써, 서로 다른 형상의 단위 트랜지스터(164)의 출력 전류를 동일해지도록 해도 된다.

소스 드라이버 회로(IC)(14)의 단위 트랜지스터(164)의 최소 출력 전류는 0.5nA 이상 10nA로 하고 있다. 특히 단위 트랜지스터(164)의 최소 출력 전류는 2nA 이상 20nA로 하는 것이 좋다. 드라이버 IC(14) 내의 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)의 정밀도를 확보하기 위해서이다.

또한, 도 20에 도시한 바와 같이, 트랜지스터(167b)를 단위 트랜지스터(164)의 집합으로 이루어지는 트랜지스터 군(165b)으로서 형성해도 된다. 트랜지스터 군(165b)의 단위 트랜지스터의 게이트 단자는 트랜지스터 군(165c)의 단위 트랜지스터(164)의 게이트 단자와 공통으로 되고, 커런트 미러 회로를 구성하고 있다. 트랜지스터 군(165b)은 복수 형성하는 것이 바람직하다.

또한, 도 20에 도시한 바와 같이, 트랜지스터(167b) 또는 트랜지스터 군(165b)은 트랜지스터 군(165c)의 좌우에 형성 배치하는 것이 바람직하다. 또한, 트랜지스터 군(165b), 트랜지스터(167b)에는 기준 전류 발생 회로(153)로부터 기준 전류(Ic)를 공급한다.

본 발명의 트랜지스터 군(165c)이 전류 출력한다고 하여 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 트랜지스터 군(165c)이 전압 출력이어도 된다. 즉, 소스 드라이버 회로(IC)(14)가 액정 표시 패널과 같이, 트랜지스터 군(165c)이 전압을 출력하고, 전압 구동을 실시하는 경우가 예시된다. 그 밖에, 트랜지스터 군(165c)이 전압 출력하는 오피 앰프 등으로 구성해도 된다. 본 발명은 EL 표시 패널이 전압 구동인 경우도 마찬가지로 적용된다. 또한, 선택 회로(222, 291)는 소스 드라이버 회로(IC)(14)가 실리콘 칩으로서 구성되고, 상기 칩(14)에 내장되어 있다고 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 트랜지스터 군(165c)을, 폴리실리콘 기술 등으로 글래스 어레이 기판(30)에 직접 형성해도 된다. 또한, 별도의 칩에 형성 또는 구성해도 된다.

도 21에 도시한 바와 같이, 소스 드라이버 회로(IC)(14)는 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 회로(214)를 내장한다. 프리차지 회로는 프리차지 전압(Vp)을 출력한다. 프리차지 전압(Vp)이란, Va 전압, VO 전압이 해당한다. 또한, 프리차지 전압(Vp)의 개념에는 소스 신호선(18)의 전하를 강제적으로 방출하는 전압과 충전하는 전압의 양방이 포함된다. 또한, 프리차지 전압(Vp)의 개념에는 프로그램 전압도 포함된다. 즉, 프리차지 전압(Vp)을 인가한다는 것은 전압을 인가하는 동작이다. 프리차지 전압(Vp)은 기본적으로는 소스 신호선(18)에 인가한다. 물론, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 직접 인가해도 된다. 예를 들면, 화소 전극에 압접한 프로브에서 프리차지 전압(Vp)을 인가하는 방식이 예시된다. 프리차지 전압(Vp)은 R, G, B에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계치가 RGB에서 서로 다르기 때문이다.

프리차지 전압(Vp)의 인가란, 소스 신호선(18)의 전하를 충방전시키기 위해, 혹은 소스 신호선(18)에 소정의 전압으로 하기 위해 이용하는 방식이다. Va, VO 전압을 인가하는 것, 수평 주사 기간의 맨처음에 목표 게조 전압 또는 프로그램 전압을 인가하는 것, 과전류 인가에 의해 소스 신호선 전위를 변화시키는 것도, 프리차지 전압(Vp)의 인가의 개념에 포함된다.

도 21은 프리차지 회로부의 구성도이다. 프리차지 전압(V_p)은 영상 데이터(D0~D5)에 의해 출력 기간 범위가 결정된다. 프리차지 전압(V_p)은 수평 주사 기간에 및 도트 클럭(CLK)에 동기하여 출력된다. 프리차지 전압(V_p)을 출력하는 시간은 수평 동기 신호(HD)를 기점으로 하여 카운터 회로(212)의 설정치로 결정된다. 카운터 회로(212)는 클럭(CLK) 신호에 동기하여 카운트 업된다. 프리차지 전압(V_p)의 출력 기간은 수평 주사 기간(1H)의 맨처음부터 개시된다.

카운터 회로(212)는 카운트한 카운트값과 설정치가 일치하면, 프리차지 전압(V_p)의 출력 기간이 종료한다. 카운터 회로(342)의 출력은 앤드(AND) 회로(213)의 a부 입력으로 된다. 또한, 프리차지 전압(V_p)은 온(인가한다)/오프(인가하지 않는다)를 전환할 수 있도록 구성한다. 온/오프는 소스 신호선(18)에 인가하는 영상 신호 혹은 영상 신호에 대응하는 프로그램 전류 또는 프로그램 전압의 크기, 혹은 영상 신호의 변화(전수평 주사 기간에 인가한 영상 신호와의 차) 영상 신호에 대응하는 프로그램 전류 또는 프로그램 전압의 크기(전수평 주사 기간에서 인가한 프로그램 전류 또는 프로그램 전압의 변화)로 결정된다.

도 21의 구성에서는 어느 전압 범위까지 프리차지할지는 일치 회로(211)에서 결정된다. 일치 회로(211)에는 영상 데이터(D0~D5)가 인가된다. 일치 회로는 프리차지 범위가 기억 혹은 설정되어 있다. 기억 또는 설정된 값보다도, 영상 데이터(D0~D5)가 작을 때, 프리차지 전압이 단자(83)로부터 출력된다. 일치 회로(211)는 클럭(CLK)에서 동기하여 동작한다. 또한, 인에이블 신호(EN)가 H 레벨일 때, 프리차지 전압은 출력되고, L 레벨일 때는 영상 데이터의 값에 상관없이, 프리차지 전압은 출력되지 않는다. 일치 회로(211)의 출력은 AND 회로(213)의 b 단자 입력으로 된다.

AND 회로(213)의 a부 입력이 H이고, b 단자 입력이 H일 때, 스위치(161a)가 폐쇄되고, 프리차지 전압(V_p)이 내부 배선(162)에 인가되고, 또한 HI 신호가 H일 때, 스위치(161b)가 폐쇄되어 출력 단자(83)로부터 프리차지 전압(V_p)이 출력된다.

도 22는 소스 드라이버 회로(IC)(14)의 프리차지 회로(프리차지 전압을 출력하는 회로 구성부)를 중심으로 하는 블록도이다. 프리차지 회로(214)는 프리차지 제어 회로로부터 프리차지 제어 신호 PC 신호(적(RPC), 녹(GPC), 청(BPC))가 출력된다.

선택(셀렉터) 회로(222)는 메인 클럭에 동기하여 출력단에 대응하는 래치 회로(221)에 순차적으로 래치해 간다. 래치 회로(221)는 래치 회로(221a)와 래치 회로(221b)의 2단 구성이다. 래치 회로(221b)는 수평 주사 클럭(1H)에 동기하여 프리차지 회로(214)에 데이터를 송출한다. 즉, 셀렉터는 1 화소 행만큼의 화상 데이터 및 PC 데이터를 순차적으로 래치해 가고, 수평 주사 클럭(1H)에 동기하여, 래치 회로(221b)에서 데이터를 스토어한다.

또한, 도 22에서는 래치 회로(221)의 R, G, B는 RGB의 화상 데이터 6 비트의 래치 회로이며, P는 프리차지 신호(RPC, GPC, BPC)의 3 비트를 유지하는 래치 회로이다.

프리차지 회로(214)는 래치 회로(221b)의 출력이 H 레벨일 때, 스위치(161a)를 온시키고, 소스 신호선(18)에 프리차지 전압(V_p)을 출력한다. 트랜지스터 군(165c)은 화상 데이터에 따라서, 프로그램 전류(정전류)를 소스 신호선(18)에 출력한다.

프리차지 전압(V_p)을 인가할지의 여부는 판단 전에 소스 신호선(18)에 인가되어 있는 전압(유지되어 있는 전압)에 기초하여 판단한다. 판단 전에 소스 신호선(18)에 인가되어 있는 전위와, 다음에 인가하는 전압(혹은 프로그램 전류의 인가에 의한 상정되는 소스 신호선(18)의 전위)과의 전위차 혹은 변화량에 기초하여 판단한다. 예를 들면, 제N(N은 1 이상 최대 화소 행 이하의 정수) 화소 행의 화소에 인가한 전압 혹은 프로그램 전류의 인가에 의한 변화 전위가, 4.0(V)이고, 다음에 인가하는 전압이, 4.1(V)로 전위차가 작을 때는 제N+1 화소 행의 화소에는 프리차지 전압(V_p)을 인가한다. 반대로 2.0(V)로 전위차가 클 때에는 제N+1 화소 행의 화소에는 프리차지 전압(V_p)을 인가하지 않는다.

본 발명은 화소(16)의 구동용 트랜지스터(11a)가 P 채널일 때에는 이하의 범위에서, 프리차지 전압(V_p)의 인가의 유무를 판단한다. 설명을 쉽게 하기 위해, 애노드 전압을 V_{dd} , 캐소드 전압을 V_{ss} 로 하고, 소스 드라이버 IC(회로)(14)의 전원 전압을 V_d , 소스 드라이버 IC(회로)(14)의 그라운드 전위를 GND로 한다. 또한, 소스 신호선(18)에 유지되어 있는 전위(1H 전에 인가된 전압)를 V_n , 소스 드라이버 IC(회로)(14)로부터 출력되는 전압(또는 프로그램 전류의 인가에 의해 변화하는 목표 전압)을 V_m 으로 한다. 또한, 애노드(V_{dd}), 캐소드(V_{ss}), V_n , V_m 은 GND에 대한 전압치이다. 또한, 도 4의 전위 관계를 만족시키는 것이 바람직하다.

화소(16)의 구동용 트랜지스터(11a)가 P 채널일 때에는 적어도 이하의 조건의 1개 이상이 합치할 때에, 소스 신호선(18) 또는 화소(16)에 프리차지 전압(V_p)을 인가한다.

$$0.5 \leq (V_{dd} - V_m) / V_{dd} \leq 0.99$$

$$0.5 \leq (V_d - V_m) / V_{dd} \leq 0.9$$

$$0.1 \leq | (V_n - V_m) | / V_n \leq 0.3 \text{ 단, } 0.5 \leq (V_d - V_m) / V_{dd}$$

화소(16)의 구동용 트랜지스터(11a)가 N 채널일 때에는 적어도 이하의 조건의 1개 이상이 합치할 때에, 소스 신호선(18) 또는 화소(16)에 프리차지 전압(V_p)을 인가한다. 단, V_n , V_m 은 V_{ss} 측의 전압이며, -극성의 전압이다.

$$0.5 \leq | (V_{ss} - V_m) | / V_{ss} \leq 0.9$$

$$0.5 \leq | (V_{ss} - V_n) | / V_{ss} \leq 0.9$$

$$0.1 \leq | (V_n - V_m) | / V_n \leq 0.3 \text{ 단, } 0.5 \leq (V_{ss} - V_m) / V_{ss}$$

이상의 실시예는 소스 신호선(18)에 유지되어 있는 전위 또는 인가하는 전압 등에 기초하여, 프리차지 전압(V_p)을 인가할지의 여부를 판단한다고 했다. 그러나, 이것은 화소(16)에 인가하는 영상 신호의 계조에 의해 판단을 행해도 마찬가지로의 것을 실현할 수 있음은 물론이다. 본 발명에서는 최대의 계조 수를 M으로 하고, 각 소스 신호선(18)에 대하여, 1H 전에 인가한 영상 신호의 계조를 N1로 하고, 다음에 인가하는 영상 신호의 계조를 N2로 했을 때, 적어도, 이하의 조건 중, 1개 이상이 해당할 때에, 프리차지 전압(V_p)을 인가한다.

$$1 \leq N2 \leq M \times 0.25$$

$$1 \leq | N2 - N1 | \leq 8$$

1 화소의 데이터에 대하여 프리차지할지의 여부를 판단하는 것에 한정되는 것은 아니다. 예를 들면, 복수 화소 행의 화상 데이터에 기초하여 프리차지 판단을 행해도 된다. 또한, 프리차지를 행하는 주변 화소의 화상 데이터를 감안하여(예를 들면, 가중 처리 등) 프리차지 판단을 행해도 된다. 또한, 동화상과 정지 화상으로 프리차지 판단을 변화하는 방법도 예시된다. 이상 사항은 화상 데이터에 기초하여, 컨트롤러가 프리차지 신호를 발생함으로써, 양호한 범용성이 발휘되는 점이 중요하다.

본 발명은 1 화소의 데이터에 대하여 프리차지할지의 여부를 판단하는 것에 한정되는 것은 아니다. 예를 들면, 복수 화소 행의 화상 데이터에 기초하여 프리차지 판단을 행해도 된다. 또한, 프리차지를 행하는 주변 화소의 화상 데이터를 감안하여(예를 들면, 가중 처리 등) 프리차지 판단을 행해도 된다. 또한, 동화상과 정지 화상에서 프리차지 판단을 변화하는 방법도 예시된다. 이상은 화상 데이터에 기초하여, 컨트롤러가 프리차지 신호를 발생함으로써, 양호한 범용성이 발휘되는 점이 중요하다. 이후, 이 프리차지 판단과 프리차지 모드를 중심으로 설명을 한다.

프리차지를 할지의 여부의 판정은 1 화소 행 전의 화상 데이터(혹은 직전에 소스 신호선에 인가된 화상 데이터)에 기초하여 행해도 된다. 예를 들면, 임의의 소스 신호선(18)에 인가되는 화상 데이터가 백→흑→흑이면, 백으로부터 흑으로 될 때는 프리차지 전압을 인가한다. 흑 계조는 기입하기 어렵기 때문이다. 흑으로부터 흑의 경우에는 프리차지 전압을 인가하지 않는다. 먼저 흑 표시로 소스 신호선(18)의 전위가 다음에 기입하는 흑 표시의 전위로 되어 있기 때문이다. 이상의 동작은 컨트롤러 회로(IC)(801)에 1 화소 행분(FIFO를 위해 2 라인의 메모리가 필요)의 라인 메모리를 형성(배치)함으로써 용이하게 실현할 수 있다.

본 발명에서, 프리차지 구동에서는 프리차지 전압(V_p)(V_a , V_O)을 출력한다고 설명을 하지만, 이것에 한정되는 것은 아니다. 1 수평 주사 기간보다도 짧고, 프로그램 전류보다도 큰 전류를 소스 신호선(18)에 기입하는 방식이어도 된다. 즉, 프리차지 전류를 소스 신호선(18)에 기입하고, 그 후에 프로그램 전류를 소스 신호선(18)에 기입하는 방식이어도 된다. 프리차지 전류도 물리적으로는 전압 변화를 야기하고 있는 것에는 차이는 없다. 프리차지를 프리차지 전류로 행하는 방식도 본 발명의 프리차지 구동의 기술적 범주이다(본 발명의 범위 내이다).

본 발명의 프리차지 구동에서는 소정 전압을 소스 신호선(18)에 인가한다. 또한, 소스 드라이버 IC는 프로그램 전류를 출력한다고 했다. 그러나, 본 발명은 프리차지 구동을 계조에 따라서 출력 전압을 변화시켜도 된다. 즉, 소스 신호선(18)에 출력하는 프리차지 전압은 프로그램 전압으로 된다. 소스 드라이버 IC 내에 이 프리차지 전압의 전압 계조 회로(231)를 도입한 회로 구성이 도 23이다.

전압 계조 회로(231)는 프로그램 전압 등의 계조 전압을 출력하는 구성 혹은 동작으로서 설명하지만, 본 발명은 이것에 한정되는 것은 아니다. 소정의 정 전압 혹은 프로그램 전압을 출력하는 회로의 의미로도 이용한다. 그 밖에, 샘플 홀드 회로의 의미로도 이용한다. 즉, 다단계로 전압치를 출력할 수 있는 회로이다. 단, 프리차지 전압(V_p)이 고정치인 경우에는 1개의 전압을 출력하는 구성이면 된다. 이 경우도, 전압 계조 회로(231)의 개념에 포함된다. 또한, 전자 볼륨(152)도 외부 입력 데이터에 의해, 출력 전압을 변화 혹은 조정할 수 있기 때문에, 전압 계조 회로이다. 또한, D/A(디지털-아날로그 변환) 회로(391)도 전압 계조 회로이다.

또한, 전압 계조 회로(231)는 디지털 신호 입력에 대응하여 아날로그 전압을 출력하는 것에 한정되는 것은 아니며, 아날로그 전압을 임피던스 변환 혹은 증폭 혹은 저감하여 출력하는 것도 포함된다. 또한, 넓은 의미로는 1개의 소정 전압 혹은 복수의 전압을 선택하여 출력하는 것도 전압 계조 회로(231)이다. 즉, 전압 계조 회로(231)란, 정전압 발생원으로서 이해해도 된다.

도 23은 주로 1개의 소스 신호선(18)에 대응하는 1 출력 회로의 블록도이다. 계조에 따라서 프로그램 전류를 출력하는 전류 계조 회로(154)와, 계조에 따른 프리차지 전압을 출력하는 전압 계조 회로(231)로 구성된다. 전류 계조 회로(154)와 전압 계조 회로(231)에는 영상 데이터가 인가된다. 전압 계조 회로(231)의 출력은 스위치(161a, 161b)가 온 상태로 됨으로써 소스 신호선(18)에 인가된다. 스위치(161a)는 프리차지 인에이블(프리차지 ENBL) 신호와, 프리차지 신호(프리차지 SIG)로 제어된다.

전류 계조 회로(154)는 기본적으로는 프로그램 전류 등의 계조 전류를 출력한다고 하여 설명하지만, 본 발명은 이것에 한정하지 않는다. 소정의 정전류를 출력하는 회로(정전류 출력 회로)로서의 의미로도 사용한다. 또한, 정전류원의 의미로도 사용한다. 계조 전류를 출력할 수 있는 회로 구성이면, $1\mu A$, $0.5\mu A$ 등과 같이, 소정치의 정전류를 출력할 수 있기 때문이다.

당연한 일이지만, 전류 계조 회로(154)를 간략화하고, 정전류(I_w)를 출력하는 정전류 회로로서 구성해도 됨은 물론이다. 또한, V_a , V_O 를 측정하기 위해서는 정전류(I_w)를 인가하는 것만으로 충분하며, 이 기능을 달성하기 위해서는 계조 전류 회로(154)를 이용해도 되고, 간략화된 정전류 회로를 이용해도 됨은 물론이다. 또한, 계조 전류는 프로그램 전류(I_w)를 정전류로 생각해도 된다.

전압 계조 회로(231)는 일례로서 샘플 홀드 회로로 구성된다. 또한, 필요에 따라 D/A 변환 회로 등으로 구성된다. 디지털의 영상 데이터에 기초하여, D/A 변환 회로에 의해 프리차지 전압으로 변환된다. 이 변환된 프리차지 전압은 샘플 홀드 회로(241)에 의해 샘플 홀드되고, 오피 앰프를 통하여 스위치(161a)의 1 단자에 인가된다.

D/A 변환 회로는 전압 계조 회로(231)마다 구성 또는 형성할 필요가 없고, 소스 드라이버 회로(IC)(14)의 외부에 D/A 변환 회로를 구성하고, 이 D/A 변환 회로의 출력을 전압 계조 회로(231) 내에서 샘플 홀드해도 된다. 또한, 폴리실리콘 기술로 형성해도 된다.

도 24에 도시한 바와 같이, 8 비트의 영상 신호 DATA에 대응하는 전압(프로그램 전압)이, 영상 클럭에 동기하여 전자 볼륨(152)으로부터 출력된다. 프로그램 전압은 구동용 트랜지스터(11a)에 프리차지 전압으로서 인가되는 전압이다. 또한, 프로그램 전압은 이 전압을 인가함으로써, 계조에 거의 대응한 전류가 EL 소자(15)에 인가되도록 구동용 트랜지스터(11a)의 게이트 단자에 유지되는 전압이다.

프로그램 전압은 C_c 용량에 일시적으로 유지되고, 버퍼 앰프(151a)로부터 출력된다. 출력된 전압은 샘플 홀드 회로(이 실시예에서는 절환 회로와 같이 도시하고 있다)(241)에 의해, 각 출력 단자(83)에 순차적으로 배분된다(출력 단자(83a, 83b, 83c, 83d..., 83n, 83a, 83b, 83c, ..., 33 n, ...)). 배분은 클럭(CLK)에 동기하여 실시된다. 또한, 본 발명에서는 8 비트의 어드레스 신호(PADRS)에 의해, 임의의 단자에 프로그램 전압을 배분할 수 있도록 구성되어 있다. 이와 같이, 어드레스 신호(PADRS)에 의해 임의의 출력 단자(83)에 배분(8 비트이기 때문에 256개의 단자 중 어느 하나에 배분 가능하다)할 수 있도록 구성함으로써, 프로그램 전압의 재기입이 필요한 단자만 신규의 프로그램 전압을 인가할 수 있다. 또한, 프로그램 전압의 분류를 랜덤화할 수 있다. 프로그램 전압은 용량(C)에 유지되고(샘플링되고), 버퍼 회로(151b)의 출력은 스위치(Sp)의 제어에 의해 출력 단자(83)에 인가되거나, 차단되거나 한다. 스위치(Sp)는 도 23에서는 스위치(161a)가 해당된다.

전류 계조 회로(154)는 구체적으로는 도 16의 회로 구성이 해당된다. 전류 계조 회로(154)의 프로그램 전류 출력은 스위치(Si)에 의해 제어된다. 이상과 같이, 전류 계조 회로(154)와 전압 계조 회로(231)의 출력은 스위치(Si, Sp)에 의해 제어되고, 프리차지 구동(전압 프로그램)+ 전류 프로그래밍이 실현된다. 이상의 신호는 출력 단자(83)로부터 소스 신호선 단자(242)에 인가된다. 프로그램 전압은 소스 신호선(18)의 기생 용량(Ca)을 단기간에 충전시킨다.

전압 계조 회로(231)의 출력인 프리차지 전압(Vp)은 도 25에 도시한 바와 같이, 1 수평 주사 기간(1H)의 맨처음에 인가된다(기호 A로 나타낸다). 그 후, 전류 계조 회로(154)에 의해 소스 신호선에 프로그램 전류가 공급된다(기호 B로 나타낸다). 즉, 프리차지 전압에 의해 개략적인 소스 신호선 전위까지 전압 설정된다. 따라서, 구동용 트랜지스터(11a)는 목적 전류에 가까운 값까지, 고속으로 설정된다. 그 후, 전류 계조 회로(154)가 출력하는 프로그램 전류에 의해 구동용 트랜지스터(11a)의 특성 변동을 보상할 목적 전류(=프로그램 전류)까지 설정된다.

프리차지 전압 신호가 인가되는 A 기간은 1 수평 주사 기간(1H)의 1/100 이상 1/2 이하의 기간이 바람직하다. 또는 0.2 μ sec 이상 40 μ sec 이하의 기간으로 설정하는 것이 바람직하다. 바람직하게는 1 수평 주사 기간(1H)의 1/100 이상 1/5 이하의 기간이 바람직하다. 또는 0.2 μ sec 이상 10 μ sec 이하의 기간으로 설정하는 것이 바람직하다. 따라서, A 기간 이외가 B 기간의 프로그램 전류의 인가 기간이다. A 기간이 짧으면 소스 신호선(18)의 전하의 충전이 충분히 행해지지 않기 때문에, 기입 부족이 발생한다. 한편, 지나치게 길면 전류 인가 기간(B)이 짧아져서 충분히 프로그램 전류를 인가할 수 없다. 따라서, 구동용 트랜지스터(11a)의 전류 보정 부족으로 된다.

전압 인가 기간(A 기간)은 1H의 맨처음부터 실시하는 것이 바람직하지만, 이것에 한정되지 않는다. 예를 들면, 1H의 마지막의 블랭킹 기간부터 개시해도 된다. 또한, 1H(수평 주사 기간)의 도중에 A 기간을 실시해도 된다. 즉, 1H의 어느 하나의 기간에 전압 인가 기간을 실시하면 된다. 그러나, 바람직하게는 전압 인가 기간은 1H의 맨처음부터 1/4H(=0.25H)의 기간 내에 실시하는 것이 바람직하다.

도 25의 실시예에서는 전압 프리차지(A)의 기간 후, 전류를 인가(B 기간)한다고 했지만 이것에 한정되는 것은 아니다. 예를 들면, 도 26의 (a)에 도시한 바와 같이, 1H의 기간의 모두를(혹은 대부분을, 혹은 과반수를) 프리차지 전압(Vp)을 인가하는 기간(전압 프리차지(*A로 나타낸다) 기간)으로 해도 된다.

도 26의 (a)에서도 이해할 수 있듯이, 소스 신호선(18)의 전위가 애노드 전위(Vdd)에 가까운 경우에, 1H의 기간의 모두에(대부분에) 전압이 인가된다. 소스 신호선(18)의 전위가 0(V)에 가까워지면, 전압 프로그램(A 기간)과 전류 프로그램(B)이 1H의 기간 내에 실시된다. 또한, 소스 신호선(18)의 전위가 0(V)에 가까운 경우(고계조 영역)에는 1H의 기간 동안의 모든 기간에 걸쳐, 전류 프로그램을 실시해도 된다.

도 26의 (a)의 *A 이외의 기간은 1H의 일정 기간(A로 나타낸다)에 전압 프로그램에 의한 전압을 소스 신호선(18)에 인가하고, 그 후, B의 기간에 전류 프로그램에 의한 전류를 인가하고 있다. 이상과 같이 A 기간의 전압의 인가에 의해 화소(16)의 트랜지스터(11a)의 게이트 전위에 소정 전압을 인가하고, 개략 EL 소자(15)에 흐르는 전류가 소망치로 되도록 하고 있다. 그 후, B 기간의 프로그램 전류에 의해, EL 소자(15)에 흐르는 전류가 소정치로 되도록 하고 있다. *A 기간은 1H 기간의 전반에 걸쳐 전압 프로그램이 실시되고 있다(전압이 인가되어 있다).

도 26의 (a)는 화소(16)의 트랜지스터(11a)(구동용 트랜지스터)가 P 채널인 경우의 소스 신호선(18)에의 인가 신호 파형이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 화소(16)의 트랜지스터(11a)가 N 채널이어도 된다. 이 경우에는 도 26의 (b)에 도시한 바와 같이, 소스 신호선(18)의 전위가 0(V)에 가까운 경우에, 1H의 기간의 모드에(대부분에) 전압이 인가된다. 소스 신호선(18)의 전위가 애노드 전압(Vdd)에 가까워지면, 전압 프로그램(A 기간)과 전류 프로그램(B)이 1H의 기간에 실시된다.

또한, 소스 신호선(18)의 전위가 Vdd에 가까운 경우(고계조 영역)에는 1H의 기간 동안의 모든 기간에 걸쳐, 전류 프로그램을 실시해도 된다.

본 발명에서는 구동용 트랜지스터(11a)는 P 채널로서 설명하지만 이것에 한정하는 것이 아니며, 구동용 트랜지스터(11a)는 N 채널이어도 됨은 물론이다. 설명을 쉽게 하기 위해, 구동용 트랜지스터(11a)가 P 채널 트랜지스터라고 설명을 할 뿐이다.

본 발명의 실시예에서는 주로 저계조 영역은 전압 프로그램이 중심으로 화소에 기입이 된다. 중고 계조 영역은 전류 프로그램이 중심으로 기입이 행해진다. 즉, 전류와 전압 구동의 양방의 좋은 점의 융합을 실현할 수 있다. 왜냐하면, 저계조 영

역은 전압에 의해 소정 계조 표시된다. 이것은 전류 구동에서는 기입 전류가 미소하기 때문에, 1H 맨처음에 인가한 전압(전압 구동 혹은 프리차지 구동에 의한다. 프리차지 구동과 전압 구동은 개념적으로는 동일하다. 크게 차별화하면, 프리차지 구동은 인가하는 전압에 종류가 비교적 적고, 전압 구동은 인가하는 전압의 종류가 많다고 할 것이다)이 지배적으로 되기 때문이다.

중계조 영역은 전압에 의해 기입한 후, 전압의 어긋난 양을, 프로그램 전류로 보상한다. 즉, 프로그램 전류가 지배적으로 된다(전류 구동이 지배적이다). 고계조 영역은 프로그램 전류로 기입한다. 프로그램 전압 인가는 불필요하다. 인가한 전압이 프로그램 전류로 재기입 되기 때문이다. 즉, 전류 구동이 압도적으로 지배적이다. 물론, 전압을 인가해도 됨은 물론이다.

전압 계조 회로의 출력과 전류 계조 회로(프리차지 회로도 포함한다)의 출력을 출력 단자(83)에서 쇼트하여 구성할 수 있는 것은 전류 계조 회로는 고임피던스인 것에 기인한다. 즉, 전류 계조 회로는 고임피던스이기 때문에, 전압 계조 회로로부터의 전압이 전류 계조 회로에 인가되어도, 회로에 문제점(단락으로 과전류가 흐르는 등)이 발생하는 일이 없다.

본 발명에서 전압 출력과 전류 출력 상태를 절환한다고 했지만 이것에 한정되는 것은 아니다. 전류 계조 회로(154)로부터 프로그램 전류를 출력한 상태에서, 스위치(161)(도 23을 참조할 것)를 온 상태로 하여, 전압 계조 회로(231)의 전압을 출력 단자(83)에 인가해도 됨은 물론이다.

스위치(161)를 폐쇄하여 출력 단자(83)에 전압을 인가한 상태에서, 전류 계조 회로(154)로부터 프로그램 전류를 출력해도 된다. 전류 계조 회로(154)는 고임피던스이기 때문에 회로적으로는 문제가 없다. 이상의 상태도 본 발명은 전압 구동 상태와 전류 구동 상태를 절환하고 있다는 동작의 범주이다. 본 발명은 전류 회로와 전압 회로의 성질을 잘 이용하고 있다. 이는 다른 드라이버 회로에 없는 특성 있는 구성이다.

도 27에 도시한 바와 같이, 1H 기간에 인가하는 프로그램을 전압 또는 프로그램 전류의 한쪽으로 해도 됨은 물론이다. 도 27에서, A의 기간은 전압 프로그램이 실시된 1H 기간이며, B의 기간은 전류 프로그램이 실시되어 있는 1H 기간이다. 주로 저계조 영역에서는 전압 프로그램이 실시되고(A로 나타낸다), 중간조 이상의 영역에서는 전류 프로그램이 실시된다(B로 나타낸다). 이상과 같이, 계조 혹은 프로그램 전류의 크기에 따라서, 전압 구동을 선택할지 전류 구동을 선택할지를 절환해도 된다.

도 23의 본 발명의 실시예에서는 전압 계조 회로(231)와 전류 계조 회로(154)에는 동일한 영상 신호 DATA가 입력되어 있다. 따라서, 영상 신호 DATA의 래치 회로는 전압 계조 회로(231)와 전류 계조 회로(154)와 공통이어도 된다. 즉, 영상 신호 DATA의 래치 회로는 전압 계조 회로(231)와 전류 계조 회로(154)에 독립적으로 설치할 필요는 없다. 공통의 영상 신호 DATA의 래치 회로로부터의 데이터에 기초하여, 전류 계조 회로(154) 또는(및) 전압 계조 회로(231)가 데이터를 출력 단자(83)에 출력한다.

도 28은 본 발명의 구동 방법의 타이밍차트이다. 도 28에서, (a)의 DATA는 화상 데이터이다. (b)의 CLK는 회로 클럭이다. (c)의 Pcntl은 프리차지의 컨트롤 신호이다. Pcntl 신호가 H 레벨일 때는 전압 구동만 모드 상태로 되고, L 상태일 때, 전압+ 전류 구동 모드로 된다. (d)의 Ptc는 프리차지 전압 혹은 전압 계조 회로(231)로부터의 출력의 절환 신호이다. Ptc 신호가 H 레벨일 때에는 프리차지 전압 등의 전압 출력이 소스 신호선(18)에 인가된다. Ptc 신호가 L 레벨일 때에는 전류 계조 회로(154)로부터의 프로그램 전류가 소스 신호선에 출력된다.

예를 들면, 영상 신호 데이터 D(2), D(3), D(8)일 때에는 Pcntl 신호가 H 레벨이기 때문에, 소스 신호선(18)에 전압 계조 회로(231)로부터 전압이 출력된다(A 기간). Pcntl이 L 레벨일 때에는 소스 신호선(18)에는 먼저, 전압이 출력되고, 그 후, 프로그램 전류가 출력된다. 전압이 출력되는 기간을 A로 나타내고, 전류가 출력되는 기간을 B로 나타낸다. 전압을 출력하는 기간 A는 Ptc 신호로 제어된다. Ptc 신호는 도 23의 스위치(161)의 온 오프를 제어하는 신호이다.

Pcntl 신호가 H 레벨일 때에는 전압 구동만 모드 상태로 되고, L 레벨일 때, 전압+ 전류 구동 모드로 된다고 설명했다. 전압을 인가하는 기간은 점등률 혹은 계조에 따라서 변화시키는 것이 바람직하다. 저계조일 때는 전류 구동으로는 화소에 프로그램 전류를 완전하게 기입할 수 없다. 따라서, 전압 구동을 실시하는 것이 바람직하다. 전압을 인가하는 기간을 길게 함으로써, 전압+ 전류 구동 모드라 하더라도, 전압 구동 모드가 지배적으로 되고, 양호하게 화소에 저계조 상태를 기입할 수 있다. 저점등률의 경우에는 저계조 상태의 화소가 많다. 따라서, 저계조 상태(저점등률)의 경우도, 전압을 인가하는 기간을 길게 함으로써, 전압+ 전류 구동 모드라 하더라도, 전압 구동 모드가 지배적으로 되고, 양호하게 화소에 저계조 상태를 기입할 수 있다.

이상과 같이, 전압+ 전류 구동 모드라 하더라도, 점등률 혹은 화소에 기입하는 계조 데이터(영상 데이터)에 따라서, 전압 구동 상태의 기간을 변화시키는 것이 바람직하다. 즉, EL 소자(15)에 흘리는 전류를 작게 할 때는(본 발명에서는 저점등률 범위), 전압 구동 모드 기간을 길게 하고, EL 소자(15)에 흘리는 전류를 크게 할 때는(본 발명에서는 고점등률 범위), 전압 구동 모드 기간을 짧게 하거나, 혹은 '없음'으로 하도록 제어 혹은 조정 혹은 장치를 구성한다.

도 28에서, 전압 출력 기간 A와 전류 출력 기간 B를 절환한다고 했지만, 이것에 한정되는 것은 아니다. 프로그램 전류가 출력한 상태에서, 스위치(161)(도 23를 참조)를 온 상태로 하여, 전압 계조 회로(231)의 전압을 출력 단자(83)에 인가해도 됨은 물론이다. 또한, 스위치(161)를 폐쇄하여 출력 단자(83)에 전압을 인가한 상태에서, 전류 계조 회로(154)로부터 프로그램 전류를 출력해도 된다. A 기간 후에 스위치(161)를 오픈으로 한다. 이상과 같이 전류 계조 회로(154)는 고임피던스이므로 전압 회로와 단락 상태로 해도 회로적으로는 문제가 없다.

도 29는 도 23 등의 전류 계조 회로(154)와 전압 계조 회로(231)의 구성 부분을 더욱 상세히 기재한 블록도이다. 시프트 레지스터 회로(셀렉터 회로)(222)는 스타트 신호(STI), 클럭(CLK1)에 의해 순차적으로 시프트 동작한다. 시프트 동작에 의해, 제1 래치 회로(유지 회로)(221a)에, DATA 9 비트의 보유 위치를 지정한다. DATA 9 비트란, 영상 신호 8 비트와 프리차지 신호 1 비트의 총 9 비트이다. 래치 회로(221a)는 1 수평 기간에 순차적으로 DATA를 보유해 간다.

제1 래치 회로에 보유된 DATA는 로드 신호(LD)에 의해 2단째의 제2 래치 회로(221b)에 로드된다. 래치 회로(221b)에 보유된 DATA는 전압 계조 회로(231)의 입력과, 전류 계조 회로(154)의 입력으로 된다. 프리차지 신호의 1 비트는 전압 계조 회로(231)의 프로그램 전압과, 전류 계조 회로(154)의 프로그램 전류의 절환 신호이다. 프리차지 신호는 절환 회로(도 23의 스위치(161) 등이 해당한다)(291)를 시간적으로 제어하고, 출력 단자(83)로부터 프리차지 신호가 온 상태일 때는 먼저 프리차지 전압을 출력하고, 그 후 프로그램 전류를 출력한다.

또한, 전압 계조 회로의 샘플 홀드 회로는 비교적 저속으로만 동작하기 때문에, 전압 계조 회로의 샘플 홀드용으로서 1단의 래치 회로를 추가하고, 3단의 래치 회로로 구성해도 됨은 물론이다. 또한, 절환 회로(291)는 어레이 기판(30)에 폴리실리콘 기술로 형성해도 된다.

도 30은 프리차지 전압 발생 회로로부터의 출력(일례로서 V_{pa} , V_{pb} , V_p)을 소스 드라이버 IC(회로(14))의 내부 배선으로 전달한 구성이다. 배선은 IC 칩의 길이 방향에 형성된다(각 트랜지스터 군(165)과 수직). 프리차지 전압(V_p)(V_{pa} , V_{pb} , V_p , open)을 전달하는 프리차지 전압 배선(PS)(PS_a , PS_b , PS_c , PS_d)이 소스 신호선(18)에 직교하도록 배선된다. 프리차지 전압 배선(PS)과 내부 배선(162)은 직교하고, 각 교차점에 스위치(Sp)가 배치되어 있다. 스위치(Sp)는 SEL 신호(프리차지 전압의 선택 신호, open을 포함한다)로 절환된다. open이 스위치(Sp_{0a})에서 선택된 경우에는 프리차지 전압은 출력되지 않는다. 스위치(Sp)는 출력 단자(83)마다 자유롭게 설정할 수 있다. 스위치(Sp)는 영상 신호의 크기, 변화 등에 의해 적절한 것이 선택되어 제어된다.

도 29와 도 30의 차이는 도 29가 영상 신호마다 대응하는 프리차지 전압을 샘플 홀드하여 발생시키는 구성이다. 샘플 홀드한 프리차지 전압은 출력 단자마다, 프리차지 비트(프리차지 전압을 인가할지 여부의 판단 비트)에 의해 판단되어 인가된다. 도 30은 복수의 프리차지 전압을 발생시켜 놓고, 1개의 프리차지 전압을 선택하는 구성이다. 선택하는 프리차지 전압은 프리차지 비트(SEL 신호: 어느 프리차지 전압을 인가할지의 지정 비트. 단, 프리차지 전압을 인가하지 않는(open) 경우도 있다)에 의해 판단되어, 소스 신호선(18)에 인가된다.

이상의 실시예는 소스 드라이버 IC(회로)(14) 내에 프리차지 전압(V_p)(V_a , V_0)을 형성하고, 이 회로로부터 필요에 따라 소스 신호선(18)에 프리차지 전압(V_p)을 인가하는 것이었지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 어레이 기판(30)에 프리차지 전압용 트랜지스터 소자를 형성하고, 이 트랜지스터 소자를 온 오프 제어함으로써, 프리차지 전압에 인가된 프리차지 전압(V_p)을 소스 신호선(18)에 인가하도록 구성해도 됨은 물론이다.

도 30 등에서, 오픈 기능(open의 선택, 즉 프리차지를 실시하지 않는다)을 마련하고 있다. 그러나, 반드시 소스 드라이버 IC(회로)(14) 내에 구성 혹은 형성하는 것에 한정되는 것은 아니다.

이상의 실시예에서는 프리차지 전압(V_p)(V_a , V_0)은 애노드 전압(V_{dd})에 가까운 전압(V_{dd} 이하 $V_{dd}-3(V)$)이라고 설명을 했다. 그러나, 화소 구성에 따라서는 프리차지 전압(V_p)이 캐소드 전압에 가까운(V_{ss} 이상 $V_{ss}+3(V)$) 경우가 있다. 예를 들면, 구동용 트랜지스터(11a)가 N 채널 트랜지스터로 형성하고 있는 경우, 구동용 트랜지스터(11a)가, P 채널 트랜지스터에서 토출 전류(도 1의 화소 구성은 흡입(싱크) 전류)로 전류 프로그램이 실시되는 경우이다. 이 경우에는 프리차지 전압(V_p)은 캐소드 전압에 가까운 전압으로 할 필요가 있다.

전류 구동에서 기입 부족이 발생하는 원인은 도 31에 도시한 바와 같이 소스 신호선(18)의 기생 용량(C_s)에 의한 영향이 크다. 기생 용량(C_s)은 게이트 신호선(17)과 소스 신호선(18)의 교차부 등에 발생한다.

이하의 설명은 설명을 쉽게 하기 위해, 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터이고, 또한 흡입(싱크) 전류(소스 드라이버 회로(IC)(14)에 흡입하는 전류)로 전류 프로그램을 실시하는 경우라고 하여 설명을 한다.

또한, 화소(16)의 구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우 혹은 구동용 트랜지스터(11a)를 토출(소스) 전류(소스 드라이버 IC(회로)(14)로부터 토출하는 전류)로 전류 프로그램을 실시하는 경우에는 반대의 관계로 한다. 이 경우에는 소스 드라이버 IC(회로)(14) 내에 형성된 단위 트랜지스터(164)는 P 채널 트랜지스터로 형성한다. 즉, 본 발명은 흡입(싱크) 전류인 경우를 예시하여 설명하지만, 토출 전류의 경우에는 화소의 구성 혹은 동작, 소스 드라이버 IC(회로)(14)의 구성 혹은 동작을 반대의 관계로 변경 혹은 바꾸어 읽는다. 이것은 당업자라면 쉽기 때문에 설명을 생략한다.

도 31의 (a)에 도시한 바와 같이, 흑 표시(저계조 표시)로부터 백 표시(고계조 표시)로 변화할 때에는 소스 드라이버 회로(IC)(14)가 출력하는 싱크 전류가 주체적으로 관여한다. 소스 드라이버 회로(IC)(14)가 프로그램 전류(I_{d1})(I_w)로 기생 용량(C_s)의 전하를 흡입한다. 전류를 흡입함으로써, 기생 용량(C_s)의 전하를 방전하고, 소스 신호선(18)의 전위가 저하한다. 따라서, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위가 저하하고, 프로그램 전류(I_w)를 흘리도록 전류 프로그램이 행해진다.

백 표시(고계조 표시)로부터 흑 표시(저계조 표시)로 변화할 때에는 화소(16)의 구동용 트랜지스터(11a)의 동작이 주체이다. 소스 드라이버 회로(IC)(14)는 흑 표시의 전류를 출력하지만, 미소하기 때문에 실제로 동작하지 않는다. 구동용 트랜지스터(11a)가 동작하고, 프로그램 전류(I_{d2})(I_w)의 전위에 일치하도록 기생 용량(C_s)을 충전한다. 기생 용량(C_s)에 전하를 충전함으로써, 소스 신호선(18)의 전위가 상승한다. 따라서, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위가 상승하고, 프로그램 전류(I_w)를 흘리도록 전류 프로그램이 행해진다.

그러나, 도 31의 (a)의 구동은 저계조 영역에서는 전류(I_{d1})가 작고, 또한, 정전류 동작 때문에, 기생 용량(C_s)의 전하의 방전에 매우 장시간을 필요로 한다. 특히 백 휘도에 도달하기까지의 시간이 길기 때문에 백 윈도우 표시에서 윗변의 휘도가 소정 휘도보다 낮다. 소스 신호선(18)의 전위가 흑 표시 전위(애노드 전압(V_{dd})에 가깝다)로부터 백 표시 전위(애노드 전압 $V_{dd}-3(V)$ 등)로, 1 수평 주사 기간 내에 변화할 수 없기 때문이다. 백 윈도우부의 아랫변의 다음의 화소 행의 흑 표시 휘도는 비교적 목표의 흑 표시로 되기 쉽다. 이 변화에서는 도 31의 (b)에 도시한 바와 같이 구동용 트랜지스터(11a)가 주체적으로 변화한다. 또한, 도 31의 (b)에서 구동용 트랜지스터(11a)가 비선형 동작하기 때문에, 비교적 전류(I_{d2})가 크다. 그 때문에, C_s 의 충전 시간이 비교적 빠르다. 따라서, 백 윈도우부의 최종 백 표시 화소부의 다음에 위치하는 흑 표시 화소 행에서는 휘도가 목표의 휘도 혹은 그 근방으로 변화한다.

프로그램 전류의 기입 부족의 과제를 해결하는 위해, 프리차지 구동을 실시한다. 그러나, 이 방법만으로는 패널이 초대형으로 되면, 도 31의 (b)의 백으로부터 흑 표시의 실현이 곤란해지는 경우가 있다(프리차지 전압(V_p)에 의해, 소스 신호선(18)의 전위를 애노드(V_{dd}) 측으로 변화시킴으로써, 흑 표시를 실현하는 것을 상정하고 있다).

이 대책으로서, 본 발명에서는 1H의 전반에 소스 드라이버 회로(IC)(14)로부터의 프로그램 전류를 증가시킨다. 또한, 후반은 정규의 프로그램 전류(I_w)를 출력한다. 단, 정규의 프로그램 전류는 도 6, 도 9 등의 경우에는 N배 된다. 즉, 소정 조건일 때에는 1H의 맨처음에 소정의 프로그램 전류보다도 큰 전류를 소스 신호선(18)에 흘리고, 후반에 정규의 프로그램 전류를 소스 신호선(18)에 흘린다. 이하 이 실시예에 대해 설명을 한다.

이하에 설명하는 구동 방법(구동 장치 혹은 구동 방식)을 과전류 구동이라고 한다. 또한, 과전류 구동은 본 발명의 다른 구동 방식 혹은 구동 장치와 조합할 수 있음은 물론이다. 예를 들면, 프리차지 전압(V_p)을 인가한 후, 과전류 구동을 실시하고, 그 후, 프로그램 전류를 인가(프로그램 전류 구동)하는 것이 예시된다. 또한, 프리차지 전압(V_p)을 인가하지 않고, 과전류 구동을 실시하고, 그 후, 프로그램 전류 구동을 행하는 방식이 예시된다.

또한, 과전류 구동은 소스 신호선(18)의 전하를 충방전하는 방식이기 때문에, 기술적 사상으로는 프리차지 전압 구동의 개념에 포함된다.

또한, 과전류는 토출 전류와 흡입 전류 중 어느 것이어도 된다. 화소(16)의 구동용 트랜지스터(11a)의 채널 극성에 대응하여 실시한다. 화소(16)의 구동용 트랜지스터(11a)가 P 채널인 경우에는 과전류는 소스 드라이버 IC(회로)(14)에 유입되는 방향(싱크 전류)으로 하고, 화소(16)의 구동용 트랜지스터(11a)가 N 채널인 경우에는 과전류는 소스 드라이버 IC(회로)

(14)로부터 토출하는 방향(소스 전류)으로 한다. 또한, 과전류 구동은 모든 화소(16)에 실시하는 것이 아니며, 화소(16)에 인가된 게조치, 소스 신호선(18)의 전위, 또는 다음에 인가하는 게조에 의한 전위 변화 등에 대응하여 인가의 유무를 판단한다. 또한, 과전류의 크기, 인가 기간을 변화시킨다.

도 32는 본 발명의 과전류 구동 방식을 실현하는 소스 드라이버 회로(IC)(14)의 설명도이다. 도시를 쉽게 하기 위해, 단위 트랜지스터(164)가 1개의 전류 회로는 단위 트랜지스터 군(321a)으로 하고, '1'로 나타내고 있다. 이하 마찬가지로, 단위 트랜지스터(164)가 2개의 전류 회로(커런트 미러 회로)는 단위 트랜지스터 군(321b)으로 하고, '2'로 나타내고 있다. 또한, 단위 트랜지스터(164)가 4개의 전류 회로는 단위 트랜지스터 군(321c)으로 하고, '4'로 나타내고 있다. 단위 트랜지스터(164)가 8개의 전류 회로는 단위 트랜지스터 군(321d)으로 하고, '8'로 나타내고 있다.

이하, 마찬가지로, 단위 트랜지스터(164)가 64개의 전류 회로는 단위 트랜지스터 군(321g)으로 하고, '64'로 나타내고, 단위 트랜지스터(164)가 128개의 전류 회로는 단위 트랜지스터 군(321h)으로 하고, '128'로 나타내고 있다. 단, 도 18의 (b)에서 설명한 바와 같이, 각 단위 트랜지스터 군(321)에, 물리적으로 필요한 단위 트랜지스터(164)를 형성하는 것에 한정하지 않다. 각 단위 트랜지스터 군(321)에 필요한 단위 전류를 출력하는 것이면 어느 구성 혹은 방식이어도 된다.

이들 단위 트랜지스터 군(321)(321a~321h)의 1조가 트랜지스터 군(165c)이다. 또한, 도면 작성을 쉽게 하기 위해, 또한, 설명을 쉽게 하기 위해 단위 트랜지스터 군(321)의 비트 수는 각 8 비트로 하고 있다. 따라서, 비트 수는 6 비트, 10 비트이어도 됨은 물론이다.

또한, 단위 트랜지스터 군(321)은 RGB 마다 형성된다. 단, RGB에서, 형성하는 비트 수를 변화시켜도 된다. 예를 들면, R과 B를 6 비트로 하고, 게조가 많이 필요한 G를 8 비트로 하는 구성이 예시된다. 또한, 과전류의 크기에 대해서도, RGB에서 변화 혹은 변경할 수 있도록 구성하는 것이 바람직하다. 예를 들면, R, B에서 과전류의 크기를 크게 하고, G에서 과전류의 크기를 작게 할 수 있도록 하는 구성, 방식이 예시된다. 이상의 사항은 본 발명의 다른 실시예에 적용된다. 이상의 사항은 트랜지스터 군(165c)에도 적용된다. 또한, 트랜지스터 군(165b)에도 적용된다.

도 32의 구성은 과전류의 프로그램 전류를 흘리는 담당의 트랜지스터 군은 단위 트랜지스터 군(321h)으로 하고 있다. 즉, 게조 데이터의 최상위 비트의 스위치(D7)를 온 오프 제어함으로써, 과전류를 소스 신호선(18)에 흘린다. 과전류를 흘림으로써 기생 용량(Cs)의 전하를 단시간에 방전시킬 수 있다. 예를 들면, 게조 5의 경우에는 스위치(D0와 D2)를 클로즈시켜, 5단위의 프로그램 전류를 흘리지만, 프로그램 전류 인가 전에, 스위치(D7)를 온시켜, 128단위의 전류(과전류)를 소스 신호선(18)에 인가한다. 또한, 과전류의 인가 전에, 필요에 따라 혹은 필수적으로 소스 신호선(18)에 프리차지 전압(Vp)을 인가한다.

최상위 비트를 과전류 제어(과전류를 발생시킨다)에 사용하는 것은 이하의 이유에 의한다. 먼저, 설명을 쉽게 하기 위해, 1계조로부터 4계조로 변화시킨다고 한다. 또한, 게조 수는 256계조(RGB 각 8비트)로 한다.

1계조로부터 백계조로 변화시키는 경우라 하더라도, 1계조로부터 중간조 이상(예를 들면, 128계조 이상)으로 변화시키는 경우에는 프로그램 전류의 기입 부족은 발생하지 않는다. 프로그램 전류가 비교적 크고, 기생 용량(Cs)의 충방전이 비교적 빠르기 때문이다.

그러나, 1계조로부터 중간조 이하(예를 들면, 127계조 이하)로 변화하는 경우에는 프로그램 전류가 작고, 1H기간에 기생 용량(Cs)을 충분히 충방전시킬 수 없다. 따라서, 1계조로부터 4계조 등과 같이, 중간조 이하로 게조 변화시키는 것을 개선시킬 필요가 있다. 이 경우에, 본 발명의 과전류 구동을 실시한다.

이상과 같이 변화하는 게조가 중간조 이하이기 때문에, 프로그램 전류의 지정에 최상위 비트는 사용하지 않는다. 즉, 1계조로부터 변화시키는 경우, 목표의 게조는, '01111111'이하이다(최상위 비트의 스위치(D7)는 항상 오프 상태이다). 본 발명은 항상, 오프 상태의 최상위 비트를 제어하여 과전류 구동을 실시한다.

맨처음의 게조(변화 전의 게조)가 1이면, 스위치(D0)가 온 상태로 되고 단위 트랜지스터(164)가 1개 동작한다. 목표의 게조가 4이면, 스위치(D2)가 동작하고, 단위 트랜지스터(164)가 4개 동작한다. 그러나, 단위 트랜지스터(164)가 4개로는 충분히 기생 용량(Cs)을 목표치까지 방전시킬 수 없다. 그래서, 스위치(D7)를 폐쇄하고 단위 트랜지스터 군(321h)을 동작시킨다.

또한, D7 스위치의 동작은 D2 스위치의 동작 이외에 추가로 실시해도 되고(1H의 전반 혹은 맨처음에 D7과 D2 스위치를 온시키고, 후반에 D2 스위치만을 온시킨다), 1H의 전반 혹은 맨처음에 스위치 D7만을 온시키고, 후반에 스위치 D2만을 온시켜도 된다.

스위치(D7)가 온 상태로 되면, 단위 트랜지스터(164)가 128개 동작한다(혹은 128 개수만큼에 상당하는 단위 전류가 출력된다). 따라서, D2 스위치만의 동작에 비해 $128/4=32$ 이기 때문에 32배의 속도로 기생 용량(Cs)의 전하를 방전시킬 수 있다. 따라서, 프로그램 전류의 기입 개선이 가능하다.

스위치(D7)를 온시킬지의 여부는 RGB의 영상 데이터마다 컨트롤러 회로(IC)(도시 생략)에서 판단한다. 컨트롤러 회로(IC)로부터는 판단 비트(KDATA)가 소스 드라이버 회로(IC)(14)에 인가된다. KDATA는 일례로서 5 비트이다. KDATA는 MSB의 1 비트와 하위 4 비트로 나누어진다. KDATA의 MSB가 0(L 레벨)일 때에는 과전류 구동은 실시하지 않는다. KDATA의 MSB가 1(H 레벨)일 때에는 과전류 구동을 실시한다. 즉, 과전류 구동을 실시하고, 그 후, 목적 계조에 대응하는 프로그램 전류를 인가한다.

또한, 프리차지 전압(Vp)을 인가할지의 여부는 프리차지 비트로 설정한다. 프리차지 비트가 0(L 레벨)일 때에는 프리차지 전압(Vp)을 인가하지 않는다. 프리차지 비트가 1(H 레벨)일 때에는 프리차지 전압(Vp)을 인가하고, 또한, KDATA의 설정치에 대응하여 과전류 구동을 실시하고, 그 후, 목적 계조에 대응하는 프로그램 전류를 인가한다.

KDATA의 하위 4 비트는 과전류를 인가하는 기간을 15 단계로 나타낸다. 이 값에 기초하여, 16 단계의 기간의 과전류 구동을 실시한다. 따라서, KDATA의 하위 4 비트의 크기는 D5 비트를 온시키는 시간을 나타낸다.

KDATA는 래치 회로(221)에서 1H 기간 유지된다. 카운터 회로(212)는 HD(1H의 동기 신호)로 리셋되고, 클럭(CLK)에서 카운트된다. 카운터 회로(212)와 래치 회로(221)의 데이터가 비교되고, 카운터 회로(212)의 카운트값이, 래치 회로(221)의 데이터값(KDATA의 하위 4 비트)보다도 작을 때, AND 회로(213)는 내부 배선(162b)에 온 전압을 계속해서 출력하여, 스위치(D5)의 온 상태가 유지된다. 따라서, 단위 트랜지스터 군(321h)의 단위 트랜지스터(164)의 전류가 내부 배선(162a) 및 소스 신호선(18)에 흐른다. 또한, 전류 프로그램 시에는 스위치(161b)가 폐쇄되고, 프리차지 구동 시에는 스위치(161a)가 폐쇄되고, 스위치(161b)가 오픈 상태로 된다.

도 33은 컨트롤 IC(회로)의 동작의 설명도이다. 단, 1 화소 열(RGB의 조)의 처리의 설명도이다. 영상 데이터 데이터(8 비트×RGB)는 내부 클럭에 동기하여 래치 회로(221a와 221b)에 2단 래치된다. 따라서, 래치 회로(221b)에는 1H 전의 영상 데이터가 유지되고, 래치 회로(221a)에는 현재의 영상 데이터가 유지된다.

비교 회로(331)는 1H 전의 영상 데이터와 현재의 영상 데이터를 비교하여, KDATA의 값을 도출한다. 도출은 과전류 구동을 실시할지 여부의 MSB의 1 비트와, 과전류를 인가하는 시간인 하위 4 비트의 값이다. 또한, 필요에 따라, 프리차지 전압(Vp)을 인가할지 여부의 프리차지 비트의 설정도 행한다. 또한, 과전류 구동에서 필요에 따라, 어느 스위치(D0~D7)를 온(클로즈) 상태로 할지를 설정해도 된다. 또한, 프리차지 전압(Vp)의 크기를 설정해도 된다.

영상 데이터 DATA는 소스 드라이버 회로(IC)(14)에 전송된다. 또한, 컨트롤러 IC(회로)는 카운터 회로(212)의 상한 카운트값(CNT)을 소스 드라이버 회로(IC)(14)에 전송한다.

KDATA는 비교 회로(331)에서 결정된다. 결정은 변화 전의 영상 데이터(1H 전의 데이터)와 변환 후의 영상 데이터(현재의 데이터)로부터 결정된다. 1H 전의 데이터란, 현재의 소스 신호선(18)의 전위를 나타낸다. 현재의 데이터란, 변환시키는 소스 신호선(18)의 목표 전위를 나타낸다. 또한, 소스 신호선(18)의 전위는 영상 데이터의 계조에 대응하기 때문에, 영상 데이터에 기초하여 결정해도 된다.

도 31에 도시하여 설명한 바와 같이, 프로그램 전류의 기입은 소스 신호선(18)의 전위를 고려하여 행하는 것이 중요하다. 기입 시간 T는, $T=ACV/I$ (A:비례 상수, C:기생 용량의 크기, V:변화하는 전위차, I:프로그램 전류)로 나타낼 수 있다. 따라서, 변화하는 전위차(V)가 크면 기입 시간이 길어진다. 한편, 프로그램 전류 I=Iw가 커지면 기입 시간은 짧아진다.

본 발명에서는 과전류 구동으로 I를 크게 한다. 그러나, 어떠한 경우에도 I를 크게 하면, 목표의 소스 신호선(18) 전위를 초과하는 경우가 발생한다. 따라서, 과전류 구동을 실시하는 경우에는 전위차(V)를 고려할 필요가 있다. 현재의 소스 신호선(18)의 전위와, 다음의 영상 데이터(현재의 영상 데이터(다음에 인가하는 영상 데이터=(변화 후:도 34의 세로 방향))로부터 결정되는 목표의 소스 신호선(18) 전위로부터, KDATA를 구한다.

KDATA는 D7 스위치를 온시키는 시간인 경우도 있지만, 과전류 구동에서의 전류의 크기이어도 된다. 또한, D7 스위치의 온 시간(시간이 길수록 소스 신호선(18)에 인가하는 과전류 인가 시간이 길어지고, 과전류의 실효치가 커진다)과, 과전류의 크기(크기가 클수록 소스 신호선(18)에 인가하는 과전류의 실효치가 커진다)의 양방을 조합시켜도 된다. 설명을 쉽게 하기 위해, 먼저, KDATA는 D7 스위치의 온 시간이라고 하여 설명을 한다.

비교 회로(331)는 1H 전과 변화 후(도 34를 참조할 것)의 영상 데이터를 비교하여 KDATA의 크기를 결정한다. KDATA에 0 이외의 데이터가 설정되는 경우에는 이하의 조건에 합치하는 경우이다.

1H 전의 영상 데이터가 저계조 영역인 경우(0 계조 이상 모든 계조의 1/8 이하의 영역인 것이 바람직하다. 예를 들면, 256 계조의 경우에는 0 계조 이상 32 계조 이하이다.)이고, 또한, 변화 후의 영상 데이터가 중간조 영역 이하인 경우(1 계조 이상 모든 계조의 1/2 이하의 영역인 것이 바람직하다. 예를 들면, 256 계조의 경우에는 1 계조 이상 128 계조 이하의 영역이다.)에 KDATA를 설정한다. 설정하는 데이터는 구동용 트랜지스터(11a)의 VI 특성 커브를 고려하여 결정한다. 소스 신호선(18)의 Vdd 전압으로부터, 0 계조째의 전압인 V0(완전 흑 표시)까지의 전위차는 크다. 또한, V0 전위로부터, 1 계조째의 V1까지의 전위차는 크다. 다음의 2 계조째인 V2 전압과 V1 전압까지의 전위차는 V0 전압으로부터 V1 전압까지의 전위차보다도 매우 작다. 이 후, V3과 V2, V4와 V3으로 됨에 따라서 전위차는 작아진다. 이상과 같이 고계조 측으로 됨에 따라서, 전위차가 작아지는 것은 구동용 트랜지스터(11a)의 VI 특성이 바로 비선형이기 때문이다.

계조간의 전위차는 기생 용량(Cs)의 전하의 방전량에 비례한다. 따라서, 프로그램 전류의 인가 시간 즉, 과전류 구동에서의 과전류(Id)의 인가 시간과 크기에 연동한다. 예를 들면, 1H 전의 V0(계조 0)와 변화 후의 V1(계조 1)의 계조 차가 작기 때문이라고 해서, 과전류(Id)의 인가 시간을 짧게 할 수는 없다. 전위차가 크기 때문이다.

반대로, 계조 차가 크더라도 과전류를 크게 할 필요가 없는 경우도 있다. 예를 들면, 계조 10과 계조 32에서는 계조 10의 전위 V10과 계조 V32의 전위 차도 작고, 계조 32의 프로그램 전류(Iw)도 크기 때문에, 기생 용량(Cs)을 단시간에 충방전 할 수 있기 때문이다.

도 34는 가로축에 1H 전(변화 전, 즉 현재의 소스 신호선(18) 전위를 나타낸다)의 영상 데이터의 계조 번호를 나타내고 있다. 또한, 세로축에 현재의 영상 데이터의 계조 번호(변화 후, 즉 변화시키는 목표의 소스 신호선(18) 전위를 나타낸다)를 나타내고 있다.

0 계조째(1H 전)로부터 0 계조째(변화 후)로 변화시키는 것은 전위 변화가 없기 때문에, KDATA는 0이면 된다. 소스 신호선(18)의 전위 변화가 없기 때문이다. 0 계조째(1H 전)로부터 1 계조째(변화 후)로 변화시키는 것은 V0 전위로부터 V1 전위로 변화시킬 필요가 있다. V1-V0 전압은 크기 때문에, KDATA는 MSB를 1로 하고, 하위 4 비트를 최고치의 15(일례이다)로 설정한다. 소스 신호선(18)의 전위 변화가 크기 때문이다. 1 계조째(1H 전)로부터 2 계조째(변화 후)로 변화시키는 것은 V1 전위로부터 V2 전위로 변화시킬 필요가 있고, V2-V1 전압은 비교적 크기 때문에, KDATA의 하위 4 비트는 최고치 근방의 12(일례이다)로 설정한다. 소스 신호선(18)의 전위 변화가 크기 때문이다. 3 계조째(1H 전)로부터 4 계조째(변화 후)로 변화시키는 것은 V3 전위로부터 V4 전위로 변화시킬 필요가 있다. 그러나, V4-V3 전압은 비교적 작기 때문에, KDATA의 하위 4 비트는 작은 값인 2로 설정한다. 소스 신호선(18)의 전위 변화가 작아도 되고, 기생 용량(Cs)의 충방전을 단시간에 실시할 수 있고, 목표의 프로그램 전류를 화소(16)에 기입할 수 있기 때문이다.

변화 전이 저계조 영역이라 하더라도, 변화 후의 계조가 중간조 이상인 경우에는 KDATA의 MSB=0으로 하고, 하위 4 비트의 값은 0이다. 변화 후의 계조에 대응하는 프로그램 전류가 크고, 1H 기간 내에 소스 신호선(18)의 전위를 목표 전위 또는 근방의 전위까지 변화시킬 수 있기 때문이다. 예를 들면, 2 계조로부터 38 계조째로 변화시킬 경우에는 KDATA=0이다.

변화 후가 변화 전보다 저계조인 경우에서, 과전류 구동은 실시하지 않는다. 38 계조로부터 2 계조째로 변화시키는 경우에는 KDATA의 MSB를 0으로 하고, 하위 4 비트=0이다. 이 경우에는 도 31의 (b)가 해당하고, 주로 화소(16)의 구동용 트랜지스터로부터 프로그램 전류(Id)가 기생 용량(Cs)에 공급되기 때문이다. 도 31의 (b)의 경우에는 과전류 구동 방식은 실시하지 않고, 전압+ 전류 구동 방식 혹은 프리차지 전압 구동을 실시하는 것이 바람직하다.

본 발명의 과전류 구동 방식에서, 도 6, 도 9 등에서 설명한 N배 구동 방식, duty비를 제어하는 구동 방식과 조합하는 것은 효과가 있다. 또한, 과전류를 인가할 때에 기준 전류를 증가시키는 것은 효과가 있다. 기준 전류의 가변은 도 15 등에서 설

명한 전자 볼륨(152) 등에서 행한다. 기준 전류의 증가에 의해, 도 32 등의 구성으로는 과전류도 증가시킬 수 있기 때문이다. 따라서, 기생 용량(C_s)의 충방전 시간도 짧아진다. 기준 전류의 크기 혹은 기준 전류비의 제어에 의해, 과전류 구동 방식의 과전류의 크기를 제어할 수 있는 점도 본 발명의 특징 있는 구성이다.

이상과 같이, KDATA가 컨트롤 IC(회로)에서 결정되고, KDATA가 소스 드라이버 회로(IC)(14)에 차동 신호로 전송된다. 전송된 KDATA는 도 32의 래치 회로(221)에서 보유되고, D7 스위치가 제어된다. 또한, 제어는 스위치(D7)뿐 아니라, 스위치(D7, D6)를 동시에 제어해도 된다. 또한, 시분할로 제어해도 된다. 즉, 복수의 스위치를 과전류 인가 시에 제어를 행해도 된다.

도 34의 표의 관계는 매트릭스 ROM 테이블 또는 룩 업 테이블(931)을 이용하여 KDATA를 설정해도 되지만, 계산식을 프로그램하고, 마이크로컴퓨터 혹은 컨트롤러 IC(회로)의 승산기를 이용하여 KDATA의 산출(도출)을 행해도 된다. 또한, 컨트롤러 IC(회로)에서 실시하는 것에 한정되는 것이 아니며, 소스 드라이버 회로(IC)(14)에 내장의 컨트롤 회로 혹은 연산 회로에서 실시해도 됨은 물론이다.

본 발명은 기준 전류의 크기에 의해 프로그램 전류(I_w)의 크기가 기준 전류에 비례하여 변화한다. 따라서, 도 32 등의 과전류 구동의 과전류의 크기도 기준 전류의 크기에 비례하여 변화한다. 도 34에서 설명한 KDATA의 크기도 기준 전류의 크기의 변화에 연동시킬 필요가 있음은 물론이다. 즉, KDATA의 크기는 기준 전류의 크기에 연동시키는 혹은 기준 전류의 크기를 고려하는 것이 바람직하다. 기준 전류가 크면 과전류의 크기가 비례하여 커지고, 기준 전류의 크기가 작으면 과전류의 크기도 작아지기 때문이다.

본 발명의 과전류 구동 방식의 기술적 사상은 프로그램 전류의 크기, 구동용 트랜지스터(11a)로부터의 출력 전류 등에 대응하여 과전류의 크기, 인가 시간(인가 기간), 과전류의 실효치를 설정하는 것이다. 또한, 과전류 구동과 프리차지 구동을 조합하는 것이다.

비교 회로(331) 또는 비교 수단 등으로는 RGB의 영상 데이터마다 비교를 실시하지만, RGB 데이터로부터 휘도(Y값)를 구하여, KDATA를 산출해도 됨은 물론이다. 즉, 단순히, 각 RGB에서 비교하는 것은 아니며, 색도 변화, 휘도 변화를 고려하고, 또한, 계조 데이터의 연속성, 주기성, 변화 비율을 고려하여 KDATA를 산출 혹은 결정 혹은 연산한다. 또한, 1 화소 단위가 아니고, 주변의 화소의 영상 데이터 혹은 영상 데이터와 유사한 데이터를 고려하여 KDATA를 도출해도 됨은 물론이다. 예를 들면, 표시 화면(34)을 복수의 블록으로 분할하고, 각 블록 내의 영상 데이터 등을 고려하여 KDATA를 결정하는 방식이 예시된다.

도 32 등에서, 과전류 구동 시에 과전류를 흘리기 위해 선택하는 스위치의 클로즈 기간(예를 들면, D7 스위치가 선택되는 시간)은 1H(1 수평 주사 기간)의 3/4 기간 이하 1/32 기간 이상으로 설정하는 것이 바람직하다. 더욱 바람직하게는 1H(1 수평 주사 기간)의 1/2 기간 이하 1/16 기간 이상으로 설정하는 것이 바람직하다. 과전류를 인가하는 기간이 길면, 정규의 프로그램 전류를 인가하는 기간이 짧아지고, 전류 보상이 양호하게 되지 않는 경우가 있다. 또한, 기생 용량의 온도 의존성에 의해 과전류를 지나치게 인가하게 되기 때문이다. 반대로 과전류의 인가 기간이 짧으면 소스 신호선(18)의 전위 변화를 목표치에 도달시킬 수 없게 되어, 목표치의 전위에 대한 편차도 커진다.

과전류를 인가하는 기간이 짧으면, 목표의 소스 신호선(18)의 전위까지 도달할 수 없다. 과전류 구동에서는 목표의 계조의 소스 신호선(18) 전위까지 행하는 것이 바람직한 것은 물론이다. 그러나, 과전류 구동만으로 완전하게 목표의 소스 신호선 전위로 할 필요는 없다. 1H의 전반의 과전류 구동 후에, 정규의 전류 구동을 실시하고, 과전류 구동에 의해 발생한 오차는 정규의 전류 구동에 의한 프로그램 전류로 보상되기 때문이다. 따라서, 과전류 구동은 소스 신호선(18)의 전위 목표치보다도 작게 설정(미도달)하는 것이 바람직하다. 본 발명은 과전류 구동에서의 편차가 발생해도, 영상 신호에 대한 프로그램 전류로 보정할 수 있는 것이 하나의 특징 있는 방식이다.

도 35는 과전류 구동 방식을 실시한 경우의, 소스 신호선(18)의 전위 변화를 도시하고 있다. 도 35의 (a)는 일례로서 D7 스위치를 1/(2H) 기간 온 상태로 한 경우이다. 1 수평 주사 기간(1H)의 맨처음인 t_1 부터 D7 스위치를 온 하고, 128개분의 단위 트랜지스터(164)의 단위 전류가 출력 단자(83)로부터 흡입된다. D7 스위치는 1/(2H)의 t_2 기간까지, 온 상태가 유지되고, 과전류(I_{d2})가 소스 신호선(18)에 흐른다. 따라서, 소스 신호선(18)의 전위는 목표 전위의 V_n 전위 근방의 V_m 전위까지 저하한다. 그 후 (t_2 후), D5 스위치는 오프 상태로 되고, 정규의 프로그램 전류(I_w)가 1H의 종료(t_3)까지, 소스 신호선(18)에 흘러, 소스 신호선(18) 전위는 목표의 V_n 전위로 된다.

소스 드라이버 회로(IC)(14)는 정전류 동작한다. 따라서, $t_2 \sim t_3$ 기간에는 정전류의 프로그램 전류(I_w)가 흐른다. 이 프로그램 전류(I_w)에 의해, 기생 용량(C_s)이 목표 전위로 될 때까지 충방전되면, 화소(16)의 구동용 트랜지스터(11a)로부터 전

류(I)가 흐르고, 소스 신호선(18)의 전위는 목표 프로그램 전류(Iw)가 흐르도록 유지된다. 따라서, 구동용 트랜지스터(11a)는 소정 프로그램 전류(Iw)가 흐르도록 유지된다. 이상과 같이, 과전류 구동의 과전류의 정밀도는 필요 없다. 정밀도가 없어도, 화소(16)의 구동용 트랜지스터(11a)에 의해 보정된다.

도 35의 (b)는 D7 스위치를 1/(4H)기간 온 상태로 한 경우이다. 1 수평 주사 기간(1H)의 맨처음인 t1부터 D7 스위치를 온 하고, 32개분의 단위 트랜지스터(164)의 단위 전류가 출력 단자(83)로부터 흡입된다. D7 스위치는 1/(4H)의 t4 기간까지 동안, 온 상태가 유지되고, 과전류(Id2)가 소스 신호선(18)에 흐른다. 따라서, 소스 신호선(18)의 전위는 목표 전위의 Vn 전위 근방의 Vm 전위까지 저하한다. 그 후(t4 후), D7 스위치는 오프 상태로 되고, 정규의 프로그램 전류(Iw)가 1H의 종료(t3)까지, 소스 신호선(18)에 흘러, 소스 신호선(18) 전위는 목표의 Vn 전위로 된다.

소스 드라이버 회로(IC)(14)는 정전류 동작한다. 따라서, t4~t3 기간에는 정전류의 프로그램 전류(Iw)가 흐른다. 이 프로그램 전류(Iw)에 의해, 기생 용량(Cs)이 목표 전위로 될 때까지 충방전되면, 화소(16)의 구동용 트랜지스터(11a)로부터 전류(I)가 흐르고, 소스 신호선(18)의 전위는 목표 프로그램 전류(Iw)가 흐르도록 유지된다. 따라서, 구동용 트랜지스터(11a)는 소정 프로그램 전류(Iw)가 흐르도록 유지된다. 이상과 같이, 과전류 구동의 과전류의 정밀도는 필요 없다. 정밀도가 없어도, 화소(16)의 구동용 트랜지스터(11a)에 의해 보정된다.

도 35의 (c)는 D7 스위치를 1/(8H) 기간 온 상태로 한 경우이다. 1 수평 주사 기간(1H)의 맨처음인 t1부터 D7 스위치를 온 하고, 32개분의 단위 트랜지스터(164)의 단위 전류가 출력 단자(83)로부터 흡입된다. D7 스위치는 1/(8H)의 t5 기간까지, 온 상태가 유지되고, 과전류(Id2)가 소스 신호선(18)에 흐른다. 따라서, 소스 신호선(18)의 전위는 목표 전위의 Vn 전위 근방의 Vm 전위까지 저하한다. 그 후(t5 후), D7 스위치는 오프 상태로 되고, 정규의 프로그램 전류(Iw)가 1H의 종료(t3)까지, 소스 신호선(18)에 흘러, 소스 신호선(18) 전위는 목표의 Vn 전위로 된다.

이상과 같이, 단위 트랜지스터(164)의 동작 개수와, 1개의 단위 트랜지스터(164)의 단위 전류의 크기가 고정치이다. 따라서, D7 스위치의 온 시간에 의해, 비례하여 기생 용량(Cs)의 충방전 시간을 조작할 수 있고, 소스 신호선(18)의 전위를 조작할 수 있다. 또한, 설명을 쉽게 하기 위해, 기생 용량(Cs)을 과전류에 의해 충방전시킨다고 하고 있지만, 화소(16)의 스위치 트랜지스터 등의 리크도 있기 때문에, Cs의 충방전에 한정되는 것은 아니다.

이상과 같이, 과전류의 크기가 단위 트랜지스터(164)의 동작 개수에 의해 파악할 수 있는 점이 본 발명의 특징 있는 구성이다. 기입 시간 t는 $T=ACV/I(A)$:비례 상수, C:기생 용량의 크기, V:변화하는 전위차, I:프로그램 전류)로 나타낼 수 있기 때문에, KDATA의 값도, 기생 용량(어레이 설계 시에 파악할 수 있다), 구동용 트랜지스터(11a)의 VI 특성(어레이 설계 시에 파악할 수 있다) 등으로부터 이론치로 KDATA의 값을 결정할 수 있다.

도 32의 실시예는 최상위 비트 D7 스위치를 조작함으로써, 과전류 구동의 과전류(Id)의 크기, 인가 시간을 제어하는 것이었다. 본 발명은 이것에 한정되는 것은 아니다. 최상위 비트 이외의 스위치를 조작 혹은 제어해도 됨은 물론이다.

도 36은 소스 드라이버 회로(IC)(14)가 각 RGB8 비트 구성인 경우에, 최상위 비트의 스위치(D7)와 최상위 비트로부터 2 번째의 스위치(D6)를 KDATA에 의해 제어한 구성이다. 또한, 설명을 쉽게 하기 위해, D7 비트에는 128개의 단위 트랜지스터(164)가 형성 또는 배치되어 있다고 하고, D6 비트에는 64개의 단위 트랜지스터(164)가 형성 또는 배치되어 있다고 한다.

도 36의 (a1)은 D7 스위치의 동작을 나타내고 있다. 도 36의 (a2)는 D6 스위치의 동작을 나타내고 있다. 도 36의 (a3)은 소스 신호선(18)의 전위 변화를 나타내고 있다. 도 36의 (a)에서는 D7, D6의 스위치가 동시에 동작하기 때문에, 단위 트랜지스터(164)는 128+64개가 동시에 동작하고, 출력 단자(83)로부터 소스 드라이버 회로(IC)(14)에 유입된다. 따라서, 계조 0의 V0 전압으로부터 계조 3의 V3 전압까지 고속으로 소스 신호선(18) 전위를 변화시킬 수 있다. 또한, t2 후에는 정규의 스위치(D)가 폐쇄되고, 정규의 프로그램 전류(Iw)가 출력 단자(83)로부터 소스 드라이버 회로(IC)(14)에 흡입된다.

마찬가지로, 도 36의 (b1)는 D7 스위치의 동작을 나타내고 있다. 도 36의 (b2)는 D6 스위치의 동작을 나타내고 있다. 도 36의 (b3)은 소스 신호선(18)의 전위 변화를 나타내고 있다. 도 36의 (b)에서는 D7 스위치만이 동작하기 때문에, 단위 트랜지스터(164)는 128개가 동시에 동작하고, 출력 단자(83)로부터 소스 드라이버 회로(IC)(14)에 유입된다. 따라서, 계조 0의 V0 전압으로부터 계조 2의 V2 전압까지 고속으로 소스 신호선(18) 전위를 변화시킬 수 있다. 도 36의 (a)보다 변화 속도는 작다. 그러나, 변화하는 전위가 V0으로부터 V2이기 때문에, 적정하다. 또한, t2 후에는 정규의 스위치(D)가 폐쇄되고, 정규의 프로그램 전류(Iw)가 출력 단자(83)로부터 소스 드라이버 회로(IC)(14)에 흡입된다.

또한, 이상의 실시예는 싱크 전류인 경우이다. 구동용 트랜지스터(11a)가 N 채널인 경우에는 소스 드라이버 IC(회로)(14)의 단위 트랜지스터(164)는 P 채널 트랜지스터로 형성된다. 따라서, 단위 트랜지스터(164)로부터의 출력 전류(과전류)는 소스 신호선(18)에 토출된다.

이상과 같이, 본 발명은 소스 드라이버 IC(회로)(14)가 싱크 전류 동작하는 경우를 예시하여 설명하고 있지만 이것에 한정하는 것은 아니며, 소스 전류(토출 전류)의 경우도, 실시예의 필요 개소를 고쳐 읽는 것으로 적용할 수 있기 때문에, 본 발명의 기술적 범주이다.

마찬가지로, 도 36의 (c1)은 D7 스위치의 동작을 나타내고 있다. 도 36의 (c2)는 D6 스위치의 동작을 나타내고 있다. 도 36의 (c3)은 소스 신호선(18)의 전위 변화를 나타내고 있다. 도 36의 (c)에서는 D6 스위치만이 동작하기 때문에, 단위 트랜지스터(164)는 64개가 동시에 동작하고, 출력 단자(83)로부터 소스 드라이버 회로(IC)(14)에 유입된다. 따라서, 계조 0의 V0 전압으로부터 계조 1의 V1 전압까지 고속으로 소스 신호선(18) 전위를 변화시킬 수 있다. 도 36의 (b)보다 변화 속도는 작다. 그러나, 변화하는 전위가 V0으로부터 V1이기 때문에, 적정하다. 또한, t2후는 정규의 스위치(D)가 폐쇄되고, 정규의 프로그램 전류(Iw)가 출력 단자(83)로부터 소스 드라이버 회로(IC)(14)에 흡입된다.

이상과 같이 KDATA에 의해, 스위치의 온 기간뿐 아니라, 복수의 스위치를 조작 혹은 동작시키고, 동작시키는 단위 트랜지스터(164)의 개수 혹은 단위 전류의 크기를 변화 혹은 가변 혹은 조정함으로써, 적정한 소스 신호선 전위로 설정 혹은 변화시킬 수 있다.

도 36에서는 과전류 구동에 의한 스위치(D)(D6, D7)를 t1로부터 t2의 기간에 동작시킨다고 했지만, 이것에 한정하는 것이 아니며, 도 28에 도시 혹은 설명한 바와 같이, t2, t3, t4 등과 같이 KDATA의 값에 의해서 변화 혹은 변경해도 됨은 물론이다. 또한, 과전류를 인가하고 있는 기간에 기준 전류 혹은 기준 전류의 크기를 제어 혹은 변경하고, 과전류의 크기를 조정해도 된다. 또한, 이 경우라 하더라도, 정규의 프로그램 전류를 인가하고 있는 기간은 기준 전류 혹은 기준 전류의 크기는 정규의 값으로 한다.

조작하는 스위치는 D7, D6에 한정하는 것이 아니며, D7 등 다른 스위치도 동시에 혹은 선택하여 동작 혹은 제어해도 됨은 물론이다. a기간의 예에서는 과전류 구동으로서 1/(2H)의 기간 D7 스위치를 온 상태로 하여, 128개의 단위 전류로 이루어지는 과전류를 소스 신호선(18)에 인가하고 있다.

b기간의 예에서는 과전류 구동으로서 1/(2H)의 기간 D7, D6 스위치를 온 상태로 하여, 128+ 64개의 단위 전류로 이루어지는 과전류를 소스 신호선(18)에 인가하고 있다.

c기간의 예에서는 과전류 구동으로서 1/(2H)의 기간 D7, D6, D5 스위치를 온 상태로 하고, 128+ 64+ 32개의 단위 전류로 이루어지는 과전류를 소스 신호선(18)에 인가하고 있다.

d기간의 예에서는 과전류 구동으로서 1/(2H)의 기간 D7, D6, D5 스위치와 상기 스위치에 해당하지 않는 영상 데이터의 스위치(예를 들면, 영상 데이터가 4이면, D2 스위치)를 온 상태로 하여, 128+ 64+ 32+ α개의 단위 전류로 이루어지는 과전류를 소스 신호선(18)에 인가하고 있다.

이상의 실시예는 도 32 등에서 설명한 바와 같이, 스위치(D7) 등을 제어함으로써, 소정 기간에 과전류를 발생시키는 방식이었다. 그 밖에, 도 15에서 설명한 기준 전류(Ic)를 변화시키는 것도 예시된다. 즉, 소정 기간에, 전자 볼륨(152)을 제어함으로써, 기준 전류(Ic)를 크게 하고, 출력 단자(83)로부터 출력되는 프로그램 전류(Iw)를 크게 한다. 크게 한 프로그램 전류(Iw)는 도 32 등에서 설명한 과전류로 간주할 수 있다. 따라서, 도 32 등에서 설명한 효과를 누릴 수 있다. 또한, 이상에 설명한 소정 기간에 기준 전류를 크게 하는 방식과, 도 32 등에서 설명한 소정 기간에 스위치(D)를 제어하는 방식을 조합시켜도 됨은 물론이다. 또한, 이상의 방식과 도 147에서 설명하는 점등률 제어 방식 등과 조합시켜도 됨은 물론이다. 또한, duty비 제어, N배 구동 방식, 프리차지 구동 등과 조합해도 됨은 물론이다.

본 발명에서는 소스 드라이버 회로(IC)(14) 내에 트랜지스터 군(165c)을 가지고, 이 트랜지스터 군(165c)은 스위치(D)의 온 오프에 의해, 계조가 대응한 단위 전류(프로그램 전류)를 출력할 수 있다. 따라서, 트랜지스터 군(165c)으로부터 소정의 계조에 해당하는 프로그램 전류를 출력하고, 화소(16)의 구동용 트랜지스터(11a)를 동작시킴으로써, 상기 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류를 흘릴 수 있도록 설정 혹은 조정할 수 있다.

이 동작 시, 도 1에 도시하는 화소 구성에서는 트랜지스터(11b, 11c)가 클로즈 상태이기 때문에, 소스 신호선(18)의 전위와, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자의 전위는 동일 전위이다. 따라서, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류(I_w)를 흘리고 있을 때의 소스 신호선(18)의 전위는 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류(I_w)를 흘리는 데 필요한 전위(전압)라는 것으로 된다. 이 전압을 프리차지 전압(V_p)으로 하면, 프리차지 전압(V_p)을 소스 신호선(18)에 인가하면, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류(I_w)를 흘리는 것으로 된다.

소스 드라이버 IC(회로)(14)로부터 프리차지 전압(V_p)을 소스 신호선(18)에 인가하고, 해당 화소 행의 게이트 신호선(17a)에 온 전압을 인가함으로써 선택한다. 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 프리차지 전압(V_p)이 인가되고, 구동용 트랜지스터(11a)가 프로그램 전류(I_w)를 흘리도록 프로그램(설정)된다. 따라서, 프리차지 전압(V_p)을 해당 화소(16)의 구동용 트랜지스터(11a)의 특성에 맞춰 인가하면, 정밀도 좋게 구동용 트랜지스터(11a)는 프로그램 전류(I_w)에 프로그램된다. 프리차지 전압(V_p)은 전압이기 때문에, 소스 신호선(18)에 기생 용량이 있더라도, 순차적인 소스 신호선(18)의 전위를 충방전할 수 있다. 즉, 프리차지 구동의 이점을 누릴 수 있다.

본 발명에서는 영상의 계조 신호에 대응하는 프로그램 전류와, 정전류를 I_w 로 표현하고 있다. 이것은 정전류(I_w)는 소스 드라이버 IC(회로)(14)로부터 발생시키기 때문에 발생 소자, 그 구조가 일치하고 있는 것, 계조에 대응하는 프로그램 전류를 소정의 설정으로 한 경우가 정전류이기 때문이다.

이상과 같이, 소스 신호선(18)에 정전류(소정 전류)(I_w)를 인가하고, 그 때에 소스 신호선(18)의 전위를 측정한 것을 프리차지 전압(V_p)으로 했다. 도 25의 A 기간에 인가하는 전압을 프리차지 전압(V_p)으로 했다. 양자는 의미가 서로 다르지만, 소스 신호선(18)에 인가하고, 소스 신호선(18)의 전하를 충방전하는 기능으로서 동일하다. 따라서, 양자 모두 프리차지 전압(V_p)이라고 한다.

이상으로부터, 화소(16)의 각 구동용 트랜지스터(11a)가 프로그램 전류(I_w)를 흘리는 전위를 측정 혹은 파악하고, 이 전압을 프리차지 전압(V_p)으로 하여, 프로그램 시(계조 기입 시)에 설정할 수 있으면, 소스 신호선(18)의 기생 용량에 좌우되지 않고, 고속으로 화소(16)에 계조를 기입할 수 있다. 물론, 프리차지 전압(V_p)의 인가 후, 프로그램 전류(I_w)를 인가함으로써, 높은 정밀도로 화소의 프로그램을 설정할 수 있다.

즉, 본 발명은 구동용 트랜지스터(11a)에 정전류(I_w)($I_w=0(A)$ 도 포함한다)를 인가하고, 그 때의 구동용 트랜지스터(11a)의 게이트 단자 전위를, 소스 신호선(18)을 통하여 측정 혹은 취득한다. 측정 혹은 취득한 전위를 연산 혹은 소정의 처리를 행하고, 혹은 그대로 프리차지 전압(V_p)으로 하여, 소스 신호선(18)에 인가함으로써, 화소(16)의 구동용 트랜지스터(11a)의 특성을 반영하여 계조 기입(전압 프로그램, 전류 프로그램)을 행하는 것이다.

본 발명은 화소의 트랜지스터에 정전류(I_w)를 인가하고, 혹은 화소의 구동 트랜지스터(11a)로부터 정전류(I_w)를 출력시켜, 상기 정전류(I_w)를 인가 또는 출력한 상태에서 화소의 구동 트랜지스터(11a)의 게이트 단자의 전압을 측정한다. 각 화소의 구동 트랜지스터(11a)의 게이트 단자의 전압은 구동 트랜지스터(11a)의 특성에 의해 서로 다르다. 즉, 구동 트랜지스터(11a)에 정전류를 인가하고, 구동 트랜지스터(11a)의 게이트 단자 전압을 측정하는 것은 구동 트랜지스터(11a)의 특성을 측정하게 된다.

측정한 전압은 A/D 변환하여 소스 드라이버 IC(회로)(14)의 내부 혹은 외부에 형성 또는 배치된 메모리에 기억한다. EL 표시 장치에 화상을 표시할 때는 이 메모리에 기억한 전압 데이터를 D/A 변환하여 아날로그 전압으로 하고, 이 아날로그 전압(프리차지 전압(V_p))을 그대로, 혹은 이 아날로그 전압을 기준 또는 원점으로 하여, 계조 전압을 가감산하고, 목표의 계조 신호(프리차지 전압(V_p))를 구하여, 대응하는 화소에 인가한다.

따라서, 측정한 전압을 기준으로 하여, 계조 혹은 계조 차에 대응하는 영상 전압을 가산하여 상기 구동용 트랜지스터(11a)에 인가하는 동작은 화소의 구동용 트랜지스터(11a)의 특성을 보정한 후에, 영상 신호로서의 계조 신호(전압 신호)를 인가하고 있는 것으로 된다.

측정 혹은 취득하는 구동용 트랜지스터(11a)의 게이트 단자 전압은 측정 후, 리얼 타임으로 영상 전압에 가감산 처리, 혹은 그대로 화소의 구동용 트랜지스터에 인가하도록 구성해도 된다. 또한, 정전류(I_w)는 0(A)의 상태도 포함한다(정전류를 흘리지 않는다). 정전류(I_w)=0(A)의 경우에는 대응 화소를 선택하고, 화소의 구동용 트랜지스터(11a)의 게이트-드레인 단자를 단락하면 된다.

전압 프로그램 방식은 화소의 트랜지스터(11a)의 특성 보상이 불충분하다는 결점을 가지고 있었다. 그러나, 본 발명은 화소의 트랜지스터(11a)에 정전류를 인가하는 전류 프로그램 방식을 실시하고, 트랜지스터의 게이트 단자 전위를 측정함으로써, 전류 프로그램 방식의 이점인 트랜지스터의 특성 보상 능력을 발휘시킨다.

정전류(I_w)를 소정 이상의 크기의 전류치로 함으로써, 전류 프로그램 방식의 약점인 저계조 영역(저전류 영역)에서의 기입 부족의 문제가 발생하지 않는다. 또한, 영상 표시할 때에, 화소에 인가하는 영상 신호는 전압 신호이기 때문에, 저계조 영역이라 하더라도, 기입 부족은 발생하지 않는다. 즉, 측정한 전압을 기준으로 하여 전압을 가산 혹은 감산함으로써 계조 전압을 산출 혹은 구해, 이 계조 전압을 화소의 트랜지스터(11a)에 인가함으로써 전압 구동의 특징인 모든 계조 영역에서 기입 부족이 없다고 하는 이점을 발휘시킬 수 있다.

본 발명은 트랜지스터(11a)에 정전류를 인가하고, 트랜지스터(11a)의 게이트 단자 전압을 직접 혹은 간접적으로 측정 혹은 유지한다고 하여 설명하지만, 이것에 한정되는 것은 아니다. 또한, 정전류의 인가에 의한 전압의 측정 혹은 메모리로의 취득한 데이터는 전압의 크기에 한정되는 것은 아니며, 전후의 전압의 변화량, 전압의 변화 속도, 전압의 차분치이어도 된다. 즉, 프리차지 전압(V_p)을 발생할 수 있는 데이터 등이면 어느 것이어도 된다.

전압의 측정이란, 측정한 전압을 아날로그-디지털 변환(A/D 변환)하여, 드라이버 회로 외부 혹은 내부에 유지하는 동작 혹은 구성도 포함한다. 또한, 전압을 디지털 데이터로서 메모리에 유지하는 동작을 포함한다. 또한, 측정뿐 아니라, 컨텐서 등의 유지 매체에 일시적으로 유지 혹은 래치 혹은 기억하는 동작 혹은 구성도 포함한다. 또한, 정전류(I_w)란 $O(A)$ 도 포함한다.

화소(16)의 구성은 도 1과 같이, 구동용 트랜지스터(11a)의 출력 전류가 소스 신호선(18)에 입출력할 수 있는 구성, 또는 도 12와 같이, 구동용 트랜지스터(11b)와 커런트 미러 회로를 구성하는 트랜지스터(11a)의 출력 전류가 소스 신호선(18)에 입출력할 수 있는 구성이라는 것이 필요하다. 혹은 화소(16) 구성은 도 1과 같이 구동용 트랜지스터(11a)의 게이트 단자 전위가 소스 신호선(18)으로부터 측정 혹은 파악할 수 있는 구성, 또는 도 12와 같이, 구동용 트랜지스터(11b)와 커런트 미러 회로를 구성하는 트랜지스터(11a), 트랜지스터(11b)의 게이트 단자의 전위가 소스 신호선(18)으로부터 측정 혹은 파악할 수 있는 구성인 것이 필요하다. 이들은 전류 구동의 화소 구성이다.

이상과 같이 동작 혹은 구성함으로써, 화소(16)의 구동용 트랜지스터(11a)에 상기 프리차지 전압(V_p)에 해당하는 프로그램 전류가 흐르도록 동작시킬 수 있다. 이때의 소스 신호선(18)의 전위를 측정함으로써, 상기 소정의 계조에 해당하는 프리차지 전압(V_p)을 취득할 수 있다.

이상의 실시예에서는 각 화소(16)의 구동용 트랜지스터(11a)의 정전류(I_w 도 포함한다)를 인가하고, 화소(16)의 구동용 트랜지스터(11a)가 정전류(I_w)를 흘리는 프리차지 전압(V_p)을 측정한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 어레이(30)에 매트릭스 형상으로 형성되는 구동용 트랜지스터(11a)의 특성은 각 로트에서는 서로 다르지만, 로트 내의 각 어레이에서는 특성 변동이 적다. 따라서, 어레이(30) 내에서 특성의 트랜지스터에 정전류(I_w 도 포함)를 흘리고, 이 트랜지스터의 게이트 단자의 전위(V_p)를 측정하여, 이 V_p 를 그 밖의 화소의 구동용 트랜지스터(11a)에 인가해도 된다. 인가하는 V_p 는 다소 화소의 구동용 트랜지스터(11a)가 프로그램 전류(I_w)를 흘리는 특성 전압으로부터 괴리되어 있지만, 그 후, 프로그램 전류를 인가하기 때문에 문제는 없다.

본 발명은 프리차지 전압(V_p)의 설정에 필요한 계조에 해당하는 프로그램 전류를 소스 드라이버 회로(IC)(14)로부터 출력하고, 이 프로그램 전류(정전류)를 구동용 트랜지스터(11a)가 흘리도록 구동용 트랜지스터(11a)의 게이트 단자 전압을 변화시킨다. 구동용 트랜지스터(11a)의 게이트 단자 전압을 측정하여 프리차지 전압(V_p)으로서 피드백하는 것이다. 이와 같이 동작 혹은 설정시킴으로써, 소스 드라이버 회로(IC)(14)의 특성과 어레이의 특성을 피드백하여 휘도가 좋은 프리차지 전압(V_p)을 설정할 수 있다.

이하, 도면을 참조하면서, 프리차지 전압(V_p)을 정밀도 좋게 취득하는 방법에 대해 설명을 한다. 또한, 프리차지 전압(V_p)이란 프로그램 전압이며, 구동용 트랜지스터(11a)의 게이트 단자 전압이라고 설명을 한다. 프로그램 전압의 인가에 의해 EL 소자(15)에 목표 전류를 공급하는 것이다.

먼저, 프리차지 전압(V_p)을 측정 혹은 취득하는 실시예로서, 어레이(30)에 형성 또는 배치된 측정 화소(16s)에 정전류를 인가하는 방법에 대해 설명한다. 측정 화소(16s)는 표시 화면(34)의 주변부(화상 표시에 기여하지 않는 영역) 등에 형성되어 있다. 물론 화상 표시에서 사용하는 화소(16)를 측정 화소(16s)로 해도 된다.

도 37의 (a)는 설명을 쉽게 하기 위해, 계조에 대응하는 프리차지 전압(V_p)의 관계를 나타내고 있다. 도 37의 (a)에 도시한 바와 같이, 일례로서, 계조 0에 대응하는 프리차지 전압(V_p)을 V_0 으로 한다. 계조 1에 대응하는 프리차지 전압(V_p)을 V_1 , 계조 8에 대응하는 프리차지 전압(V_p)을 V_2 , 계조 32에 대응하는 프리차지 전압(V_p)을 V_3 , 계조 128에 대응하는 프리차지 전압(V_p)을 V_4 , 계조 255에 대응하는 프리차지 전압(V_p)을 V_5 로 한다. 물론, 다른 계조를 $V_0 \sim V_5$ 로 설정해도 된다. 또한, $V_0 \sim V_5$ 의 6개에 한정하는 것이 아니며, 6개 이상이어도 되고, 6개 이하이어도 된다.

도 37의 (b)는 프리차지 전압(V_p)을 발생하기 위한 구동용 트랜지스터(11a)를 갖는 측정 화소(16s)를 도시하고 있다. 측정 화소(16s)는 프로그램 전류를 발생시키기는 것이기 때문에, EL 소자(15)를 형성할 필요는 없다. 따라서, 도 1에서의 트랜지스터(11d)는 불필요하고, 또한, 게이트 신호선(17b)도 필요 없다. 물론, 화상을 표시하는 화소(16)와 마찬가지로, EL 소자(15)를 형성해도 된다. 기생 용량 등이 화소(16)와 동일하게 되고, 프리차지 전압(V_p)의 측정이 양호하게 되기 때문이다. 또한, 프리차지 전압(V_p)을 측정하기 위해 이용하는 화소(16)를 측정 화소(16s)라고 한다.

측정 화소(16s)는 게이트 신호선(17a)에 온 전압이 인가되고, 소스 신호선(18)에 프로그램 전류가 인가됨으로써, 구동용 트랜지스터(11a)가 동작하고, 구동용 트랜지스터(11a)의 게이트 단자 전압이 변화한다. 이때의 소스 신호선(18) 전위를 판독함으로써, 프리차지 전압(V_p)을 취득할 수 있다.

예를 들면, 계조 1의 프리차지 전압(V_1)을 취득하는 경우에는 계조 1에 해당하는 프로그램 전류(통상적으로, 1개의 단위 트랜지스터로부터의 출력 전류)를 소스 신호선(18)에 인가하고, 측정 화소(16s)의 구동용 트랜지스터(11a)를 동작시킨다. 이 동작이 완료 시의 소스 신호선(18)의 전위를 측정하면, 프리차지 전압(V_1)을 취득할 수 있다.

본 발명의 실시예에서는 소스 신호선(18)의 전위를 측정한다고 하여 설명하지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 프로브 바늘을 압접하여 측정해도 된다. 또한, 1개의 구동용 트랜지스터(11a)의 게이트 단자 전위를 측정하는 것이 아니며, 예를 들면, 복수 화소 행을 동시에 선택하고, 복수의 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자를 동시에 혹은 평균하여 측정 혹은 파악해도 된다. 또한, V_p 전압의 측정은 게이트 드라이버 회로(12)를 제어하고, 선택하는 게이트 신호선(17a)의 위치를 순차적으로 주사함으로써 행한다.

본 발명의 실시예에서, 전압을 측정한다고 했지만, 측정의 개념은 전압을 유지하는 혹은 얻는 파악하는 등을 포함하는 개념이다. 즉, 취득한 소스 신호선(18)의 전위를 프리차지 전압(V_p)으로서 활용할 수 있는 방식이면, 어느 구성, 형식, 방법 이어도 된다. 예를 들면, 소스 신호선(18s)의 전위를 샘플 홀드하여 활용하는 구성이 예시된다. 또한, 소스 신호선(18s)의 아날로그 전위를 아날로그-디지털 변환(A/D 변환)하고, 디지털 데이터를 그대로, 프리차지 전압($V_0 \sim V_5$)으로서 활용하는 구성 혹은 아날로그 변환하여 $V_0 \sim V_5$ 로서 활용하는 구성이 예시된다. 또한, 소스 신호선(18s)의 전위를 그대로, 피드백하고, $V_0 \sim V_5$ 로서 활용하는 구성이 예시된다.

본 발명의 방식에서, 취득 또는 측정한 소스 신호선(18s)의 전위 혹은 전압 혹은 전위 변화를 인상하거나, 일정한 비율로 연산하거나, 가중 처리를 하거나, 레벨 시프트하거나, 또한, 소정의 가공 혹은 다른 전압치와, 가산 혹은 감산 등을 해도 됨은 물론이다. 또한, 복수회의 측정치를 평균하여 소망치를 얻어도 됨은 물론이다. 또한, 소스 신호선(18s)의 전위 변화로부터 목적 전압을 예측 혹은 추측하는 동작 혹은 처리를 포함한다. 본 명세서에서는 설명을 쉽게 하기 위해, 이들 개념, 방식 혹은 구성을 포함하는 개념으로서 '측정'이라고 설명한다.

프리차지 전압($V_0 \sim V_5$)은 프리차지 전압(V_p)의 발생뿐 아니라, 전압 구동 혹은 감마 곡선을 발생하는 것에도 이용할 수 있다. 따라서, 본 발명의 기술적 사상은 전류 프로그램 방식(구동)뿐 아니라, 전압 프로그램 방식(구동)으로서도 적용할 수 있는 것이다.

도 37의 (b)에서, 컨덴서(19b)를 부가함으로써, 구동용 트랜지스터(11a)가 흘리는 전류를 레벨 시프트할 수 있다. 또한, 게이트 신호선(17a)의 전위의 진폭치를 변화시킴으로써, 구동용 트랜지스터(11a)가 흘리는 전류를 레벨 시프트할 수 있다. 컨덴서(19b)의 크기 등의 화상을 표시하는 화소(16)와 서로 다르게 함으로써, 프리차지 전압(V_p)을 적정한 값으로 아날로그적으로 변화(시프트)시킬 수 있다.

예를 들면, 게이트 신호선(17a)에 온 전압(VGL)을 인가하고, 화소(16s)를 선택하여, 구동용 트랜지스터(11a)에 정전류(I_w)를 흘렸을 때의 구동용 트랜지스터(11a)의 게이트 단자 전위를 3.8(V)로 한다. 다음으로, 게이트 신호선(17a)에 오프 전압(VGH)을 인가하고, 화소(16)의 선택을 완료시킨다. 그러면, 게이트 신호선(17a)의 전위는 VGL로부터 VGH로 변화한

다. 변화에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전위도 컨덴서(19a, 19b)에 의해 전위가 관통하여 애노드 전위(Vdd) 측에 시프트한다. 예를 들면, 관통에 의한 전위 변화가, 0.5(V)이면, 구동용 트랜지스터(11a)의 게이트 단자 전위는 $3.8(V) + 0.5(V) = 4.3(V)$ 로 되고, 구동용 트랜지스터(11a)는 I_w 보다 작은 전류를 흘리도록 설정되어 유지된다.

이상의 실시예는 정전류(I_w)보다 작은 전류가 흐르도록 화소(16)에 설정할 수 있음을 의미한다. 전류 구동에서는 작은 프로그램 전류를 화소(16)에 기입하기는 어렵다. 그러나, 이상과 같이 구성 혹은 동작시킴으로써, 작은 전류를 프로그램할 수 있다. 따라서, 그 이점은 크다.

도 38은 본 발명의 프리차지 전압(V_p)의 측정 회로의 설명도이다. 프리차지 전압(V_p)의 전압 측정 회로(381)는 소스 드라이버 IC(회로)(14) 내에 형성 또는 구성되어 있다. 물론, 폴리실리콘 기술을 이용하여 어레이 기판(30)에 직접적으로 형성 또는 구성해도 됨은 물론이다.

소스 드라이버 IC(회로)(14) 내에 전압 측정 회로(381)를 구성함으로써, 소스 신호선(18s)에 접속된 출력 단자(83s)로부터 프리차지 전압(V_p)을 취득할 수 있다. 따라서, 프리차지 전압(V_p)을 측정하기 위해 새로운 출력 단자(83)의 형성은 불필요하다. 또한, 소스 드라이버 IC(회로)(14)를 반도체 칩으로 형성 혹은 구성함으로써, 샘플 홀드 회로, 오피 앰프, 아날로그 스위치 등 프리차지 전압(V_p)을 측정하기 위한 회로가 소면적이고 고정밀도로 제작 혹은 형성 혹은 구성할 수 있다.

프리차지 전압(V_p)을 측정하기 위해 출력하는 프로그램 전류의 발생 회로는 프로그램 전류를 출력하는 전류 계조 회로(154)의 구성과 마찬가지로이다. 전류 계조 회로는 도 16, 도 17, 도 18, 도 23 등에서 설명하고 있으므로 설명을 생략한다.

게이트 드라이버 회로(12a)는 측정 화소(16s)를 선택하는 게이트 신호선(17a1)과, 화상을 표시하는 화소(16)를 순차적으로 선택하는 게이트 신호선(17a2)(도 1 등에서는 게이트 신호선(17a)가 해당한다)을 제어한다. 게이트 신호선(17a1)은 화상 표시와 상관없이, 선택 혹은 비선택 동작으로 된다. 프리차지 전압(V_p)을 측정할 때는 게이트 신호선(17a1)이 선택된다. 그 이외의 기간은 비선택으로 된다. 소스 신호선(18s)은 프리차지 전압(V_p)을 측정하기 위해, 형성된 전용선이다.

전류 계조 회로(154)는 계조 0에 대응하는 프로그램 전류를 출력한다. 단, 계조 0에 대응하는 프로그램 전류(I_w)는 0이다. 따라서, 스위치(161b)(도 21을 참조할 것)는 오픈 상태와 동일하다. 즉, 소스 신호선(18s)에는 프로그램 전류는 공급되지 않고, 게이트 신호선(17a1)이 선택된다. 측정 화소(16s)의 구동용 트랜지스터(11a)는 소스 신호선(18s)에 전류가 흐르지 않는 상태까지, 소스 신호선(18s)에 전하를 충전 혹은 방전시킨다. 소스 신호선(18s)의 전위가 일정치로 안정되면, 전압 측정 회로(381)를 동작시켜, 소스 신호선(18s)의 전위를 측정한다. 소스 신호선(18s)의 전위는 화소(16s)의 구동용 트랜지스터(11a)의 게이트 단자의 전위이다. 물론, 전압 측정 회로(381)는 항상, 동작시켜 두고, 소스 신호선(18s)의 전위가 안정한 후, 프리차지 전압(V_p)으로 해도 됨은 물론이다.

전압 측정 회로(381)는 소스 신호선(18s)의 전압을 측정하여, 전압 계조 회로(231)에 유지한다. 혹은 메모리에 측정 혹은 취득한 값을 기억한다. 유지된 프리차지 전압(V_0)은 도 37 등의 V_0 전압으로 된다. 전압 측정 회로(381)의 기능은 전압 측정뿐 아니라, 전압을 취득하는 개념, 일정 기간 혹은 일시적으로 전압을 유지하는 개념도 포함한다. 또한, 전압에는 한정되지 않고, 전압과 상관하는 데이터를 간접적으로 혹은 직접적으로 측정 혹은 취득하는 개념도 포함된다. 또한, A/D 변환 회로(391)도 내부에 구성해도 된다. 또한, 전압 측정 회로(381)는 소스 드라이버 IC(회로)(14) 내에 형성해도, 소스 드라이버 IC(회로)(14)의 외부에 배치해도 된다.

마찬가지로, 전류 계조 회로(154)는 계조 1에 대응하는 프로그램 전류(I_w)를 출력한다. 계조 1에 대응하는 프로그램 전류는 1개의 단위 트랜지스터(164)의 출력 전류(1 단위 전류)이다. 소스 신호선(18s)에는 1 단위의 프로그램 전류가 공급되고, 게이트 신호선(17a1)이 선택된다. 단, 프리차지 전압($V_0 \sim V_5$)을 연속해서 측정하는 경우에는 게이트 신호선(17a1)은 연속해서 선택 상태를 유지해도 된다. 측정 화소(16s)의 구동용 트랜지스터(11a)는 소스 신호선(18s)에 1 단위의 프로그램 전류가 정상적으로 흐르도록 동작한다. 정상의 단위 전류가 흐름으로써, 또한, 정상의 단위 전류가 흐르도록, 소스 신호선(18s)의 전위가 변화한다. 또한, 구동용 트랜지스터(11a)는 1 단위 전류가 안정적으로 흐르는 상태로 될 때까지, 소스 신호선(18s)에 전하를 충전 혹은 방전시킨다.

소스 신호선(18s)의 전위가 일정치로 안정되면, 전압 측정 회로(381)를 동작시켜, 소스 신호선(18s)의 전위(V_1)를 측정한다. 물론, 전압 측정 회로(381)는 항상, 동작시켜 두고, 소스 신호선(18s)의 전위가 안정한 후에 측정한 전압(V_1)을, 프리차지 전압(V_p)으로 해도 됨은 물론이다.

전압 측정 회로(381)가 전압(V1)을 측정하고 있을 때는 게이트 신호선(17a1)을 비선택 상태로 하여 설명하지만, 항상, 게이트 신호선(17a1)을 선택 상태로 해도 됨은 물론이다. 전압 측정 회로(381)는 소스 신호선(18s)의 전압(V1)을 측정하여, 전압 계조 회로(231)에 유지하고, 또는 메모리에 기억한다. 측정된 V1 전압은 도 37 등의 V1 전압으로 된다.

프리차지 전압(V2)도 마찬가지다. 전류 계조 회로(154)는 계조 8에 대응하는 프로그램 전류를 출력한다(도 37의 (a)를 참조할 것. 도 37에서는 설명을 쉽게 하기 위해, V2 전압은 계조 8번째에 대응한다고 한다). 계조 2에 대응하는 프로그램 전류는 8개의 단위 트랜지스터(164)의 출력 전류(8 단위 전류)이다. 도 16에서는 도시하고 있지 않지만, 스위치(161d)가 클로즈하고, 다른 스위치(161)는 오픈 상태로 제어된다.

소스 신호선(18s)에는 8 단위의 프로그램 전류가 공급되고, 게이트 신호선(17a1)이 선택된다. 측정 화소(16s)의 구동용 트랜지스터(11a)는 소스 신호선(18s)에 8 단위의 프로그램 전류가 정상적으로 흐르도록 동작한다. 정상 단위 전류가 흐름으로써, 또한, 정상 단위 전류가 흐르도록, 소스 신호선(18s)의 전위가 변화한다.

소스 신호선(18s)의 전위가 일정치로 안정되는 혹은 일정치로 되는 것이 추정되는 시간 후에, 전압 측정 회로(381)를 동작시켜, 소스 신호선(18s)의 전위를 측정한다. 물론, 전압 측정 회로(381)는 항상, 동작시켜 두고, 소스 신호선(18s)의 전위를 안정한 후, 혹은 안정된다고 추정되는 시간 경과 후에 측정해도 된다. 또한, 소스 신호선(18s)이 변화하고 있는 상태라 하더라도, 소스 신호선(18s)의 정상 전위를 측정할 수 있는 경우에는 변화 상태에서 측정해도 된다. 측정된 전압은 프리차지 전압($V_p=V_2$)으로 된다. 전압 측정 회로(381)는 소스 신호선(18s)의 전압(프리차지 전압(V_2))을 측정하여, 전압 계조 회로(231)에 유지한다.

마찬가지의 조작 혹은 동작 또는 구동을, 계조 32에 대응하는 프리차지 전압(V_p)을 V3, 계조 128에 대응하는 프리차지 전압(V_p)을 V4, 계조 255에 대응하는 프리차지 전압(V_p)을 V5로 하여 실시한다.

이상의 실시예에서는 프리차지 전압(V_p)은 V0으로부터 V5까지 순차적으로 측정한다고 했지만, 이 순서에 한정하는 것은 아니며, 프리차지 전압(V5)으로부터 V0으로 순차적으로 측정해도 된다. 또한, 랜덤하게 측정해도 된다. 또한, V0으로부터 V5의 전부를 측정하는 것에 한정되는 것이 아니다. 예를 들면, V0, V3, V5를 측정하고, V1, V2, V4의 전위는 V0, V3, V5의 전압치로부터 계산에 의해 구해되기도 한다. 또한, 소스 신호선(18s)에 일정한 전압(혹은 전압 혹은 리셋 전압)을 인가하여, 소스 신호선(18s)의 전위를 소정 전위로 하고 나서, 각 프리차지 전압(V_p)에 대응하는 단위 전류를 소스 신호선(18s)에 인가해도 된다. 또한, 프리차지 전압(V0~V5)의 측정은 복수회 행하여 평균화해도 된다. 또한, 프리차지 전압(V_p)=V0만을 측정해도 된다. V0은 정전류(I_w)=0(A)이며, 계조 0에 대응한다. 따라서, 감마 커브의 원점이다. 원점을 측정 혹은 파악할 수 있으면, 다른 계조(8 비트의 경우에는 1~255)는 용이하게 발생할 수 있기 때문이다.

프리차지 전압(V0)을 측정하는 시간을 길게 하고, 프리차지 전압(V5)을 측정하는 시간을 짧게 하는 등, 각 프리차지 전압(V_p) 측정에, 설정하는 측정 시간을 가변해도 된다. 프리차지 전압(V1) 등은 소스 신호선(18s)에 유입되는 전류(정전류(I_w))가 작고, 소스 신호선(18s)의 전위 변화가 느리기 때문이다.

한편, 프리차지 전압(V5) 등은 소스 신호선(18s)에 유입되는 전류(정전류(I_w))가 크고, 소스 신호선(18s)의 전위 변화가 빠르기 때문이다. 또한, 정전류(I_w)는 소스 드라이버 IC(회로)(14) 내에서 발생하는 것에 한정되는 것이 아니며, 소스 드라이버 IC(회로)(14) 밖에 정전류 발생 회로를 형성 또는 배치하고, 정전류 발생 회로가 출력하는 정전류(I_w)를 화소(16)에 직접적으로 혹은 소스 드라이버 IC(회로)(14)를 통하여 공급해도 된다.

도 38에 도시하는 본 발명에서는 매트릭스 형상으로 배치된 표시 화소(16)의 구동용 트랜지스터(11a)의 특성을 반영하는 측정 화소(16s)의 구동용 트랜지스터(11a)는 어레이 기판(30) 내에 형성되어 있다. 즉, 측정 화소(16s)의 구동용 트랜지스터(11a)는 어레이 기판(30)의 표시 화소(16)의 트랜지스터의 특성을 반영하고 있다.

이 측정 화소(16s)의 구동용 트랜지스터(11a)에, 소스 드라이버 회로(IC)(14)로부터 프로그램 전류(I_w)를 공급하고, 프리차지 전압(V_p)을 측정한다. 따라서, 프리차지 전압(V0~V5)은 어레이 기판(30)의 화소(16)의 구동용 트랜지스터(11a)의 특성을 반영한 것으로 되어 있다. 또한, 온도 의존에 관해서도, 본 발명의 표시 패널을 구동하고 있는 온도를 반영한 것으로 되어 있다.

이상과 같이, 본 발명은 소스 드라이버 IC(회로)(14)로부터, 정밀도가 좋은 프로그램 전류를 발생시킨다. 이 프로그램 전류가, 실제로 표시 장치의 화상을 표시하기 위한 계조에 대응하는 전류이다. 따라서, 전체적으로 소스 드라이버 회로(IC)(14)의 소형화, 저비용화를 실현할 수 있다. 또한, 측정 화소(16s)는 화소(16)를 형성하는 어레이 기판(30)에 제작 혹은 형성한

다. 측정 화소(16s)는 화상을 표시하는 화소(16)와 동시에 형성한다(동일 프로세스 혹은 공정). 또한, 동일한 프로그램 전류를 화소(16)와, 측정 화소(16s)에 인가했을 때, 소스 신호선(18)과 소스 신호선(18s)의 전위는 대략 동일하게 되도록 한다.

화소(16)의 구동용 트랜지스터(11a)와 측정 화소(16s)의 구동용 트랜지스터(11a)는 동일 특성으로 되도록 구성 혹은 형성한다. 동일 특성으로 하기 위해서는 기본적으로는 화소(16)와 화소(16s)를 동일 구성 혹은 레이아웃으로 하면 된다. 구동용 트랜지스터(11a)의 채널 폭(W), 채널 길이(L)로 구성하는 것이 가장 간단하며, 바람직하다. 본 발명에서는 측정용 화소(16s)의 구동용 트랜지스터(11a)와, 화소(16)의 구동용 트랜지스터(11a)는 동일 사이즈, 형상으로 구성하고 있다.

도 39는 아날로그-디지털(A/D) 변환 회로(391)를 이용한 구성이다. 전류 계조 회로(154) 내의 트랜지스터 군(165s)(도 16, 도 18 등에서 설명한 트랜지스터 군(165c)과 동일한 구성이다)으로부터, 프로그램 전류가 소스 신호선(18s)에 출력된다.

이상의 실시예에서는 프로그램 전류는 흡입(싱크) 전류이지만, 본 발명은 이것에 한정되는 것은 아니다. 화소(16)의 구동용 트랜지스터(11a)가 N 채널 트랜지스터 등의 경우에는 토출(소스) 전류로 한다. 이 경우에는 트랜지스터 군(165c)을 구성하는 단위 트랜지스터(164)는 P 채널 트랜지스터로 구성한다.

측정 화소(16s)의 구동용 트랜지스터(11a)는 프로그램 전류에 의해 동작하고, 소스 신호선(18s)의 전위가 변화한다. 프로그램 전류에 대응하는 소스 신호선(18)의 전위를 V_p 로 한다. V_p 전압은 전압 측정 회로(381)에 의해 측정된다. 이 전압은 A/D 변환 회로(391)에서 디지털 데이터로 변환되고, 메모리 혹은 유지 회로(래치 회로 등)에 의해 축적 또는 유지된다. 유지된 데이터는 전압 계조 회로(231)에 인가된다. 전압 계조 회로(231)는 디지털-아날로그(D/A) 변환하여 프리차지 전압(V_p)으로서 소스 신호선(18)에 인가한다.

프리차지 전압(V_p)은 소스 신호선(18)에 인가한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 혹은 EL 소자(15)의 화소 전극 등에 프로브 바늘을 압접하고, 이 프로브 바늘에 프리차지 전압(V_p)을 인가해도 된다.

소스 신호선(18)에 출력된 측정 프리차지 전압(V_p)은 전압 측정 회로(381)를 통하지 않고, 직접적으로 A/D 변환 회로(391)에 의해 디지털 데이터로 변환해도 된다. 즉, 본 발명에서는 전압 측정 회로(381)를 형성 또는 배치하고, 이 전압 측정 회로(381)를 사용 혹은 동작시킨다고 했지만, 어떠한 구성 혹은 수단 혹은 방법에 의해, 소스 신호선(18s) 혹은 소스 신호선(18)의 전압을 취득할 수 있는 것이면 어느 구성 혹은 수단이어도 된다. 예를 들면, 샘플 홀드 회로에 의해, 프리차지 전압(V_p)을 샘플 홀드하여 일정한 기간, 유지해도 된다.

소스 신호선(18s)에 프로그램 전류를 흘리는 트랜지스터 군(165s), 전압 측정 회로(381) 등은 소스 드라이버 회로(IC)(14)와 분리하고, 별도의 칩(IC)으로 해도 된다. 이 별도의 칩(IC)을 어레이 기판(30)에 COG 기술로 실장한다. 또한, TAB 기술로 실장해도 된다.

도 38의 실시예에서는 측정 화소(16s)는 1개인 경우로 도시했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 40에 도시한 바와 같이, 복수의 측정 화소(16s)(16s1, 16s2, 16s3, 16s4, ……)를 형성 또는 구성하고, 측정 화소(16s)를 게이트 신호선(17a)(17a1, 17a2, 17a3, 17s4, ……)에서 순차적으로 선택한다.

각 측정 화소(16s)는 각각 프리차지 전압($V_0 \sim V_5$)을 측정한다. 복수의 측정 화소(16s)에서 측정한 프리차지 전압($V_0 \sim V_5$)을 각각 평균화하여, 평균값으로서의 $V_0 \sim V_5$ 를 구함으로써, 정밀도가 좋은 프리차지 전압(V_p)을 구할 수 있다.

측정 화소(16s1)는 프리차지 전압(V_0)을 측정하는 화소로 하고, 측정 화소(16s2)는 프리차지 전압(V_1)을 측정하는 화소로 하고, 측정 화소(16s3)는 프리차지 전압(V_2)을 측정하는 화소로 하고, ……, 측정 화소(16s6)는 프리차지 전압(V_5)을 측정하는 화소로 하는 것과 같이, 각 측정 화소(16s)가 받는 프리차지 전압(V_p)을 측정해도 된다.

각 측정 화소(16s)가 담당하는 프리차지 전압(V_p)은 일정한 주기로 변경해도 된다. 예를 들면, 1주기에는 측정 화소(16s1)는 프리차지 전압(V_0)을 측정하는 화소로 하고, 측정 화소(16s2)는 프리차지 전압(V_1)을 측정하는 화소로 하고, 측정 화소(16s3)는 프리차지 전압(V_2)을 측정하는 화소로 하고, ……, 측정 화소(16s6)는 프리차지 전압(V_5)을 측정하는 화소로 한다.

2주기제는 측정 화소(16s)는 프리차지 전압(V5)을 측정하는 화소로 하고, 측정 화소(16s2)는 프리차지 전압(V4)을 측정하는 화소로 하고, 측정 화소(16s3)는 프리차지 전압(V3)을 측정하는 화소로 하고, ………, 측정 화소(16s6)는 프리차지 전압(V0)을 측정하는 화소로 하도록 제어한다.

주기는 1 프레임 주기이어도 되고, 그 이상 혹은 그 이하이어도 된다. 또한, 게이트 신호선(17b)의 주사와 동기를 취하여, 게이트 신호선(17a)을 순차적으로 선택해도 된다. 즉, 1개의 게이트 신호선(17a)의 선택 기간은 1 수평 주사 기간(1H)으로 된다.

도 41에 도시한 바와 같이, 전압 측정 회로(381)는 측정 신호에 동기하여 프리차지 전압(V_p)을 측정한다. 도 41에서는 H 레벨일 때에 프리차지 전압(V_p)을 측정하고, L 레벨일 때에는 프리차지 전압(V_p)을 측정하지 않는다. 도 41에서는 상단은 트랜지스터 군(165s)이 출력하는 단위 전류의 크기를 나타내고 있다. 0은 모든 단위 트랜지스터(164)가 선택되어 있지 않은 상태이다(계조 0). 1은 단위 트랜지스터(164)가 1개 선택된 상태이다(계조 1). 2는 단위 트랜지스터(164)가 2개 선택된 상태이다(계조 2). 이하 마찬가지로, 4는 단위 트랜지스터(164)가 4개 선택된 상태(계조 4)이며, ………32는 단위 트랜지스터(164)가 32개 선택된 상태이다(계조 32).

도 41의 실시예에서는 출력 전류는 1, 2, 4, 8, 16, ………으로 2의 승수로 변화시킨다. 즉, 도 16에서, 스위치(161a, 161b, 161c, 161d……)로 순차적으로 클로즈해 가는 방식이다. 프리차지 전압(V_p)의 계조의 2의 승수로 측정하여 취득된다. 도 41의 구성에서는 트랜지스터 군(165s)의 제어가 용이하고, 프리차지 전압(V_p)의 측정 정밀도도 높다.

도 39의 트랜지스터 군(165s)으로부터의 출력 전류에 의해, 측정용 화소(16s)의 구동용 트랜지스터(11a) 등이 동작하여, 소스 신호선(18s)의 전위가 변화한다. 본 발명의 구성에서는 단위 전류의 크기(프로그램 전류의 크기)가 커짐에 따라서 소스 신호선(18s)의 전위는 저하한다. 구동용 트랜지스터(11a)가 P 채널로서 설명하고 있기 때문이다.

프로그램 전류의 크기가 변화하면, 소스 신호선(18s)의 전류는 변화한다. 소스 신호선(18s)에는 기생 용량이 있기 때문에, 목표 전위까지 변화하는 데 일정한 시간이 필요하다. 도 41에서는 이 기간은 측정 신호는 L 레벨이며, 전압 측정 회로(381)는 동작하지 않는다. 소스 신호선(18s)의 기생 용량을 충방전하여, 목표 전위까지 변화하면, 측정 신호는 H 레벨로 되고, 프리차지 전압(V_p)(소스 신호선(18s)의 전위)이 측정된다. 이상의 측정이 소스 신호선(18s)에 인가되는 프로그램 전류에 대응하여 순차적으로 반복되고, 프리차지 전압(V_p)이 측정되어 유지된다.

도 41은 프로그램 전류를 2의 승수배로 변화시켜, 프리차지 전압(V_p)을 측정하는 것이다(취득하는 것이다). 도 42는 도 37에서 설명한 바와 같이, 프리차지 전압($V_0, V_1, V_2, V_3, V_4, V_5$)을 측정(취득)하는 방법이다. 트랜지스터 군(165s)으로부터, 프로그램 전류, 0, 1, 8, 32, 128, 255가 순차적으로 소스 신호선(18s)에 인가된다. 이 프로그램 전류에 대응하여, 소스 신호선(18s)의 전위가 변화한다. 전압 측정 회로(381)는 변화 후의 소스 신호선(18s)의 전위를 측정한다.

프리차지 전압(V_p)은 결정된 계조에 대응하여 측정 혹은 취득한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 모든 계조(예를 들면, 256 계조의 경우에는 0 계조째로부터 255 계조째)에 대하여 프리차지 전압(V_p)을 측정(취득)해도 된다. 이 프리차지 전압(V_p)을 계조 신호로서 사용하면, 양호한 전압 구동을 실현할 수 있다.

이상의 실시예에서는 3개 이상의 프리차지 전압(V_p)을 측정하는 것이었다. 그러나, 최대 계조의 계조 255(256 계조일 때)와, 최저 계조의 계조 0을 측정하고, 이 양자로부터 중간의 프리차지 전압(V_p)을 발생시켜도 된다.

도 43의 구동 방식에 의해 프리차지 전압(V_p)= V_0, V_{255} 를 측정하는 방식이다. 도 44는 도 43에서 측정된 프리차지 전압(V_0 과 V_{255})을 이용하는 방식이다. 도 44에서, 절환 회로(V_0 전압을 V_{255} 전압의 분배 회로)(441)에서, V_0 전압을 평균화 회로(443a)에 입력한다. 또한, 측정된 프리차지 전압(V_p)을 절환 회로(V_0 전압을 V_{255} 전압의 분배 회로)(441)에서, V_{255} 전압을 평균화 회로(443b)에 입력한다. 평균화 회로(443a)는 교대로 혹은 연속해서 측정된 프리차지 전압(V_0), 프리차지 전압(V_{255})을 평균화하고, 안정된 프리차지 전압(V_0), 프리차지 전압(V_{255})으로 하는 것이다.

평균화 회로(443)의 출력은 오피 앰프(151)에 입력되고, 임피던스를 저감하여, 전자 볼륨(152)에 입력된다. 전자 볼륨(152)에서는 입력된 프리차지 전압(V_p = V_0, V_{255})을 저항(R)에서 분압하여, 계조에 대응하는 프리차지 전압($V_0 \sim V_{255}$)을 발생한다.

도 43에 도시한 바와 같이, 트랜지스터 군(165s)으로부터의 출력 전류(0 또는 255)에 의해, 구동용 트랜지스터(11a) 등이 동작하여, 소스 신호선(18s)의 전위가 변화한다. 프로그램 전류의 크기가 변화하면, 소스 신호선(18s)의 전위는 변화한다.

소스 신호선(18s)에는 기생 용량이 있기 때문에, 목표 전위까지 변화하는 데 일정한 기간이 필요하다. 그 때문에, 소스 신호선(18s)의 전위 변화는 곡선을 그린다. 계조에 대한 프리차지 전압(V_p)(소스 신호선(18s)의 전위)과, 계조 255에 대한 프리차지 전압(V_p)이, 전압 측정 회로(381)에 의해 측정된다. 이상의 측정이 소스 신호선(18s)에 인가되는 프로그램 전류에 대응하여 순차적으로 반복되고, 측정된, 프리차지 전압(V_0 과 V_{255})이 도 44에 도시하는 절환 회로(441)에 전송(전달)된다.

도 43은 프리차지 전압(V_0 과 V_{255})의 경우이었다. 본 발명은 이것에 한정되는 것은 아니다. 도 45에 도시한 바와 같이, 프리차지 전압($V_0 \sim V_5$)을 순차적으로, 전압 측정 회로(381)에서 측정하고 순차적으로 절환 회로(441)에 전송한다. 절환 회로(441)는 수신한 프리차지 전압($V_0 \sim V_5$)을 평균화 회로(443)에 배분한다. 평균화 회로(443)는 각각의 프리차지 전압(V_p)을 평균화한다. $V_0 \sim V_5$ 전압은 $V_0(A) \sim V_5(A)$ 로서 안정화되어, 전자 볼륨(152) 등에 인가된다.

도 37의 (b)에서 설명한 바와 같이, EL 소자(15)를 갖지 않는 측정 화소(16s)를 형성하고, 프리차지 전압(V_p)을 측정한다고 했다. 그러나, 도 46에 도시한 바와 같이, 구동용 트랜지스터(11a)로 이루어지는 측정 화소(16s)를 형성하고, 이 측정 화소(16s)를 동작시켜 프리차지 전압(V_p)을 측정해도 된다. 도 46의 측정 화소(16s)의 게이트 단자와 드레인 단자는 단락하여 형성되어 있다. 소스 단자는 화소(16)의 구동용 트랜지스터와 마찬가지로 애노드 전압(V_{dd})에 접속되어 있다.

측정 화소(16s)는 도 47에 도시한 바와 같이, 어레이 기관(30)의 복수 개소의 화소(16sa, 16sb, 16sc, 16sd)로서 형성하는 것이 바람직하다. 복수 개소에 형성된 측정 화소(16s)의 구동용 트랜지스터(11a)를 동작시켜 프리차지 전압(V_p)을 측정하는 것이 바람직하다. 어레이 기관(30) 내의 각 부분에서 제작된 구동용 트랜지스터(11a)의 특성 변동이 있기 때문이다. 복수 개소의 측정 화소(16s)에서 측정된 프리차지 전압(V_p)은 평균화하여, 원하는 프리차지 전압($V_0 \sim V_5$)을 취득한다. 또한, 복수 개소에 측정 화소(16s)를 형성해 두면, 그 중 1개의 측정 화소(16s)가 불량이라 하더라도, 다른 측정 화소(16s)로부터 프리차지 전압($V_0 \sim V_5$)을 취득할 수 있다.

도 48에 도시한 바와 같이, 화상을 표시하기 위한 트랜지스터 군(165c)과 마찬가지로, 프리차지 전압(V_p)을 측정하기 위한 트랜지스터 군(165s)을 형성해도 된다. 트랜지스터 군(165s)의 단위 트랜지스터(164) 수를 선택하여, 측정 화소(16s)에 인가한다.

도 48 등의 트랜지스터 군(165c, 165s)의 숫자는 단위 트랜지스터(164)의 개수를 나타내고 있다. 즉, 1은 단위 트랜지스터(164)가 1개이며, 2는 단위 트랜지스터(164)가 2개이며, 4는 단위 트랜지스터(164)가 4개이며, 8은 단위 트랜지스터(164)가 8개……128은 단위 트랜지스터(164)가 128개이다. 단위 트랜지스터(164)의 개수를 스위치(161)에서 절환하고, 각 단위 트랜지스터(164)의 개수에 대한(계조에 대한) 프리차지 전압(V_p)을 측정한다.

도 48 등의 구성에서는 소스 신호선(18)에 프로그램 전류를 출력하는 트랜지스터 군(165c)과, 소스 신호선(18s)에 프로그램 전류를 출력하는 트랜지스터 군(165s)은 동일한 구성이다(도 16, 도 20 등을 참조할 것). 따라서, 트랜지스터 군(165s)과 트랜지스터 군(165c)의 단위 트랜지스터가 출력하는 단위 전류는 동일하다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 49에 도시한 바와 같이, 트랜지스터 군(165s)과 커런트 미러 회로를 구성하는 트랜지스터 군 또는 트랜지스터(167b)에 흐르는 기준 전류를, 트랜지스터 군(165c)과는 별도로 발생시켜도 된다.

도 49의 전자 볼륨(152)은 전압(V)을 변화시키는 8 비트의 DATA에 의해 제어된다. DATA는 컨트롤러(도시 생략)로 제어된다. 이 전압(V)과 저항(R_1)에 의해 트랜지스터(167b)에 흐르는 기준 전류(I_c)를 변경(가변)할 수 있다. 트랜지스터(167b)는 트랜지스터 군(167b)과 커런트 미러 회로를 구성한다.

도 50의 실시예에서는 소스 드라이버 회로(IC)(14)에 스위치(S)($S_1, S_2, S_3, \dots$)가 형성되어 있다. 1개의 스위치(S)가 선택됨으로써, 선택된 스위치(S)에 접속된 출력 단자(83)의 소스 신호선(18)의 전위가, 소스 신호선 전위 검출선(501)에 인가된다.

도 50에서는 각 출력 단자(83)에 접속된 트랜지스터 군(165c)으로부터 프로그램 전류(I_w)= I_0 (계조 0에 대응한다. 단, 계조 0에서는 프로그램 전류 $I_w=0$ 으로 한다)가 출력된다. 각 소스 신호선(18)의 전위는 프로그램 전류(I_0)에 대응하는 전위로 변화한다. 이 상태에서 스위치(S_0)로부터 스위치(S_n)(n 은 출력 단자(83)의 최대 번호치)까지, 순차적으로 클로즈한다. 각 소스 신호선(18)의 전위가 소스 신호선 전위 검출선(501)에 인가되고, 이 전압은 V_{sd} 로서 측정되어 컨트롤러 회로(IC)(801)에 전송된다. 컨트롤러 회로(IC)(801)에서는 프로그램 전류(I_0)에 대한 각 소스 신호선(18)의 전위는 V_{st0} 전압으로서, 메모리(502)에 기억된다. 이 V_{st0} 이 프리차지 전압(V_0)에 해당한다.

소스 신호선(18)의 전위 검출은 도 51에 도시한 바와 같이, 제1 화소행째 혹은 제1 화소 열 등과 같이 특정한 화소 행 혹은 화소 열을 지정하여 검출해도 됨은 물론이다.

프리차지 전압(V_1)에 대해서는 각 출력 단자(83)에 접속된 트랜지스터 군(165c)으로부터 프로그램 전류(I_1)가 출력된다. 그러면, 각 소스 신호선(18)의 전위는 프로그램 전류(I_1)에 대응하는 전위로 변화한다. 이 상태에서 스위치(S_0)로부터 스위치(S_n)(n 은 출력 단자(83)의 최대 번호치)까지, 순차적으로 클로즈하고, 각 소스 신호선(18)의 전위가 소스 신호선 전위 검출선(501)에 인가된다. 이 전압은 V_{sd1} 로서 측정되어 컨트롤러 회로(IC)(801)에 전송된다. 컨트롤러 회로(IC)(801)는 이 전압 데이터를 프로그램 전류(I_1)에 대한 각 소스 신호선(18)의 전위(V_{st1})로서, 메모리(SRAM, EEPROM)(502)에 기억시킨다. 이 V_{st1} 이 프리차지 전압(V_p)= V_1 에 해당한다.

프리차지 전압(V_p = V_2)에 대해서는 각 출력 단자(83)에 접속된 트랜지스터 군(165c)으로부터 프로그램 전류(I_w = I_2)가 출력되고, 이 상태에서 스위치(S_0)로부터 스위치(S_n)(n 은 출력 단자(83)의 최대 번호치)까지, 순차적으로 클로즈하고, 각 소스 신호선(18)의 전위가 소스 신호선 전위 검출선(501)에 인가되고, 이 전압은 V_{sd2} 로서 측정되어 컨트롤러 회로(IC)(801)에 전송된다. 이하 마찬가지다.

이상과 같이 측정된 프리차지 전압($V_0 \sim V_5$)은 프리차지 전압(V_p)의 설정치 (V_{st})로서, 또한, 필요에 따라, 소스 드라이버 회로(IC)(14)에 전송되고, 전자 볼륨(152) 등의 설정치로서 사용된다.

이상과 같이 구성하면, 프리차지 전압(V_p)을 측정하기 위한 프로그램 전류(I_w)를, 트랜지스터 군(165c)과 변화시킬 수 있다. 따라서, 보다 유연하고 적절한 프리차지 전압(V_p)을 측정할 수 있다.

프리차지 전압(V_p)의 측정 회로는 도 52에 도시한 바와 같이, 소스 드라이버 회로(IC)(14)와 별도의 회로 또는 IC로 해도 된다. 도 52에서는 전압 측정 회로 기능을 갖는 전압 측정 회로 IC(621)를 어레이 기판(30)에 COG 실장한 실시예이다. 또한, 도 53은 3개의 소스 드라이버 회로(IC)(14)에 전압 측정 회로(381)로부터의 출력을 인가한 구성이다. 또한, 도 54는 3개의 소스 드라이버 회로(IC)(14)에 A/D 변환 회로(391)로부터의 디지털 신호로 된 프리차지 전압(V_p)을 인가한 구성이다.

복수의 소스 드라이버 회로(IC)(14)를 이용하는 경우에는 각 소스 드라이버 회로(IC)(14) 내에 전압 측정 회로(381)를 구성 혹은 형성하고, 복수의 소스 드라이버 회로(IC)(14) 중, 하나의 전압 측정 회로(381)를 동작시킨다. 이 전압 측정 회로(381)로부터의 프리차지 전압(V_p)을 다른 소스 드라이버 회로(IC)(14)에 공급 혹은 인가하면 된다. 도 55는 이 구성의 설명도이다. 3개의 소스 드라이버 회로(IC)(14)는 마스터 슬레이브 선택 단자(M/S)에 의해, 마스터와 슬레이브 설정이 로직적으로 설정된다. 마스터 모드일 때에는 M/S 단자는 로직 레벨 1로 되고, 슬레이브 모드일 때는 M/S 단자는 로직 레벨 0으로 설정된다.

도 55에서는 소스 드라이버 회로(IC)(14a)가 마스터 모드로 설정되고, 소스 드라이버 회로(IC)(14b 와 14c)가 슬레이브 모드로 설정되어 있다. 마스터 모드에서는 소스 드라이버 회로(IC)(14a) 내의 전압 측정 회로(381)가 동작하고, 소스 신호선(18s)의 전위를 측정하여 프리차지 전압($V_0 \sim V_5$)을 출력한다. 출력된 프리차지 전압($V_0 \sim V_5$)은 슬레이브 모드의 소스 드라이버 회로(IC)(14)(14b, 14c)의 전자 볼륨 회로 등에 인가된다. 슬레이브 모드에 설정된 소스 드라이버 회로(IC)(14)(14b, 14c)의 전압 측정 회로(381)는 동작하지 않도록 구성되어 있다.

이상과 같이, 소스 드라이버 회로(IC)(14)에 마스터 모드와 슬레이브 모드가 설정되는 것은 프리차지 전압(V_p)을 측정하는 소스 신호선(18s) 또는 측정 화소(16s)가 표시 화면(34) 이외의 개소에 형성되기 때문이다. 따라서, 측정용 화소(16s)는 표시 화면(34)의 끝에 구성되게 된다. 따라서, 프리차지 전압(V_p)을 측정하는 소스 드라이버 회로(IC)(14)는 표시 화면(34)의 끝에 위치하는 것이 선택되게 된다(도 55에서는 소스 드라이버 회로(IC)(14a)가 해당한다). 이 선택을 M/S 단자에서 설정한다. 마스터 모드란 프리차지 전압(V_p)을 측정하는 동작 혹은 기능을 갖게한 모드이며, 슬레이브 모드란 프리차지 전압(V_p)을 측정 혹은 갖지 않게 하는 모드이다.

표시 화면(34)의 양단에 소스 신호선(18s), 측정 화소(16s)를 형성할 수 있는 경우에는 도 57에 도시한 바와 같이, 표시 화면(34)의 양단에 위치하는 소스 드라이버 회로(IC)(14)(14a, 14b)를 마스터 모드로 설정한다. 소스 드라이버 회로(IC)(14)(14a, 14b)를 마스터 모드로 설정한다. 소스 드라이버 회로(IC)(14a)가 출력하는 프리차지 전압(V_p)을 선택할지, 소스 드라이버 회로(IC)(14d)가 출력하는 프리차지 전압(V_p)을 선택하여 슬레이브 모드의 소스 드라이버 회로(IC)(14)에 인가할지는 스위치(S_a 와 S_b)에 의해 행한다. 물론, 스위치(S_a 와 S_b)의 양방을 선택하고, 프리차지 전압(V_p)을 측정해도 된다.

소스 드라이버 회로(IC)(14a)를 마스터 모드할 때는 스위치(Sa)를 클로즈하고, 소스 드라이버 회로(IC)(14d)를 슬레이브 모드로 하여, 스위치(Sb)를 오픈으로 한다. 다른 소스 드라이버 회로(IC)(14)(14a, 14b)는 슬레이브 모드로서 사용한다. 소스 드라이버 회로(IC)(14)(14b, 14c)는 슬레이브 모드로서 사용한다. 소스 드라이버 회로(IC)(14d)를 마스터 모드로 할 때는 스위치(Sb)를 클로즈하고, 소스 드라이버 회로(IC)(14)(14b, 14c)는 상시 슬레이브 모드로서 사용한다.

소스 드라이버 회로(IC)(14a)를 상시 마스터 모드할지, 혹은 소스 드라이버 회로(IC)(14d)를 상시 마스터 모드할지를 고정하는 방법도 예시되지만, 소스 드라이버 회로(IC)(14a)와 소스 드라이버 회로(IC)(14d)를 교대로 마스터 모드로 하여 설명하는 쪽이, 프리차지 전압(Vp)이 평균화되어, 양호한 효과를 얻을 수 있다.

절환은 1 필드 혹은 1 프레임 등 주기적으로 행한다. 물론, 1 수평 주사 기간 등의 주기로 절환해도 된다. 또한, 마스터 모드로 하는 소스 드라이버 회로(IC)(14)는 2개 이상이면 된다. 예를 들면, 4개이면, 4개의 소스 드라이버 회로(IC)(14)로부터 1개의 스위치(S)를 제어하여 프리차지 전압(Vp)을 다른 소스 드라이버 회로(IC)(14)에 인가하면 된다.

예를 들면, 제1 프레임에서, 소스 드라이버 회로(IC)(14a)를 마스터 모드로 하고, 스위치(Sa)를 클로즈하고, 소스 드라이버 회로(IC)(14d)를 슬레이브 모드로 하고, 스위치(Sb)를 오픈한다. 다른 소스 드라이버 회로(IC)(14)(14b, 14c)는 슬레이브 모드로서 사용한다. 제1 프레임의 다음의 제2 프레임에서는 소스 드라이버 회로(IC)(14d)를 마스터 모드로 하고, 스위치(Sb)를 클로즈하고, 소스 드라이버 회로(IC)(14a)를 슬레이브 모드로 하고, 스위치(Sa)를 오픈으로 한다. 마찬가지로, 제2 프레임의 다음 제3 프레임에서는 소스 드라이버 회로(IC)(14a)를 마스터 모드로 하고, 스위치(Sa)를 클로즈하고, 소스 드라이버 회로(IC)(14d)를 슬레이브 모드로 하고, 스위치(Sb)를 오픈으로 한다. 다른 소스 드라이버 회로(IC)(14)(14b, 14c)는 슬레이브 모드로서 사용한다.

다른 실시예에서 도 58에 도시한 바와 같이, 2 비트의 셀렉터 신호(CS)로 절환하는 방식도 예시된다. 도 58에서, CS=1일 때에는 칩(14a)의 좌측의 트랜지스터 군(165sa)이 동작한다. 칩(14c)은 CS=2이며, CS=2일 때에는 칩(14c)의 우측의 트랜지스터 군(165sa)이 동작한다. 칩(14b)은 CS=0이며, CS=0일 때에는 칩(14b)의 양방의 트랜지스터 군(165s)은 선택되지 않는다.

도 52의 전압 측정 회로(IC)(521)는 트랜지스터 군(165s)을 내부에 구성 또는 배치해도 된다. 또한, A/D 변환 회로(391)도 소스 드라이버 IC(회로)(14)의 내부에 구성 또는 배치해도 된다. 전압 측정 회로 IC(521)가 측정한 프리차지 전압(V0~V5)은 아날로그 데이터 혹은 디지털 데이터로서, 소스 드라이버 회로(IC)(14)에 공급(인가)된다. 소스 드라이버 회로(IC)(14)가 복수 있는 경우에는 복수의 소스 드라이버 회로(IC)(14)에 공통으로 인가된다.

이상의 실시예는 1개의 트랜지스터 군(165s)으로부터의 프로그램 전류를 1개의 측정 화소(16s)에 인가하고, 복수의 프리차지 전압(Vp)을 취득하는 방식이었다. 본 발명은 이것에 한정되는 것은 아니다. 도 59에 도시한 바와 같이, 1개의 트랜지스터 군(165s)으로부터의 프로그램 전류를 복수의 측정 화소(16s)에 인가하고, 프리차지 전압(Vp)을 취득해도 된다.

도 59의 구성에서는 트랜지스터 군(165s)의 프리차지 전압(V0~V5)에 대응하는 단위 트랜지스터(164)로 구성되어 있다. 도 59에서, 트랜지스터 군(165s)의 '0'은 프리차지 전압(V0)을 발생시키는 0개의 단위 트랜지스터(단위 트랜지스터 군 0)를 의미하고 있다. 트랜지스터 군(165s)의 '1'은 프리차지 전압(V1)을 발생시키는 1개의 단위 트랜지스터(단위 트랜지스터 군 1)를 의미하고 있다. 마찬가지로, 트랜지스터 군(165s)의 '8'은 프리차지 전압(V2)을 발생시키는 8개의 단위 트랜지스터(단위 트랜지스터 군 8)를 의미하고 있다.

마찬가지로, 트랜지스터 군(165s)의 '32'는 프리차지 전압(V3)을 발생시키는 32개의 단위 트랜지스터의 집합(단위 트랜지스터 군 32)을 의미하고, 트랜지스터 군(165s)의 '128'은 프리차지 전압(V4)을 발생시키는 128개의 단위 트랜지스터의 집합(단위 트랜지스터 군 128)을 의미하고, 트랜지스터 군(165s)의 '255'는 프리차지 전압(V5)을 발생시키는 255개의 단위 트랜지스터의 집합(단위 트랜지스터 군 255)을 의미한다.

트랜지스터 군(165s1)은 프로그램 전류(I1)를 출력한다. 트랜지스터 군(165s8)은 프로그램 전류(I8)를 출력한다. 마찬가지로, 트랜지스터 군(165s32)은 프로그램 전류(I32)를 출력하고, 트랜지스터 군(165s128)은 프로그램 전류(I128)를 출력하고, 트랜지스터 군(165s255)은 프로그램 전류(I255)를 출력한다.

단위 트랜지스터 군(165s0)만은 특수하며, 단위 트랜지스터는 배치되어 있지 않다. 즉, 전류(I_w)=0이다. 프리차지 전압(V0)을 측정하는 전압 측정 회로(381a)가 소스 신호선(18s0)에 접속되어 있다. 또한, 측정 화소(16s0)가 접속되어 있다. 측정 화소(16s0)는 프리차지 전압(V0)에 대응하는 전압을 소스 신호선(18s0)에 설정하고, 전압 측정 회로(381a)는 프리차지 전압(V0)을 측정하여 출력한다.

단위 트랜지스터 군(165s1)은 단위 트랜지스터가 1개 형성 또는 배치되어 있다. 혹은 계조 1에 해당하는 프로그램 전류를 출력할 수 있도록 구성되어 있다. 단위 트랜지스터 군(165s1)에는 프리차지 전압(V1)을 측정하는 전압 측정 회로(381b)가 소스 신호선(18s1)에 접속되어 있다. 또한, 측정 화소(16s1)가 접속되어 있다. 측정 화소(16s1)는 계조 1에 대응하는 프로그램 전류(I_w)의 인가에 의해, 프리차지 전압(V1)에 대응하는 전압을 소스 신호선(18s1)에 설정 혹은 조정 혹은 동작하고, 전압 측정 회로(381b)는 프리차지 전압(V1)을 측정하고 출력한다.

단위 트랜지스터 군(165s8)은 단위 트랜지스터가 8개 형성 또는 배치되어 있다. 혹은 계조 8에 해당하는 프로그램 전류(I_w)를 출력할 수 있도록 구성되어 있다. 예를 들면, 단위 트랜지스터의 8배의 채널 폭을 갖는 트랜지스터가 1개 형성되어 있다. 단, 트랜지스터 군(165s)도 트랜지스터 군(165c)과 마찬가지로 동일한 단위 트랜지스터(164)의 집합으로 구성하는 쪽이, 출력하는 정전류(I_w)의 변동이 작고 유리하다.

단위 트랜지스터 군(165s8)에는 프리차지 전압(V)을 측정하는 전압 측정 회로(381c)가 소스 신호선(18s8)에 접속되어 있다. 또한, 측정 화소(16s2)가 접속되어 있다. 측정 화소(16s2)는 계조 8에 대응하는 프로그램 전류($I_w=18$)의 인가에 의해, 프리차지 전압(V2)에 대응하는 전압을 소스 신호선(18s2)에 설정 혹은 조정 혹은 동작하고, 전압 측정 회로(381c)는 프리차지 전압(V2)을 측정하고 출력한다.

마찬가지로, 단위 트랜지스터 군(165s32)에는 프리차지 전압(V3)을 측정하는 전압 측정 회로(381d)가 소스 신호선(18s3)에 접속되어 있다. 또한, 측정 화소(16s3)가 접속되어 있다. 측정 화소(16s3)는 계조 32에 대응하는 프로그램 전류($I_w=132$)의 인가에 의해, 프리차지 전압(V3)에 대응하는 전압을 소스 신호선(18s3)에 설정 혹은 조정 혹은 동작하고, 전압 측정 회로(381d)는 프리차지 전압(V3)을 측정하고 출력한다.

단위 트랜지스터 군(165s128)에는 프리차지 전압(V4)을 측정하는 전압 측정 회로(381e)가 소스 신호선(18s4)에 접속되어 있다. 또한, 측정 화소(16s4)가 접속되어 있다. 측정 화소(16s4)는 계조 128에 대응하는 프로그램 전류($I_w=1128$)의 인가에 의해, 프리차지 전압(V4)에 대응하는 전압을 소스 신호선(18s4)에 설정 혹은 조정 혹은 동작하고, 전압 측정 회로(381e)는 프리차지 전압(V4)을 측정하고 출력한다.

마찬가지로, 단위 트랜지스터 군(165s155)에는 프리차지 전압(V5)을 측정하는 전압 측정 회로(381f)가 소스 신호선(18s5)에 접속되어 있다. 또한, 측정 화소(16s5)가 접속되어 있다. 측정 화소(16s5)는 계조 255에 대응하는 프로그램 전류($I_w=1255$)의 인가에 의해, 프리차지 전압(V5)에 대응하는 전압을 소스 신호선(18s5)에 설정 혹은 조정 혹은 동작하고, 전압 측정 회로(381f)는 프리차지 전압(V5)을 측정하고 출력한다.

도 59는 프리차지 전압(V0~V5)의 경우였지만, 본 발명은 V0~V5에 한정하는 것은 아니다. 도 60에 도시한 바와 같이 프리차지 전압(V0~V8)으로 해도 된다. 또한, 프리차지 전압(p)을 V0~V255 중 어느 하나의 전압 설정으로 해도 된다. 다른 구성은 도 59와 마찬가지로 설명을 생략한다.

또한, 본 발명의 제1 화소가 매트릭스 형상으로 형성되어 화상을 표시한다. 본 발명의 제2 화소는 예를 들면, 도 59의 화소(16s0, 16s1, 16s8, 16s32, 16s128, 16s255)가 해당한다. 또한, 도 60의 화소(16s0, 16s1, 16s2, 16s4, 16s8, 16s16, 16s32, 16s64, 16s128)도 본 발명의 제2 화소에 해당한다. 또한, 도 73의 16S도 본 발명의 제2 화소에 해당한다. 또한, 본 발명의 제2 화소는 도 75의 화소(16S)와 같이 매트릭스 형상으로 배치해도 된다.

또한, 본 발명의 제1 화소 및 제2 화소는 모두 본 발명의 화소의 일 예에 해당한다.

이상의 실시예에서는 소스 신호선(18s) 및 측정 화소(16s)를 형성하고, 소스 신호선(18s)에 프로그램 전류(I_w)를 인가하여, 소스 신호선(18s)의 전위를 전압 측정 회로(381)에서 측정하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 표시 화면(34)에 형성된 소스 신호선(18) 및 화소(16)에 프로그램 전류(I_w)를 인가하고, 소스 신호선(18)의 전위를 측정하여 프리차지 전압(V_p)을 취득해도 된다.

이 회로 구성의 실시예를 도 61에 도시하고 있다. 기본적인 구성은 이전에 설명한 구성과 동일하고, 동작도 동일하다. 단순히 소스 신호선(18s)을 소스 신호선(18)으로, 측정 화소(16s)를 화소(16)로 치환하면 된다. 따라서, 구성, 동작은 이전에 설명한 내용과 동일 혹은 유사하기 때문에 설명은 생략한다. 즉, 별도 측정 화소(16s)를 형성하지 않고, 매트릭스 형상으로 형성된 표시 화소(16)를 이용하여 프리차지 전압(Vp)을 측정 혹은 취득한다.

도 61은 이 구성 이외에 추가로, 각 소스 신호선(18)으로부터 측정되는 프리차지 전압(Vp)을 스위치(S)(Sa, Sb, Sc, ……Sn)에 의해 선택한다. 예를 들면, 트랜지스터 군(165c1)으로부터 프리차지 전압(Vp)을 측정하기 위한 프로그램 전류를 출력한 경우에는 스위치(Sa)를 선택하고, 전압 측정 회로(381)에 인가한다. 트랜지스터 군(165c2)으로부터 프리차지 전압(Vp)을 측정하기 위한 프로그램 전류를 출력한 경우에는 스위치(Sb)를 선택하여, 전압 측정 회로(381)에 인가한다.

물론, 모든 소스 신호선(18) 혹은 복수의 소스 신호선(18)에 프리차지 전압(Vp)을 측정하기 위한 프로그램 전류(Iw)를 인가한 경우에는 해당하는 소스 신호선에 접속된 스위치(S)를 선택하여 혹은 순차적으로 선택하여 전압 측정 회로(381)에 인가한다.

또한, 프로그램 전류(Iw)의 발생 회로는 소스 드라이버 IC(회로)(14) 밖에 구성 또는 배치해도 된다. 이 프로그램 전류의 발생 회로가 출력하는 정전류를 소스 신호선(18)에 인가한다. 또한, 정전류는 일정치로 한정되는 것은 아니다. 일정 주기로 변화시켜도 됨은 물론이다. 또한, 펄스 형상으로 변화시켜도 된다. 이상의 사항은 본 발명의 다른 실시예에도 적용된다.

도 61 등에서, 스위치(S)의 선택은 1개로 한정되는 것이 아니며, 복수의 스위치(S)를 동시에 선택하고, 전압 측정 회로(381)에 인가해도 된다. 예를 들면, 모든 트랜지스터 군(165c)으로부터 계조 1에 대응하는 프로그램 전류를 출력하고, 게이트 신호선(17a)을 선택하여, 계조 1의 프로그램 전류를 인가한 소스 신호선(18)에 접속된 화소(16)의 구동용 트랜지스터(11a)를 동작시킨다.

각 화소(16)의 구동용 트랜지스터(11a)는 각 소스 신호선(18)에 계조 1에 대응하는 프로그램 전류를 출력한다. 이때, 계조 1의 프로그램 전류를 인가한 소스 신호선(18)에 접속된 스위치를 클로즈한다. 그러면, 각 소스 신호선은 전압 배선(611)에서 단락된다. 따라서, 각 소스 신호선(18)의 전위는 동일 전압으로 된다. 이 동일 전압으로 된 전압(V1)은 각 소스 신호선(18)의 계조 1의 프리차지 전압(Vp)을 평균화한 값으로 된다. 따라서, 전압 배선(611)의 프리차지 전압(V1)을 전압 측정 회로(381)에서 측정하면, 양호한 프리차지 전압(V1)을 취득할 수 있다. 다른 계조의 프리차지 전압(Vp)의 측정에 있어서도 마찬가지이다.

이상의 실시예에서는 모든 소스 신호선(18)에 계조에 대응하는 프로그램 전류(Iw)($I_w=0(A)$ 도 포함한다)를 인가하고, 모든 스위치(S)를 클로즈시켜 프리차지 전압(Vp)을 취득한다고 했지만, 이것에 한정되는 것은 아니다. 임의의 복수의 소스 신호선(18)에 계조에 대응하는 프로그램 전류를 인가하고, 상기 선택한 임의의 스위치(S)를 클로즈시켜 프리차지 전압(Vp)을 취득해도 됨은 물론이다. 예를 들면, 짝수번째에 위치하는 소스 신호선(18)의 스위치를 클로즈시켜, 전압(Vp)을 측정하고, 다음의 타이밍에서는 홀수번째에 위치하는 소스 신호선(18)의 스위치를 클로즈시켜, 전압(Vp)을 측정하는 방식이 예시된다. 그 밖에, 2개 또는 4개의 스위치를 순차적으로 선택하여, 프리차지 전압(Vp)을 순차적으로 측정하는 방식이 예시된다.

모든 소스 신호선(18)에 동일한 계조에 대응하는 프로그램 전류를 인가할 필요는 없다. 예를 들면, 홀수번째에 위치하는 트랜지스터 군(165)에는 계조 1에 대응하는 프로그램 전류를 인가하고, 짝수번째에 위치하는 트랜지스터 군(165)에는 계조 32에 대응하는 프로그램 전류를 인가하고, 홀수번째에 위치하는 소스 신호선(18)에 접속된 스위치를 클로즈하여, 계조 1에 대응하는 프리차지 전압(V1)을 측정하고, 홀수번째에 위치하는 소스 신호선(18)에 접속된 스위치를 클로즈하여, 계조 32에 대응하는 프리차지 전압(V3)을 측정해도 된다.

소스 신호선(18)의 선택 수와, 선택하는 스위치의 개수가 일치할 필요는 없다. 프로그램 전류를 인가하는 소스 신호선(18)이 32개라 하더라도, 그 중, 16개의 소스 신호선(18)에 접속된 스위치를 선택하여 클로즈 동작시켜도 된다. 또한, 스위치(S)를 클로즈하기 전에, 미리 소스 신호선(18)에 정전류(Iw)를 인가해 두는 것은 프리차지 전압(Vp)을 측정하는 시간을 단축하는 데 효과가 있다.

각 소스 신호선(18)에 인가하는 계조에 대응하는 프로그램 전류는 순차적으로 변화시키고, 순차적으로 프리차지 전압(Vp)을 측정해도 됨은 물론이다. 또한, 1개의 소스 신호선(18)을 고정하여 특정한 계조의 프리차지 전압(Vp)을 측정하기 보다는 주기적으로 변화시켜 각 프리차지 전압(Vp)을 측정하도록 구성 혹은 동작시키는 것이 바람직하다.

측정하는 프리차지 전압(V_p)은 계조마다 측정 기간 혹은 웨이트 기간(측정까지의 대기 시간)을 서로 다르게 하는 것이 바람직하다. 웨이트 시간은 컨트롤러 회로(IC)(801)로부터의 지시에 의해 가변할 수 있는 프로그램 기능을 갖게 한다. 웨이트 시간을 서로 다르게 한 것은 예를 들면, V1 전압은 프로그램 전류가 작기 때문에 소스 신호선(18)의 전위 변화가 완료하는 데 시간을 필요로 하기 때문이다. 계조 255에 대응하는 V5 전압은 프로그램 전류가 크기 때문에 소스 신호선(18)의 전위 변화는 단시간에 완료되므로, 웨이트 시간은 거의 필요 없다. 또한, 전압 측정 회로(381) 등을 복수 형성함으로써, 프리차지 전압(V_p)의 측정을 동시에 복수 행할 수 있다. 따라서, 프리차지 전압(V_p)의 측정 시간(기간)을 단축할 수 있다.

도 61의 실시예에서는 표시 화면(34)의 화소(16)를 이용하여, 프리차지 전압(V_p)을 측정한다. 따라서, 화상 표시시키고 있는 기간에는 프리차지 전압(V_p)을 측정할 수 없다. 단, 표시 화상의 계조의 프로그램 전류가, 프리차지 전압(V_p)을 취득하기 위한 프로그램 전류와 일치하고 있을 때에는 프리차지 전압(V_p)을 취득할 수 있음은 물론이다.

기본적으로는 프리차지 전압(V_p)의 취득은 도 62에 도시한 바와 같이, 1 필드 또는 1 프레임의 블랭킹 기간 혹은 1 수평 주사 기간의 블랭킹 기간에 실시한다. 블랭킹 기간에, 프리차지 전압(V_p)에 해당하는 프로그램 전류를 소스 신호선(18)에 인가하고, 전압 측정 회로(381)에서 프리차지 전압(V_p)을 측정한다.

도 63에 도시한 바와 같이, 화상 표시를 행하기 전, 즉, 표시 장치의 전원을 온(power ON) 상태로 하고, 화상 표시를 행하기 전에, 프리차지 전압에 해당하는 프로그램 전류를 소스 신호선(18)에 인가하고, 전압 측정 회로(381)에서 프리차지 전압(V_p)을 측정해도 된다.

또한, 한번 혹은 전회의 동작 시에 측정한, 프리차지 전압(V_p)은 디지털화하여 표시 장치의 메모리에 저장하고, 차회부터는 이 저장한 디지털 데이터를 초기 전압(개시 전압)으로 하여 프리차지 전압(V_p)을 발생시켜도 된다. 또한, 상기 프리차지 전압(V_p)에 대응하는 디지털 데이터로부터 대응하는 정전류(I_w)를 계산하고, 혹은 구하여, 소스 신호선(18)에 인가해도 된다.

도 63의 실시예에서는 화상 표시를 행하기 전에, 프리차지 전압(V_p)을 측정한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 표시 장치의 전원을 오프하기 전에, 프리차지 전압(V_p)을 측정하여, 측정된 데이터를 플래시 메모리에 기입하여 보유해도 된다. 즉, 본 발명은 프리차지 전압(V_p)의 측정은 어떠한 타이밍에서 측정하고, 측정된 프리차지 전압(V_p)을 사용하는 것이면 어느 것이어도 된다.

본 발명의 실시예에서, 전압 측정 회로(381)는 소스 신호선(18)의 전압을 측정한다고 한다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 소스 신호선(18)에 한정되지 않고, 의사적으로 소스 신호선(18)과 같이 전위 변화를 발생할 수 있는 것이면 어느 것이어도 된다. 예를 들면, 별도 형성한 배선이어도 된다. 또한, 측정 화소(16s)의 구동용 트랜지스터(11a)의 게이트 단자와 전압 측정 회로(381)를 직접 결선하도록 구성해도 된다. 또한, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 프로브 바늘을 압접하고, 전위(전압)를 측정해도 된다.

전압 측정 회로(381)의 기능은 소스 신호선(18) 등의 전위(전압)를 측정하는 것에 한정하는 것이 아니며, 소스 신호선(18)의 전하, 혹은 전계로부터 프리차지 전압(V_p)을 구하는 것이어도 된다. 혹은 이들의 변화 속도로부터 프리차지 전압(V_p)을 구하는 것이어도 된다. 예를 들면, 픽업 코일을 화소(16) 상에 배치하고, 화소(16)로부터 방사되는 전기력선의 크기로부터 프리차지 전압(V_p)을 간접적으로 취득해도 된다. 그 밖에, 화소(16)에 전자 빔을 조사하고, 전하 등의 크기를 측정하는 방식도 예시된다.

이상의 실시예에서는 1개의 측정 화소(16s)에 프로그램 전류를 인가하고, 소스 신호선(18)의 전위를 전압 측정 회로(381)에서 측정하는 것이었다. 본 발명은 이것에 한정하는 것은 아니다. 예를 들면, 도 64에 도시한 바와 같이, 복수의 화소(16)(16a~16n)를 동작시키고, 각 소스 신호선(18)의 전압을 전압 측정 회로(381)에서 측정시켜도 된다.

도 64에서는 표시 화소(16)에 각 트랜지스터 군(165c)으로부터 프로그램 전류를 인가하고, 또한, 표시 화소(16)의 구동용 트랜지스터(11a)를 동작시킨다. 예를 들면, 트랜지스터 군(165ca)은 화소(16a)에 소정의 측정할 프리차지 전압(V_p)에 대응하는 프로그램 전류를 인가한다. 화소(16a)의 구동용 트랜지스터(11a)는 프로그램 전류를 흘리고, 소스 신호선(18a)의 전위는 프로그램 전류에 해당하는 전압으로 변화한다.

트랜지스터 군(165cb)은 화소(16b)에 소정의 측정할 프리차지 전압(V_p)에 대응하는 프로그램 전류를 인가한다. 화소(16b)의 구동용 트랜지스터(11a)는 프로그램 전류를 흘리고, 소스 신호선(18b)은 프로그램 전류에 해당하는 전압에 충전

또는 방전된다. 이하, 마찬가지로, 트랜지스터 군(165cc)은 화소(16c)에 소정의 측정할 프리차지 전압(V_p)에 대응하는 프로그램 전류를 인가한다. 화소(16c)의 구동용 트랜지스터(11a)는 프로그램 전류를 흘리고, 소스 신호선(18c)은 프로그램 전류에 해당하는 전압에 충전 또는 방전된다.

전압 측정 회로(381)는 스위치(Sa)를 클로즈함으로써, 소스 신호선(18a)에 유지된 프리차지 전압(V_p)을 측정한다. 또한, 스위치(Sb)를 클로즈함으로써, 소스 신호선(18b)에 유지된 프리차지 전압(V_p)을 측정한다. 이하, 마찬가지로, 스위치(Sc)를 클로즈함으로써, 소스 신호선(18c)에 유지된 프리차지 전압(V_p)을 측정한다.

또한, 전압 측정 회로(381)는 동시에 복수의 스위치(S)(Sa~Sn) 중 어느 하나를 선택한다. 복수의 스위치(S)를 선택함으로써, 선택된 복수의 소스 신호선(18)에 유지된 프리차지 전압(V_p)이 평균화되어, 표시 영역의 구동용 트랜지스터(11a)의 특성을 반영한 프리차지 전압(V_p)을 측정할 수 있게 된다.

이상과 같이, 본 발명은 복수의 화소(16)를 선택하고, 각 소스 신호선(18)에 유지된 프리차지 전압(V_p)을 측정해도 된다. 또한, 복수의 소스 신호선(18)을 선택하여 프리차지 전압(V_p)을 측정해도 된다. 또한, 1개 혹은 복수의 화소(16)에 n 배(n 은 1 이상의 정수)의 프로그램 전류를 인가하고, 상기 화소(16)의 구동용 트랜지스터(11a)를 동작시켜, 소스 신호선(18)을 충방전시키고, 이 소스 신호선(18)의 전위를 측정해도 된다. 측정된 소스 신호선(18)의 전위는 연산 처리 등에 의해 프리차지 전압(V_p)을 취득한다.

소스 드라이버 IC(회로)(14)의 내부 배선(162)은 출력 단자(83)를 통하여 소스 신호선(18)과 접속되어 있다. 본 발명은 소스 신호선(18)의 전위 혹은 소스 드라이버 IC(회로)(14)의 내부 배선(162)의 전위를 측정함으로써, 프리차지 전압(V_p)을 취득한다. 그러나, 전압 측정 회로(381)에서 측정된(취득된) 프리차지 전압(V_p)은 그대로 프리차지 전압(V_p)으로서, 사용할 수 없는 경우가 있다. 예를 들면, 0 계조 혹은 1 계조에 해당하는 프리차지 전압(V_p)은 완전한 흑 표시를 실현하기 위해, 트랜지스터 군(165)으로부터 0 계조 또는 1 계조에 해당하는 프로그램 전류를 인가하여 취득한 프리차지 전압(V_p)보다도 애노드 측에 가까이 할(애노드 전압에 가까운 쪽에 시프트시킬) 필요가 있다. 이 예는 구동용 트랜지스터(11a)가 P 채널 트랜지스터인 경우이며, 상기 트랜지스터의 소스 단자가 애노드 단자에 접속되어 있는 경우이다.

이상의 과제를 해결하는 방식을 도 65에 도시하고 있다. 전압 측정 회로(381)에서 측정된 프리차지 전압(V_p)은 A/D 변환 회로(391)에서 디지털 데이터 MDATA로 변환된다. 한편, 어느 정도 애노드 전압 측에 전위 시프트시킬지의 크기를 나타내는 데이터 HDATA는 래치 회로(221)에 유지되어 있다. HDATA는 소스 드라이버 IC(회로)(14)의 외부의 컨트롤러 IC(801)에 의해 설정된다.

연산 회로(651)는 HDATA와 MDATA를 가산하여, 목표의 VDATA를 얻을 수 있다. VDATA가 D/A 변환되어, 아날로그 데이터로 되고 프리차지 전압(V_p)으로서 출력된다. 혹은 전자 볼륨(152)에 입력된다. 또한, HDATA와 MDATA를 가산한다고 했지만, 경우에 따라서는 감산에 의해, VDATA를 구하는 경우도 있다. 또한, HDATA 혹은 MDATA에 일정한 비율로 가중 처리를 하여 VDATA를 구해도 됨은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용되는 물론이다.

이상의 경우에는 측정 데이터 등을 디지털 신호 처리하는 방법이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 66에 도시한 바와 같이 아날로그적으로 처리를 해도 된다. 전압 측정 회로(381)에서 측정된 프리차지 전압(V_p)은 아날로그 데이터 MDATA로서 연산 회로(651)에 인가된다. 한편, 어느 정도 애노드 전압 측에 전위 시프트하는지를 나타내는 데이터 HDATA는 가변 저항(VR)에서 발생된다. 이 경우, HDATA는 아날로그값이다. 연산 회로(651)는 HDATA와 MDATA를 가산하여, 목표의 VDATA를 얻을 수 있다. VDATA가 DA 변환되어, 아날로그 데이터로 되고, 전자 볼륨(152) 등에 인가된다.

도 65, 도 66 등의 HDATA, VDATA는 온도에 의해 가변해도 된다. 또한, 패널의 표시 휘도에 따라서 변화시켜도 된다. 온도는 온도 센서로 검출하고, 표시 휘도는 애노드에 흐르는 전류에 의해 간접적으로 검출 혹은 취득한다. 물론, 표시 휘도는 휘도계 혹은 포토 센서로 측정해도 된다. 온도 센서로서, 서미스터가 예시된다.

프리차지 전압($V_0 \sim V_5$)은 대응하는 프로그램 전류(I_w)를, 화소(16)에 인가함으로써 취득한다. 도 67에서는 트랜지스터 군(165cb)으로부터 프로그램 전류(I_w)를 출력하고, 화소(16)가 동작한다. 전압(V_0)의 측정은 소스 신호선(18)에는 프로그램 전류는 흘리지 않는다. 즉, 소스 신호선(18)은 플로팅 상태이다. 선택된 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자와 드레인 단자는 단락된다. 단락에 의해 트랜지스터(11a)는 전류를 출력하지 않도록 게이트 단자 전위를 변화시킨다. 변화가 종료한 전위가 V_0 전압으로 된다. 전압 측정 회로(381)는 전압(V_0)을 측정하여 출력하고, 출력된 전압은 A/D 변환되는 등 메모리(기억 수단)에 저장된다.

트랜지스터 군(165cb)은 전압(V1)에 상당하는 프로그램 전류를 출력하고, 전압 측정 회로(381)는 전압(V1)을 측정하여 출력한다. 마찬가지로, 트랜지스터 군(165cb)은 전압(V2)에 상당하는 프로그램 전류를 출력하고, 전압 측정 회로(381)는 전압(V2)을 측정하여 출력한다. 이상의 동작을 V5까지 반복하여, V5까지 실시하면, 다시 V0의 측정 동작(취득 동작)부터 실시한다.

도 67은 전압 측정 회로(381)는 출력 단자(83a)와 접속되어 있다. 트랜지스터 군(165cb)은 출력 단자(83b)와 접속되어 있다. 출력 단자(83a)는 어레이 기관(30)의 소스 신호 단자(242a)와 접촉하고, 전기적 접속이 취해지고 있다. 출력 단자(83b)는 어레이 기관(30)의 소스 신호선 단자(242b)와 접촉하고, 전기적 접속이 취해지고 있다.

도 48 등에서는 전압 측정 회로(381)의 단자와 트랜지스터 군(165)의 출력 단자(83s)는 공통이다. 도 67에서는 트랜지스터 군(165c)의 출력 단자(83b)와, 전압 측정 회로(381)의 출력 단자(83a)는 분리되어 있다. 도 67과 같이 구성하면, 단자 수는 증가하지만, 전압 측정 회로(381)와 트랜지스터 군(165c)을 분리하여 검사를 행할 수 있다.

이상의 실시예는 전압 측정 회로(381)에서 소스 신호선(18)의 전위를 측정하는 것이었다. 전압 측정 회로(381)의 개념 혹은 동작 또한 메모리에의 기억 동작에는 도 68에서 도시한 바와 같이, 샘플 홀드 회로도 포함된다. 일례로서의 샘플 홀드 회로는 스위치(S1, S2), 컨덴서(C), 오피 앰프(151)로 구성되어 있다.

도 68에 도시한 바와 같이, 트랜지스터 군(165c)으로부터 출력된 프로그램 전류(Iw)는 소스 드라이버 IC(회로)(14)의 내부 배선(162), 출력 단자(83)를 통하여 소스 신호선(18)에 인가되고, 화소(16)에 공급된다. 소스 신호선(18)에 프로그램 전류(Iw)에 대응한 프리차지 전압(Vp)이 출력되고, 프리차지 전압(Vp)은 내부 배선(162)에 인가시킨다.

스위치(S2)가 폐쇄됨으로써 프리차지 전압(Vp)은 컨덴서(C)에 인가되고, 그 후, 스위치(S2)가 폐쇄되더라도 프리차지 전압(Vp)은 유지된다. 프리차지 전압(Vp)은 오피 앰프(151)에 의해 저임피던스화되어 출력된다. 스위치(S1)가 폐쇄됨으로써 프리차지 전압(Vp)은 Cn에 유지된다. 유지된 프리차지 전압(Vp)은 전자 볼륨(152) 등에 인가된다. 이상과 같은 구성 혹은 방식도 전압 측정 회로(381)이다. 또한, 도 68의 구성은 프리차지 전압(Vp)을 유지하는 메모리 회로도 공용하고 있다. 따라서, 저비용화가 가능하다.

이상의 구성은 트랜지스터 군(165s) 등을 반도체 칩으로서 구성한 것이다. 그러나, 도 69에 도시한 바와 같이, 트랜지스터 군(165c), 전압 측정 회로(381)의 쌍방 혹은 어느 하나를 어레이 기관(30)에 직접적으로 구성 혹은 형성해도 된다. 또한, 도 69에 도시한 바와 같이 화소(16) 혹은 측정 화소(16s)의 구동용 트랜지스터(11a)는 P 채널 트랜지스터가 아닌, N 채널 트랜지스터이어도 된다.

도 69에 도시한 바와 같이, 트랜지스터 군(165c)으로부터 출력된 프로그램 전류(Iw)에 의해 구동용 트랜지스터(11a)가 동작한다. 소스 신호선(18)은 프리차지 전압(Vp)에 상당하는 전압이 출력되고(프로그램 전류(Iw)에 의해 소스 신호선(18)에 인가되어 있다고 생각할 수도 있다), 이 전압이 어레이 기관(30)에 형성된 전압 측정 회로(381)에 의해 측정된다. 물론, 트랜지스터 군(165c)을 어레이 기관(30)에 직접 형성하고, 전압 측정 회로(381)를 반도체 칩으로 하여 구성해도 된다.

표시 패널에서는 각 RGB에서 독립된 트랜지스터 군(165c)을 형성한다. 계조 0에 대응하는 프리차지 전압(Vp=V0)은 RGB에서 공통적으로 할 수 있다. V1~Vn은 다른 프리차지 전압(Vp)으로 설정한다. RGB에서 프로그램 전류(Iw)에 대한 발광 효율이 서로 다르기 때문이다. 물론, RGB의 프로그램 전류가 동일할 때 혹은 대략 일치하는 경우이면, RGB에서 각 계조에 대한 프리차지 전압(Vp)은 공통으로 해도 된다.

RGB에서 프리차지 전압(Vp)을 서로 다르게 한 경우에는 도 70과 같이 구성한다. 트랜지스터 군(165c)(165cR, 165cG, 165cB)은 스위치(Sa)(SaR, SaG, SaB)에 의해 선택시켜, 소스 드라이버 IC(회로)(14)의 내부 배선(162)에 접속된다. 스위치(Sa, Sb)는 아날로그 스위치나 트랜지스터가 예시된다. 스위치(Sa, Sb)는 선택 수단이다. 내부 배선(162)은 출력 단자(83)에 의해 측정 화소(16s)에 접속되어 있다. 따라서, 스위치(Sa)(SaR, SaG, SaB)에 의해 트랜지스터 군(165c)(165cR, 165cG, 165cB)이 선택되어, 각 트랜지스터 군(165c)으로부터의 프로그램 전류(I)가 전압 측정 화소(16s)(또는 화소(16))에 인가된다.

트랜지스터 군(165cR)으로부터의 프로그램 전류는 스위치(SaR)가 클로즈함으로써, 측정 화소(16S)에 인가된다. 스위치(SaR)가 클로즈할 때는 스위치(SbR)가 클로즈하고, 소스 신호선(18)의 전위가 R의 전압 측정 회로(381R)에 인가되고, 전압 측정 회로(381R)는 프리차지 전압(V0R~VmR)(m은 프리차지 전압(Vp)의 최대 번호치)을 측정 혹은 취득한다.

트랜지스터 군(165cG)으로부터의 프로그램 전류는 스위치(SaG)가 클로즈함으로써, 측정 화소(16S)에 인가된다. 스위치(SaG)가 클로즈할 때는 스위치(SbG)가 클로즈하고, 소스 신호선(18)의 전위가 G의 전압 측정 회로(381G)에 인가되고, 전압 측정 회로(381G)는 프리차지 전압($V_{0G} \sim V_{mG}$)을 측정 혹은 취득한다.

트랜지스터 군(165cB)으로부터의 프로그램 전류는 스위치(SaB)가 클로즈함으로써, 측정 화소(16S)에 인가된다. 스위치(SaB)가 클로즈할 때는 스위치(SbB)가 클로즈하고, 소스 신호선(18)의 전위가 B의 전압 측정 회로(381B)에 인가되고, 전압 측정 회로(381B)는 프리차지 전압($V_{0B} \sim V_{mB}$)을 측정 혹은 취득한다.

전압 측정 회로(381R, 381G, 381B)는 공통으로 하여, 1개의 전압 측정 회로(381)로 겸용해도 된다. 또한, 내부 배선(162), 측정 화소(16S)도 RGB 마다 분리해도 된다. 또한, 도 71에 도시한 바와 같이, 스위치(Sb)를 형성하지 않아도 된다.

도 72는 RGB에서 프리차지 전압(V_p)을 서로 다르게 한 경우의 구성도이다. 전자 볼륨(152)에는 디지털화된 프리차지 전압(V_p)이 인가된다. 전자 볼륨(152R)에는 프리차지 전압($V_{0R} \sim V_{5R}$)이 인가된다. 전자 볼륨(152G)에는 프리차지 전압($V_{0G} \sim V_{5G}$)이 인가된다. 전자 볼륨(152B)에는 프리차지 전압($V_{0B} \sim V_{5B}$)이 인가된다.

트랜지스터 군(165s) 혹은 트랜지스터 군(165c)으로부터 출력하는 프로그램 전류(I)는 n배로 하여 출력해도 된다. n배로 하는 것은 도 6 등에서 설명하고 있다. n배의 프로그램 전류를 인가하고, 프리차지 전압(V_p)을 취득하는 경우에는 도 73에 도시한 바와 같이, 측정 화소(16s)도 구동용 트랜지스터(11a)를 n개 형성한다. 혹은 n배의 프로그램 전류로, 기정의 프리차지 전압(V_p)(화소(16))가 1개의 구동용 트랜지스터(11a)로 구성되어 있는 경우에 취득되는 프리차지 전압(V_p)이 얻어지도록 구성 또는 형성한다. 혹은 프로그램 전류의 크기를 설정 혹은 조정한다.

도 73에 도시한 바와 같이, 프리차지 전압(V_p)을 측정하기 위한 화소(16s)를 n개의 구동용 트랜지스터(11a)로 구성함으로써, 구동용 트랜지스터(11a)의 특성 변동에 의한 프리차지 전압(V_p)의 변동을 저감할 수 있다. 즉, 프리차지 전압(V_p)의 정밀도를 향상할 수 있다.

도 73에서, 트랜지스터 군(165s)으로부터 출력된 프로그램 전류는 소스 드라이버 IC(회로)(14)의 내부 배선(162), 출력 단자(83)를 통하여 소스 신호선(18)에 인가되고, 화소(16s) 혹은 화소(16)에 공급(인가)된다. 화소(16s)의 n개의 트랜지스터(11a)로부터 소스 신호선(18)에 프로그램 전류(nI)에 대응한 프리차지 전압(V_p)이 출력되고, 프리차지 전압(V_p)은 내부 배선(162)에 인가된다. 도 73에서는 $n=4$ 로 하고, 화소(16s)에는 4개의 구동용 트랜지스터(11a)를 형성하고 있다.

도 73에서는 $4 \times I = 4I$ 의 프로그램 전류를 인가시켜, 4개의 구동용 트랜지스터(11a)가 동작한다. 따라서, 개개의 구동용 트랜지스터(11a)는 I의 크기의 프로그램 전류를 흘리는 것으로 된다. 트랜지스터 군(165c)으로부터는 4I의 프로그램 전류를 출력하지만, 1개의 구동용 트랜지스터(11a)는 I의 프로그램 전류를 흘리는 것으로 된다. 결국, 화소(16)가 1개의 구동용 트랜지스터(11a)로 구성되어 있는 경우에, 트랜지스터 군(165c)으로부터 I의 프로그램 전류를 흘리고, 화소(16)의 구동용 트랜지스터(11a)가 I의 전류를 흘리는 경우와 동일하게 된다. 그러나, 화소(11s)에는 구동용 트랜지스터(11a)가 복수 형성되어 있기 때문에, 다소 구동용 트랜지스터(11a)에 변동이 발생한다 하더라도, 정밀도가 좋은 프리차지 전압(V_p)을 취득할 수 있다. 다른 구성 혹은 동작은 본 발명의 다른 실시예와 마찬가지로 설명을 생략한다.

본 발명은 측정 화소(16s) 또는 화소(16)를 이용하여 프리차지 전압(V_p)을 취득하는 방식이다. 그러나, 과제는 프리차지 전압(V_p)을 취득하는 화소(16) 등에 결함이 발생하고 있는 경우이다. 결함이 발생한 화소는 정상적인 프리차지 전압(V_p)을 출력하지 않는다. 또는 프리차지 전압(V_p)을 취득할 수 없다. 또한, 프리차지 전압(V_p)을 취득하는 구동용 트랜지스터(11a)의 특성이 비정상인 경우도 문제로 된다.

본 발명은 이 과제에 대하여, 프리차지 전압(V_p)을 취득하는 화소(16s)를 복수개 형성하고, 이 복수개의 화소(16s)로부터 정상적인 화소를 선택함으로써 해결하고 있다. 도 74는 그 설명도이다. 도 74에서, 프리차지 전압(V_p)을 취득하는 측정 화소(16s)가 4개 형성되어 있다. 어느 측정 화소(16s)를 선택할지는 스위치(S)(S1~S4)에 의해 결정된다. 도 74에서는 스위치(S1)가 클로즈되고, 다른 스위치(S2~S4)를 오픈함으로써, 측정 화소(16s1)가 선택된다. 따라서, 트랜지스터 군(165c)으로부터 프로그램 전류는 측정 화소(16s1)에 인가된다.

어느 측정 화소(16s)를 선택할지는 사전에 복수의 화소(16s)의 특성을 측정하여 선택 혹은 설정해 둔다. 선택 혹은 설정한 정보는 스위치(S)(S1~S4)의 클로즈 정보로서 불휘발성의 메모리에 유지한다. 또한, 디폴트로 선택하는 스위치(S)(S1, S2, S3, S4)를 정해 둔다.

도 73과 같이, n개의 스위치(S)를 클로즈시키고, n배의 프로그램 전류를 인가해도 됨은 물론이다. 또한, 복수의 측정 화소(16s)가 정상인 경우에는 정상적인 측정 화소(16s)가 접속된 스위치(S)를 순차적으로 절환하여 프리차지 전압(Vp)을 취득해도 된다.

측정 화소(16s)는 도 75에 도시한 바와 같이 매트릭스 형상으로 형성해도 된다. 또한, 1 화소 열 혹은 1 화소 행으로서 복수개의 측정 화소(16s)를 형성해도 된다. 도 75는 4 화소 행, 6 화소 열의 매트릭스 형상으로 측정 화소(16s)를 형성한 경우를 나타내고 있다.

매트릭스 형상으로 형성된 측정 화소(16s)의 구성은 표시 화면(34)의 구성과 마찬가지로이다. 측정 화소(16s)의 화소 행 방향에는 게이트 드라이버 회로(12s)가 접속 또는 형성되고, 측정 화소(16s)의 화소 열 방향에는 소스 드라이버 회로(IC)(14)의 트랜지스터 군(165s)이 접속 또는 형성되어 있다. 어느 측정 화소(16s)를 선택할지는 선택하는 소스 신호선(18)과 게이트 드라이버(12s)의 제어에 의해 결정된다. 또한, 어느 소스 신호선(18)의 프리차지 전압(Vp)을 측정할지는 전압 측정 회로(381)의 제어에 의해 결정된다.

게이트 드라이버 회로(12s)가 어느 측정 화소 행을 선택할지는 게이트 드라이버 회로(12)의 ST1, CLK1(도 3도 참조할 것)의 제어와 마찬가지로, ST3과 CLK3에 의해 실시된다. 게이트 드라이버 회로(12s)는 게이트 신호선(17s)(게이트 신호선(17s)과 마찬가지로의 기능을 갖는다)을 순차적으로 선택하고, 선택한 화소 행의 구동용 트랜지스터(11a)를 동작시킨다.

게이트 드라이버 회로(12s)는 미리 지정(결정)된 게이트 신호선(17s)(게이트 신호선(17a)과 마찬가지로의 기능을 갖는다)을 선택하고, 선택한 화소 행의 구동용 트랜지스터(11a)를 동작시킨다. 이 경우는 어느 측정 화소 행을 선택하고, 또한, 어느 측정 화소를 선택할지는 사전에 복수의 화소(16s)의 특성을 측정하여 선택해 둔다. 선택한 정보는 불휘발성의 메모리에 유지한다. 또한, 디폴트로 측정 화소 행 혹은 측정 화소(16s)를 정해 둔다. 또한, 소스 드라이버 회로(IC)(14)의 제어에 의해, 측정 화소 행에 프로그램 전류(Iw)를 인가한다.

도 73과 마찬가지로, n개의 측정 화소(16s)를 선택하고, n배의 프로그램 전류를 인가해도 됨은 물론이다. 또한, 게이트 드라이버(12s)를 주사하고, 프리차지 전압(Vp)을 측정하는 측정 화소(16s)를 순차적으로 절환하여 프리차지 전압(Vp)을 취득해도 된다.

도 75에서, 게이트 드라이버 회로(12s)와 게이트 드라이버(12)는 별도의 회로와 같이 도시했지만, 이것에 한정하는 것이 아니며, 1개의 회로로서 구성해도 된다. 이 1개의 게이트 드라이버 회로의 주사에 의해, 예를 들면, 1F의 맨처음의 블랭킹 시간에 게이트 드라이버 회로에 의해 측정 화소 행을 선택하고, 그 후, 표시 화면(34)의 화소 행을 선택하도록 구성해도 된다.

도 75에서, 소스 드라이버 회로(IC)(14)의 측정 화소용과 표시 영역용의 2개를 별도의 회로와 같이 도시했지만, 이것에 한정하는 것이 아니며, 1개의 회로로서 구성하고, 이 1개의 소스 드라이버 회로(IC)(14)의 제어에 의해, 예를 들면, 1F의 맨처음의 블랭킹 시간에 소스 드라이버 회로(IC)(14)에 의해 측정 화소 행에 프로그램 전류를 인가하고, 그 후, 표시 화면(34)의 화소 행에 프로그램 전류를 인가하도록 구성해도 된다.

도 76은 프리차지 전압(V0~V5)을 측정하는 측정 화소(16s)와 전압 측정 회로(381)를 형성 또는 배치한 구성이다. 또한, 프리차지 전압(Vp)을 취득하는 트랜지스터 군(165s)과 화상을 표시하는 트랜지스터 군(165c)과, 공통의 트랜지스터 군(165b)으로 커런트 미러 회로를 구성한 실시예이다.

도 76에서, 트랜지스터 군(165s)은 프리차지 전압(V0~V5)에 대응하는 프로그램 전류(Iw)를 순차적으로 출력한다. 프리차지 전압(V0)에 대응하는 프로그램 전류(Iw)(=0(A))가 소스 신호선(18s)에 인가된 때는 측정 화소(16s0)가 선택되고, 전압 측정 회로(381a)에서 프리차지 전압(V0)이 측정되고, 전자 볼륨(152) 등에 인가된다.

프리차지 전압(V1)에 대응하는 프로그램 전류(Iw)를 소스 신호선(18s)에 인가시켰을 때는 측정 화소(16s1)가 선택되고, 전압 측정 회로(381B)에서 프리차지 전압(V1)이 측정되고, 전자 볼륨(152) 등에 인가된다. 마찬가지로, 프리차지 전압(V2)에 대응하는 프로그램 전류가 소스 신호선(18s)에 인가된 때는 측정 화소(16s2)가 선택되고, 전압 측정 회로(381c)에서 프리차지 전압(V2)이 측정된다. 프리차지 전압(V3)에 대응하는 프로그램 전류가 소스 신호선(18s)에 인가된 때는 측정 화소(16s3)가 선택되고, 전압 측정 회로(381d)에서 프리차지 전압(V3)이 측정된다. 프리차지 전압(V4)에 대응하는 프

그럼 전류를 소스 신호선(18s)에 인가된 때는 측정 화소(16s4)가 선택되고, 전압 측정 회로(381e)에서 프리차지 전압(V4)이 측정된다. 프리차지 전압(V5)에 대응하는 프로그램 전류가 소스 신호선(18s)에 인가된 때는 측정 화소(16s5)가 선택되고, 전압 측정 회로(381f)에서 프리차지 전압(V5)가 측정되고, 전자 볼륨(152) 등에 인가된다.

도 76의 구성에 본 발명이 한정되는 것이 아니며, 도 77과 같이, 전압 측정 회로(381)는 1개로 구성해도 된다. 또한, 도 78에 도시한 바와 같이, RGB 마다 트랜지스터 군(261s), 전압 측정 회로(381)를 구성해도 됨은 물론이다.

이상의 실시예에서는 프리차지 전압(V_p)은 측정 화소(16s) 또는 화소(16)를 동작시켜 취득한다고 했다. 그러나, 프리차지 전압(V_p)은 패널 외부에서 발생하여 인가해도 된다. 예를 들면, 도 79에 도시한 바와 같이, 외부에서 발생한 프리차지 전압($V_{0b} \sim V_{5b}$)과, 측정 화소(16s) 또는 화소(16)를 동작시켜 취득한 프리차지 전압($V_{0a} \sim V_{5a}$)을 스위치(S)에서 선택 또는 절환할 수 있도록 구성한다. 외부에서 발생한 프리차지 전압($V_{0b} \sim V_{5b}$)을 선택하는 경우에는 스위치를 b 측으로 절환한다. 측정 화소(16s) 또는 화소(16)를 동작시켜 취득한 프리차지 전압($V_{0a} \sim V_{5a}$)(내부에서 발생한 프리차지 전압(V_p))을 선택하는 경우에는 스위치(S)를 a 측으로 절환한다. 스위치(S)의 절환은 사용자가 수동으로 절환해도 되고, 외광 센서, 온도 센서 등의 출력 결과에 의해 자동으로 절환해도 된다.

프리차지 전압(V_p)을 측정하는 타이밍, 측정 시간, 측정 화소(16s)의 지정, 프리차지 전압(V_p)의 인가 기간, 타이밍 등의 제어는 도 80에 도시한 바와 같이 컨트롤러 회로(IC)(801)에서 실시한다. 또한, 프리차지 전압(V_p)을 측정하는 타이밍, 측정 시간, 측정 화소(16s)의 지정, 프리차지 전압(V_p)의 인가 기간, 타이밍 등의 제어는 사용자가 독자적으로 설정 혹은 가변할 수 있도록 구성해도 된다.

도 80에서, RDATA는 적색의 영상 데이터, G데이터는 녹색의 영상 데이터, B데이터는 청색의 영상 데이터이다. PC는 프리차지를 하고 안 하고를 제어하는 신호, PT는 프리차지 기간 신호, VC는 프리차지 전압(V_p)의 측정 신호, VNO는 $V_0 \sim V_5$ 의 어느 프리차지 전압(V_p)을 측정할지의 지정 신호, VT는 프리차지 전압(V_p)의 측정 기간을 지정하는 신호이다.

이상과 같이, 본 발명은 정전류(I_w)(계조 0에 대응하는 0(A)도 포함한다)를 소스 신호선(18)에 인가하고, 구동용 트랜지스터(11a)를 동작시킴으로써, 프리차지 전압(V_p)을 측정하는 것이다. 프리차지 전압(V_p)의 측정은 화상 표시 이전(패널 제조 직후의 검사, 조정시를 포함한다) 혹은 화상 표시를 행하고 있는 시간(블랭킹 기간, 1 수평 주사 기간의 맨처음 등)에 행한다.

측정 혹은 취득한 프리차지 전압(V_p)은 도 25, 도 26, 도 27, 도 28, 도 32등에서 설명한 A 기간에, 프리차지 전압(V_p)(계조 전압이라고 부른다)으로서 인가한다. 단, A 기간에 인가하는 프리차지 전압(V_p)과 측정한 프리차지 전압(V_p)은 동일한 것에 한정되지 않는다. 측정한 프리차지 전압(V_p)으로부터, 표시하는 영상 신호의 계조 번호에 기초하여, A 기간에 인가하는 전압으로 변환해도 됨은 물론이다.

예를 들면, 계조 16에 대응하는 정전류(I_{w16})를 화소(16)의 구동용 트랜지스터(11a)에 인가하고, 상기 정전류($I_w=16$)에 대응하는 프리차지 전압(V_{p16})이 측정된 경우를 예시한다. 이 경우에서, 화소(16)에 계조 32를 인가하는 경우에는 프리차지 전압(V_{p16})에 계조 32와 계조 16과의 전위차(V_{sd})를 가산하여 프리차지 전압(V_{p32})을 구하고, A 기간에 소스 신호선(18)에 프리차지 전압(V_{p32})을 인가한다. 프리차지 전압(V_{p16})에 계조 32와 계조 16 등의 각 계조의 전위차(V_{sd})는 표준적인 구동용 트랜지스터(11a)의 특성을 측정해 두고, 미리 구해 놓는다.

또한, 이상의 본 발명의 실시예에서는 계조 0에 대응하는 프리차지 전압($V_p=V_0$)을 구하는 것이 유효하다. 프리차지 전압($V_p=V_0$)은 RGB의 화소의 구동용 트랜지스터(11a)의 특성이 일치하고 있는 경우, RGB의 화소에서 동일하기 때문이다. 즉, 원점 전압으로서 사용할 수 있다.

V_0 전압은 화소(16)를 선택하고, 게이트 신호선(17a)에 온 전압을 인가함으로써, 대상의 구동용 트랜지스터(11a)의 게이트 단자와 드레인 단자를 단락함으로써 얻어진다. 인가하는 프로그램 전류($I_w=0(A)$)이기 때문에, 각 소스 신호선(18)은 소스 드라이버 IC(회로)(14)로부터 전기적으로 분리된 상태(플로팅 상태)이다. 구동용 트랜지스터(11a)는 전류가 흐르지 않도록 소스 신호선(18)의 전위를 변화시킨다. 구동용 트랜지스터(11a)가 전류가 흐르지 않는(컷오프) 상태로 됐을 때의 전위가 V_0 전압이다.

측정 혹은 취득된 V_0 전압에는 관통 전압의 영향 등이 포함되어 있기 때문에, 일정 전압을 가감산 혹은 일정 비율을 승산함으로써 원하는 프리차지 전압($V_p=V_0$)이 얻어진다.

프리차지 전압(V_p)= V_0 는 도 81에 도시한 바와 같이, A 기간에 인가한다. 설명을 쉽게 하기 위해, 제1행째의 화소 행을 선택하는 기간을 「제1H가 대응한다」고 한다. 다음의 제2행째의 화소 행을 선택하는 기간을 「제2H가 대응한다」고 한다. 마찬가지로, 제3행째의 화소 행을 선택하는 기간을 「제3H가 대응한다」고 한다. 이하, 마찬가지이다.

도 81의 (a)에서는 V_0 전압은 각 화소 행에서 동일하도록 도시하고 있다. 물론, V_0 전압은 각 화소 행에서 공통이어도 되지만, 각 화소(16)에서 측정된 프리차지 전압(V_p)에 대응시켜 변화시켜도 된다(화소(16)마다 개별 설정을 행해도 된다).

도 81의 (a)에서는 수평 주사 기간(화소 행 선택 기간)의 맨처음의 A 기간에 프리차지 전압(V_p)으로서 V_0 전압을 인가한다. V_0 전압의 인가에 의해, 화소(16)의 구동용 트랜지스터(11a)는 흑 표시(전류를 흘리지 않는 상태)로 된다. 혹은 V_0 전압은 저계조 영역의 전압으로 하고, 구동용 트랜지스터(11a)가 출력하는 전류가 저계조 영역의 전류 이하로 되도록 한다.

저계조 영역 이하에서는 계조에 대한 프로그램 전류가 작다. 따라서, 소스 신호선(18)의 기생 용량의 영향을 강하게 받아, 기입 부족이 발생하기 쉽다. 따라서, 프로그램 정밀도를 얻기 어렵다. 프리차지 전압(V_p)= V_0 의 인가에 의해, 소스 신호선(18)의 전위는 계조 0의 전위로 된다. 구동용 트랜지스터(11a)에 프로그램되는 프로그램 전류가 저계조 영역이라 하더라도, 소스 신호선(18)의 전위 변화는 계조 0으로부터 전위 변화이기 때문에, 소스 신호선(18)의 전하의 충방전은 적어도 된다. 따라서, 목표의 저계조 영역의 전위로 변화시킬 수 있다.

도 81에서, 제1H의 C1 기간, 제2H의 C2 기간, 제3H의 C3 기간은 B 기간에 인가하는 목표 계조에 대응하는 프로그램 전류의 크기에 따라서 서로 다르다. C1, C2, C3 기간에 과전류 구동을 행한다. 과전류 구동은 도 32 등을 이용하여 설명한 방식이다. 과전류의 인가에 의해 소스 신호선(18)의 전위는 프리차지 전압(V_p)= V_0 로부터 목표 계조의 전위로 되도록 고속으로 변화한다.

V_0 전압이 구동용 트랜지스터(11a)의 특성을 반영한 것이라면, 과전류 구동에 의해 변화하는 전위도 구동용 트랜지스터(11a)의 특성을 반영한 것으로 된다. 과전류 구동에서의 전위 변화는 선 형성이 있기 때문이다. 따라서, 매트릭스 형상으로 형성된 화소(16)의 구동용 트랜지스터(11a)의 특성에 변동이 발생해도, 각 구동용 트랜지스터(11a)의 계조 0에 대응하는 프리차지 전압(V_p)= V_0 을 인가함으로써, 표시 얼룩이 없는 균일한 화상 표시를 실현할 수 있다.

B 기간은 화소(16)에 표시하는 계조에 대응하는 프로그램 전류를 인가하고 있는 기간이다. 프리차지 전압(V_p)= V_0 과 과전류 인가에 의해, 최적으로 목표 전위로 변화하면, 기간 B에서는 전위 변화는 발생하지 않는다. 목표 전위에 미도달이라 하더라도, B 기간에 프로그램 전류를 인가함으로써, 정밀도 좋게 목표 전위로 변화(보상)시킬 수 있다. 따라서, 정밀도 좋게 화소(16)의 EL 소자(15)에 프로그램된 전류를 인가할 수 있다.

도 81의 (b)는 제2H의 기간에, V_0 전압을 인가하지 않는다. 또한, 과전류 구동을 실시하지 않는다. 이것은 제1H의 소스 신호선(18)의 전위로부터 제2H의 소스 신호선(18)으로의 전위 변화가 작고, 프로그램 전류에 의해 충분히 목표 전위로 변화할 수 있다고 판단되었기 때문이다. 판단은 컨트롤러 회로(IC)(801)에 프로그램된 판단 루틴으로 실시된다.

도 82는 제2H의 기간에, C 기간이 없다. 즉 과전류를 인가하지 않는다. 이것은 V_0 전압의 소스 신호선(18)의 전위로부터 제2H의 소스 신호선(18)으로의 전위 변화가 적고, 프로그램 전류에 의해 충분히 목표 전위로 변화할 수 있다고 판단되었기 때문이다. 판단은 컨트롤러 회로(IC)(801)에의 프로그램된 판단 루틴으로 실시된다.

이상과 같이, 수평 주사 기간의 맨처음에 프리차지 전압(V_p)을 인가할지의 여부, 과전류 구동을 실시할지의 여부는 화소(16)에 기입하는 계조 혹은 전위 변화 등에 기초하여 판단된다.

최적의 V_0 전압은 패널 온도로 변화한다. 또한, 각 프리차지 전압(V_p)= $V_1, V_2, V_3 \dots$ 도 온도에 의해 변화한다. 따라서, 패널의 온도를 모니터하고(서미스터 등의 온도 센서를 이용한다), 온도에 의한 보정 계수를 곱해 V_0 전압을 구해 A 기간에 인가하는 것이 바람직하다.

또한, A 기간에 인가하는 프리차지 전압(V_p)은 기입하는 계조 혹은 전위, 혹은 전(前)수평 주사 기간의 소스 신호선 전위 또는 전수평 주사 기간에 화소에 기입된 계조와의 변화에 기초하여 변화 혹은 조정하는 것이 바람직하다. 또한, V_0 전압에 한정되는 것은 아니며, 기입하는 계조에 대응하여 인가한다.

0 계조에 해당하는 V_0 전압은 화소(16)의 구동용 트랜지스터(11a)에 의해 결정된다. 통상적으로, 구동용 트랜지스터(11a)는 RGB에서 공통의 사이즈 혹은 크기이다. 따라서, RGB에서는 V_0 전압은 일치한다. 기생 용량(C_s)의 충방전은 V_0 전압이 기준으로 되는 경우가 많다. 따라서, V_0 전압은 전류 구동 혹은 전압 구동 방식에서 원점(계조 0)의 전압의 위치 결정으로 된다.

이상의 실시예는 소스 신호선(18)의 전위 등으로부터 프리차지 전압(V_p)을 취득하는 것이었다. 프리차지 전압(V_p)은 소스 신호선(18)의 전위 이외로부터도 취득할 수 있다. 이하, 설명을 쉽게 하기 위해, 프리차지 전압(V_p)= V_0 을 구하는 방식에 대해 설명을 한다.

V_0 전압의 취득은 도 83, 도 84의 구성으로도 측정 혹은 취득 혹은 파악할 수 있다. 도 83은 캐소드 전류를 측정함으로써 취득하는 방법이다. 도 83은 각 소스 신호선(18)을 단락하고, 단락한 상태에서 소스 신호선에 설정하는 V_0' 전압을 인가한다. 이 상태에서, 게이트 드라이버(12a, 12b)를 주사하고, 소스 신호선(18)에 인가된 V_0' 전압을 화소(16)에 기입한다. 한편, 저항(R_{m18}) 전위를 전압 측정 회로(381)에서 측정한다.

도 83에서는 전압 측정 회로(381)를 이용하여, 캐소드 단자에 직접 접속한 저항(R_0)에 분류 저항(R_m)을 접속하고, 상기 저항(R_m)의 단자 전압을 측정한다고 했지만, 본 발명의 목적은 캐소드에 흐르는 전류를 측정하는 것이다. 따라서, 캐소드 단자에 직접 전류 측정 수단을 배치하여 측정해도 된다. 또한, 전류의 측정은 애노드 단자 측이어도 된다. EL 표시 장치에서, 캐소드 전류와 애노드 전류는 대략 일치하고 있기 때문이다.

소스 신호선(18)에 인가된 V_0' 전압을 화소(16)에 기입한다. V_0' 전압은 설정된 최대 전류치(I_m)의 값이 목표치(이하)로 되도록 조정한다. 최대 전류(I_m)란, 계조 0에 대응하는 전류치(I_0)이고, 이상적으로는 $I_0=0(A)$ 이다. 그러나, 완전하게 0(A)으로 하는 것은 곤란하며, 또한, 계조 0에서의 전류치가 지나치게 0에 가까우면, 계조 0의 전위가 애노드 전압(V_{dd})에 지나치게 가까워져, 다음의 수평 주사 기간에서, 다른 계조로의 변화가 곤란해진다. 따라서, I_0 의 최대치인 I_m 을 설정한다.

I_m 이 목표치로 되었을 때의 소스 신호선(18)에 인가하는 V_0' 전압을 V_0 으로 한다. 도 83의 화소 구성에서는 V_0' 전압을 애노드 단자 측으로 하면, I_0 전류는 감소한다. 그러나, V_0' 전압을 필요 이상으로 애노드 전압 측으로 하면, 계조 0에 대응하는 V_0 전압을 인가했을 때, 양호한 흑 표시를 실현할 수 있지만, 계조 0 전압이 너무 깊고, 계조 0으로부터 계조 0 등으로 변화할 때에는 계조 0이 기입하기 어려워진다.

적정한 V_0 전압이 얻어지는 I_0 전류는 표시 패널의 표시 영역의 대각 길이를 d (인치)로 하고, $I_0(mA)$ 로 할 때, $K=I_0/d$ 로 했을 때, K 는 0.2 이상 2 이하로 하는 것이 바람직하다. 더욱 바람직하게는 K 는 0.3 이상 1.0 이하로 하는 것이 바람직하다. 이 I_0 전류를 I_m 으로 하여 설정한다. 이상으로 설정함으로써, 양호한 흑 표시를 실현할 수 있고, 또한 0 계조로부터 다른 계조로 프리차지 구동(과전류 구동)을 실시하는 경우에도 양호한 계조 변화를 실현할 수 있다.

이상과 같이, V_0' 전압을 변화시키고, 변화에 대응하여, I_0 전류를 측정한다. I_0 전류가 K 의 범위(I_m 이하)를 만족한 시점에서, 소스 신호선(18)에 인가하고 있는 V_0' 전압을 프리차지 전압(V_0)으로 한다.

프리차지 전압(V_0)은 도 84에서 취득하는 것도 바람직하다. 도 84에서는 복수의 소스 신호선(18)은 단락 배선(841)으로 단락되어 있다. 단락 배선(841)은 흑 전압(프리차지 전압(V_0))을 측정한 후, a-a'선으로 절단된다.

도 84에서는 모든 소스 신호선(18)은 단락 배선(841)으로 단락되어 있다. 따라서, 각 소스 신호선(18)은 플로팅 상태이다. 단락 배선(841)에는 단자 전극(842)이 형성 또는 배치되어 있다. 단자 전극(842)에는 프로브(843)가 압접되어 있다. 프로브(843)에는 배선(845)을 통하여 정전류원(844)이 접속되어 있다. 정전류원(844)은 프리차지 전압(V_0)의 경우에는 출력하는 전류는 0이다.

배선(845)에는 배선(845)의 전위를 측정하는 전압 측정 회로(381)가 접속되어 있다. 전압 측정 회로(381)는 프로브(843)를 통하여 소스 신호선(18)의 전위를 측정하고 있는 것으로 된다. 현재, 정전류원(844)의 출력 전류는 0이기 때문에, 소스 신호선(18)에는 전류가 인가되어 있지 않다. 즉, 소스 신호선(18)은 프리차지 전압(V_0)(계조 0)의 상태이다.

도 85는 취득된 V_0 으로부터 보정하고, 적정한 V_0 전압을 얻는 방법의 설명도이다. 얻어진 프리차지 전압(V_0)은 일정한 보정을 하는 것이 바람직하다. 예를 들면, 보다 흑 표시를 실현하고자 하는 경우이다.

도 85에서, 프로브(843)가 단자(842)에 접속된다. 배선(841)의 전위는 전압 측정 회로(381)에서 8 비트의 디지털 데이터로 변환된다. 보정하는 크기는 ROM(502)에 유지되어 있다. ROM 데이터는 RDaTa로서, 외부로부터 재가입할 수 있다.

ROM(502)에 유지된 데이터도 8 비트이다. 이 ROM 데이터와 전압 측정 회로(381)의 데이터가 가산(감산인 경우도 있다) 회로(651)에서 가산된다. 일반적으로 가산에 의해, 애노드 전압 측에 데이터는 시프트된다.

가산된 데이터는 9 비트로 된다. 이 데이터는 D/A(디지털-아날로그 변환) 회로(391)에서 아날로그 데이터로 변환되고, 패널 온도를 검출하는 온도 보상 회로(851)에서 온도 보상되어, 소스 드라이버 회로(IC)(14)에 인가된다. 온도 보상 회로(851)를 필요로 하는 것은 프리차지 전압(V_p)은 전압 구동이기 때문에, 온도 의존성이 있기 때문이다. 이것은 구동용 트랜지스터(11a)가 흘리는 전류는 게이트 단자 전위가 일정치라 하더라도, 온도에 의해 변화하는 것에 기인한다. 도 85에서는 V_0 전압을 보정한다고 했지만, 다른 프리차지 전압(V_p)에서도 마찬가지로의 처리를 실시해도 됨은 물론이다.

도 86은 소스 신호선(18)의 신호 파형이다. 도 86의 (a)의 전류 구동의 경우에는 프로그램 전류가 미약하기 때문에, 기생 용량에 의해 신호 파형은 완만해진다. 도 86의 (b)의 전압 구동의 경우에는 소스 드라이버 회로(IC)(14)의 출력 임피던스가 작기 때문에, 소스 신호선(18)에 인가되는 신호 파형은 거의 완만하지 않다. 따라서, 구동 신호를 확실하게 화소(16)에 기입할 수 있는 방법으로서의 전압 구동 방법이 양호하다. 그러나, 전압 구동 방식에서는 화소(16)에 구동용 트랜지스터(11a)의 변동을 보상할 수 없다. 전류 구동에서는 화소(16)의 구동용 트랜지스터(11a)를 양호하게 보상할 수 있다.

이하, 도 87 등을 참조하면서, 본 발명의 다른 구동 방식을 설명한다. 전류 계조 회로(154)는 소정의 계조 번호에 대응하는 전류를 출력한다. 설명을 쉽게 하기 위해, 일례로서 출력하는 계조 전류(I_1)는 256 계조의 128 계조째이며, 그 값이 $I_1=1\mu A$ 이라고 한다.

또한, 전류 계조 회로(154)는 모든 계조에 대응하는 프로그램 전류를 출력할 필요는 없고, 128 계조째, 64 계조째 혹은 0 계조째, 1 계조째, 255 계조째 등 특정한 계조의 전류를 출력할 수 있으면 된다. 물론, 모든 계조 전압을 출력할 수 있는 전압 계조 회로(231)로 구성하는 것이 바람직한 것은 말할 것도 없다. 또한, 저계조(127 계조 이하)의 프로그램 전압을 출력할 수 있는 것이면 됨은 물론이다.

설명을 쉽게 하기 위해, 전류 계조 회로(154)는 소스 드라이버 회로(IC)(14) 내에 형성 혹은 구성한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 소스 드라이버 회로(IC)(14) 밖에 정전류(I_w)= I_1 를 발생하는 회로를 설치하고, 이 정전류(I_1)를 스위치 회로를 통하여, 소스 신호선(18)에 공급하고, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압(소스 신호선(18))(V_1)을 측정해도 된다. 또한, 측정된 전압은 소스 드라이버 회로(IC)(14)의 외부에 배치한 EEPROM에 기입하고, 기입한 데이터로부터 화소(16)의 구동용 트랜지스터(11a) V-I 커브를 발생시켜도 된다. 이상의 측정은 패널 출하 전의 패널 조정 공정에서 실시해도 됨은 물론이다.

먼저, 구동용의 전압 데이터를 측정 혹은 발생하는 측정 단계에 대해 설명을 한다. 측정 단계는 전원 투입시 등, 화상 표시를 행하고 있지 않은 상태에서 실시한다. 또는 화상 표시에 영향을 주지 않는 상태에서 실시한다.

앞에서도 설명한 바와 같이, 본 발명의 구동 방식에는 화소 구성은 도 1, 도 12, 도 14 등의 전류 구동형일 필요가 있다. 도 87의 실시예인 본 발명의 구동 방식은 소스 드라이버 회로(IC)(14)로부터 인가하는 정전류를, 해당 구동용 트랜지스터(11a) 등에 흘리고, 구동용 트랜지스터(11a)의 게이트 단자의 전위를 변화시켜, 소스 신호선(18)의 전위를 측정할 필요가 있기 때문이다. 즉, 구동용 트랜지스터(11a)로부터 흐르는 전류가 소스 신호선(18)에 유입 혹은 유출하도록 화소(16)가 구성되어 있을 필요가 있다.

전압 구동형의 화소(예를 들면, 도 2의 화소 구성)에서는 구동용 트랜지스터(11a)로부터의 출력 전류는 소스 신호선(18)에는 유입되지 않는다. 또한, 전압 오프셋 캔슬형의 화소 구성에서는 소스 신호선(18)과 구동용 트랜지스터(11a) 사이는 컨덴서에서 DC 전류의 컷트가 행해지고 있다. 따라서, 기본적으로는 본 발명의 EL 표시 패널에는 채용할 수 없다.

본 발명은 화소 구성은 전류 구동형의 화소 구성이며, 이 화소에 프로그램 전압을 인가하고, 전압 구동(프로그램 전압을 인가)을 실시하는 것이다. 또한, 적어도 1점 이상의 화소(16)의 구동용 트랜지스터(11a)의 특성 커브의 전압을 측정하고, 이 전압으로부터 전압 구동에 대응하는 특성 커브를 발생하여, 구동하는 것이다. 계조 0의 전압(V_0)을 측정 혹은 발생하고, 이 계조 0의 전압(V_0)을 기준으로 전압 프로그램 데이터를 발생하고, 구동하는 상태는 전압 오프셋 캔슬과 동일 혹은 유사한 전압 방식이다.

물론, 계조 0에 대응하는 전압에 한정되는 것은 아니다. 단, 계조 0의 측정 전압치를 정밀도 좋게 구함으로써, 정밀도가 좋은 전압 오프셋을 실시할 수 있다. 또한, 계조 0 이외이면, 중간 계조(최대 계조의 1/8 이상 1/2 이하의 계조)에서 측정 혹은 구한 전압치를 이용하여 특성 커브를 구하는 것이 바람직하다. 이 범위에서의 구동용 트랜지스터의 특성 변동이 눈에 띄기 때문이다.

구동용 트랜지스터(11a)(EL 소자(15)에 전류를 공급하는 트랜지스터 또는 상기 트랜지스터에 흐르는 전류를 규정하는 트랜지스터)의 전압-전류(V-I) 특성 커브는 다항식을 연산함으로써, 혹은 매트릭스 테이블 혹은 룩 업 테이블(931)을 참조함으로써, 발생할 수 있다. 상기 처리는 영상 신호 데이터에 대응하여 순차적으로 구해지고, 미리 구해 두어도 된다. 또한, 모든 영상 신호 데이터에 대응하여 구할 필요는 없고, 간헐 혹은 띄엄띄엄 구해지고 된다. 근방의 화소의 영상 신호 데이터는 근사하고, 또한, 어레이(30)의 구동용 트랜지스터 등의 특성도 근방의 화소에서는 근사하기 때문이다.

이상과 같이 구성함으로써, 본 발명의 EL 표시 장치는 전압 구동과 전류 구동의 양방을 실시할 수 있게 된다. 따라서, 전압 + 전류 구동을 실시할 수 있다(도 25, 도 81 등을 참조할 것). 특히, 프로그램 전류가 작은 저계조 영역에서는 정밀도 좋은 전압 구동을 실시할 수 있고, 프로그램 전류가 큰 고계조 영역에서는 정밀도가 좋은 전류 구동을 실시할 수 있으며, 또한, 전압 구동과 전류 구동 모두를 보완한 구동 방식을 실시할 수 있다.

도 87의 구성은 본 발명의 소스 드라이버 회로(IC)(14)에, 소스 신호선(18)에 발생하고 있는 전위를 순차적으로 선택하여 출력하거나, 혹은 복수의 소스 신호선(18)을 선택하여 그 전위를 출력하는 스위치(Sx)(x=1~n:n은 소스 신호선(18)의 형성 수)를 부가한 구성이다.

또한, 소스 신호선(18)의 전위를 측정한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 전하의 이동을 검출하거나, 전계의 강도를 측정하거나 하여, 근사적으로 소스 신호선(18)의 전위를 측정 혹은 추정하는 것이면 된다. 또한, 소스 신호선(18)의 전위에 한정하는 것은 아니며, 화소(16)의 구동용 트랜지스터(11)의 게이트 단자 전압을 직접적으로 혹은 간접적으로 측정할 수 있는 것이면 어떠한 구성이어도 된다.

본 발명은 게이트 드라이버 회로(12a)를 제어하고, 순차적으로 게이트 신호선(17a)을 순차적으로 선택하고, 선택한 화소 행의 구동용 트랜지스터(11a)의 게이트 단자 전압을 순차적으로 측정하는 점에도 특징이 있다. 즉, 화소 행을 선택하고, 규정의 정전류를 소스 신호선(18)에 인가하고, 선택한 화소 행의 구동용 트랜지스터의 게이트 단자 전압을 측정한다. 측정은 충분히 시간을 들여 행해진다. 측정한 게이트 단자 전압으로부터 상기 구동용 트랜지스터의 V-I 특성을 추정한다. 영상 신호는 추정된 V-I 커브로부터 프로그램 전압으로 변환되고, 상기 프로그램 전압이 화상 표시 시에 소스 신호선에 인가된다.

스위치(Sx)(x=1~n)는 각 소스 신호선(18)에 형성되고, 스위치(Sx)는 주로 아날로그 스위치로 형성된다. 스위치(Sx)는 전압의 검출뿐이며, 전류는 거의 흘리지 않기 때문에 작은 고임피던스인 것으로 충분하다.

스위치(Sx)는 도 89, 도 88에 도시한 바와 같이, A 단자로부터 각 소스 신호선(18)에 전위를 입력 혹은 출력할 수 있도록 구성해도 된다. 또한, 스위치(Sx)에서 입출력하는 것은 전압뿐 아니라, 전류, 전하이어드 됨은 물론이다. 또한, 스위치(Sx)는 소스 드라이버 회로(IC)(14) 내에 형성하는 것에 한정되지 않으며, 소스 드라이버 회로(IC)(14) 밖에 형성해도 된다. 예를 들면, 프로브 바늘을 각 소스 신호선(18)에 접속하고, 각 프로브 바늘을 릴레이 회로 등에 의해 선택함으로써, 각 소스 신호선(18)에 전압을 인가하거나, 전압을 출력하거나, 또한, 전류를 인가하거나, 전류를 취출하거나 하는 기능이 예시된다.

스위치(Sx)는 각 소스 신호선(18)에 형성한다고 했지만, 이것에 한정하는 것이 아니며, 예를 들면, 홀수번째의 소스 신호선(18)에만 형성해도 된다. 또한, 예를 들면 4의 배수에 위치하는 소스 신호선(18)에 형성해도 된다. 또한, 표시 패널의 구성에 따라서는 게이트 신호선(17)에 스위치 혹은 그것에 유사한 것을 형성 혹은 접속해도 된다.

스위치(Sx)는 도 90에서 설명한 바와 같이, 각 캐소드선(애노드선)을 선택하도록 형성해도 됨은 물론이다. 즉, 본 발명의 구성은 각 화소(16) 혹은 선택한 화소(16)에 인가하는 전압 혹은 출력되는 전압 혹은 전류(EL 소자(15)에 흐르는 전류, EL 소자(15)에 유입되는 전류 등) 혹은 이들과 유사한 전류 혹은 전압을, 검출 혹은 출력 혹은 선택하여 처리할 수 있도록 구성하는 것이면 어떠한 구성이어도 된다.

도 87의 구성도는 소스 드라이버 회로(IC)(14) 내에 A/D 변환(아날로그-디지털 변환 회로), 메모리(플래시 메모리 등)(502) 등을 형성 또는 배치한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 89에 도시한 바와 같이, 소스 드라이버 회로(IC)(14)에 단자(A)를 설치하고, 이곳으로부터 소스 신호선(18)에 인가 혹은 출력되어 있는 전압을 출력하고, 이 전압을 외부에 배치 또는 구성한 A/D 변환 회로(391)에 인가하도록 구성해도 된다.

도 89에 도시한 바와 같이 메모리(502)도 외부 부착 부품을 이용해도 된다. 또한, 도 88에 도시한 바와 같이, 전류 계조 회로(154)(혹은 전류 계조 회로)도 소스 드라이버 회로(IC)(14) 밖에 형성 또는 배치하고, 이 전류 계조 회로(154)로부터 출력 전류를 각 소스 신호선(18)에 인가할 수 있도록 구성해도 됨은 물론이다.

도 87의 블록도는 본 발명의 소스 드라이버 회로(IC)(14)를 설명하는 블록도이다. 출력 단자(83)는 어레이 기관의 소스 신호선(18)의 단자와 접속한다. 전류 계조 회로(154)는 전류 계조 회로이다. 전압 계조 회로(231)는 전압 출력 수단이며, 프로그램 전압을 출력한다. 셀렉터 회로(222)는 외부 클럭에 의해 스위치 회로(S)(S1~Sn, n은 화소 행 수)를 순차적으로 선택하고, 출력 단자(83)에 인가되어 있는 전압을 아날로그-디지털 변환 회로(A/D 변환 회로)(391)와 접속한다.

A/D 변환 회로(391)는 각 소스 신호선(18)에 인가된 전압(출력 단자(83)에 인가된 전압)을 디지털화하여, 소스 드라이버 회로(IC)(14)의 메모리(502)에 유지한다. 각 메모리의 비트 수는 8 비트이며, 메모리(502)는 화소 수만큼이 제작 또는 형성되어 있다.

A/D 변환 회로(391)에 의해, 출력 단자(83)에 인가되어 있는 전압(소스 신호선(18)의 전위=구동용 트랜지스터(11a)의 게이트 단자 전압)을 디지털화한다고 했지만, 이것에 한정되는 것은 아니다. 아날로그 신호를 샘플 홀드하고, 아날로그 신호로부터 전압 계조 데이터를 생성할 수 있는 경우에는 A/D 변환 회로(391)는 불필요하다. 또한, 설명에 불필요한 개소는 생략하고 있다. 또한, 본 발명의 다른 실시예와 조합할 수도 있음은 물론이다.

도 87의 주요부를 취출하면 도 91의 구성으로 된다. 스위치(Sv)를 클로즈함으로써 프로그램 전압이 소스 신호선에 출력된다. 스위치(Si)를 클로즈함으로써 정전류가 출력된다. 전류 계조 회로(154)는 일례로서 도 16에 도시한 바와 같이 단위 트랜지스터(164)로 구성된다. 또한, 1 μ A, 0.5 μ A 등 규정의 전류를 선택하여 출력되는 구성이 예시된다.

본 발명의 EL 표시 패널(표시 장치)은 본 발명의 소스 드라이버 회로(IC)(14)를 이용한다. 도 87에서, 전류 계조 회로(154)는 소정의 정전류(I1)를 소스 신호선(18)에 공급한다. 게이트 드라이버 회로(12)는 순차적으로 화소 행을 선택한다. 도 92의 (a)에 도시한 바와 같이, 화소(16)는 구동용 트랜지스터(11a)를 통하여 소스 신호선(18)에 정전류(I1)를 제공한다. 구동용 트랜지스터(11a)의 게이트 단자는 정전류(I1)를 흘리게 하도록 전위가 변화한다(도 92의 (b)를 참조할 것). 구동용 트랜지스터(11a)의 게이트 단자 전위는 스위치용 트랜지스터(11c)를 통하여 소스 신호선(18)과 접속되어 있다. 따라서, 소스 신호선(18)의 전위를 A/D 변환 회로에서 측정하면, 정전류(I1)를 흘리는 경우의 구동용 트랜지스터(11a)의 게이트 단자 전압을 측정 혹은 파악할 수 있다.

이상으로부터, 정전류(I1)를 흘리는 프로그램 전압(V1)을 측정할 수 있게 된다. 상기 프로그램 전압(V1)은 구동용 트랜지스터(11a)의 특성 커브(게이트 전압-출력 전류(V-I) 커브)의 일점이다. 이 V1로부터, 특성 커브를 측정할 수 있게 된다. 또한, 프로그램 전압(V1)은 특성 커브의 임의의 일점이면 된다. 계조 0번째의 전압(V0)이어도 된다. 단, 계조 0번째의 정전류는 0이다. V0은 전류 0일 때의 구동용 트랜지스터(11a)의 게이트 단자 전압이다.

표시 화면(34)의 화소(16)는 레이저 어닐링 특성 얼룩 등에 의해 특성이 변하고 있다. 그러나, 정전류(I1)를 흘리고, V1 전압을 측정하여, V1 전압의 크기로부터 각 화소의 특성을 파악할 수 있다. 따라서, V1 전압의 크기로부터 각 화소(16)의 특성 커브를 구할 수 있다. 특성 커브는 V1 데이터로부터 매트릭스 테이블 혹은 룩 업 테이블(931)에 의한 변환에 의해 리얼 타임으로 구한다. 또한, 단항 혹은 다항의 연산식에 의해 구할 수도 있다.

룩 업 테이블(931)에 의한 변환을 도 93에 도시하고 있다. 8 비트의 영상 데이터 DATA는 룩 업 테이블(931)에 입력된다. 측정된 8 비트의 V0x(V1x) 데이터도 룩 업 테이블(931)에 입력된다. V0x(V1x) 데이터가 어드레스로 되고, 룩 업 테이블(931)의 1개의 계조 특성 데이터를 지정한다. 또한, 영상 데이터 DATA에 의해 상기 지정된 계조 특성 데이터로부터, 영상 데이터 DATA에 대응하는 계조 VDATA가 선택된다. VDATA는 9 비트로 출력된다. VDATA는 도 56에 도시한 바와 같이, 전자 볼륨(152)에 입력되고, 전자 볼륨(152)은 Vbb와 Vdd 사이의 전압을 복수로 나누어 출력한다. 전자 볼륨(152)의 출력은 전압 계조 회로(231)에 입력된다.

이상에 의해 전압 계조 프로그램 데이터가 구해진다. 즉, 영상 계조 데이터는 측정 혹은 구해진 V-I 커브에서 전압 계조 프로그램 데이터로 변환된다. 변환은 화소(16)마다 행해진다. 전압 계조 데이터의 정밀도를 높이기 위해서는 전류 계조 회로(154)로부터 복수의 정전류를 발생시키고, 각 정전류를 각 표시 화면(34)의 화소(16)에 흘리고, 소스 신호선(18)의 전위를 측정하면 된다.

전압(V1)을 측정할 때에는 출력 단자(83a~83n)로부터 정전류(I1)를 흘려, 게이트 드라이버 회로(12a)를 선택하고, 선택된 화소(16) 행의 구동용 트랜지스터(11a)로부터 I1 전류를 제공한다. 상기 상태에서, 셀렉터 회로(222)는 스위치(S1)로부터 스위치(Sn)를 순차적으로 선택하고, A/D 변환 회로(391)에서 소스 신호선(18)의 전위를 측정한다. A/D 변환 회로(391)에서 디지털 변환된 8 비트의 전압 데이터는 도 94의 (a)에 도시한 바와 같이, 매트릭스 형상으로 배치된 SRAM에 저장한다. 또한, 8 비트에 한정되는 것은 아니다. 적어도 4 비트 이상이면 어느 비트 수이어도 된다.

도 94에서, a, b, c, d, 는 화소 열을 나타내고 있다. 1, 2, 3, 4, ……는 화소 행을 나타내고 있다. 스위치(S1~Sn)를 순차적으로 선택하고, 1 화소 행의 화소(16)의 구동용 트랜지스터(11a)의 특성의 측정을 완료하면, 게이트 드라이버 회로(12a)를 제어하여 선택 위치를 1 화소 행 시프트시키고, 다음의 화소 행의 화소(16)의 특성을 측정한다.

도 95는 도 87을 더욱 상세하게 기재한 블록도이다. VDATA에 의해, 전압 프로그램 데이터가 발생한다. 프리차지 전압(Vp)을 인가할 때는 OR 회로(951)의 PCHG 단자에 H 레벨 신호가 인가되고, 스위치(161a)가 클로즈한다. 또한, 프리차지 전압(Vp)의 데이터 PDATA에 의해 전자 볼륨(152)은 프리차지 전압(Vp)을 발생시키고, 스위치(161c)는 a 단자를 선택하여, 출력 단자(83)로부터 프리차지 전압(Vp)이 출력된다. 소스 신호선(18)의 전위를 측정(V1 전압을 측정)할 때는 셀렉터 회로(222)에 의해 OR 회로를 통하여, 순차적으로 스위치(161a)를 클로즈하고, 또한 스위치(161c)는 b 단자 측으로 전환되고, A/D 변환 회로(391)와 접속된다. 측정된 V1 데이터는 메모리(502)에 저장되고, 저장된 데이터는 전압 계조 회로(231)에서 각 영상 데이터에 대응하는 계조 데이터 VDATA로 변환되고, 화상 표시 기간은 출력 단자(83)로부터 출력된다.

전압 데이터는 모든 화소(16)에 대하여 저장할 필요는 없다. 예를 들면, 도 94의 (b)에 도시한 바와 같이, 씌녕하여 저장해도 된다. 도 94의 (b)에서, 화소 열은 a, c, e, g, i…로 저장하고, 화소 행은 8 화소 행 단위의 8, 16, 24, 32, 40…으로 저장하고 있다. 근방의 각 화소(16)의 특성은 근사하기 때문에, 씌녕하여 취득한 화소(16)의 특성으로부터 SRAM에 저장하지 않은 화소(16)의 특성을 구할 수 있기 때문이다.

이상의 실시예에서는 소스 드라이버 회로(IC)(14)로부터 1 μ A, 0.5 μ A 등의 정전류(I1)를 소스 신호선(18) 또는 구동용 트랜지스터(11a)에 공급하고, 소스 신호선(18)의 전위(V1)를 측정한다. 혹은 전위를 추정한다. 혹은 해당 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압을 측정한다. 또한, 정전류를 흘리지 않을 때의 소스 신호선(18)의 전위(V0)를 측정한다고 했다(도 96의 (a)를 참조할 것). 이 측정된 V1과 V0으로부터 구동용 트랜지스터(11a)의 특성 커브를 구하고, 각 계조에 대응하는 전압 프로그램 데이터를 작성한다. 특성 커브는 대략 제곱 커브이다. 따라서, V0을 기점으로 하여, 일정한 단위를 가산하여 각 계조에 대한 전압치를 구한다. 또한, V0을 기점으로 하여, V0과 V1로부터 특성 커브를 상정하고, 각 계조에 대한 전압치를 구한다.

소스 드라이버 회로(IC)(14)에는 각 화소(16)의 V0 데이터, 혹은 각 화소(16)의 V0과 V1 데이터를 메모리한다. 다른 계조에 대한 전압치는 메모리한 V0 데이터, V0과 V1 데이터로부터 영상 신호 데이터에 대응하여, 그 때마다, 발생하고, 발생한 프로그램 전압을 소스 신호선(18)에 인가한다. 인가한 프로그램 전압은 게이트 드라이버 회로(12a)와 동기하여, 각 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가되고, 1 필드(프레임)의 기간 유지된다.

또한, V0만을 측정하고, 특성 커브를 상정하여 전압 계조를 구해도 된다. 또한, 도 96의 (b)에 도시한 바와 같이, 정전류(I2)를 소스 신호선(18)에 인가하고, 화소(16)의 구동용 트랜지스터(11a)로부터 I2 전류를 공급하고, I2 전류에 대한 소스 신호선(18)의 전위(V2)를 구하고, V0, V2, V1로부터 계조 전압을 구해도 된다. 즉, 본 발명의 구동 방식은 적어도 1개의 정전류(전류 0을 포함한다)로부터 소스 신호선(18)의 전위를 측정하고, 측정된 전위로부터, 계조에 대응하는 전압(프로그램 전압)을 구하는 것이다.

V0 전압 등으로부터 특성 커브를 구하는 경우에는 V0 전압으로부터 특성 커브(V-I 커브)의 기울기가 고정이라고 해도 된다. 도 97의 (a)는 그 실시예이다. 임의의 화소(16)의 0 계조제의 전압치가 V0a로 하고, 다른 화소(16)의 0 계조제의 전압치가 V0b로 한다. V0a를 이용하여 점선의 특성 커브를 발생한다. V0b를 이용하여 실선의 특성 커브를 발생한다. 점선의 특성 커브와 실선의 특성 커브의 기울기는 동일하다고 하여, 특성 커브를 발생시킨다. 즉, 기점의 V0a와 V0b가 시프트하여 특성 커브를 발생시킨다.

도 97의 (b)는 특성 커브의 기울기를 변화시키고 있다. 상승 전압이 높은 경우(도 97의 (b)의 V0b는 V0a보다도 상승 전압이 높다)는 특성 커브의 기울기를 작게 한다(도 97의 (b)의 실선은 점선보다도 기울기가 적다). 상승 전압이 높은 경우에는 구동용 트랜지스터(11a)의 모빌리티가 나쁜 경우가 많기 때문이다. 상승 전압이 낮은 경우에는 특성 커브의 기울기를 크게 한다. 상승 전압이 낮은 경우에는 구동용 트랜지스터(11a)의 모빌리티가 양호한 경우가 많기 때문이다.

도 98의 실선과 점선에 일례로서 도시한 바와 같이, 구동용 트랜지스터(11a)의 V-I(게이트 전압 - 드레인 전류) 특성은 레이저 어닐링 조건 등에 의해 특성이 변동한다. 그러나, 일례로서 $I_1=1\mu A$ 를 흘리고, 그 때의 구동용 트랜지스터(11a)의 게이트 전압(V)(실선의 구동용 트랜지스터(11a)는 V1, 점선으로 나타내는 구동용 트랜지스터(11a)은 V2)을 측정할 수 있으면, 게이트 전압(V)에 대한 출력 전류(I)를 추정할 수 있다. 또한, V1 혹은 V2에 대한 출력 전류(I)가 정밀도 좋게 $1\mu A$ 임을 알고 있기 때문에, 각 계조에 대한 출력 전류(=EL 소자(15)에 흐르는 전류)를 거의 정밀도 좋게 결정할 수 있다.

이상의 실시예는 $I=1\mu A$ 를 측정하여 V-I 커브를 추측하고, 각 계조 전류를 산출하는 것이다. I를 $0\mu A$ (계조 0이 해당), $2\mu A$, $0.5\mu A$ 로 복수점에 걸쳐 측정하고, 각 전류치에 대한 구동용 트랜지스터(11a)의 게이트 단자 전압을 측정할 수 있으면, 더욱 양호한 V-I 커브를 결정할 수 있고, 특성 일류이 없는 양호한 화상 표시를 실현할 수 있다.

본 발명의 구동 방법, 표시 패널 및 표시 장치와 그것을 이용한 평면 표시 장치에서는 V0, V1 전압 혹은 I_1 전류를 측정 혹은 대응하는 데이터를 구하고, 측정 혹은 구한 데이터부터 구동용 트랜지스터(11a) 등의 V-I 커브를 상정 혹은 발생시킨다고 했다. 물론, 미리 데이터로부터 V-I 커브를 구하고, 혹은 추정하고, 각 계조에 대한 프로그램 전류 혹은 프로그램 전압을 메모리 등에 축적해 놓고, 이 메모리(기억 수단)로부터 각 계조에 대한 프로그램 전압 또는 프로그램 전류에 대응하는 데이터를 읽어내어 화소(16)에 인가한다.

본 발명의 표시 패널은 표시 기간 이외의 기간에, 전류 계조 회로(154) 등으로부터 소정 정전류를 각 화소(16)에 인가하고, 정전류에 대한 구동용 트랜지스터(11a) 등의 EL 소자(15)에 전류를 공급하는 트랜지스터 혹은 그것과 마찬가지로 동작을 하는 트랜지스터의 게이트 전압(V)을 취득한다. 이 취득하는 전압(V)은 1개 이상의 전압 데이터이다. 이 전압 데이터를 이용하여 전압 계조 회로(231)가 발생하는 영상 신호에 대응하는 계조 전압 데이터를 구한다. 혹은 취득한 전압(V)을 이용한다. 또한, 소정 정전류는 소스 드라이버 회로(IC)(14)의 외부에서 발생하고, 각 소스 신호선(18)에 공급해도 됨은 물론이다.

이 계조 전압 데이터를 도 25의 A 기간에 인가한다. 또한, 반드시 A 기간이 필요하지 않다는 것은 앞에서 설명했다. 계조가 클 때에는 전류 계조 회로(154)의 데이터로 충분히 구동할 수 있기 때문이다. A 기간에 인가한 전압에 의해, 먼저 목표치에 가까운 휘도까지 구동용 트랜지스터 등은 프로그램된다. 또한, B 기간에 인가하는 전류 계조 회로(231)로부터의 계조 전류(프로그램 전류)에 의해 구동용 트랜지스터(11a)는 목표치에 가깝게 프로그램된다.

이상의 사항은 V0, V1 혹은 그 이상의 전압치를 측정한 경우도 마찬가지다. 또한, 측정한 V0, V1 전압으로부터 특성 커브를 발생시킨다고 했지만, 소스 신호선(18)으로부터 측정한 전압 데이터를 그대로 사용하는 것은 아니다. 예를 들면, 도 1 등의 화소 구성에서, 게이트 신호선(17a)에 오프 전압이 인가될 때에 발생하는 구동용 트랜지스터(11a)의 게이트 단자로의 관통 전압의 크기, 영향을 고려하여 계조 전압을 발생시킨다. 즉, 측정된 전압으로부터 상기한 영향을 고려하여 V-I 커브를 작성한다.

소스 신호선(18) 전압의 측정과, 측정된 전위로부터 계조 전압을 구하는 것은 전원 온 시에 실시한다. 즉, 화상 표시 전에 행한다. 도 99의 (a)는 전원의 상승 파형이다. A의 기간은 Vdd까지 도달하는 기간이다. 이 기간은 EL 표시 장치의 회로 전체가 불안정 상태이다. 따라서, 소스 신호선의 전압 측정을 행할 수는 없다. B의 기간은 전원이 상승하여 안정되어 있다. 화상 표시 상태는 아니다. 이 B의 기간을 1 필드(프레임) 기간 이상 취해, 이 B의 기간에 정전류에 대한 소스 신호선(18)의 전위를 측정함과 함께, 계조 전압치를 발생시킨다. 그 후, C 기간에 들어가서, EL 표시 패널에 화상 표시를 행한다(도 99의 (b)를 참조할 것).

소스 신호선(18) 전압의 측정과, 측정된 전위로부터 계조 전압을 구하는 것은 수직 블랭킹 기간 혹은 수평 블랭킹 기간에 실시해도 된다. 도 100의 (a)는 수평 블랭킹 시간에 실시한 실시예이다. 영상 신호는 도 100의 B의 기간에 소스 신호선(18)에 인가된다. A의 기간은 블랭킹 시간이며, 소스 신호선(18)에는 영상 신호는 인가되지 않는다. 이 A의 기간에 소스 드라이버 회로(IC)(14)로부터 정전류를 출력하고, 해당 화소 행으로부터 전류(I_1)를 공급함과 함께, 소스 신호선(18)의 전위를 측정하고, 측정된 전위로부터 계조 전압을 구한다. 수평 블랭킹 시간에서는 모든 표시 화면(34)의 계조 전압을 구할 수는 없다. 도 100의 (b)에 도시한 바와 같이, b의 기간에 구분된 영역(1, 2, 3, 4, 5……)마다 실시한다.

0 계조제에 대응하는 V0 전압을 도 99와 같이 전원 온 시에 측정하고, 중간 혹은 최대 계조에 대응하는 V1 전압을 도 100과 같이 블랭킹 시간에 측정해도 된다.

V0 전압 등의 저계조부에 대응하는 전압은 미소 정전류(프로그램 전류)를 소스 신호선(18)에 인가하여 측정한다. 따라서, 소스 신호선(18)의 기생 용량의 영향을 받아, 시상수가 길다. 따라서, 게이트 드라이버 회로(12a)의 클럭을 느리게 하여, 충분한 시간을 들여 저계조부에 해당하는 전압을 측정한다. 따라서, 저계조부의 전압을 측정할 때는 전원 온 시 등에 측정하는 것이 바람직하다.

본 발명의 실시예에서는 소스 드라이버 IC(회로)(14)로부터 정전류(I_w)($I_w=0(A)$)를 포함함을 출력하고(토출 전류, 흡입 전류 중 어느 것이어도 된다), 또한, 화소(16)를 선택한다고 했다. 화소(16)의 구동용 트랜지스터(11a)가 상기 정전류(I_w)를 흘리고, 또는 대략 정상 상태의 정전류(I_w)를 흘리도록 한다. 이 상태에서, 소스 신호선(18)의 전위 또는 상기 구동용 트랜지스터(11a)의 게이트 단자 전위 혹은 드레인 단자 전위를 측정 또는 취득한다고 했다. 전위의 측정 또는 취득은 전위가 정상 상태로 되어 있는 것에는 한정되지 않고, 정상 상태가 추정 또는 예측되는 경우에는 변화 상태에서 행하여 정상 상태의 전위를 구해도 된다.

이상의 실시예는 정전류(I_w)를 인가하고, 소스 신호선(18)의 전위를 측정함으로써, 화소(16)의 구동용 트랜지스터(11a)의 특성을 파악한다. 그러나, 구동용 트랜지스터(11a)의 특성을 파악하기 위해서는 반대의 동작이어도 된다. 즉, 소스 신호선(18) 또는 화소(16)의 구동용 트랜지스터(11a)에 소정의 정전압(V_a)을 인가하고, 이 정전압(V_a)을 인가했을 때에, 상기 구동용 트랜지스터(11a)가 흘리는 전류(I_a)를 측정한다. 전류(I_a)는 구동용 트랜지스터(11a)의 특성에 의해 서로 다르다. 따라서, 전류(I_a)에 의해 구동용 트랜지스터(11a)의 특성을 파악할 수 있다. 측정 혹은 취득한 전류(I_a)는 전류-전압 변환한 후, A/D 변환하고, 메모리 등의 기억 수단에 유지시킨다. 이상의 사항은 본 발명의 다른 실시예에 적용되는 물론이다.

이상의 실시예에서는 표시 화면(34)의 모든 화소에 대응하는 정전류를 흘리고, 각각의 화소의 소스 신호선(18)의 전위(각 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압)를 측정한다고 했지만, 이것에 한정되는 것은 아니다. 모든 화소를 측정하지 않아도, 임의의 화소의 주변의 화소의 특성은 유사하기 때문이다.

예를 들면, 도 101의 (a)에 1 화소 단위의 화소(사선을 기입한 부분에 대응하는 화소)(16)를 측정하고, 측정하지 않은 화소(16)는 인접한 화소(사선을 기입한 부분에 대응하는 화소)로부터 작성한다. 도 101의 (b)에서 도시한 바와 같이, 화소(16c)의 구동 전압을 구하기 위해서는 인접한 화소(16a)와 화소(16b)에 정전류를 흘리고, 대응하는 소스 신호선(18)의 전위를 측정한다. 현재, 예를 들면, 측정된 데이터가 화소(16a)를 선택했을 때는 3(V), 화소(16b)를 선택했을 때는 2.8 (V)라고 한다. 화소(16c)는 $(3+2.8)/2=2.9$ (V)로 하여 구한다.

이상과 같이 화소(16)에 정전류를 인가하고, 이 정전류 인가에 의한 소스 신호선(18)의 전위 변화 혹은 전위는 모든 화소(16)에 대하여 실시할 필요는 없다. 또한, 측정은 인접한 화소(16)에 한정되는 것이 아니며, 예를 들면, 2 화소 단위로, 화소(16)의 특성을 측정해도 된다. 또한, 짝수 화소 열을 선택하고, 짝수 화소 열의 구동용 트랜지스터(11a)의 특성을 측정하고, 이 결과로부터 홀수 화소 열의 구동용 트랜지스터(11a)의 특성을 구해도 된다. 또한, 짝수 화소 행을 선택하고, 짝수 화소 행의 구동용 트랜지스터(11a)의 특성을 측정하고, 이 결과로부터 홀수 화소 행의 구동용 트랜지스터(11a)의 특성을 구해도 된다. 또한, 이상의 처리를 복수 화소 행마다, 복수 화소 열마다 행해도 된다.

화소 행의 선택은 1 화소 행에 한정되는 것이 아니며, 또한, 선택했을 때의 소스 신호선 전위는 1 화소씩 측정할 필요는 없다. 예를 들면, 도 102의 (a)에 도시한 바와 같이, 2 화소 행(복수 화소 행)을 동시에 선택하여, 정전류(I_w)를 흘려도 된다. 도 102에 도시한 바와 같이, 2 화소 행을 동시에 선택하는 경우에는 정전류(I_1)는 2배(즉, $I_w=I_1 \times 2$)를 소스 드라이버 회로(IC)(14)로부터 소스 신호선(18)에 공급한다. 물론, I_w 는 2배에 한정되지 않으며, 1배이어도 그 이외이어도 된다.

도 102의 (a)는 2번째와 3번째의 화소 행이 선택되어 있는 상태를 나타내고 있다. 다음의 클럭에서는 화소(3)와 화소(4)를 선택하는 구동이어도 되고, 화소(4)와 화소(5)를 선택하는 구동 중 어느 것이어도 된다. 또한, 3 화소 행 이외를 동시에 선택해도 된다. 또한, 모든 화소 행을 동시에 선택하는 실시예도 예시된다.

소스 드라이버 회로(IC)(14)로부터 정전류(I_w)= $2 \cdot I_1$ 의 전류를 화소(16)(2)와 화소(16)(3)에 공급한다. 화소(16)(2)가 출력하는 전류와, 화소(16)(3)가 출력하는 전류를 가산한 전류는 $2 \cdot I_1$ 이지만, 화소(16)(2)가 출력하는 전류와, 화소(16)(3)가 출력하는 전류는 서로 달라도 된다. 소스 신호선(18)의 전위는 화소(16)(2)의 구동용 트랜지스터(11a)의 게이트 단자 전위

와 화소(16)(3)의 구동용 트랜지스터(11a)의 게이트 단자 전위가 균형이 잡힌 전위로 된다. 전위는 평균한 전위로 되는 경우가 많다. 그러나, 인접한 화소의 특성은 근사하기 때문에, A/D 변환 회로(391)에서 측정되는 전위로부터 요청된 전압 계조 데이터는 실용상 문제없다.

복수 화소 행을 선택하는 경우에는 도 102의 (b)에 도시한 바와 같이 인접할 필요는 없다. 도 102의 (b)는 인접하지 않는 화소 행을 복수 선택하고 있다. 또한, 연속한 10 화소 행 정도(즉, 블록적)로 게이트 신호선(17a)을 선택하고, 소스 신호선(18)의 전위를 측정해도 된다.

이상의 실시예에서는 구동용 트랜지스터(11a)에 전류를 흘리고, 상기 전류를 흘렸을 때의 구동용 트랜지스터(11a)의 게이트 단자 전압을 측정한다고 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 화소 열마다 배선 혹은 형성된 V_{ss} 단자(캐소드 단자)에 전류계(도시 생략)를 접속한다. 다음으로, 0 계조제에 대응하는 V_0 전압을 인가하고, V_0 전압을 인가했을 때에, 전류계에 흐르는 전류를 0 혹은 미소한 값으로 되도록, 인가하는 V_0 을 조정하면, 계조 0에 대한 프로그램 전압(V_0)을 정밀도 좋게 구할 수 있다.

그 밖에, 전류계로 측정되는 전류가 $1\mu A$ 로 되도록, 구동용 트랜지스터(11a)에 인가하는 전압을 조정하면 $1\mu A$ 를 흘리는 전압을 측정할 수 있다. 복수점의 전압과 전류의 관계를 측정하면, 더욱 정밀도가 좋은 $V-I$ 커브를 추정 혹은 구할 수 있다.

이상의 실시예는 복수 화소 행을 동시에 선택한다고 했지만, 복수 화소 열을 동시에 선택하면 고쳐 읽어도 됨은 물론이다.

이상의 실시예는 복수의 화소 행을 동시에 선택하고, 정전류(I_w)를 인가하여, 복수의 화소 행의 구동용 트랜지스터(11a)의 게이트 단자 전위가 평균된 전위 특성을 측정 혹은 취득하는 것이었다. 즉, 복수 화소의 구동용 트랜지스터(11a)의 평균한 게이트 단자 전위를 측정하는 것이다.

이상의 실시예는 복수의 화소 행 혹은 화소 열을 선택하고, 정전류(I_w)를 인가하여, 소스 신호선(18)의 전위를 측정함으로써, 화소(16)의 구동용 트랜지스터(11a)의 특성을 파악한다. 그러나, 구동용 트랜지스터(11a)의 특성을 파악하기 위해서는 반대의 동작이어도 된다. 즉, 소스 신호선(18) 또는 화소(16)의 구동용 트랜지스터(11a)에 소정의 정전압(V_a)을 인가하고, 이 정전압(V_a)을 인가했을 때에, 선택된 복수의 상기 구동용 트랜지스터(11a)가 흘리는 전류(I_a)를 측정한다. 전류(I_a)는 선택된 구동용 트랜지스터(11a)의 특성에 의해 서로 다르다. 따라서, 전류(I_a)에 의해 구동용 트랜지스터(11a)의 특성을 파악할 수 있다. 측정 혹은 취득한 전류(I_a)는 전류-전압 변환한 후, A/D 변환하고, 메모리 등의 기억 수단에 유지시킨다. 이상의 사항은 본 발명의 다른 실시예에 적용됨은 물론이다.

도 2에 도시하는 전압 구동 방식의 화소 구성이라 하더라도, 본 발명을 실시할 수 있다. 이 설명을 도 90에 도시하고 있다. 또한, 도 90에서는 화소(16)는 매트릭스 형상으로 형성 또는 배치되지만, 설명을 쉽게 하기 위해 2 화소만큼의 화소(16)만 도시하고 있다. 또한, 각 화소(16)에 흐르는 캐소드 전류(애노드 전류)를 선택하는 스위치(S_x)를 각 캐소드(애노드) 전류를 취출하는 위치에 형성 또는 구성 혹은 배치해도 됨은 물론이다.

전압 구동의 경우에는 구동용 트랜지스터(11a)의 게이트 단자에 소정 전압(V_1)을 인가한다. 또한, 상기 전압(V_1)에 의해 흐르는 전류(I)는 캐소드 V_{ss} 단자에서 측정한다. 예를 들면, 화소 열마다 배선 혹은 형성된 V_{ss} 단자(캐소드 단자)에 전류계를 접속한다. 또는, 도 90에 도시한 바와 같이, 캐소드 전류가 흐르는 경로에 픽업 저항(R)을 접속하고, 전압계(전압 측정 회로)(391)로 저항(R)의 전위를 측정해도 된다.

또한, 픽업 저항(R)을 삽입하는 위치는 캐소드 단자에 한정되는 것이 아니라, 애노드 단자이어도 된다. 또한, 전류는 캐소드 단자와 애노드 단자에서 측정해도 된다. 또한, 전류(I_1)를 직접 측정하는 것에 한정되지 않으며, 픽업 코일 등으로 측정해도 된다. 또한, 전기력선을 측정해도 된다. 특히 정밀도가 필요하지 않을 때는 복수 혹은 모든 캐소드 단자 혹은 애노드 단자를 단락하고, 단락한 개소에 전류계를 접속해도 된다. 즉, 전류(I_1)의 측정은 전류(I_1)를 직접적으로 혹은 간접적으로 측정 혹은 파악할 수 있는 것이면 어느 것이어도 된다.

이상과 같이, 구동용 트랜지스터(11a)에 전압 계조 회로(231)에 의해 각 소스 신호선(18)에 기지의 전압(V_1)을 인가하여, 그 전압에 대한 출력 전류(I_1)를 측정한다. 물론, 1개 또는 복수의 소스 신호선(18)을 선택하여 기지의 전압을 인가해도 된다. 또한, 복수의 화소 행을 동시에 혹은 주사하여 선택해도 된다. 따라서, 도 92의 (b)의 반대의 관계로 된다. 즉, V_1 인가에 의해 I_1 을 측정하고, 이 V_1 과 I_1 과의 관계로부터, 도 92의 (b)의 실선으로 나타내는 구동용 트랜지스터(11a)의 $V-I$ 특성을 구한다. V_1 이외에, 0 계조제에 대응하는 V_0 전압을 인가하고, V_0 전압을 인가했을 때에, 전류계에 흐르는 전류를 0 혹은 소정의 미소한 값으로 되도록, 인가하는 V_0 을 조정하면, 계조 0에 대한 프로그램 전압(V_0)을 정밀도 좋게 구할 수 있다.

다. 그때는 전압 게조 회로(231)의 출력 전압을 변화시켜 0으로 되도록 조정한다. 그 밖에, 예를 들면 $1\mu\text{A}$ 가 흐르도록, 구동용 트랜지스터(11a)에 인가하는 전압(V_x)을 조정한다. 복수점의 전압(V)과 전류의 관계를 측정하면, 더욱 정밀도가 좋은 V - I 커브를 추정 혹은 구할 수 있다.

도 90의 실시예에서는 스위치(S)를 셀렉터 회로(222)에 의해, 클럭에 동기시켜 순차적으로 클로즈시키고 있다. 스위치(S_x)($x=1\sim n$)에 의해 각 소스 신호선(18)에 접속된 화소(16)가 선택된다. 또한, 선택하는 화소 행의 화소(16)는 게이트 드라이버(12a)에 의해 선택되고, 선택 화소 행 위치는 순차적으로 시프트된다.

각 스위치(S)가 선택됨으로써, 선택된 화소(16)의 캐소드 전류(I_1)(혹은 애노드 전류)는 저항(R)에 유입된다. 스위치(S)의 선택은 복수개를 동시에 선택해도 된다. 캐소드 전류 등에 의해 저항(R)의 양단에 발생하는 전압은 A/D 변환 회로(391)에 의해, 디지털화되고, 메모리(502)에 축적된다. 축적된 데이터에 의해 프로그램 전압에 대응하는 게조 전압이 산출 혹은 구해진다. 물론, 캐소드 전류(I_1) 등은 전류계에 의해 측정해도 됨은 물론이다. 또한, 게조 0의 경우에는 저항(R)의 양단에 발생하는 전압은 0인 것은 물론이다. 또한, 캐소드 전류의 방향은 토출 방향인 경우도 있다. 본 발명은 어떠한 경우라 하더라도 적용 가능하다.

도 103, 도 104는 전압 프로그램의 화소 구성에서의 본 발명의 제2 실시예에서의 적용예이다. 화소(16)의 구동용 트랜지스터(11a)는 P 채널 트랜지스터로 형성되어 있다. 또한, 전류(I_1)는 애노드 단자(V_{dd}) 측에 공급된다.

전압 구동의 경우에는 구동용 트랜지스터(11a)에 전압(V_1)을 인가할 필요가 있다. 또한, 상기 전압(V_1)에 의해 흐르는 전류(I_1)는 V_{dd} 단자 측에서 측정한다. 예를 들면, 도 103에 도시한 바와 같이, 애노드 전류가 흐르는 경로에 픽업 저항(R)을 접속하고, 전압계(A/D 변환 회로(391))등 R의 양단의 전압을 측정한다.

이상과 같이, 구동용 트랜지스터(11a)에 전압 게조 회로(231)에 의해 각 소스 신호선(18)에 기지의 전압(V_1)을 인가하고, 그 전압에 대한 출력(입력) 전류(I_1)를 측정한다. 물론, 1개 또는 복수의 소스 신호선(18)을 선택하여 기지의 전압을 인가해도 된다. 따라서, 도 92의 (b)의 반대의 관계로 된다. 즉, V_1 인가에 의해 I_1 을 측정하고, 이 V_1 과 I_1 의 관계로부터, 도 92의 (b)의 실선으로 나타내는 구동용 트랜지스터(11a)의 V - I 특성을 구한다. V_1 이외에, O 게조제에 대응하는 V_0 전압을 인가해도 된다.

V_0 전압의 경우에는 V_0 전압을 인가했을 때에, 전류계에 흐르는 전류를 0 혹은 미소한 값으로 되도록 인가하는 V_0 을 조정하면, 게조 0에 대한 프로그램 전압(V_0)을 정밀도 좋게 구할 수 있다. 그때는 전압 게조 회로(231)의 출력 전압을 변화시켜 0으로 되도록 조정한다. 그 밖에, 예를 들면 $1\mu\text{A}$ 가 흐르도록, 구동용 트랜지스터(11a)에 인가하는 전압(V_x)을 조정한다. 복수점의 전압(V)과 전류의 관계를 측정하면, 더욱 정밀도 좋은 V - I 커브를 추정 혹은 구할 수 있다.

도 103의 실시예에서도 도 90과 마찬가지로, 스위치(S)를 셀렉터 회로(222)에 의해, 클럭에 동기시켜 순차적으로 클로즈시키고 있다. 스위치(S_x)($x=1\sim n$)에 의해 각 소스 신호선(18)에 접속된 화소(16)가 선택된다. 또한, 선택하는 화소 행의 화소(16)는 게이트 드라이버(12a)에 의해 선택되고, 선택 화소 행 위치는 순차적으로 시프트된다.

각 스위치(S)가 선택됨으로써, 선택된 화소(16)에 애노드 전류가 유입된다. 애노드 전류에 의해 저항(R)의 양단에 전압이 발생한다. 발생하는 전압은 A/D 변환 회로(391)에 의해 디지털화되고 메모리(502)에 축적된다. 축적된 데이터에 의해 프로그램 전압에 대응하는 게조 전압이 산출 혹은 구해진다. 물론, 캐소드 전류(I_1) 등은 전류계에 의해 측정해도 됨은 물론이다. 또한, 게조 0의 경우에는 저항(R)의 양단에 발생하는 전압은 0임은 물론이다.

도 90, 도 103에서는 소스 신호선(18)에 전압(V_x)을 인가하고, 그때에 흐르는 전류(I_1)를 측정하여, V - I 특성을 구한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 104에 도시한 바와 같이, 픽업 저항(R)의 전압이 소정 전압(V_1 , V_0 , 즉 전류 I_1 를 측정)으로 되도록, 소스 신호선(18)에 인가하는 전압(V_x)을 조정해도 된다. 즉, I_1 전류로 될 때의 소스 신호선(18)에 인가한 전압(V_x)을 조정한다. 이 V_x - I_1 의 관계로부터 V - I 특성을 결정한다.

소스 신호선(18)에 전압(V_x)을 인가함으로써, 구동용 트랜지스터(11a)로부터의 캐소드 전류(I_1)가 흐른다. 캐소드 전류(I_1)는 픽업 저항(R)에서 전압으로 변환되어 측정된다. 측정되는 전압 $V=I_1\times R$ 로 되도록, 소스 신호선(18)에 인가하는 전압(V_x)을 조정한다.

도 104의 실시예에서도 도 90과 마찬가지로, 스위치(S)를 셀렉터 회로(222)에 의해, 클럭에 동기시켜 순차적으로 클로즈시키고 있다. 스위치(S_x)($x=1\sim n$)에 의해 각 소스 신호선(18)에 접속된 화소(16)가 선택된다. 또한, 선택하는 화소 행의 화소(16)는 게이트 드라이버(12a)에 의해 선택되고, 선택 화소 행 위치는 순차적으로 시프트된다.

각 스위치(S)가 선택됨으로써, 선택된 화소(16)에 애노드 전류가 유입된다. 애노드 전류에 의해 저항(R)의 양단에 전압이 발생한다. 소스 신호선(18)에 인가한 전압은 A/D 변환 회로(391)에 의해 디지털화되고, 메모리(502)에 축적된다. 축적된 데이터에 의해 프로그램 전압에 대응하는 게조 전압이 산출 혹은 구해진다. 다른 구성은 도 90, 도 103과 마찬가지로 혹은 유사하므로 설명을 생략한다.

도 90, 도 103, 도 104의 실시예에서는 화소는 도 2와 같이 전압 구동(전압 프로그램을 행하는 화소 구성)의 화소 구성이라고 했다. 따라서, 화소 구성은 도 2뿐 아니라, 도 115 등의 화소 구성이어도 적용할 수 있다. 또한, 이상의 실시예인 본 발명은 애노드 단자 혹은 캐소드 단자에 흐르는 전류를 검출 혹은 측정 혹은 취득하는 것이다. 따라서, 도 1과 같이 전류 구동(전류 프로그램을 행하는 화소 구성)이어도 적용할 수 있음은 물론이다. 도 90, 도 103, 도 104 등에서, 화소(16)의 구성을 도 1, 도 12, 도 13, 도 14 등의 화소 구성으로 치환해도 본 발명의 실시예를 적용할 수 있다.

또한, 본 발명은 측정된 전압 혹은 전류는 플래시 메모리 등에 기억시키고, 이 기억된 데이터에 기초하여, 영상 신호에 대한 프로그램 전압 또는 프로그램 전류를 구하여 화소(16)에 인가하는 것이다. 따라서, 화소 구성은 도 1, 도 12, 도 13, 도 14 등의 전류 프로그램, 도 2, 도 115의 전압 프로그램 중 어느 것이어도 본 발명의 실시예를 적용할 수 있다.

측정 혹은 취득한 전압 데이터 V는 플래시 메모리 등에 저장하고, 플래시 메모리로부터 데이터를 컨트롤러 회로 IC(801)의 메모리에 전송하여 영상 데이터에 대응하는 프로그램 전압 또는 프로그램 전류를 발생시킨다. 그러나, 플래시 메모리의 읽어내기 속도는 저속이다. 본 발명에서는 도 105에 도시한 바와 같이, 복수의 플래시 메모리(1051)를 표시 장치에 실장한다. 실장한 플래시 메모리(1051)로부터 컨트롤러 회로(IC)(801)의 제어에 의해, 대응하는 소스 드라이버 회로(IC)(14)에 전압 데이터를 전송한다. 각 소스 드라이버 회로(IC)(14)는 전송된 전압 데이터에 의해 V-I 커브를 발생시키고, 영상 데이터에 대응하는 프로그램 전압 또는 프로그램 전류를 소스 신호선(18) 출력하고, 대응하는 화소(16)에 구동용 트랜지스터(11a)에 인가한다.

이상에 설명한 본 발명의 기술적 사상은 본 발명의 다른 실시예와 조합할 수 있음은 물론이다. 또한, 이상의 본 발명의 기술적 사상을 이용하여, 소스 드라이버 회로(IC)(14) 등의 반도체, 표시 패널, 표시 장치를 구성할 수 있음은 물론이다. 또한, 스위치(S), 저항(R), A/D 변환 회로(391), 전압 게조 회로(231) 등은 어레이 기판(30)에 폴리실리콘 기술을 이용하여 직접 형성해도 된다.

이상의 실시예에서는 설명을 쉽게 하기 위해, 측정된 전압 또는 전류 데이터는 메모리에 저장한다고 했지만, 본 발명의 메모리란 일시적으로 데이터를 디지털 또는 아날로그로 유지할 수 있는 것이면 어느 것이어도 된다. 예를 들면, 메모리란 아날로그 데이터를 샘플링하는 샘플 홀드 회로이어도 된다. 물론, 메모리란 플래시 메모리, SRAM, DRAM 등의 반도체도 개념에 포함된다. 메모리는 소스 드라이버 IC(회로)(14)의 내부에 구성해도 되고, 외부에 배치해도 된다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있다.

이상과 같이, 본 발명은 구동용 트랜지스터(11a)에 전압 혹은 전류를 인가 혹은 공급하고, 이 인가한 전압 혹은 전류에 대하여 구동용 트랜지스터 등(도 12의 커런트 미러의 화소 구성에서는 트랜지스터(11b))으로부터 출력되는 전류 혹은 측정함으로써, 구동용 트랜지스터의 V-I 커브를 구하고, 이 구한 V-I 커브로부터 각 게조에 대응하는 프로그램 전압 혹은 프로그램 전류를 구하는 것이다.

본 발명은 기지의 전압 혹은 전류를 각 소스 신호선(18)에 인가하고, 출력되는 전류 혹은 전압을 측정하고, 혹은 출력되는 전류 혹은 전압이 소정의 값으로 되도록, 소스 신호선(18)에 인가하는 전압 또는 전류를 조정함으로써, EL 소자(15)에 전류를 공급하는 구동용 트랜지스터(11)의 V-I 커브를 구하고, 혹은 유추하고, 각 게조에 대한 프로그램 전압 혹은 프로그램 전류를 결정하는 것이다.

이상과 같이 실시함으로써, 각 구동용 트랜지스터(11a)의 V-I 커브를 정밀도 좋게 구할 수 있다. 구해진 전압은 프로그램 전압으로 되고, 또는 프로그램 전류로 된다. 각 프로그램 전류, 프로그램 전압은 영상 신호에 대응하고 있다.

도 106에 도시한 바와 같이, 전압 데이터는 구해진 구동용 트랜지스터(11a)의 V-I 커브로부터 영상 신호 데이터에 대응하도록 변환되어 9 비트의 데이터(VDATA)로 된다. 8 비트 이상의 9 비트로 하는 것은 상승 전압(V_t) 이하의 전압을 발생시키기 때문이다. 이것은 게이트 신호선(17a)의 온 오프 동작에 의한 구동용 트랜지스터(11a)의 게이트 단자로의 관통 전압의 영향을 보상하고, 양호한 흑 표시 또는 저계조 영역의 표시를 실현하기 때문이다.

측정한 전압은 관통 전압을 보정하기 위해 소정 전압을 가감산 혹은 보정하고, 또한 영상 데이터의 감마 커브 혹은 EL 특성에 적합하도록 처리하고, 영상 신호의 계조 데이터로서의 프리차지 전압(V_p)으로 된다. 프리차지 전압(V_p)은 다비트의 영상 데이터에 대응하는 것이기 때문에, 이후의 설명에서는 프리차지 전압(V_p)을 VDATA라고 한다. 또한, VDATA는 화소(16)에 프로그램하는(기입하는) 전압이므로, 프로그램 전압(VDATA)이라고 부르기도 한다.

도 106에 도시한 바와 같이, 영상 신호에 대응하는 VDATA는 전압 계조 회로(231)에 입력되고, 도 25, 도 81 등의 A 기간(전압)에 소스 신호선(18)에 프로그램 전압으로서 인가된다. A 기간에 인가하는 전압 VDATA는 소스 신호선(18)의 기생 용량을 고속으로 충전하는 것이기 때문에, 프리차지 전압(V_p)으로서 기능한다. 따라서, 본 명세서에서 프리차지 전압(V_p)과 프로그램 전압(VDATA)은 마찬가지로 또는 유사한 기능, 동작을 갖고 있다. 또한, 도 25, 도 81 등에서 A 기간에 전압을 인가하는 방식은 이전에 상세히 설명하고 있으므로 설명을 생략한다.

프로그램 전압(VDATA)(프리차지 전압(V_p))은 소스 신호선(18)에 정전류(I_w)($I_w=0(A)$ 도 포함한다)을 인가하고, 구동용 트랜지스터(11a)에 정전류(I_w)를 흘려, 그때의 소스 신호선(18)의 전위를 측정하는 것이다. 따라서, 구동용 트랜지스터(11a)의 특성(V-I 커브)으로 보정되어 있다. 인가하는 프로그램 전압(VDATA)은 각 화소(16)의 구동용 트랜지스터(11a)의 특성 변동을 반영하고 있다.

VDATA는 V-I 커브의 특성 위치(예를 들면, V_a)이고, 오차 0(오차가 없다. 예를 들면, I_w 를 인가하면 V-I 커브에서 V_a 는 일의로 정해진)이다. 오차 0이란, 특정 위치(예를 들면, V_a)에서 오차가 캔슬된 것으로 된다. 이 특정 위치(예를 들면, V_a)의 전후에서, 이상치로부터 어긋나, 이상 특성으로부터 오차가 발생한다. 그러나, 특정 위치에서는 이상치로 동작한다. 이 방식에서는 소스 신호선(18)으로 측정하는 전압(영상 계조에 적합하도록 처리를 행하고 있는 전압)을 인가하고, 오차를 캔슬하고 있는 것, 전압(예를 들면, V_a) 위치를 중심으로 하여 이상치로부터 오차가 발생하기 때문에, 전압 오프셋 캔슬이라고 부른다.

프로그램 전압(VDATA)은 전압 오프셋 캔슬된 값으로 되어 있다. A 기간의 이 프로그램 전압(VDATA)에 의해, 소스 신호선(18)은 목표의 전류가 EL 소자(15)에 흐르도록 충전된다. 정밀도가 가장 좋은 것은 오프셋 전압(예를 들면, V_a)과 그 근방이다. 오프셋 전압으로부터 멀어짐에 따라, 목표 전류로부터의 오차는 커진다.

본 발명은 A 기간에 프로그램 전압(VDATA)을 인가 후, B 기간(필요에 따라 도 81에 도시한 바와 같이, 과전류를 인가한다)에, 프로그램 전류(IDATA)를 인가한다. IDATA는 최종적으로 화소(16)에 기입하는(프로그램하는) 계조 전류이다.

본 발명에서는 프로그램 전류(DATA) B 기간에 인가한다. 오프 세트 전압 근방 이외에서 VDATA를 인가함으로써, 목표 전류(화소(16)에 기입하는 목표치)로부터의 오차가 커져도, B 기간에 인가하는 프로그램 전류(IDATA)에 의해 이상적인 오차가 없는(정밀도가 큰) 기입을 실현할 수 있다.

IDATA는 전류 계조 회로(154)에서 프로그램 전류로 변환되고, 소스 신호선(18)에 공급된다. 공급 기간은 도 25의 B기간이다. 도 25 등에서도 설명한 바와 같이, 프로그램 전류는 매우 정밀도가 높은 것이다. 따라서, 정밀도가 좋은 A 기간의 프로그램 전압과 B 기간의 프로그램 전압에 의해, 화소(16)의 컨텐서(19)에는 목표의 전류가 EL 소자(15)에 흐르도록 프로그램된다. 즉, 전압+전류 프로그램을 실시할 수 있다.

도 25, 도 81, 도 106에서는 A 기간의 전압 인가와, B 기간의 전류 인가의 양방을 1H 기간(1 수평 주사 기간)에 실시한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 저계조 영역에서는 1H의 모든 기간을 A 기간으로 해도 된다. 또한, 고계조 영역에서는 1H의 모든 기간을 B 기간으로 해도 된다. 저계조 영역에서는 프로그램 전류는 미소하고 거의 소스 신호선(18)의 충전에는 영향을 주지 않기 때문이다. 또한, 저계조 영역에서는 프로그램 전압이 지배적으로 되기 때문이다.

이상의 실시예에서는 전압+전류 프로그램 구동을 실시함으로써, 마치, 저계조 영역에서는 전압 오프셋 캔슬을 실시하고 있는 것처럼 구동되고, 고계조 영역에서는 전류 프로그램 구동을 실시하고 있게 된다. 따라서, 전압 구동의 효과와 전류 구동의 효과를 보간하여 실시할 수 있다.

도 106에서의 전류 데이터(IDATA)와, 전압 데이터(VDATA)의 관계는 도 107과 같이 도시된다. 도 106에서, V_t 란 구동용 트랜지스터의 상승 전압이고, V_t 전압 이하에서는 EL 소자(15)에는 전류가 공급되지 않는다. V_t 전압은 구동용 트랜지스터의 특성 변동에 의해 각 구동용 트랜지스터에서 서로 다르다. 본 발명에서는 V_t 전압 또는 V_t 전압의 근방의 전압을

V0로 하고 있다. V0을 V_t 전압의 근방으로 한 것은 게이트 신호선(17)의 온 오프 제어에 의해 구동용 트랜지스터(11a)의 게이트 단자에 관통 전압이 발생하기 때문이다. 이 영향을 고려하여, 구동용 트랜지스터(11a)가 완전한, 혹은 화상 표시로서 이상적인 혹은 실용적인 흑 표시를 할 수 있는 계조 0의 전압으로서, V_{bb} 를 규정(상정)하고 있다.

본 발명에서는 구동용 트랜지스터를 오프 상태(전류가 흐르지 않는)로 하는 전압(V_{bb})을 원점으로 하여 처리 혹은 동작시키고 있다. 즉, VDATA는 V_{bb} 전압을 0으로 하고, 9 비트(512) 단위로 하고 있다. 한편, 프로그램 전류인 IDATA는 EL 소자(15)에 전류가 흐르지 않을 때는 0이기 때문에, 0을 원점으로 하고, 8 비트(256 단위)로 하고 있다.

도 106의 구성을 더욱 자세하게 도시하면 도 56으로 된다. VDATA는 전자 볼륨(152)에 입력되고, 전자 볼륨(152)은 V_{bb} 와 애노드 전압(V_{dd}) 사이의 전압을 복수(이 실시예에서는 9 비트=512 분할)로 나누어 출력한다. 전자 볼륨(152)의 출력은 전압 계조 회로(231)에 입력된다. 또한, 전압 계조 회로(231)는 전자 볼륨(152)을 포함한다고 생각해도 된다. 다른 구성은 도 23과 마찬가지로 설명을 생략한다.

도 106, 도 56에 도시한 바와 같이, 1개의 화소(16)에는 프로그램 전류 데이터(IDATA)와 프로그램 전압 데이터(VDATA)가 필요하다. 따라서, 도 108의 (a)에 도시한 바와 같이 배속으로 IDATA, VDATA를 전송하고 있다. 그러나, 배속 전송은 회로계의 부담이 크다. 이 과제를 해결하기 위해, 먼저, 어레이 기관(30)에서도 대책이 필요하다. 그래서, 먼저, 본 발명의 어레이(30)의 제조 방법 등에 대해 도 109 등을 참조하면서 설명을 한다.

화소는 RGB의 3화소이며 정방형의 형상으로 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로로 긴 화소 형상으로 된다. 따라서, 레이저 조사 스폿(1092)을 세로로 길게 하여 어닐링함으로써, 1 화소 내에서는 트랜지스터(11)의 특성 변동이 발생하지 않도록 할 수 있다. 또한, 1개의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(모빌리티, V_t , S값 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)와는 특성이 서로 다른 경우가 있지만, 1개의 소스 신호선에 접속된 트랜지스터(11)의 특성은 거의 같이 할 수 있다).

일반적으로 레이저 조사 스폿(1092)의 길이는 10인치의 고정치이다. 이 레이저 조사 스폿(1092)을 이동시키는 것이기 때문에, 1개의 레이저 조사 스폿(1092)을 이동할 수 있는 범위 내에 들어가도록 패널을 배치할 필요가 있다(즉, 패널의 표시 화면(34)의 중앙부에서 레이저 조사 스폿(1092)이 중첩되지 않도록 한다).

도 109의 구성에서는 레이저 조사 스폿(1092)의 길이의 범위 내에 3개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폿(1092)을 조사하는 어닐링 장치는 글래스 기관(1094)의 위치 결정 마커(1093a, 1093b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폿(1092)을 이동시킨다. 위치 결정 마커(1093)의 인식은 패턴 인식 장치에서 행한다. 어닐링 장치(도시 생략)는 위치 결정 마커(1093)를 인식하고, 화소 열의 위치를 산출한다(레이저 조사 범위(1092)가 소스 신호선(18)과 평행하게 되도록 한다). 화소 열 위치에 중첩되도록 레이저 조사 스폿(1092)을 조사하여 어닐링을 순차적으로 행한다.

도 109에서 설명한 레이저 어닐링 방법(소스 신호선(18)에 평행하게 라인 형상의 레이저 스폿을 조사하는 방식)은 유기 EL 표시 패널의 본 발명의 구동 방식에 채용하는 것이 바람직하다. 왜냐하면, 소스 신호선에 평행하는 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향에 인접한 화소 트랜지스터의 특성이 근사하다). 그 때문에, 전류 구동시에 소스 신호선의 전압 레벨의 변화가 적고, 전류 기입 부족이 발생하기 어렵다. 구동용 트랜지스터(11a)의 특성이 일치한다는 것은 예를 들면 도 107에서 V_t 전압이 일치 혹은 유사한 것이다. 따라서, 소스 신호선(18)을 따른 화소의 구동용 트랜지스터(11a)의 V_t 에 대한 프로그램 전압은 대략 일치하고 있는 것으로 된다. 소스 신호선(18)에 평행하게 레이저를 조사하고, 그 레이저 조사 범위(1092)를 소스 신호선(18)에 수직으로 이동시키고 있기 때문이다.

1개의 소스 신호선(18)에 접속된 구동용 트랜지스터(11a)의 특성이 일치하고 있는 것은 전류 구동에서 이하의 이점이 있다. 예를 들면, 백 래스터 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흐르는 전류는 거의 동일하기 때문에, 소스 드라이버 IC(회로)(14)로부터 출력하는 전류 진폭의 변화가 적다. 만약에, 도 1의 트랜지스터(11a)의 특성이 동일하고, 각 화소에 전류 프로그램하는 전류치가 화소 열에서 동일한 것이면, 전류 프로그램 시의 소스 신호선(18)의 전위는 일정하다. 따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 또한, 전압+ 전류 구동을 실시하는 경우에도, 인가하는 전압(프로그램 전압)은 변화시킬 필요가 없다는 것으로 된다.

1개의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 거의 동일하면, 소스 신호선(18)의 전위 변동은 작은 것으로 된다. 이것은 소스 신호선(18)에 따른 화소의 V0 전압 혹은 V_{bb} 전압은 대략 동일한 값으로 해도 됨을 의미한다. 또한, V-I 특성도 대략 일치하고 있기 때문에, V_a 전압 등도 동일해도 된다. 즉, 소스 신호선(18)에 따른 화소의 V-I 특성은 대략 일치하고 있다고 생각해도 된다.

게이트 신호선(17)에 평행하게 레이저를 조사하고, 그 레이저 조사 범위(1092)를 게이트 신호선(17)에 수직으로 이동시키는 경우에는 게이트 신호선(17)에 따른 화소의 V0 전압은 대략 동일한 값으로 해도 됨을 의미한다. 또한, V-I 특성도 대략 일치하고 있기 때문에, V1 전압 등도 동일해도 된다. 즉, 게이트 신호선(17)에 따른 화소의 V-I 특성은 대략 일치하고 있다고 생각하여 이하의 실시예를 적용하는 것은 물론이다.

V0 전압은 게조 O의 전압을 의미한다고 하여 설명한다. 넓은 의미로는 V_t 전압, V_{bb} 전압 등도 의미한다. V0 전압은 게조 0이기 때문에 완전한 흑 표시가 대응한다. 그 때문에, 영상 신호와의 관계로 이해가 쉽기 때문에 V0 전압을 기준으로 하여 설명을 한다. 실제로는 구동용 트랜지스터(11a)가 전류를 흘리기 시작하는 전압이 V_t 전압이며, 이상적인 흑 표시를 행하는 전압을 V_{bb} 전압으로 하고 있다.

도 109와 같이 어레이를 제작함으로써, 소스 신호선(18)을 따라 구동용 트랜지스터(11a)의 VO 특성 등의 프로그램 전압이 대략 일치하고 있다. 따라서, 복수 화소의 VO 전압 등이 동일한 것으로 하여 처리(VDATA의 발생 등)를 행해도 된다.

도 110은 소스 신호선(18)에 따른 2 화소의 VO 전압을 동일하게 한 실시예이다. 어레이(30)는 도 109에서 설명한 제조 방법으로 제작하고 있다.

VO 전압은 구동용 트랜지스터(11a)에서 서로 다르다. 도 110 등의 이하에서 제시하는 실시예에서는 서로 다른 VO 전압을 $V0x$ 로 하고, x의 첨자를 붙여 나타내고 있다($V01$, $V02$ 등). 또한, VO 등의 VDATA는 복수 화소로 공통으로 하지만, IDATA를 각 화소에서 영상 신호에 대응하여 서로 다르게 하고 있다. 물론, 화상의 해상도가 필요하지 않은 경우에는 IDATA도 복수 화소에서 공통으로 해도 됨은 물론이다.

도 110의 (a)는 제1 F(필드(프레임))의 상태이다. 도 110의 (a)의 점선으로 나타낸 바와 같이 홀수 화소 행과 짝수 화소 행에서 VO 전압을 공통으로 하고 있다. 이와 같이 구성함으로써, 2개의 IDATA에 대하여 1개의 VDATA를 전송하기만 해도 된다. 따라서, 도 108의 영상 신호(SDATA)의 게조 데이터인 IDATA, VDATA의 전송 속도는 1.5 배속이면 된다.

그러나, 도 110과 같이, 2 화소에 공통의 VDATA로 하면, 해상도가 저하할 가능성이 있다. 이 과제에 대해서는 도 110의 (b)에 도시한 바와 같이, 제1F(필드(프레임))의 다음 제2F(필드(프레임))에서는 짝수 화소 행과 홀수 화소 행에서 공통으로 하고 있다(점선으로 나타내고 있다). 제3F(필드(프레임))에서는 도 110의 (a)와 같이 VDATA를 공통으로 한다(V-I 커브를 공통으로 한다).

도 111에서는 소스 신호선(18)에 따른 화소(16)의 VO 데이터(V-I 커브)를 공통으로 한 실시예이다. 도 109의 실시예와 같이 어레이를 형성하는 경우에 유효하다. VO 전압은 1개의 화소 열의 $V0$, $V1$, V-I 커브 등을 평균화한 것을 이용한다.

평균화의 방법으로는 각 화소 열의 소스 신호선(18)에 정전류(0 전류를 포함한다)를 인가하고, 제1번째의 화소 행로부터 최후의 화소 행까지 순차적으로 선택하고, 선택할 때마다 소스 신호선(18)의 VO 혹은 V1 전압을 측정한다. 측정 후, 얻어진 V1 또는 V0 전압을 평균화하여, 프로그램 전압($V0$, $V1$)을 구한다.

도 112는 RGB의 화소에서 VO 전압 등을 공통으로 한 실시예이다. 근접한 VO 전압은 대략 일치하고 있기 때문이다. 도 112와 같이 RGB에서 공통으로 하는 경우에는 IDATA, VDATA의 전송은 도 108의 (b)와 같이 된다. RGB에서 공통의 VDATA를 전송하고, 다음에 각 RGB 화소의 IDATA를 전송한다. 이상과 같이 구성하면, 전송 속도는 거의 높아지지 않는다.

당연한 일이지만, 도 113에 도시한 바와 같이 매트릭스 형상(블록 형상)에 VO 전압 등을 공통으로 해도 됨은 물론이다. 도 113에서는 1개의 블록을 점선으로 둘러싸고 있다.

또한, 도 110 등의 실시예에서는 복수 화소에서 VO 전압을 공통으로 한다고 했지만, 이것에 한정하는 것이 아니며, 복수 화소의 V1 전압 등을 일치시켜도 된다. 또한, 본 발명은 복수 화소에서 V-I 특성을 공통으로 하는 기술적 사상이다. 따라서, $V0$, $V1$ 전압을 복수 화소에서 공통으로 하는 것에 한정되는 것이 아니다. V-I 커브를 공통으로 한다고 해도 된다. 또한, 2 화소에 한정되는 것도 아님은 물론이다.

이상의 실시예는 정전류(I_w)를 소스 신호선(18)에 인가하고, 정전류(I_w)에 대응하는 전압(V_a , $V0$ 전압 등)을 측정한다고 했다. 측정 혹은 취득한 전압치를 기준으로 하여 사용 혹은 처리를 실시하고, 각 구동용 트랜지스터(11a) 혹은 표시 영역 내의 전체적으로 혹은 평균적으로 구동용 트랜지스터(11a) V-I 커브를 구한다.

본 발명의 실시예에서, 각 화소에서 VO 전압 등을 측정한다고 했지만, 이것에 한정하는 것은 아니다. 예를 들면, 도 109 등과 같이, 어레이(30)가 형성되는 경우에는 소스 신호선(18)에 따른 화소 열(레이저 조사 범위에 따른 화소 영역)에서 공통의 VO, V1, V-I 커브로 해도 되는 물론이다. 예를 들면, 화소 열에서 VO 전압을 공통으로 하는 경우에는 VO 전압은 화소 열마다 1개만 측정하기만 하면 된다는 것은 물론이다. 또한, 도 110, 도 111, 도 112, 도 113과 같이 V-I 커브, 프로그램 전압(VO, V1, Va) 등을 설정해도 된다.

이상의 실시예는 VO, V1, Va 등을 측정하여, V-I 커브를 구하고 혹은 산출하고, 전압+ 전류 구동 등을 실시하는 방식이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 114에 도시하는 실시예를 실시해도 된다.

도 114에서, 스위치(S1~Sn)(n은 소스 신호선(14) 번호의 최대치)를 순차적으로 클로즈시키고, 각 소스 신호선(14)의 전위를 측정하고, 측정한 전위를 A/D 변환 회로(391)에서 A/D 변환하여 EEPROM 등의 불휘발성 메모리(502)에 유지한다. 유지는 JPEG 등의 압축 기술을 이용하여 행해도 된다. 이 유지한 데이터와 영상 신호를 이용하여 전압 계조 회로(231)로부터 전압 계조 신호를 소스 신호선(18)에 인가하고, 전압 구동을 실시해도 된다.

도 96에서 설명한 VO, V1을 측정할 때는 도 116에 도시한 바와 같이, 소스 드라이버 회로(14) 내에 정전류 발생 회로 또는 전류 계조 회로(154)를 설치하고, 상기 회로(154)로부터 정전류를 발생시키고, 이 정전류를 스위치(SI1)로부터 스위치(SIn)(n은 소스 신호선(18)의 최대치)를 순차적으로 클로즈하고, 또한 스위치(S1)로부터 스위치(Sn)를 순차적으로 클로즈시켜 소스 신호선(18)의 전위를 측정해도 된다.

예를 들면, 스위치(SI2)를 클로즈함과 함께 소스 신호선(18)에 정전류(Ix)를 인가하고, 스위치(S2)를 클로즈시켜 소스 신호선(18)의 전위(Vx)를 측정한다. 측정한 Vx는 A/D 변환 회로(391)에서 A/D 변환하여, 메모리(502)에 유지시킨다.

이상의 동작을 모든 소스 신호선(18) 혹은 필요한 소스 신호선(18)을 선택하여 실시하고, 각 소스 신호선(18)의 전위를 측정하여 메모리(502)에 유지시킨다. 이 유지한 데이터로부터 V-I 커브를 구하고 혹은 상승 전압을 발생시켜, 전압 계조 회로(231) 또는 전류 계조 회로 등을 이용하여 전압 구동 혹은 전압+ 전류 구동 혹은 과전류+ 계조 전류 구동(도 25, 도 81과 그 설명 등을 참조할 것)을 실시한다.

도 116은 1개의 전류 계조 회로(154)를 이용한 구성이지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 117에 도시한 바와 같이, 복수(도 117에서는 3개의 전류 계조 회로(154)(154a, 154b, 154c))의 정전류 회로를 구성해도 된다.

각각의 전류 계조 회로(154)는 출력하는 정전류치가 고정되어 있다. 예를 들면, 전류 계조 회로(154a)는 정전류(I1)를 출력하고, 전류 계조 회로(154b)는 정전류(I2)를 출력하고, 전류 계조 회로(154c)는 정전류(I3)를 출력한다. 어느 전류 계조 회로(154)를 선택할지는 스위치(SW1)에서 선택한다. 전류 계조 회로(154)가 출력하는 상대적인 정전류의 크기는 소스 드라이버 회로(14)에 외부 부하의 저항에 의해 가변할 수 있다.

도 38, 도 59, 도 61, 도 67, 도 102, 도 111, 도 112, 도 113 등에서 설명한 바와 같이, 각 소스 신호선(18)에는 정전류(Iw) 등을 인가하고, 게이트 신호선(17a)을 순차적으로 선택하여, 소스 신호선(18)의 전위를 측정한다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 118에 도시한 바와 같이, 모든 게이트 신호선(17a)을 선택하고, 화소(16)의 트랜지스터(11a)를 동작 상태로 해도 된다.

도 118에서는 일례로서 게이트 드라이버 회로(12a)를 이용하여, 모든 게이트 신호선(17a)에 온 전압을 인가한다. 상기 온 전압 인가 상태에서, 각 소스 신호선(18) 또는 1개 이상의 소스 신호선(18)에 정전류를 인가한다. 한편, 게이트 드라이버 회로(12b)를 동작시켜 게이트 신호선(17b)에는 오프 전압을 인가해 둔다. 즉, EL 소자(15)에는 전류 경로는 발생하지 않는다. 다른 동작은 앞에서 설명한 실시예와 마찬가지로 설명을 생략한다.

또한, 소스 신호선(18)에는 전류를 흘리지 않는 상태로 한다. 즉, 소스 드라이버 회로(14)는 도 23의 스위치(161b)를 오픈 상태로 한다. 표시 화면(34)의 모든 화소(16)의 구동용 트랜지스터(11a)는 평균하여 전류 EL 소자(15)에 가장 전류를 흘리지 않도록 자연스럽게 조정된다. 이 상태의 소스 신호선(18)의 전압을 VO 전압으로서 메모리에 유지시킨다. 다른 동작은 앞에서 설명한 실시예와 마찬가지로 설명을 생략한다.

물론, 도 119에 도시한 바와 같이, 1개의 소스 신호선(18)을 선택하여 정전류(Iw=I1)를 인가하고, 1개 이상의 게이트 신호선(17a)을 순차적으로 선택하여, V1 전압 등을 측정해도 되는 물론이다. 또한, 도 23의 스위치(161b)를 오픈 상태로 하여 VO 전압을 측정한다.

또한, 도 120에 도시한 바와 같이, 표시 화면(34)을 선택 블록(34a, 34b)으로 분할하고, 복수의 표시 블록 중 어느 하나를 블록 단위로 선택(선택된 블록의 게이트 신호선(17a)에는 온 전압을 인가한다)하고, 각 블록에 정전류 등을 인가 혹은 소스 신호선(18)을 소스 드라이버 회로(14)로부터 분리하여 하이 임피던스 상태로 하여, V1 전압, V0 전압을 측정해도 됨은 물론이다. 이 경우에는 각 선택한 블록에서 V0 혹은 V1 전압 등을 측정하고, 평균화 처리를 실시한다. 예를 들면, 34a, 34b의 2 블록에서 V01, V02의 전압이 측정되었다고 하면, $V0=(V01+V02)/2$ 로 한다.

이상과 같이, 복수의 화소 행을 동시에 선택하고, 정전류를 인가함으로써 평균한 전압 V0, V1 등을 측정할 수 있다. 따라서, 나중에 평균화 처리 등을 실시할 필요가 없게 된다.

측정된 V0, V1 전압 등은 A/D 변환된 메모리(502) 등에 기억되고, 또한, 메모리로부터 읽어내어 D/A 변환되는 것에 한정되는 것이 아니다. 표시 상태(예를 들면, 0 계조계의 흑 표시)에 적합한 바와 같이, 측정 등이 된 V0, V1은 처리된다. 예를 들면, 측정 등이 된 V0, V1로부터 일정한 값을 가산 혹은 감산한다. 또한, 일정한 비율로 제산 혹은 승산된다. 또한, 패널 온도 등에 의해 보정된다.

예를 들면, 소스 신호선(S1)에서 측정된 $V0=4.1V$, 소스 신호선(S2)에서 측정된 $V0=3.9V$ 인 경우, 일정 비율의 $0.2V$ 가 가산되어, 소스 신호선(S1)에 $4.3V$ 가, 소스 신호선(S2)에 $4.1V$ 가 0 계조계의 전압으로서 인가된다. 0 계조계의 전압의 인가 후, 전류 프리차지 전압(Vp)이 실시되고, 그 후, 계조 전류가 인가된다.

물론, 도 121에 도시한 바와 같이, 표시 화면(34)을 복수의 블록으로 구분해도 된다. 또한, 도 121의 (a)의 V01, V02 등의 표시는 각 처리 블록에서 측정된 전압치이다. 또한, 도 121의 (b)는 세로 방향의 처리 블록에서 평균한 값이다. 예를 들면, 도 121의 (a)의 a열은 V01, V02, V01, V01...V04이다. 이 평균화 처리한 결과가, 도 121의 (b)의 a열의 V01로 되어 있다. 마찬가지로, 도 121의 (a)의 b열은 V02, V04, V06, V02...V02이다. 이 평균화 처리한 결과가, 도 121의 (b)의 b열의 V02로 되어 있다. 도 121의 (a)의 c열은 V01, V02, V01, V01...V01이다. 이 평균화 처리한 결과가, 도 121의 (b)의 c열의 V01로 되어 있다.

본 발명에서, 도 109 등에서 설명한 바와 같이, 레이저 조사는 소스 신호선(18)에 평행하게 되도록 하는 것이 바람직하다. 또한, 도핑 방향도 트랜지스터(11a)의 특성이 소스 신호선에 평행 방향에 근사하도록 실시하는 것이 바람직하다. 도 121 등에서 설명한 V0, V1 전압이 화소 열 방향에 근사하여, 보정 혹은 보상이 용이하게 되기 때문이다.

도 122에 도시한 바와 같이, 소스 드라이버 IC(회로)(14a)의 전류 계조 회로(154)는 캐스캐이드 접속에 의해 인접한 드라이버 IC(14b)에 정전류를 인도할 수 있도록 구성되어 있다. 도 122의 소스 드라이버 IC(회로)(14)의 전류 계조 회로(154a)는 스위치($Sa \sim Sn$)에 의해 소스 신호선(18)에 정전류를 인가할 수 있도록 구성되어 있다. 또한, 전압 계조 회로(231a)는 V0, V1 전압으로 보정된 계조 전압이 소스 신호선(18)에 인가되도록 구성되어 있다.

또한, 각 소스 신호선(18)에 인가(출력)된 전압은 소스 드라이버 IC(회로)(14a)의 스위치($S1 \sim S160$)와, 소스 드라이버 IC(회로)(14b)의 스위치($S161 \sim S320$)에 공통으로 접속 혹은 배치되어 있다. 따라서, 1~320개의 각 소스 신호선(18)의 전위는 1개의 A/D 변환 회로(391)에 출력된다. 스위치(S)의 전압 배선(1222)은 각 소스 드라이버 IC(회로)(14) 내를 가로 방향으로 배선되어 있다. 소스 드라이버 IC(회로)(14a)와 소스 드라이버 IC(회로)(14b) 사이는 소스 드라이버 IC(회로)(14)의 a, b 단자로 접속되어 있다.

소스 드라이버 IC(회로)(14a)의 전류 계조 회로(154a)는 트랜지스터(168a)와 커런트 미러 회로를 구성하고 있다. 트랜지스터(168a)에 흐르는 전류는 외부 부하 저항($R1$)에서 조정된다(도 17 등을 참조할 것). 트랜지스터(168a)로의 경로에 캐스캐이드 회로(1221a)가 형성되어 있다. 기본적으로는 캐스캐이드 회로(1221)는 도 17, 도 15 등에서 설명한 바와 같이 오피 앰프 회로(151a)와 트랜지스터(167a)로 구성된다. 마찬가지로, 소스 드라이버 IC(회로)(14b)의 트랜지스터(168b)와 전류 계조 회로(154b)도 커런트 미러 회로를 구성하고 있다.

캐스캐이드 회로(1221a)는 2개의 동일한 정전류를 발생시키고, 1개의 전류를 트랜지스터(168a)에 공급하며, 다른 한쪽의 전류를 단자 c, 단자 d에 의해, 소스 드라이버 IC(회로)(14b)의 캐스캐이드 회로(1221b)에 공급한다. 이 구성에 의해, 트랜지스터(168a)와 트랜지스터(168b)에는 동일한 전류가 공급된다. 따라서, 소스 드라이버 IC(회로)(14a)의 전류 계조 회로(154a)의 출력 전류는 저항($R1$)에서 조정 혹은 가변된다. 이 전류와 동일한 전류가 소스 드라이버 IC(회로)(14b)의 전류 계조 회로(154b)에도 인가된다. 그 때문에, 소스 신호선(18)의 1~320에는 동일한 정전류가 공급되게 된다.

도 124는 주로 도 122에 EEPROM(502) 등의 접속 상태를 기재한 설명도이다. 소스 신호선(18)은 오픈 상태로 유지되어 V0 전압이 측정되거나, 전류 계조 회로(154)로부터 정전류가 각 소스 신호선(18)에 공급되어, V1 등의 전압이 측정된다. 측정은 스위치(S1~Sn)가 순차적으로 클로즈됨으로써 실시된다.

측정된 V0, V1 전압 등은 단자 c로부터 출력되고, A/D 변환 회로(391)에서 아날로그-디지털 변환되어 EEPROM 등의 메모리(502)에 저장된다. 메모리(502)에 저장하는 데이터는 1개의 절대치를 나타내는 V0 데이터와, 이 데이터와의 차분인 Vs 데이터이다. 구체적으로는 V0=1.5V라고 하고, 소스 신호선(S1)의 전압치는 1.6V라고 하면, 차분인 Vs1=0.1V가 저장된다. 또한, 소스 신호선(S2)의 전압치는 1.7V라고 하면, 차분인 Vs2=0.2V가 저장된다. 소스 신호선(Sn)의 전압치는 1.4V라고 하면, 차분인 Vs1=-0.1V가 EEPROM(502)에 저장된다. 차분 데이터 등은 JPEG 압축 등을 실시해도 됨은 물론이다. EEPROM(502)에는 패널의 특성 데이터(감마 커브 등), 제어 DATA(게이트 신호선의 타이밍 신호 등)도 저장된다.

EEPROM(502)의 데이터(V0x)는 컨트롤러 IC(801)의 제어 신호에 의해 3선 시리얼 버스에 의해서, 컨트롤러 IC(801)의 메모리 영역에 전송된다. 저장된 데이터는 샘플 홀드 회로(241)에 디지털 영상 신호 DATA의 CLK에 대하여, 통상 클럭의 1/2 이하의 느린 클럭(SCLK)에서 전송된다. 또한, 디지털 데이터(V0x)는 D/A 변환 회로(1241)에서 아날로그의 전압 데이터(VOx)로 변환된다.

한편, 디지털 영상 신호 DATA는 CLK에 동기하여, 컨트롤러 IC(801)에 인가되고, 컨트롤러 IC(801)는 디지털 영상 신호 DATA를 소스 드라이버 IC(회로)(14)의 입력 포맷에 적응하도록 처리하여, 클럭(MCLK)에 동기하여, 소스 드라이버 IC(회로)(14)에 인가된다.

이상의 실시예에서는 표시를 행하는 화소(16)에 정전류를 공급하고, 소스 신호선(18)의 전위를 측정 혹은 계측 혹은 취득하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 123에 도시한 바와 같이, V0 전압을 측정하는 화소(16d)를 형성해 두어도 된다. 화소(16d)에서 V0, V1 전압 등을 측정하고, 측정한 데이터를 상기 화소(16d)가 접속된 소스 신호선(18)에 접속된 화소 열의 특성 데이터로 한다.

도 123에 도시한 바와 같이, 화소(16d)에 정전류(I1)를 인가한다. 또한, 게이트 신호선(17ad)에 온 전압을 인가한다. 이와 같이 함으로써, 전류(I1)가 구동 트랜지스터(11ad)로부터 공급된다. 전류(I1)가 흐르고 있을 때의, 소스 신호선(18)의 전위(V0, V1) 등을 측정한다. 다른 구성은 앞에서 설명한 내용과 동일 또는 유사하므로 설명을 생략한다.

전압 계조 회로(231)는 도 125에 도시한 바와 같이 샘플 홀드 회로로 구성해도 된다. 전류 계조 회로(154)에서 정전류가 소스 신호선(18)에 공급된다. 또한, 스위치(S1~Sn)에 의해, 각 소스 신호선(18)의 전위는 전압 배선에 읽어내지고, A/D 변환 회로(391)에서 디지털 데이터로 변환되어 EEPROM(502)에 저장된다.

EEPROM(502)에 저장된 데이터는 컨트롤러 회로(801)에 의해 정기적으로 읽어내지고, D/A 변환 회로(1241)에서 아날로그 데이터로 변환된다. 이때, 프리차지에 적합하도록, 값은 보정된다. 샘플 홀드 회로(241)에서는 상기 데이터를 샘플 홀드한다. 샘플 홀드하는 것은 회로 규모가 작고, 소스 드라이버 IC(회로)(14)의 칩 사이즈를 작게 할 수 있기 때문이다.

샘플 홀드된 전압은 1H의 동기 신호에 동기하여, 각 소스 신호선(18)에 인가된다. 단, 샘플 홀드 전압을 출력할 필요가 없는 소스 신호선(18)에는 인가되지 않는다. 필요 인가 후, 전류 혹은 전압 프리차지가 필요한 계조 변화가 발생하는 개소에는 프리차지 처리가 실시된다. 프리차지 처리 후, 또는 샘플 홀드 전압이 출력된 후, 전류 계조 회로(154)로부터 영상 신호에 대응하는 구동 전류가 소스 신호선(18)에 출력된다.

이상과 같이, 본 발명은 필요에 따라 샘플 홀드 전압을 소스 신호선(18)에 인가 후, 필요에 따라 전류 혹은 전압 프리차지를 실시한다. 그 후, 계조 전류를 소스 신호선(18)에 인가하는 구동 방식이다. 또한, 이상의 신호를 소스 신호선(18)에 인가하는 구동 방식으로 했지만, 화소(16) 혹은 화소의 구동 트랜지스터(11a)에 인가 혹은 공급하는 것으로 바꿔 읽어도 됨은 물론이다.

도 125는 소스 드라이버 IC(회로)(14)의 밖에 A/D 변환 회로 등을 구비하는 구성이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 126에 도시한 바와 같이, 소스 드라이버 IC(회로)(14)의 내부에 EEPROM(502)을 형성해도 된다. V0 등의 오프셋 전압은 단자(a)로부터 소스 드라이버 IC(회로)(14) 외부에 출력된다. 또한, EEPROM(502)으로부터의 데이터를 소스 드라이버 IC(회로)(14)의 내부에 형성한 D/A 변환 회로(1241)에서 아날로그 데이터로 변환하여, 샘플

홀드 회로(241)에 공급해도 된다. 샘플 홀드 회로(241)는 클럭(SCLK)에 동기하여 동작한다. SCLK는 영상 신호의 동기 클럭보다도 느린 클럭이다. SCLK는 샘플 홀드가 방전에 의해 흔들림이 발생하지 않는 레벨로 저감 동작한다. 예를 들면, 수평 동기 클럭에서 동작한다. 다른 구성 혹은 동작은 본 발명의 다른 실시예에서 설명하고 있으므로 설명을 생략한다.

이상의 실시예는 프리차지 전압(V_p)(프로그램 전압(VDATA))을 인가 후, 프로그램 전류를 인가하는 방식이었다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 127에 도시한 바와 같이, 완전하게 전압 구동으로 해도 된다. 또한, 도 81의 (b)에서 설명한 바와 같이, 일정한 조건을 만족하는 경우에는 프리차지 전압(V_p)(프로그램 전압(VDATA))을 인가하지 않고, 프로그램 전류를 인가해도 된다.

도 127에서, 정전류 출력 회로(1271)로부터 정전류($I_w=I_x$)가 소스 신호선(18)에 공급된다. 또한, 공급 혹은 인가란, 토출 전류와 흡입 전류의 2가지가 있다. 각 소스 신호선(18)의 전위(V_x)(V_x 는 구동용 트랜지스터(11a)의 V-I 특성에서, I_x 에 대응하는 전압)에는 스위치($S_1 \sim S_x$)의 조작에 의해 단자(a)로부터 출력된다.

선택된 화소(16)의 구동용 트랜지스터(11a)의 동작에 의해, 소스 신호선(18)의 전위는 V_x 로 된다. 또한, 정전류를 공급하지 않는 경우에는 V_0 이라고 한다. 또한, 정전류(I_x)를 인가한 경우는 V_x 로 한다. x는 계조에 해당하고 1 이상 255 이하(8 비트 표시의 경우))로 한다.

소스 신호선(18)의 전위(V_x)(V_0 도 포함한다)는 A/D 변환 회로(391)에서 A/D 변환되어 EEPROM(502)에 유지된다. EEPROM(502)의 출력은 전압 계조 회로(231)에서, V_x 전압을 기준으로 하여, 영상 데이터에 대응하여 감마 처리 등이 실시되어 각 소스 신호선(18)에 인가된다. 도 127은 구동 상태로서는 전압 구동이다. 단, 맨처음에 화소(16)에 정전류를 공급하고, 오프셋의 전압(V_0)을 취득하고 있는 점이 종래의 프로그램 전압 구동과 서로 다르다.

도 127의 실시예는 소스 신호선(18)의 전위(V_x)를 메모리(502)에 유지하는 방식이었다. 그러나, 본 발명은 이것에 한정하는 것이 아니며, 전위(V_x)를 샘플 홀드 회로에서 일시적으로 유지하여, 이 전압(V_x)으로부터 영상 신호에 대응하는 계조 전압(프로그램 전압)을 발생하고, 소스 신호선(18)에 인가(화소(16)에 인가)해도 된다.

이하, 본 발명의 다른 실시예에 대해 설명을 한다. 본 발명의 드라이버 회로 및 그것을 이용한 EL 표시 장치는 정전류 발생 회로와, 상기 정전류 발생 회로를 출력하는 정전류는 EL 소자를 구동하는 트랜지스터에 인가하고, 상기 정전류를 인가한 상태에서 상기 트랜지스터의 게이트 단자 전압을 측정 혹은 소정 기간 유지하는 전압 보유 회로와, 상기 전압 보유 회로가 유지 등을 한 전압에 소정의 전압 신호를 가산, 감산 혹은 소정 처리를 하고, 상기 트랜지스터의 게이트 단자에 인가하는 전압 인가 회로를 구비하는 구성 혹은 방법이다.

도 128은 본 발명의 구동 회로부의 설명도이다. 소스 드라이버 IC(회로)(14)의 출력 단자(83)는 소스 신호선(18)에 접속되어 있다. 각 소스 신호선(18)에는 화소(16)가 접속되어 있다. 각 출력 단자(83)에는 전류 계조 회로(154), 전압 계조 회로(231)가 구성 혹은 형성되어 있다. 또한, 전류 계조 회로(154)는 프로그램 전류 등의 계조 전류를 출력할 수 있는 것이다. 단, 기능적으로는 소정의 정전류(프로그램 전류)를 출력할 수 있는 구성이면 된다.

각 출력에는 스위치(SW1, SW2, SW3, SW4, SW5)가 형성 또는 배치되어 있다. 또한, 컨덴서(1341), 버퍼(151)가 형성 또는 배치되어 있다. 컨덴서(1341)는 직류(DC) 성분의 컷트하는 기능을 갖는 것이면 어느 것이어도 된다. 또는 전위를 시프트 할 수 있는 것이면 어느 것이어도 된다. 버퍼(151)는 입력의 a부가 고임피던스이고, 출력의 b부가 저임피던스이면 어느 것이어도 된다. 예를 들면, 버퍼 앰프, 오피 앰프 등이 예시된다. 그 밖에, 트랜지스터 소자로 에미터 팔로워 회로를 구성해도 된다.

앞의 실시예와 마찬가지로, 본 발명의 EL 표시 패널(EL 표시 장치)의 화소(16)의 구조는 도 1 등에 도시한 바와 같이, 1개의 화소(16)가 4개의 트랜지스터(11) 및 EL 소자(15)에 의해 형성된다. 적어도, EL 소자(15)를 구동하는 트랜지스터를 통한 전류의 경로가, 소스 신호선(18)까지 계속할 수 있는 화소 구성이다.

본 발명은 화소(16)의 구동용 트랜지스터(11a)에 프로그램 전류(정전류(I_w))를 흘리고, 프로그램 전류를 흘린 상태에서 구동용 트랜지스터(11a)의 게이트 단자 전위를 측정 또는 일정한 기간, 유지하는 것을 특징으로 한다. 또한, 게이트 단자 전위에 계조 전압을 가감산하고, 가감산한 전압을 화소의 구동용 트랜지스터(11a)의 게이트 단자에 기입하는 것을 특징으로 한다.

제1 동작은 EL 소자(15)에 흘리는 전류치를 기억시키는 동작이다. 먼저, 소스 드라이버 IC(회로)(14)의 전류 계조 회로(154)로부터 소정의 정전류가 소스 신호선(18)에 인가된다. 전류 계조 회로(154)의 일례를 도 129에 도시한다.

전류 계조 회로(154)는 일례로서 오피 앰프(151)와 트랜지스터(167) 및 저항(R)으로 구성된다. 오피 앰프(151)의 + 측 단자에는 전자 볼륨(152)이 접속된다. 전자 볼륨은 디지털 데이터(DATA)를 아날로그 데이터(V)로 변환하는 D/A 변환 회로로서 동작한다. 전자 볼륨(152)의 출력 전압(V)은 설정 데이터(디지털 데이터) (DATA)에 의해 변경된다. 소스 신호선(18)에 흐르는 전류(Iw)는 전자 볼륨(152)의 출력 전압(V)을 저항(R)으로 제산한 값으로 된다.

본 발명에서 전자 볼륨(152)을 삭제하고, + 단자에 저항 분압 회로 등에 의해 전압(V)을 발생시키고, 오피 앰프(151)에 인가함으로써 정전류를 소스 신호선(18)에 인가해도 된다. 그 밖에, 정전류는 전류 계조 회로(154)에 한정하는 것이 아니며, 소정 혹은 일정 범위의 정전류를 발생할 수 있는 것이면 어느 것이어도 된다. 예를 들면, 에미터 팔로워 회로에서도 정전류를 발생할 수 있다.

정전류(Iw)란 전류 O의 상태(전류가 흐르지 않는다)도 포함한다. 도 1의 화소 구성에 있어서, 프로그램 전류(Iw=0)라고 하면, 구동용 트랜지스터(11a)는 전류가 흐르지 않도록 게이트 단자의 전위(컨덴서(19)의 1 단자의 전위)를 변동(가변)시킨다. 따라서, 정상 전류(Iw)는 0으로 된다. 이 변동 후의 구동용 트랜지스터(11a)의 게이트 단자 전압은 구동용 트랜지스터(11a)의 특성을 나타냄으로써, 이 단자 전압을 기준으로 계조 설정을 행함으로써 구동용 트랜지스터(11a)의 특성 보상을 양호하게 실시할 수 있다.

소스 드라이버 IC(회로)(14)로부터 소스 신호선(18)에 프로그램 전류(Iw)를 인가하고 있을 때는 도 5의 (a)에 도시한 바와 같이, 트랜지스터(11b) 및 트랜지스터(11c)가 온(클로즈)한다. 또한, 트랜지스터(11d)는 오픈 상태로 제어된다. 트랜지스터(11b, 11c, 11d)의 제어는 게이트 신호선(17a, 17b)에 인가하는 온 오프 신호에 의해 행한다(도 130의 (a)를 참조할 것).

도 130의 (a)에 도시한 바와 같이, 소스 드라이버 IC(회로)(14)는 프로그램 전류(정전류)를 인가하기 전에, 리셋 동작을 행한다. 리셋 동작에서는 도 128, 도 130에 도시하는 스위치(SW2, SW4, SW5)는 오픈 상태로 설정되고, 스위치(SW3)는 클로즈로 되어, 컨덴서(1341)에 그랜드 전위 또는 소정의 고정 전압이 인가된다. 스위치(SW1)는 클로즈시킨 상태에서 소스 신호선(18)에 프로그램 전류를 인가해도 된다. 이상의 동작이 리셋 동작이다. 리셋 동작에서는 컨덴서(1341)의 1 단자(c)에 고정(기지)의 전압을 인가한다. 기지의 전압이란 그랜드 전압도 포함된다. 컨덴서(1341)의 용량은 0.05pF 이상 2pF 이하로 하는 것이 바람직하다.

다음의 전압 판독 동작에서는 스위치(SW1)를 클로즈시키고, 프로그램 전류(정전류)(Iw)를 소스 신호선(18)에 인가한다. 이때, 스위치(SW3, SW4, SW5)는 오픈 상태로 하고, 스위치(SW2)는 클로즈 상태로 한다(도 130의 (a)를 참조할 것).

도 1에 도시하는 화소(16)의 구동용 트랜지스터(11a)는 프로그램 전류(Iw)를 흘리고, 또한, 프로그램 전류(Iw)를 흘리도록 게이트 단자 전위를 변화시킨다. 게이트 단자 전위는 트랜지스터(11b, 11c)가 클로즈 상태이기 때문에, 소스 신호선(18)에 출력된다(읽어내어진다). 소스 드라이버 IC(회로)(14) 내의 스위치(SW2)가 클로즈되어 있기 때문에, 결과적으로 프로그램 전류(정전류)(Iw)를 흘리는 구동용 트랜지스터(11a)의 게이트 단자 전위는, 소스 드라이버 IC(회로)(14)의 a에 인가되는(읽어내어지는) 것으로 된다.

프로그램 전류(정전류)(Iw)의 크기는 0이어도 되지만, 최대 계조 전류의 1/8 이상 2/3 이하의 범위로 되도록 설정하는 것이 바람직하다. 또한, 기입 시간을 단축하기 때문에, 최대 계조 전류의 1배 이상 10배 이하로 설정해도 상관없다. 최대 계조 전류란, 최대 계조에서의 EL 소자(15)에 흐르는 전류의 크기 또는 화소(16)에 프로그램된 프로그램 전류의 크기이다. 예를 들면, 256 계조에서는 최대 계조 전류는 255 계조째에서 EL 소자(15)에 프로그램된 전류이다(0 계조로부터 계조 번호는 개시되어 있다).

프로그램 전류(정전류)가 작으면, 소스 신호선(18)의 기생 용량을 충방전하는 시간에 장시간을 필요로 하고, 구동용 트랜지스터(11a)의 게이트 전위의 변화가 1 수평 주사 기간(1H 기간)의 맨처음의 단시간에서는 수속하지 않는다. 또한, 프로그램 전류(정전류)가 크면, 비교적 구동용 트랜지스터(11a)의 특성 변동의 영향이 화상 표시로서 출현하기 쉬운 저계조 영역에서의 특성 보상이 낮아진다. 이상의 실시예에서는 최대 계조 전류의 1/8 이상 2/3 이하의 정전류를 화소(16)에 인가한다고 했지만, 계조 수의 번호로 이 범위를 표현해도 된다. 이상이 전압의 읽어내기 동작이다.

이상의 동작에 의해, 컨덴서(1341)의 a부에는 구동용 트랜지스터(11a)의 게이트 단자 전위가 읽어내어진다. 또는 컨덴서(1341)의 a부에 유지된다. 도 128의 실시예에서는 컨덴서(1341)의 a부에 구동용 트랜지스터(11a)의 게이트 단자 전위를 읽어내고, 유지한다고 했다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, a부의 전위를 A/D(아날로그-디지털) 변

환하고, 디지털 데이터로서 소스 드라이버 IC(회로)(14) 내 또는 외부에 형성 또는 구성된 메모리 회로에 유지해도 된다. 물론, 아날로그 데이터의 상태에서 일정한 기간, 소스 드라이버 IC(회로)(14)밖 혹은 안의 기억 수단 등에 유지시켜도 된다.

다음의 동작은 판독한 전압을 기준(중심, 원점)으로 하여 계조 전압을 인가하는 동작이다(도 130의 (b)를 참조할 것). 이 동작에서는 스위치(SW1, SW2, SW3)가 오픈 상태로 되고, 스위치(SW4, SW5)가 클로즈 상태로 제어된다. 컨덴서(1341)의 a부에는 선택한 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압이 유지되어 있다. 이 정전류를 흘렸을 때에 유지되는 전압을 V_a 전압이라고 한다. 게이트 단자 전압은 구동용 트랜지스터(11a)가, 프로그램 전류(정전류)를 EL 소자(15)에 흘리는 데 필요한 전압이다. c부에 그랜드(GND) 전압이 인가되어 있다고 하면, 컨덴서(1341)의 양전극 사이에는 구동용 트랜지스터(11a)의 게이트 단자 전압이 유지되어 있는 것으로 된다.

오피 앰프(151)의 게인이 1이라고 하면, a부의 전압이 스위치(SW5)를 통하여 소스 신호선(18)에 인가되는 것으로 된다. 화소(16)의 트랜지스터(11b, 11c)는 선택된 1 수평 주사 기간(1H 기간) 클로즈하고 있기 때문에, 이 상태에서는 읽어내어진 구동용 트랜지스터(11a)의 게이트 단자 전압이, 다시 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가되는 것으로 된다. 따라서, 구동용 트랜지스터(11a)는 정전류에 해당하는 전류를 EL 소자(15)에 흘린다. 이상의 상태는 구동용 트랜지스터(11a)의 특성 변동을 보상하고, 정밀도 좋게 EL 소자(15)에 정전류(프로그램된 전류)를 흘리는 것으로 된다. 또한, V_a 전압은 구동용 트랜지스터(11a)의 특성에 의해 각 화소에서 서로 다른 것은 물론이다. 그러나, EL 소자(15)에 흘리는 전류는 정밀도 좋게 프로그램 전류(정전류)가 인가된다.

전압 계조 회로(231)는 각 계조에 대응하는 계조 전압(V_x)을 출력한다. 계조 전압(V_x)이란 영상 신호의 계조 번호에 대응하는 전압이다. 영상 신호로 생각해도 된다. 계조 전압(V_x)을 그대로 혹은 일정 처리(비례 처리, 시프트 처리, 가감산 처리 등)를 행하고, 구동용 트랜지스터(11a)에 프로그램 전압으로서 인가함으로써 화상 표시를 행할 수 있다.

계조 전압(V_x)은 스위치(SW4)를 통하여, 컨덴서(1341)의 c부에 인가된다. 컨덴서(1341)의 a부의 전위(V_a)는 전압 계조 회로(231)가 출력하는 계조 전압(V_x)만큼이 시프트된다. 따라서, a부의 전위는 이상적으로는 $V_a + V_x$ 로 된다.

$V_a + V_x$ 전압은 게인 1인 오피 앰프(151)에서 저임피던스로 되어 출력된다. $V_a + V_x$ 전압은 스위치(SW5), 출력 단자(83)를 통하여 소스 신호선(18)에 인가되고, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 따라서, 구동용 트랜지스터(11a)는 $V_a + V_x$ 에 대응하는 전류를 EL 소자(15)에 인가한다.

도 128에서는 오피 앰프(151)는 게인 1로 했지만 이것에 한정하는 것이 아니며, 1 이외이어도 된다. 예를 들면, 2배이면, 오피 앰프(151)는 a부에 인가된 전압을 2배로 하여 소스 신호선(18)에 인가한다. 또한, 인가된 a부의 전압의 극성의 반전 동작을 행해도 된다. 또한, 계조 전압(V_x)이란, 각 계조에 대한 임의의 전압이다. 계조 전압(V_x)은 V_a 전압을 중심으로 하여 발생 혹은 설정한다.

도 128에서는 오피 앰프(151)를 사용한다고 했지만 이것에 한정하는 것이 아니다. 입력 임피던스가 높고, 출력 임피던스가 낮은 것이어도 된다. 예를 들면, 도 146은 트랜지스터에 의한 에미터 팔로워 회로(1431)를 이용한 구성예이다. 트랜지스터(Q)와 저항(R)으로 에미터 팔로워 회로(1431)가 구성되어 있다. a부로부터 트랜지스터(Q)의 게이트를 본 임피던스는 높고, b부의 출력 임피던스는 낮게 되어 있다. 따라서, 컨덴서(1341)의 전위를 안정적으로 유지할 수 있고, 스위치(SW5)를 통하여 인가하는 전압에 의해 소스 신호선(18)을 양호하게 충방전할 수 있기 때문에, 화소(16)의 구동용 트랜지스터(11a)에 양호하게 계조 전압을 인가할 수 있다.

도 128에서, 전류 계조 회로(154)는 각 소스 신호선(18)에 대응하여 소스 드라이버 IC(회로)(14) 내에 배치 또는 형성한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 131에 도시한 바와 같이, 1개 또는 복수의 정전류원(1312)을 배치하고, 상기 정전류원(1312)은 스위치 회로(1311)에서 절환하고, 각 소스 신호선(18) 또는 각 출력 단자(83)에 형성 또는 구성된 전류 출력 회로(1313)에 인가해도 된다. 전류 출력 회로(1313)는 커런트 미러 회로 혹은 커런트 코피어 회로가 구성되어 있고, 정전류원(1312)으로부터 인가된 전류치를 유지할 수 있도록 구성되어 있다. 유지되는 전류 출력 회로(1313) 내에 구성 혹은 형성된 커런트 미러 회로 또는 커런트 코피어 회로에 의해 행해진다.

정전류원(1312)이 출력하는 정전류(계조 전류)는 일정치의 정전류에 한정되는 것은 아니다. 64 계조 혹은 256 계조 등, 복수의 계조 수, 전류의 크기를 출력할 수 있는 것이어도 된다. 또한, 정전류는 1 수평 주사 기간(1H)마다 그 값을 변화할 수 있도록 구성해도 된다. 또한, 도트 클럭에 동기하여 1 화소마다 그 값을 변화할 수 있도록 구성해도 된다. 정전류원(1312)은 전류 계조 회로(154)와 치환해도 된다.

계조 전압(V_a)은 계조 번호로 치환해도 된다. 예를 들면, V_a 전압이 256 계조의 128 계조째로 하고, $V_x = V_c - V_a$ 가 64 계조만큼의 전압에 해당한다고 한다. 전압 계조 회로(231)가 V_x 를 출력함으로써, V_c 는 $128 + 64 = 192$ 계조로 된다. V_x 가 - 방향으로 작용한다고 하고, $V_a - V_x$ 가 64 계조만큼의 전압에 해당한다고 한다면, 전압 계조 회로(231)가 V_x 를 출력함으로써, V_b 는 $128 - 64 = 64$ 계조로 된다. 도 132에서는 V_b 에 대응하는 전류는 I_b 이다. 물론, 계조 전압(V_a)은 전압이면 어느 단위, 크기의 것이어도 됨은 물론이다.

이상의 계조 전압에 의한 EL 소자(15)에 흐르는 전류는 도 132에서 도시된다. 도 132의 실선은 화소(16)의 구동용 트랜지스터(11a)의 V-I 특성을 나타내고 있다. 도 132에서는 V_a 전압에서는 전류(I_a)가 EL 소자(15)에 흐른다고 하고 있다. 계조 전압(V_x)은 각 계조에 대응하는 전압이다. 계조 전압은 V_a 를 중심으로 + 측(+ V_a)과 - 측(- V_x)으로 변화시킨다. 예를 들면, + 측으로 변화시킨 후, EL 소자(15)에 인가되는 전류는 I_w 이며, - 측으로 변화시켰을 때, EL 소자(15)에 흐르는 전류는 V_b 이다. 즉, 전압 계조 회로(231)는 전압(V_a)을 기준으로 하여 + 측 또는 - 측의 전압을 가감산 등을 하여, a부에 유지시킨다. 또한, 전압 계조 회로(231)가 출력하는 전압은 0이어도 됨은 물론이다.

V_a 전압은 구동용 트랜지스터(11a)의 출력 전류가 0으로 되는 전압이어도 된다. 이 경우에는 전류 계조 회로(154)의 출력 전류는 0으로 한다(전류 계조 회로(154)는 불필요하다). 해당하는 선택 화소(16)의 게이트 신호선(17a)에 온 전압을 인가한다. 게이트 신호선(17a)에 온 전압을 인가함으로써, 구동용 트랜지스터(11a)는 EL 소자(15)에 흐르는 전류가 0으로 되도록, 게이트 단자 전위를 변동시킨다. 이 EL 소자(15)에 흐르는 전류가 0으로 되는 전위(V_0)가, 오피 앰프(151)의 a부에 유지된다. 전압 계조 회로(231)가 + 측의 전압을 출력하고, + 측의 전압과 a부에 유지된 전압이 가산되어 오피 앰프(151)의 b부에 출력된다(도 133을 참조할 것).

도 133에 도시한 바와 같이, 전류 계조 회로(154)로부터 소스 신호선(18)에 흐르는 전류를 0으로 하고, 구동용 트랜지스터(11a)가 EL 소자(15)에 흐르는 전류가 0으로 되도록 동작한 후의 소스 신호선(18)의 전위(V_0)를 측정한다. V_0 은 전압 오프셋 채널 동작한 후의 전압이다. V_0 을 기준으로 하여 계조 전압(V_x)을 인가하여 EL 소자(15)에 전류(I_e)를 흘리도록 동작한다.

도 130의 (c)에 도시하는 제2 동작은 EL 소자(15)에 전류를 인가하는 제2 동작이다. 제2 동작은 도 1에 있어서는 구동용 트랜지스터(11a)의 게이트 단자에 인가된 전압에 기초하여, 구동용 트랜지스터(11a)가 EL 소자(15)에 전류(I_e)를 인가한다. 각 화소(16)의 EL 소자(15)는 인가된 전류(I_e)에 의해 발광 동작한다.

이상의 동작은 게이트 드라이버 회로(12)가 순차적으로, 화소 행을 선택함으로써 실시된다. 즉, 1 수평 주사 기간에 화소 행을 선택한다. 먼저, 1 수평 주사 기간의 맨처음에, 선택한 화소 행에 정전류를 인가한다. 정전류의 인가 상태에서, 상기 구동용 트랜지스터(11a)가 정전류를 흘리기 위해서 필요한 V_a 를 판독하고, 혹은 a부에 유지시킨다. 다음으로 V_a 전압에 계조 전압을 가감산하여, 구동용 트랜지스터(11a)의 게이트 단자에 인가한다. 이상으로 1 수평 주사 기간이 완료한다. 선택된 화소 행은 다음의 1 수평 주사 기간 이후의 소정의 기간, EL 소자(15)에 전류를 인가하여, EL 소자(15)가 발광한다.

다음으로 1 수평 주사 기간에서는 다음의 인접한 화소 행이 선택된다. 1 수평 주사 기간에 화소 행을 선택하고, 수평 주사 기간의 맨처음에 선택한 화소 행에 정전류를 인가하여, 상기 구동용 트랜지스터(11a)가 정전류를 흘리기 위해서 필요한 V_a 를 판독한다. 다음으로 V_a 전압에 계조 전압을 가감산하여, 구동용 트랜지스터(11a)의 게이트 단자에 인가한다. 이상으로 1 수평 주사 기간이 완료한다.

각 화소(16)에 인가하는 정전류(I_w)는 각 화소(16)의 EL 소자(15)에 흐르는 전류(I_e)의 크기, 재기입하는 전류 차, 점등 주기 등에 대응하여, 정전류(I_w)의 크기를 가변 혹은 변화 혹은 조정해도 된다. 또한, 표시 화면(34) 전체에서 사용하는 최대 전류에 대한 각각의 화상 표시에서 사용하는 전류의 비율(점등률)에 대응하여 가변 혹은 변화 혹은 조정해도 된다. 특히 최대치가 100%으로서, 25% 이하인 경우에, 정전류(I_w)를 증가시키는 것이 바람직하다. 즉, 점등률에 대응하여 정전류(I_w)의 크기를 변화(제어)한다.

각 화소(16)의 EL 소자(15)에 흐르는 전류의 크기, 재기입하는 전류 차, 점등 주기 등에 대응하여, 오피 앰프(151)의 앰프 배율을 변화시켜도 된다. 또한, 정전류를 인가하고 있는 기간을 가변해도 된다. 또한, 각 화소(16)의 EL 소자(15)에 흐르는 전류의 크기, 재기입하는 전류 차, 점등 주기 등에 대응하여, 전압 계조 회로(231)가 출력하는 계조 전압(V_x)의 증폭률을 변화해도 된다. 또한, V_a 전압, V_0 전압에 대하여 일정량의 전압을 보정하여, 보정한 V_a , V_0 을 기준 전압으로 하여 사용해도 된다. 또한, 스위치(SW2) 등은 생략해도 된다.

도 128은 도 134와 같이 구성해도 된다. 도 134는 스위치(SW3)에 D/A(디지털-아날로그) 변환 회로(1241)를 접속한 구성이다. D/A 변환 회로(1241)는 8 비트의 디지털 데이터(DATA)에 기초하여 스위치(SW3)를 통하여 c부에 전압을 인가한다. 따라서, c부에는 그라운드(GND) 전위에 한정하지 않고, 다종다양한 전압을 인가할 수 있다. 예를 들면, 구동용 트랜지스터(11a)의 게이트 단자로부터 판독한 전압(V_a)을 컨덴서(1341)의 한쪽의 전극 c부에 인가할 수 있다. 따라서, 컨덴서(1341)의 오프셋 캔슬을 용이하고 또한 양호, 또한 자유롭게 실시 혹은 설정할 수 있다.

또한, 도 134의 구성에 의해 a부에 인가되는 전압을 일정한 전압 시프트를 행할 수 있다. 이 구성에 의해, 게이트 신호선(17a)이 온 전압 인가 상태에서부터 오프 전압 인가 상태로 변화했을 때에 발생하는 관통 전압에 의해 구동용 트랜지스터(11a)의 게이트 단자 전위의 전위가 시프트하는 것을 억제 또는 증대할 수 있다. 다른 구성은 도 128과 마찬가지로 또는 유사하므로 설명을 생략한다.

또한, 도 128에서는 소스 신호선(18)의 전위를 컨덴서(1341) 등에 의해, 아날로그적으로 유지시킨다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 135와 같이 구성해도 된다.

도 135에서, 소스 신호선(18)의 전위는 아날로그-디지털(A/D) 변환 회로(391)에서 아날로그-디지털 변환된다. A/D 변환된 디지털 데이터는 가산 회로(651)에 의해 전압 계조 회로(231)의 출력 전압과 가산된다. 가산된 전압은 도 128과 마찬가지로 오픈 앰프(151)의 입력 a부에 인가되고, 임피던스 변환되어 b부로부터 출력된다. 다른 동작, 구성은 도 128과 마찬가지로 또는 유사하므로 설명을 생략한다.

가산 회로(651)는 도 128에서는 컨덴서(1341)와 전압 계조 회로를 더한 것 과 마찬가지로 또는 유사한 기능을 발휘한다. A/D 변환 회로(391)는 전위를 측정하고, 유지하는 기능을 갖기 때문에, 도 128의 컨덴서(1341)의 기능을 갖는다. 가산 회로(651)는 전압 계조 회로(231)의 출력 데이터를 A/D 변환 회로(391)의 출력 데이터를 가산(감산이어도 된다)하여, a부에 출력한다. 따라서, 컨덴서(1341)의 a부의 전압(V_a)과 전압 계조 회로의 출력 전압(V_x)을 더해 a부의 전위를 시프트하는 것과 마찬가지로 된다.

또한, A/D 변환 회로(391)는 측정 혹은 유지한 전압을 디지털 데이터로 하여 가산 회로(651)에 인가한다고 했지만 이것에 한정되는 것은 아니다. 예를 들면, A/D 변환 회로(391)의 디지털 데이터를 소스 드라이버 IC(회로)(14)의 외부 혹은 내부에 구성 혹은 형성한 메모리 회로(도시 생략)에 유지시켜도 된다. 이 디지털 데이터를 수시로 읽어내고, 가산 회로(651)에 인가 혹은 출력한다.

소스 신호선(18)의 전위는 소스 드라이버 IC(회로)(14)가 출력하는 전압 또는 전류에 의해 변동한다. 기본적으로는 소스 신호선(18)의 전위는 1 수평 주사 기간마다 재기입된다. 본 발명은 1 수평 주사 기간(1H)의 맨처음에 정전류를 인가하여, 구동용 트랜지스터(11a)를 동작시켜, 동작이 완료하여 정상 상태로 된 구동용 트랜지스터(11a)의 게이트 전위를 측정 혹은 취득 혹은 유지한다. 측정 등을 한 전압을 기준으로 하여 계조 전압을 구동용 트랜지스터(11a)에 인가함으로써, 구동용 트랜지스터(11a)의 특성 변동을 보상한다.

또한, 정전류(I_w)는 1 수평 주사 기간(1H 기간) 내에서, 정상적으로 소정의 일정 전류로 하는 것에 한정되는 것은 아니다. 예를 들면, 정전류(I_w)를 정전류의 인가 개시 시에 큰 전류로 하고, 일정 기간 후 소정의 정전류(I_w)로 설정해도 된다. 이와 같이 동작시킴으로써, 소스 신호선(18) 등의 기생 용량을 단시간에 충전전할 수 있다. 즉, 정전류(I_w)는 1H 기간에서, 다단계로 변화시켜도 된다. 또한, 소스 신호선(18)의 전위에 의해, 다단계로 절환하는 정전류의 크기를 변화 혹은 변경해도 된다.

구동용 트랜지스터(11a)의 게이트 단자의 전위를 변동시켜, 구동용 트랜지스터(11a)의 특정 변동을 보상하기 위해서는 먼저, 정전류(I_w)에 의해(물론, 구동용 트랜지스터(11a)의 동작도 가해진다) 소스 신호선(18)의 기생 용량을 충전전시킬 필요가 있다. 충전전 시간은 1 수평 주사 기간 전의 소스 신호선(18)의 전위에 의해 좌우된다. 그 때문에, 소스 신호선(18)의 전위 상태에 따라서는 소정 시간 내에 충전전하는 시간이 부족한 경우가 있다.

본 발명은 이 과제를 해결하기 위해, 1 수평 주사 기간(1H)의 맨처음 기간에, 프리차지 전압(V_p)을 소스 신호선(18)에 인가한다. 프리차지 전압(V_p)은 나중에 설명하지만, 소스 드라이버 IC(회로)(14) 내에 형성되고, 소정의 전압을 소스 신호선(18)에 인가할 수 있도록 구성한다.

도 137은 각 수평 주사 기간의 A 기간에 프리차지 전압(V_p)을 인가하고 있다. 프리차지 전압(V_p)의 인가에 의해 각 소스 신호선은 순식간에 충전전되어 전위(V_p)로 된다. 프리차지 전압(V_p)의 인가 기간은 소스 신호선(18)의 전위에 의해, 가변 혹은 조정할 수 있도록 한다.

본 발명은 A 기간에 프리차지 전압(V_p)을 인가하는 것에 한정되는 것은 아니다. 프리차지 전압(V_p)을 인가하기 전의 소스 신호선(18)의 전위가 소정 범위 이내인 경우에는 프리차지 전압(V_p)을 인가하지 않아도 된다. 이상과 같이 프리차지 전압(V_p)을 인가할지의 여부, 소스 신호선(18)의 전위, 인가하는 프리차지 전압(V_p)의 크기, 인가하는 프리차지 전압(V_p)과 소스 신호선(18)과의 전위차, 인가하는 계조치에 의해 판단, 조정한다.

프리차지 전압(V_p)은 V_a 혹은 V_O 전압으로부터의 애노드 전압(V_{dd})에 가까운 전압으로 설정한다. 프리차지 전압(V_p)은 소정의 고정 전압이어도 되지만, V_a 또는 V_O 전압에 대응하여 가변 혹은 조정할 수 있도록 구성해도 된다.

제1~3H(1~3번째의 수평 주사 기간)는 각각 1 수평 주사 기간이다. 또한, 제1~3H(1~3번째의 수평 주사 기간)는 화소 행이 선택되는 순서이다. 화소 행은 제 n 화소 행이라고 하면, 1 필드(프레임) 기간은 n 수평 주사 기간(화소 행)과 블랭킹 기간으로 구성된다. 각각의 수평 주사 기간의 맨처음의 A 기간에 프리차지 전압(V_p)이 인가된다. 따라서, 1H 전의 소스 신호선(18)의 전위가 어떤 전위라 하더라도, 순식간에 프리차지 전압(V_p)으로 된다.

프리차지 전압(V_p)은 계조 0에 대응하는 V_O 전압으로 설정해 두는 것이 바람직하다. 양호한 흑 표시를 실현할 수 있기 때문이다. V_p 전압은 각 화소(16)의 구동용 트랜지스터(11a)의 특성 변동에 의해 서로 다른 것은 물론이다. 패널 특성을 평가 혹은 측정하고, 정전류(I_a)=0(A)에 대한 전압(V_O)을 구하고, 이 전압(V_O)을 프리차지 전압(V_p)으로서 이용하면 된다. 이상과 같이, 본 발명에서는 수축 시간을 일정하게 하기 위해, 미리, V_O 전압을 측정 등을 하고, 프리차지 전압(V_p)을 구해 둔다. V_O 전압은 도 92~도 113 등에서 설명한 실시예로 측정 혹은 취득할 수 있다.

수평 주사 기간의 A 기간 후의 B 기간에, 전류 계조 회로(154)로부터 정전류(I_w)가 출력된다. 또한, 정전류(I_w)는 A 기간도 인가해도 된다. 또한, 정전류(I_w)=0(A)로 해도 된다. 정전류(I_w)=0(A)인 경우에는 도 132의 V_O 로 된다. 정전류(I_w)는 화소(16)의 구동용 트랜지스터(11a)로부터 소스 신호선(18)을 통하여 전류 계조 회로(154)에 유입된다. 정전류(I_w)= I_a 에 의해 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자의 전위는 V_a 전압으로 된다.

V_a 전압은 각 화소(16)의 구동용 트랜지스터(11a)의 특성 변동에 의해 서로 다른 것은 물론이다. 패널 특성을 평가 혹은 측정하고, 정전류(I_a)에 대한 전압(V_a)을 구하고, 이 전압(V_a)을 이용하면, 정밀도 좋게 전압을 기입할 수 있다. V_a 전압은 도 92~도 113 등에서 설명한 실시예로 측정 등을 할 수 있다.

B 기간의 다음 C 기간은 영상 신호로서의 목표 전압(V_c)이 인가된다. 따라서, V_a 를 기준으로 하여 목표 계조 $V_c = V_a + V_x$ 로서 소스 신호선(18)에 인가된다. 도 137에서는 제1H는 목표 계조는 V_1 이며, 제2H는 목표 계조는 V_2 이며, 제3H는 목표 계조는 V_3 의 예이다. B 기간은 목표 계조를 얻기 위한 전압을 인가한다. 이후 제 n H까지 화소 행의 선택 위치가 시프트되고, 목표 계조에 대응하는 전압 인가가 실시된다.

도 137은 프리차지 전압(V_p)을 일정하게 한 실시예이었지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 137에 도시한 바와 같이 프리차지 전압(V_p)을 변화시켜도 된다. 도 137에서는 제1H는 프리차지 전압(V_{p1})이며, 제2H는 프리차지 전압(V_{p2})이며, 제3H는 프리차지 전압(V_{p3})의 예이다.

도 136은 프리차지 전압(V_p)을 일정하게 한 실시예이었지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 138에 도시한 바와 같이 V_a 전압을 변화시켜도 된다. 목표로서의 V_a 전압은 정전류를 변화시킴으로써 행한다. 도 138에서는 제1H는 전압 V_{a1} 이며, 제2H는 전압 V_{a2} 이며, 제3H는 전압 V_{a3} 의 예이다.

이상의 실시예는 수평 주사 기간의 맨처음에 프리차지 전압(V_p)을 인가하고, 그 후에, 목표 전압(V)을 인가하는 방법이었다. 본 발명은 이것에 한정하지 않으며, 수평 주사 기간의 맨처음에 프리차지 전압(V_p)을 인가하고, 그 후에, 목표의 프로그램 전류를 인가해도 된다. 도 139는 그 실시예이다. 또한, 프리차지 전압(V_p)은 필요에 따라 인가한다. 따라서, 반드시 수평 주사 기간의 맨처음에 실시하는 것은 아니다.

도 139의 실시예에서, 수평 주사 기간의 맨처음인 A 기간에 인가하는 프리차지 전압(V_p)은 영상 신호로서 화소에 기입하는 프로그램 전류(I_w)에 대응하는 전압이다. 즉, 화소(16)의 구동용 트랜지스터(11a)에 목표의 계조 신호에 대응하는 프

그럼 전류(I_w)를 기입했을 때의, 게이트 단자 전위와 동일 혹은 근방의 값이다. 이 프리차지 전압(V_p)은 도 38~도 66, 도 74~도 78, 도 85 등에서 설명한 방식에 의해 취득한다. 프리차지 전압(V_p)은 메모리(502) 등에 확보되어, 표시 상태에 따라서, 읽어내어 프리차지 전압(V_p)으로서 화소(16)에 인가된다.

A 기간에 인가하는 프리차지 전압(V_p)은 기입하는 영상 신호에 대응하는 프로그램 전압 또는 근방의 전압이다. 이 프리차지 전압(V_p)에 의해, 화소(16)의 구동용 트랜지스터(11a)는 목표의 계조 전류(프로그램 전류(I_w))와 일치하거나, 근방의 값의 전류를 흘릴 수 있도록 프로그램된다.

제1H(제1 수평 주사 기간)는 프리차지 전압 $V_p=V_{p1}$ 이며, 소스 신호선(18)에 프리차지 전압(V_{p1})이 인가된다. 프리차지 전압(V_{p1})의 인가에 의해 단기간에 목표 혹은 목표의 근방의 전압으로 소스 신호선(18)의 전위가 설정된다. 혹은 선택한 화소 행의 화소의 구동 트랜지스터(11a)의 게이트 단자 전위가 설정된다.

제2H(제2 주사 기간)는 프리차지 전압 $V_p=V_{p2}$ 이며, 제3H는 프리차지 전압 $V_p=V_{p3}$ 이다. 프리차지 전압(V_p)은 화소(16)에 기입하는 영상 신호에 대응한 값을 전압으로서 인가한다. A 기간에 인가한 프리차지 전압(V_p)에서는 목표치로부터 어긋남이 발생하는 경우가 많다. 어긋남의 원인으로는 구동용 트랜지스터(11a)의 온도 의존성, 구동용 트랜지스터(11a)의 열화 등이 있다. 그러나, 본 발명은 A 기간 후에, B 기간에 프로그램 전류(I_w)를 인가한다. 프로그램 전류의 인가에 의해 온도 의존성 등도 보상할 수 있다.

따라서, A 기간에 전압 구동함으로써, 단기간에 소스 신호선(18)의 전하를 충방전시키고, B 기간에 정밀도가 좋은 프로그램 전류를 화소(16)에 기입할 수 있다. 또한, A 기간에서 이미 목표치 혹은 목표치에 가까운 전위로 설정되어 있기 때문에, 프로그램 전류(I_w)에 의한 전위 변화는 근소하다. 저계조 영역에서 프로그램 전류(I_w)의 적어도, 기입 부족(목표치에 달하지 않음)이 발생하지 않고, 정밀도가 좋은 계조 전류 설정을 행할 수 있다. 프로그램 전류(I_w)는 전류 계조 회로(154)로부터 출력된다.

B 기간에서의, 제1H의 프로그램 전류(I_{w1})에 의해 소스 신호선(18)은 전위(V_1)로 된다. 전위(V_1)는 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가되어, 유지되는 전압이다.

구동용 트랜지스터(11a)는 프로그램 전류(I_{w1})를 흘리도록 프로그램된다. 제2H(다음 화소 행)에서, 프로그램 전류(I_{w2})에 의해 소스 신호선(18)은 전위(V_2)로 된다. 전위(V_2)는 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가되어 유지되는 전압이다. 구동용 트랜지스터(11a)는 프로그램 전류(I_{w2})를 흘리도록 프로그램된다.

마찬가지로, 제3행째의 제3H에서는 프로그램 전류(I_{w3})에 의해 소스 신호선(18)은 전위(V_3)로 된다. 전위(V_3)는 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자에 인가되어, 유지되는 전압이다. 따라서, 구동용 트랜지스터(11a)는 프로그램 전류(I_{w3})를 흘리도록 프로그램된다.

또한, 프리차지 전압(V_p)은 V_0 전압(계조 0)에 대응하는 것이어도 된다. 이 경우에도, 프리차지 전압(V_p)의 V_0 은 각 화소(16)의 구동용 트랜지스터(11a)의 특성을 반영한 전압을 인가한다(도 81, 도 82에서 설명하고 있다). V_0 전압은 정전류(I_w)=0이다. 따라서, V_0 전압을 측정할 때는 전류 계조 회로(154)로부터 정전류를 출력할 필요는 없고, 게이트 드라이버 회로(12a)를 제어하여 순차적으로, 대응하는 화소 행(화소)을 선택해가기만 하면 된다. 화소 행(화소)을 선택하고 있는 기간에, 소스 신호선(18)의 전위를 측정하고, 측정된 전위 혹은 측정하여 처리를 행한 전위를 V_0 전압으로 한다.

A 기간의 길이는 인가하는 프로그램 전압, 소스 신호선(18)의 전위와 기입하는 프로그램 전압의 전위차 등에 대응하여 변화시켜도 된다. 예를 들면, 소스 신호선(18)의 전위가 2.5V이고, 인가하는 프리차지 전압(V_p)이 4.1V와 같이, 1.5V 이상의 전위차가 발생하는 경우에, A 기간을 10 μ sec로 한다. 소스 신호선(18)의 전위가 3.0V이고, 인가하는 프리차지 전압(V_p)이 4.1V와 같이, 1.0V 이상 1.5V 이하의 전위차가 발생하는 경우에, A 기간을 6 μ sec로 한다. 또한, 동일한 소스 신호선(18)에서, 1 화소 행 전의 화소에 인가한 영상 신호가 계조 5이고, 다음의 화소 행에 인가하는 영상 신호가 계조 21과 같이, 계조 차가 15 이상인 경우에, A 기간을 10 μ sec로 한다. 1 화소 행 전의 화소에 인가한 영상 신호가 계조 10이고, 다음의 화소 행에 인가하는 영상 신호가 계조 21과 같이, 계조 차가 10 이상 15 이하인 경우에, A 기간을 6 μ sec로 한다.

프리차지 전압(V_p), 프로그램 전류(I_w)는 직류 전압, 직류 전류에 한정하는 것이 아니며, 구형파, 삼각파, 교류, 사인파이어도 된다. 또한, B 기간에 인가하는 신호는 전압 계조 회로(231)로부터 출력하는 프로그램 전압이어도 된다. 이 실시예에서는 프리차지 전압(V_p)도 전압 구동으로 되고, B 기간의 프로그램 전압도 전압 구동으로 된다. 또한, 도 6, 도 9의 duty비 구동과 조합해도 됨은 물론이다.

이상에서 기재한 사항은 본 발명의 다른 실시예에도 적용되는 물론이다.

도 128의 회로 구성을 이용하여 도 139의 구동 방식을 실현할 수 있다. 프리차지 전압(V_p)을 인가하기 전에, 소스 드라이버 IC(회로)(14)는 필요에 따라 리셋 동작을 행한다. 리셋 동작에서는 도 128, 도 130에 도시하는 스위치(SW2, SW4, SW5)는 오픈 상태로 설정되고, 스위치(SW3)는 클로즈에 되어, 커패시터(1341)에 그랜드 전위 또는 소정의 고정 전압이 인가된다.

다음으로, 스위치(SW2, SW3)를 오픈하고, 스위치(SW4, SW5)를 클로즈시켜, 전압 게조 회로(231)를 동작시키고, 프리차지 전압(V_p)을 인가한다. A 기간에 프리차지 전압(V_p)은 버퍼 회로(151)를 통하여 소스 신호선(18)에 인가한다. 프리차지 전압(V_p)은 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 버퍼 회로(151)의 게인은 도 6, 도 9의 duty비에 대응시켜 설정한다.

B 기간에서는 스위치(SW2, SW5)를 오픈시키고, 전류 게조 회로(154)를 동작시켜 프로그램 전류(I_w)를 소스 신호선(18)에 인가한다.

또한, 프로그램 전류(I_w)를 인가 후, 필요에 따라, 전압 게조 회로(231)를 동작시켜 게조 전압(V_x)을 인가해도 된다. 이상으로 기재한 사항은 본 발명의 다른 실시예에도 적용되는 물론이다.

이하, 다른 실시예에 대해, 도면을 참조하면서 설명을 한다. 도 140에서는 각 수평 주사 기간의 A 기간에 프리차지 전압(V_p)을 인가하고 있다. 프리차지 전압(V_p)의 인가에 의해 각 소스 신호선은 순식간에 충방전되어 전위(V_p)로 된다.

프리차지 전압(V_p)은 최대 게조에 상당하는 전압 부근으로 설정한다. 프리차지 전압(V_p)은 소정의 고정 전압이어도 되지만, V_a 또는 V_O 전압에 대응하여 가변 혹은 조정할 수 있도록 구성해도 된다.

제1~3H(1~3번째의 수평 주사 기간)는 도 136과 마찬가지로, 각각 1 수평 주사 기간이다. 또한, 제1~3H(1~3번째의 수평 주사 기간)는 화소 행이 선택되는 순서이다. 각각의 수평 주사 기간의 맨처음의 A 기간에 프리차지 전압(V_p)이 인가된다. 따라서, 1H 전의 소스 신호선(18)의 전위가 어떠한 전위라 하더라도, 순식간에 전압(V_p)으로 된다. 1H의 A 기간 후의 B 기간에, 전류 게조 회로(154)로부터 정전류(I_w)가 출력된다.

정전류(I_w)는 A 기간도 인가해도 된다. 정전류(I_w)는 화소(16)의 구동용 트랜지스터(11a)로부터 소스 신호선(18)을 통하여 전류 게조 회로(154)에 유입된다. 정전류(I_w)에 의해 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자는 V_a 전압으로 된다.

V_a 전압은 각 화소(16)의 구동용 트랜지스터(11a)의 특성 변동에 의해 서로 다른 것은 물론이다. 그러나, V_a 전압과 V_p 전압과의 전위차는 거의 일정하다. 따라서, 1H 전의 소스 신호선(18)의 전위가 어느 것이라 하더라도, 프리차지 전압(V_p)의 인가에 의해, 정전류의 인가 시에는 V_p 로부터 V_a 로의 변화로 되어 있다. 따라서, 수축 시간은 대략 일정하다.

B 기간의 다음의 C 기간은 영상 신호로서의 목표 전압(V_c)이 인가된다. 따라서, V_a 를 기준으로 하여 목표 게조 $V_c = V_a + V_x$ 로서 소스 신호선(18)에 인가된다. 도 140에서는 제1H는 목표 게조는 V_1 이며, 제2H는 목표 게조는 V_2 이며, 제3H는 목표 게조는 V_3 의 예이다. 이후 제nH까지 화소 행의 선택 위치가 시프트되어 실시된다.

도 140은 프리차지 전압(V_p)을 일정하게 한 실시예이지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 141에 도시한 바와 같이 프리차지 전압(V_p)을 변화시켜도 된다. 도 141에서는 제1H는 프리차지 전압(V_{p1})이며, 제2H는 프리차지 전압(V_{p2})이며, 제3H는 프리차지 전압(V_p)의 예이다. 이후 제nH까지 화소 행의 선택 위치가 시프트되어 실시된다.

도 140은 프리차지 전압(V_p)을 일정하게 한 실시예이지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, V_a 전압을 변화시켜도 된다. 목표로서의 V_a 전압은 정전류를 변화시킴으로써 행한다.

정전류(I_w)를 게조적으로 혹은 다단계로 변화시키기 위해서는 또한, 게조 전압(V_x)을 화소마다 변화시키기 위해서는 전류 데이터와 전압 데이터를 소스 드라이버 IC(회로)(14)에 송신할 필요가 있다. 도 142는 그 실시예이다. 8 비트의 정전류 데이터(ID)(7:0)와 8 비트의 게조 전압 데이터 VD(7:0)를 조로 하여, 또한 교대로 전송하고 있다. 정전류 데이터(ID)(7:0)는 전류 게조 회로(154)가 출력하는 정전류를 발생시키는 데이터이다. 전압 데이터(VD)(7:0)는 전압 게조 회로(231)가 출력하는 게조 전압(V_x)을 발생시키는 것이다.

도 128 등의 실시예에서는 게이트 드라이버 회로(12a)는 1 화소 행을 순차적으로 선택하고, 각 화소 행의 화소에 정전류(I_w)를 인가한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 143에 도시한 바와 같이 복수의 화소 행을 선택하여 정전류(I_w)를 인가해도 된다. 또한, 복수 화소를 동시에, 혹은 공통으로 V_a 전압 또는 V_0 전압을 측정 등도 가능하다. V_a , V_0 전압은 인접한 화소 행에서는 근사하기 때문이다.

도 143의 (a)의 실시예는 인접한 2 화소 행을 동시에 선택하고, 2 화소 행에서 정전류(I_1)를 전류 계조 회로(154)로부터 인가한 구성이다. 선택한 2 화소 행의 각 화소 행의 구동용 트랜지스터(11a)가 각각 출력하는 전류에는 구동용 트랜지스터(11a)의 특성이 서로 다르기 때문에 차이가 있다. 그러나, 인접한 화소 행에서는 그 차이는 근소하다. 화소 행의 선택은 1, 2 화소 행, 3, 4 화소 행, 5, 6 화소 행……과 2 화소 행씩 순차적으로 선택해도 되고, 1, 2 화소 행, 2, 3 화소 행, 3, 4 화소 행……과 1 화소 행씩 어긋나게 하여 순차적으로 선택해도 된다.

도 143의 (b)는 인접한 화소 행이 아니며, 1 화소 행 떨어진 위치의 화소 행을 선택한 실시예이다. 예를 들면, 1, 3, 5 화소 행을 선택하고, 다음에 2, 4, 6 화소 행을 선택하고, 다음에 3, 5, 7 화소 행을 선택해 간다.

도 143에서도, 다른 구성, 동작은 도 128 등에서 설명한 실시예와 마찬가지로 설명을 생략한다. 이상과 같이, 복수 화소 행을 동시에 선택하고, V_a 전압 등을 측정하는 것은 전류 계조 회로(154)의 동작 시간을 단축할 수 있다. 또한, 전류 계조 회로(154) 등의 구성을 간략화할 수 있다.

도 143의 실시예는 복수의 화소 행을 동시에 선택하는 구동 방식이었다. 도 143에 도시한 바와 같이, 본 발명은 2 화소 행에 한정되는 것은 아니다. 3 화소 이상을 동시에 선택해도 된다. 또한, 화소 행의 선택은 화소 행을 순차적으로 주사하여 선택하는 것에 한정하는 것이 아니며, 랜덤의 화소 행을 선택해도 된다. 또한, 홀수 필드(프레임)제는 화면의 위로부터 아래 방향으로 순차적으로 선택하고, 짝수 필드(프레임)제는 화면의 아래로부터 위로 순차적으로 선택해도 된다.

또한, 1H 기간에 복수의 화소 행을 순차적으로 선택하고, 각각의 화소 행에 정전류(I_w)를 인가하고, 전압(V_a , V_0) 등을 측정해도 된다. 예를 들면, 1H의 전반의 $1/2H$ 기간에, 제1행제의 화소 행을 선택하여 정전류(I_w)를 인가하고, 후반의 $1/2H$ 기간에 다음의 제2행제의 화소 행을 선택하는 구동 방법이 예시된다.

V_a (도 132를 참조할 것), V_0 전압(도 133을 참조할 것)은 순차적으로 화소 행을 선택하고, 측정 등을 한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 영상 신호의 블랭킹 시간에 표시 영역 내의 화소 행을 순차적으로 선택하여 주사하고, V_a , V_0 전압을 측정 등 하여, 메모리에 기억시켜 두어도 된다. 또한, 복수의 화소 행을 동시에 또는 순차적으로 선택하고, V_a , V_0 전압을 측정하여 일정 기간 유지하고, 이 유지한 V_a , V_0 전압을 순차적으로 읽어내어, V_x 전압과 가감산하여 소스 신호선(18)에 순차적으로 인가해도 된다.

도 133에 도시한 바와 같이, 구동용 트랜지스터(11a)가 전류를 흘리지 않는 전압(V_0)(오프 세트 전압)으로 하고, 이 V_0 을 기준으로 하여 계조 전압(V_x)을 인가하는 경우에는 도 144에 도시한 바와 같이 정전류 출력 회로(전류 계조 회로)(154)는 불필요하다. 또한, 이하의 설명에서, 도 128과 마찬가지로의 사항은 생략한다.

도 144도 도 128과 마찬가지로, 게이트 드라이버 회로(12)가 순차적으로, 화소 열을 선택함으로써 실시된다. 즉, 1 수평 주사 기간에 화소 행을 선택한다. 먼저, 맨처음에, 스위치(SW3)를 클로즈하고, 스위치(SW4, SW2, SW5)를 오픈한다. 스위치(SW3)의 클로즈에 의해, 컨덴서(1341)의 한쪽의 단자 c부에 그라운드(GND) 전압이 인가되고, 그라운드 전압으로 유지된다. 또한, 도 134에서 설명한 바와 같이 임의의 소정 전압을 인가할 수 있도록 구성해도 된다.

컨덴서(1341)의 c부에 그라운드 전위를 인가하여 리셋을 행한 후, 다음으로, 도 145의 (a)에 도시한 바와 같이, 스위치(SW2, SW3)를 클로즈하고, 또한, 스위치(SW4, SW5)를 오픈한다. 컨덴서(1341)의 a부에는 구동용 트랜지스터(11a)가 EL 소자(15)에 전류가 흐르지 않는 전압(=구동용 트랜지스터(11a)의 게이트 단자 전압)이 유지된다. 이 기간도 해당 화소 행이 선택되어 있다. 해당 화소 행의 각 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위는 오프셋 상태(트랜지스터(11d)를 클로즈해도 EL 소자(15)에 전류가 흐르지 않는 상태)로 유지된다. 도 145의 (a)의 동작에 의해, 상기 구동용 트랜지스터(11a)가 오프셋으로 되는 데 필요한 V_0 전압이 판독된다(유지된다). 따라서, 구동용 트랜지스터(11a)는 도 133에 도시한 바와 같이, 그대로 V_0 전압을 구동용 트랜지스터(11a)의 게이트 단자에 인가하면, 컷오프 상태(EL 소자(15)에 흘리는 전류가 0으로 되는 상태)로 된다.

컨덴서(1341)의 a부에는 구동용 트랜지스터(11a)가 EL 소자(15)에 전류가 흐르지 않는 전압(=구동용 트랜지스터(11a)의 게이트 단자 전압)이 유지된다. 이 기간도 해당 화소 행이 선택되어 있다. 해당 화소 행의 각 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위는 오프셋 상태(트랜지스터(11d)를 클로즈해도 EL 소자(15)에 전류가 흐르지 않는 상태)로 유지된다.

다음으로, 도 145의 (b)에 도시한 바와 같이, 스위치(SW4, SW5)를 클로즈하고, 또한, 스위치(SW2, SW3)를 오픈한다. 전압 게조 회로(231)는 게조 전압(V_x)을 출력한다. 게조 전압 $V_x = V_0 + V_x$ 로 한다. 이 기간도 해당 화소 행이 선택되어 있다.

전압 게조 회로(231)에 출력된 전압(V_x)은 컨덴서(1341)의 a부의 전위를 전위 시프트시킨다. a부의 전압 시프트에 의해, V_0 전압과 V_x 전압이 가산된다. 이상으로 1 수평 주사 기간이 완료한다. 선택된 화소 행은 다음 1 수평 주사 기간에 EL 소자(15)에 전류를 인가하여, EL 소자(15)가 발광한다.

도 128, 도 134, 도 135, 도 132, 도 133 등에서 설명한 본 발명의 구동 방식은 정전류(I_w)를 인가하고, V_0 , V_a 전압을 측정 혹은 취득하고, 이 전압을 기준으로 하여 게조 전압을 구하여, 소스 신호선(18)에 인가하는 방식이었다. 그러나, 본 발명은 이것에 한정하는 것이 아니며, V_0 , V_a 전압을 기준으로 하여 혹은 사용하여, 수평 주사 기간 내에 게조 전류(프로그램 전류)를 구하고, 구한 게조 전류를 소스 신호선(18)에 인가하여, 화상 표시를 행해도 된다. 도 25, 도 81, 도 82의 전압 인가 상태로 된다. 또한, 구한 전압은 도 26, 도 27 등에 도시한 바와 같이, 1 수평 주사 기간 전체에 인가해도 됨은 물론이다.

이상의 본 발명의 실시예는 V_a , V_0 측정과, 이들의 전압에 V_x 전압을 가감산하여 화소(16)의 구동용 트랜지스터(11a)에 인가한다는 점을 중심으로 설명했다. 이하, 본 발명의 EL 표시 장치의 화상 표시를 중심으로 설명한다.

본 발명에서는 프로그램 전류(정전류)(I_w)를 흘린 상태에서 구동용 트랜지스터(11a)의 게이트 단자의 전위(도 1의 f로 나타낸다)를 측정한다(전위를 취득한다). 또는 전위를 도 128의 컨덴서(1341)에 유지시킨다. 혹은 전위에 대응하는 데이터를 메모리 등의 기억 수단에 유지한다.

도 1에서, 게이트 단자의 전위(f)는 트랜지스터(11b, 11c)가 온 상태이기 때문에, 소스 신호선(18)의 전위(d로 나타낸다)도 동일 전위로 된다. 따라서, 소스 드라이버 회로(14)의 출력 단자(83)를 통하여 소스 신호선(18)의 전위를 측정하면, 트랜지스터(11a)의 게이트 단자의 전위(f)를 측정하는 것으로 된다.

제2 동작은 트랜지스터(11b)와 트랜지스터(11c)가 폐쇄되고, 트랜지스터(11d)가 개방된 동작 상태이며, 그때의 등가 회로는 도 5의 (b)로 된다. 트랜지스터(11a)의 소스-게이트 사이의 전압은 유지된 상태로 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, $I_e = I_w$ 의 전류는 일정하게 된다. 또한, I_e 는 구동용 트랜지스터(11a)가 EL 소자(15)에 흘리는 전류이며, $I_e = I_w$ 는 화소(16)에 관통전압 등의 영향이 없고, 이상적인 상태인 경우이다.

도 133의 실시예에서는 전압(V_0)을 구하고, 이 전압(V_0)을 기준으로 하여 게조 전압(V_x)을 가산하고, 목표 전압(V_c)을 발생하는 방식이었다. 또한, 도 130은 전압(V_a)을 구하고, 이 전압을 기준으로 하여 게조 전압(V_x)을 가감산 등 하여, 목표 전압(V_c)을 발생시키는 방식이었다. 본 발명은 이것에 한정하는 것이 아니다. 예를 들면, 전압(V_a)을 구할 때, 인가하는 정전류(I_w)를 최대 게조(I_{wm})에 해당하는 전류로 해도 된다.

최대 게조에 해당하는 정전류(I_{wm})를 구동용 트랜지스터(11a)에 인가함으로써, 구동용 트랜지스터(11a)는 최대 게조의 전류가 흐르도록, 그 게이트 단자에 전압(V_{am})이 발생한다. 이 V_{am} 을 기준으로 하고, 게조 전압(V_x)을 감산하여 목표 전압(V_c)을 발생시킨다. 발생시킨 전압(V_{cm})을 구동용 트랜지스터(11a)의 게이트 단자에 인가한다.

이상과 같이, 본 발명은 전류 구동 방식의 화소(구동용 트랜지스터(11a) 혹은 구동용 트랜지스터(11a)와 커런트 미러 결합된 트랜지스터(11b)의 드레인 단자 또는 소스 단자가, 직류적으로 소스 신호선(18)에 결선되어 있는 구성 혹은 배치, 즉, 구동용 트랜지스터(11)(11a, 11b)를 흐르는 전류를 소스 신호선(18)에 취출하는 혹은 소스 신호선(18)으로부터 입력할 수 있는 구성)가 매트릭스 형상으로 배치된 EL 표시 패널에 관한 것이다. 정전류를 구동용 트랜지스터(11)에 인가하고(혹은 구동용 트랜지스터(11)로부터 정전류를 흘리고), 대략 정상 상태로 된 이후에, 상기 구동용 트랜지스터(11)의 게이트 단자 전위를 측정(취득)한다.

측정(취득)한 전위를 기준(원점 혹은 상대적인 위치)으로 하여, 게조 전압에 대응하는 전압을 가감산 등의 처리를 하여, 목표 전압(V_c)을 발생시키는 것이다. 발생한 목표 전압을 상기 구동용 트랜지스터(11)의 게이트 단자 등에 인가하고, 상기 구

동용 트랜지스터(11)가 목표 전압에 대응하는 전류를 EL 소자(15)에 흘리도록 하는 것이다. 또한, EL 소자(15)에 전류를 흘린다는 것은 EL 소자(15)에 전류를 공급하는 경우와, EL 소자(15)로부터 상기 구동용 트랜지스터(11)에 유입되는 경우의 양방을 포함한다.

또한, 이상의 실시예는 V_a , V_O , V_{am} 을 기준으로 하여 구동용 트랜지스터(11)에 대략 1배의 전류(I_e)를 흘리는 실시예이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 6, 도 9 등에서 설명한, " $1F/N$ 의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간($1F(N-1)/N$)은 전류를 흘리지 않는" 구동 방식에서는 정전류를 N배로 설정해도 됨은 물론이다. 즉, N배의 정전류(리세트 전류)에 대응하는 V_a 전압을 구하고, 이 전압(V_a)을 기준으로 하여 목표 전압(V_c)을 발생시킨다. 또한, N배의 정전류로 했지만, 이것에 한정되는 것은 아니다. N은 1 이상이면 어떠한 값이어도 된다.

이 방식은 소스 신호선(18)의 기생 용량이 큰 경우에 특히 유효하다. 또한, EL 표시 장치가 10인치 이상으로 큰 경우에 유효하다. 소스 신호선(18)의 기생 용량이 큰 경우, 리세트 전류(프로그램 전류(I_w))를 N배로 하는 것(적게도 1배 이상으로 하는 것)에 의해, 정전류(I_w)의 "기입 부족"을 개선할 수 있다.

이상과 같이, 본 발명의 표시 장치는 화소 구성이 전류 프로그램의 화소 구성이며, 이 화소 구성으로 전압 구동을 실시하는 방식이라고도 말할 수 있다.

이상의 실시예에서는 정전류(I_w)를 화소(16)에 인가하고, 소스 신호선(18)의 전위 등을 측정하고, 이 측정 혹은 취득한 전압을 이용하여, EL 표시 장치를 프로그램하는 것이었다. 정전류(I_w)는 기준 전류로 조정할 수 있다. 또한, 도 6, 도 9에서는 duty비 구동(간헐 구동)을 실시한다. 이하, duty비 제어에 대해 설명을 한다.

본 발명의 명세서에서, 표시 화면(34)에서, 표시 영역(63)과 모든 표시 화면(34)의 비율을 duty비라고 한다. 즉, duty비는 표시 영역(63)의 면적/모든 표시 화면(34)의 면적이다. 혹은 duty비는 온 전압이 인가되어 있는 게이트 신호선(17b)의 개수/모든 게이트 신호선(17b)의 개수이기도 하다. 또한, 게이트 신호선(17b)에 온 전압이 인가되고, 이 게이트 신호선(17b)에 접속되어 있는 선택 화소 행 수/표시 화면(34)의 모든 화소 행 수이기도 하다.

본 명세서에서, 점등률에 따라서 duty비 제어 등을 변화시킨다고 하여 설명한다. 그러나, 점등률이란, 일정한 의미가 아니다. 예를 들면, 저점등률이란, 표시 화면(34)에 흐르는 전류가 작은 것을 의미하고 있지만, 화상을 구성하는 저계조 표시의 화소가 많은 것도 의미한다. 즉, 표시 화면(34)을 구성하는 영상은 어두운 화소(저계조의 화소)가 많다.

따라서, 저점등률이란, 화면을 구성하는 영상 데이터의 히스토그램 처리를 했을 때, 저계조의 영상 데이터가 많은 상태라고 바꾸어 말할 수 있다. 고점등률이란, 표시 화면(34)에 흐르는 전류가 큰 것을 의미하고 있지만, 화상을 구성하는 고계조 표시의 화소가 많은 것도 의미한다. 즉, 표시 화면(34)을 구성하는 영상은 밝은 화소(고계조의 화소)가 많다. 고점등률이란, 화면을 구성하는 영상 데이터의 히스토그램 처리를 했을 때, 고계조의 영상 데이터가 많은 상태라고 바꾸어 말할 수 있다. 즉, 점등률에 대응하여 제어한다는 것은 화소의 계조 분포 상태 혹은 히스토그램 분포에 대응하여 제어하는 것과 동의 혹은 유사한 상태를 의미하는 경우가 있다.

이상으로부터, 점등률에 기초하여 제어한다는 것은 경우에 따라서 화상의 계조 분포 상태(저점등률=저계조 화소가 많다. 고점등률=고계조 화소가 많다.)에 기초하여 제어한다고 바꾸어 말할 수 있다. 예를 들면, 저점등률로 됨에 따라 기준 전류비를 증가시키고, 고점등률로 됨에 따라 duty비를 작게 한다는 것은 저계조의 화소 수가 많아짐에 따라, 기준 전류비를 증가시키고, 고계조의 화소 수가 많아짐에 따라 duty비를 작게 한다고 바꾸어 말할 수 있다. 또는 저점등률로 됨에 따라서 기준 전류비를 증가시키고, 고점등률로 됨에 따라서 duty비를 작게 한다는 것은 저계조의 화소 수가 많아짐에 따라 기준 전류비를 증가시키고, 고계조의 화소 수가 많아짐에 따라 duty비를 작게 하는 것과 동일 혹은 유사한 의미 혹은 동작 혹은 제어이다.

또한, 예를 들면, 소정의 저점등률 이하에서 기준 전류비를 N배하고, 또한 선택 신호선 수를 N개로 한다는 것은 저계조의 화소 수가 일정 이상일 때에, 기준 전류비를 N배하고, 또한 선택 신호선 수를 N개로 하는 것과 동일 혹은 유사한 의미 혹은 동작 혹은 제어이다.

또한, 예를 들면, 통상적으로는 duty비 1/1로 구동하고, 소정의 고점등률 이상으로 단계적으로 혹은 원활하게 duty비를 저하시킨다는 것은 저계조 혹은 고계조의 화소 수가 일정한 범위 이내일 때는 duty비 1/1로 구동하고, 고계조의 화소 수가 일정 이상의 수로 되었을 때에, 단계적으로 혹은 원활하게 duty비를 저하시키는 것과 동일 혹은 유사한 의미 혹은 동작 혹은 제어이다.

도 147에 도시한 바와 같이, 저점등률 영역(도 147에서는 점등률 20% 이하)에서 duty비를 저하시키고(도 147의 (a)), duty비의 저하에 맞추어, 기준 전류비를 상승시켜(도 147의 (b))도 된다. 이상과 같이 duty비 제어와 기준 전류비 제어를 동시에 행함으로써, 도 147의 (c)에서 도시한 바와 같이 휘도의 변화는 없어진다.

저점등률에서는 저계조 영역에서의 프로그램 전류의 기입 부족이 현저히 눈에 띈다. 그러나, 도 147의 (a)(b)에 도시한 바와 같이 저점등률 영역에서 기준 전류비를 증가시킴으로써 프로그램 전류를 기준 전류에 비례하여 증가시킬 수 있으므로 전류의 기입 부족이 없어진다. 또한 휘도도 일정하기 때문에 양호한 화상 표시를 실현할 수 있다. 즉, 저점등률 혹은 소정의 점등률의 범위에서 기준 전류비 $\times$ duty비가 상수의 관계로 되도록 제어한다.

도 147에서, 점등률이 높은 영역(도 147에서는 40% 이상)에서는 duty비는 저하시키지만, 기준 전류비는 1인 상태로 일정하게 한다. 따라서, 휘도는 duty비의 저하에 수반하여 저하하기 때문에, 패널의 소비 전력을 제어(기본적으로는 적게)할 수 있다.

기준 전류비, duty비와 점등률과의 관계는 이하에 설명한 바와 같이 일정한 관계를 유지하는 것이 바람직하다. 플리커의 발생의 증가 또는 패널의 자기 발열에 의한 변화가 가속되기 때문이다. 점등률이 30% 이하인 영역에서는 duty비 $\times$ 기준 전류비의 (a)가 0.7 이상 1.4 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.8 이상 1.2 이하로 하는 것이 바람직하다. 또한, 점등률이 80% 이하인 영역에서는 duty비 $\times$ 기준 전류비(A)가 0.1 이상 0.8 이하로 되도록 제어 혹은 설정하는 것이 바람직하다. 또한, 더욱 바람직하게는 0.2 이상 0.6 이하로 되도록 제어 혹은 설정하는 것이 바람직하다.

혹은 점등률 50%일 때의 duty비 $\times$ 기준 전류비를 A로 했을 때, 점등률이 30% 이하인 영역에서는 duty비 $\times$ 기준 전류비 $\times$ A가 0.7 이상 1.4 이하로 설정 혹은 제어하는 것이 바람직하다. 더욱 바람직하게는 0.8 이상 1.2 이하로 설정 혹은 제어하는 것이 바람직하다. 또한, 점등률이 80% 이하인 영역에서는 duty비 $\times$ 기준 전류비 $\times$ A가 0.1 이상 0.8 이하로 설정 혹은 제어하는 것이 바람직하다. 더욱 바람직하게는 0.2 이상 0.6 이하로 설정 혹은 제어하는 것이 바람직하다.

그러나, 기준 전류의 가변은 도 81에서 설명한 과전류 구동에서 과제로 된다. 과전류의 크기가, 기준 전류의 크기에 비례하기 때문이다. 따라서, 도 147의 (b)에 도시한 바와 같이 저점등률의 영역에서 기준 전류의 크기를 변화시키면, 이 영역에서의 과전류 프리차지의 크기가 변화한다. 구체적으로는 기준 전류비를 2배로 하면 과전류도 2배로 되어, 목표의 계조치에 도달하는 시간이 1/2로 된다. 과전류를 인가하는 기간은 고정이기 때문에, 기준 전류비가 커지는 등 변화하면 목표치로부터 어긋나게 된다.

이 과제에 대하여, 도 147의 (d)에 도시한 바와 같이, 과전류(프리차지 전류)의 비(프리차지 전류비라고 한다)도, 기준 전류비 및 점등률에 대응하여 변화시킨다. 도 147의 (d)에서는 기준 전류비가 점등률 20% 이하에서 2까지 변화하기 때문에, 점등률 20% 이하에서 프로그램 전류비를 1로부터 1/2까지 변화시킨다. (과전류)프리차지 전류비 $\times$ 기준 전류비가 상수(C)로 되도록 설정한다. 즉, C=프리차지 전류비 $\times$ 기준 전류비로 한다. 또한, 기준 전류비가 N배로 되면, 프리차지 전류비를 1/n로 한다. 또한, C는 완전하게 고정(상수)치로 하는 것에 한정되지 않는다. 다소의 변화가 있다 하더라도, 표시에는 반영되지 않기 때문이다. C의 변동 폭은 0.8 이상 1.2 이하로 되도록 한다.

또한, 도 147의 (d)에서, 점등률에 대응시켜 선형으로, 프리차지 전류비를 변화시킨다고 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 프리차지 전류비 등을 단계적으로 변화시켜도 된다. 예를 들면, 도 147의 실시예에서, 점등률 0% 이상 5% 이하는 프리차지 전류비를 2.0으로 하고, 점등률 5% 이상 10% 이하는 프리차지 전류비를 1.75로 하고, 점등률 10% 이상 15% 이하는 프리차지 전류비를 1.50으로 하고, 점등률 15% 이상 20% 이하는 프리차지 전류비를 1.25로 하고, 점등률 20% 이상에서 프리차지 전류비를 1.0으로 변화시켜도 된다.

프리차지 전압비를 단계적으로 변화시킨 경우라 하더라도, 프리차지 전류비의 변화에 대응하여 기준 전류비를 변화시킨다. 또한, 기준 전류비, 프리차지 전류비 등의 변화 스피드는 로우 패스 필터 특성(빠른 점등률의 변화에는 따라갈 수 없다)을 갖게 하는 것이 바람직하다. 또한, 히스테리시스 특성(한번, 변화하면, 다시 점등률이 원래로 복귀해도 비가 변화하지 않는다)을 갖게 하는 것이 바람직하다.

또한, 마찬가지로의 것(단계적으로 변화시키는 것, 히스테리시스 특성을 갖는 것)은 duty비에 대해서도 적용된다.

이상과 같이, duty비, 기준 전류비, 프리차지 전류비는 상관의 관계로 제어한다. duty비 $\times$ 기준 전류비는 상수의 관계로 한다. 기준 전류비 $\times$ 프리차지 전류비도 상수의 관계로 한다. 따라서, duty비 $\times$ (1/프리차지 전류비)도 상수의 관계로 한다. 혹은 대략 상수의 관계로 한다.

도 148의 실시예에서는 프리차지 전류로서의 과전류는 최상위 비트의 D7 스위치를 온(클로즈)시킴으로써 실시되어 있다. 과전류의 크기는 D7 스위치가 클로즈하는 기간에 의해서 제어 혹은 조정한다.

도 148의 실시예는 계조는 계조 스위치 제어 회로(1481)에서 실시한다. 즉, 8 비트의 영상 신호에 대응하여 해당의 스위치(D0~D7)가 온 오프 제어된다. 한편 프리차지 전류(과전류)의 기준 전류비에 대응하여, 스위치(S0~S7)를 제어하여 출력된다.

도 148은 8 비트의 영상 전류 신호의 1 출력단이다. 영상 데이터(D0~D7)는 스위치 D*a(*는 0~7이고, 비트 위치를 나타낸다)가 클로즈함으로써 출력 단자(83)로부터 출력된다. 스위치 D*a는 영상 데이터에 따라서 해당 스위치가 클로즈한다. 한편, 스위치 D*b(*는 0~7이고, 비트 위치를 나타낸다)는 전류 프리차지 기간 동안 클로즈한다. 스위치 D*b의 클로즈에 의해, 프리차지 전류(과전류(Id))가 출력 단자(83)로부터 출력된다.

0 계조째에 상당하는 오프셋 전압인 프리차지 전압(V0)은 스위치(161a)가 클로즈함으로써 출력 단자(83)로부터 출력된다. 프리차지 전류(Id) 및 프로그램 전류(Iw)는 스위치(161b)가 클로즈함으로써 출력 단자(83)로부터 출력된다. 스위치(161a)와 스위치(161b)는 동시에 클로즈하지 않도록 인버터(1484)에 의해 배타적으로 제어되어 있다.

인버터(1484)로의 로직 데이터는 프리차지 기간 판정부(1483)에 의해 인가된다. 즉, 프리차지 기간 판정부(1483)는 전류 프리차지 펄스의 길이 설정치에 의해 인버터(1483)를 제어한다.

실시예에서는 기준 전류비가 1로부터 2까지 변화한다. 따라서, 프리차지 전류의 크기(비율)도, 1로부터 1/2로 변화하게 한다. 예를 들면, 기준 전류비가 1일 때에는 프리차지 전류 제어 회로(1482)에 의해 스위치(S7)가 클로즈하면 설정되어 있으면, 기준 전류비가 2로 변화했을 때에는 프리차지 전류 제어 회로(1482)에 의해 스위치(S6)가 클로즈하도록 제어된다. 스위치(S7)가 클로즈 상태에서의 프리차지 전류의 크기와, 스위치(S6)가 클로즈 상태에서의 프리차지 전류의 크기는 2배차가 발생하기 때문이다. 기준 전류비 1로부터 2 사이의 프리차지 전류의 변화는 스위치(S0~S7)를 제어함으로써 리니어로 조절할 수 있다.

이상과 같이 실시함으로써, 프리차지 전류비×기준 전류비가 상수(C)로 되도록 설정 혹은 제어할 수 있다. 즉, C=프리차지 전류비×기준 전류비로 한다. 또한, 프리차지 전류의 크기도, 프리차지 전류 기간의 조정, 스위치(S)의 선택의 조합에 의해 조절할 수 있다.

이상과 같이, 도 147에 도시한 바와 같이, 저점등률 범위 등 점등률에 대응시켜 기준 전류를 변화시켜도, 동시에 점등률에 대응하여 프리차지 전류의 크기의 상대치를 변화시킴으로써, 프리차지 전류를 양호하게 실현할 수 있다. 따라서, 계조가 변화해도 프리차지 전류에 의해 양호하게 목표 계조에 도달시킬 수 있다.

기준 전류를 크게 하는 것은 EL 소자(15)에 흐르는 전류의 크기도 커진다. 또한, 구동용 트랜지스터(11a)의 채널(S-D)간 전압도 높아진다. 따라서, 기준 전류비가 커지면, 애노드 전압(Vdd)과 캐소드 전압(Vss) 사이의 절대치를 크게 할 필요가 있다.

애노드 전압(Vdd)과 캐소드 전압(Vss) 사이의 절대치를 크게 하는 것은 EL 표시 장치의 소비 전력이 증대하게 된다. 소비 전력의 증대는 발열을 야기하여, EL 표시 장치를 열화시킨다. 본 발명은 점등률에 맞추어, 특히 저점등률의 범위에서 기입 부족을 해소하는 점에서 기준 전류를 크게 한다. 따라서, 저점등률 영역에서, 기준 전류가 커지기 때문에, 애노드 전압(Vdd)과 캐소드 전압(Vss) 사이의 절대치를 크게 할 필요가 있다. 그러나, 종래의 전압 발생 회로는 점등률에 상관없이, 애노드 전압(Vdd)과 캐소드 전압(Vss)의 전압치는 일정했다. 그 때문에, 특히, 고점등률의 영역에서 소비 전류도 증대하기 때문에, EL 표시 장치가 발열한다는 문제점이 있었다.

이 과제를 해결하기 위해, 도 149에 도시한 바와 같이, 저점등률 영역에서 캐소드 전압을 저하시키고 있다. 캐소드 전압의 저하 제어는 기준 전류의 변화에 대응하여 행한다. 도 147의 실시예에서는 점등률이 20% 이하에서 기준 전류를 증대시키고 있다. 따라서, 도 149의 실시예에서도 점등률 20% 이하에서 캐소드 전압을 저하시키고 있다.

도 149에서 애노드 전압을 일정하게 하고, 기준 전류의 변화에 대응하여 캐소드 전압을 변화시키고 있는 것은 본 발명의 실시예에서의 화소(16)의 구동용 트랜지스터(11a)가 P 채널이기 때문이다. 애노드 전위를 기점으로 하여, 전류 프로그램을 행하기 때문이다. 따라서, 애노드 전압을 일정치로 하는 것이, 전류 프로그램의 정밀도를 높게 유지할 수 있고, 또한, 회

로 구성도 용이하기 때문이다. 또한, 본 발명의 EL 표시 장치는 캐소드에 EL 소자(15)의 1 단자가 접속되어 있기 때문에, 캐소드 전압의 변화가 발생해도 표시에 영향을 주지 않기 때문이다. 그러나, 도 151에 도시한 바와 같이 애노드 전압을 기준 전류에 대응하여 변화시켜도 된다.

이상과 같이, 본 발명은 점등률에 따라서 EL 표시 장치의 전원 전압을 변화시키는 것에 특징이 있다. 특히, 기준 전류의 변화에 대응하여 전원 전압을 변화시킨다. 또한, 점등률에 대응하여 전원 전압(애노드 전압(Vdd)과 캐소드 전압(Vss) 중, 적어도 어느 한쪽)을 변화시키는 구동 방식이다. 또한, 프리차지 전류의 크기에 대응하여 전원 전압을 변화시킨다. 혹은 애노드 전압(Vdd)과 캐소드 전압(Vss)의 절대치를 크게 한다. 특히, 저점등률의 영역에서, 전원 전압(애노드 전압(Vdd)과 캐소드 전압(Vss))의 절대치를 크게 한다.

전원 전압의 절대치를 크게 하는 방법은 용이하다. 통상적으로, 전원 IC는 펄스 제어가 행해지고 있다. 인가되는(전원 IC의 내부에서 발생하는) 펄스가 주파수가 높아지면, 전압은 상승한다. 인가되는(전원 IC의 내부에서 발생하는 혹은 발진하는) 펄스의 주파수가 낮아지면, 전압은 저하한다. 따라서, 전원 IC의 펄스 제어를 행함으로써, 전원 IC로부터 출력되는 전압의 크기를 용이하게 제어할 수 있다.

반대로, 기준 전류가 큰 영역을 기준으로 하여 생각하면, 본 발명은 점등률에 대응하여 전원 전압(애노드 전압(Vdd)과 캐소드 전압(Vss) 중, 적어도 어느 한쪽)을 저하시키는 구동 방식이다. 즉, 고점등률 영역에서 전원 전압을 저하시킨다. 또한, 프리차지 전압의 크기에 대응하여 전원 전압을 저하시킨다. 혹은 애노드 전압(Vdd)과 캐소드 전압(Vss)의 절대치를 크게 한다. 즉, 프리차지 전류가 작아지면, 전원 전압을 저하시킨다. 특히, 고점등률의 영역에서, 전원 전압(애노드 전압(Vdd)과 캐소드 전압(Vss))의 절대치를 작게 하는 방식이다.

도 149는 애노드 전압과 캐소드 전압을 발생시키는 2 전원 방식의 실시예이다. 도 151은 캐소드 측을 그라운드(GND)로 하고, 애노드 전압을 변화시키는 방식이다. 도 151에서도, 도 149와 마찬가지로, 점등률에 따라서 EL 표시 장치의 전원 전압을 변화시키는 것에 특징이 있다. 특히, 기준 전류의 변화에 대응하여 전원 전압을 변화시킨다. 또한, 점등률에 대응하여 전원 전압(애노드 전압(Vdd))을 변화시키는 구동 방식이다. 또한, 프리차지 전류의 크기에 대응하여 전원 전압을 변화시킨다. 혹은 애노드 전압(Vdd)의 절대치를 크게 한다. 특히, 저점등률의 영역에서, 전원 전압(애노드 전압(Vdd))의 절대치를 크게 한다.

도 151의 단일 전원의 경우에는 도 150에 도시한 바와 같이, 펄스 제어 등을 실시하는 로직 신호 레벨(Vcc)을 레벨 시프트하여 애노드 전압(Vdd) 레벨까지 상승시킨다. 오프셋 캔슬 전압(V_O) 등의 프리차지 전압(V_p) 레벨은 애노드 전압(Vdd)을 기준으로 되도록 한다. 이 구성에 의해, Vdd 전압이 변화해도 프리차지 전압에는 영향을 주지 않는다.

또한, 도 149, 도 150에서, 점등률에 대응시켜 선형으로, 캐소드 전압 또는 애노드 전압을 변환시킨다고 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 캐소드 전압 등을 단계적으로 변화시켜도 된다. 예를 들면, 도 149의 실시예에서, 점등률 0% 이상 5% 이하는 캐소드 전압을 -9V로 하고, 점등률 5% 이상 10% 이하는 캐소드 전압을 -9V로 하고, 점등률 10% 이상 15% 이하는 캐소드 전압을 -8.0V로 하고, 점등률 15% 이상 20% 이하는 캐소드 전압을 -6.5V로 하고, 점등률 20% 이상에서 -5.5V로 변화시켜도 된다.

또한, 캐소드 전압과 애노드 전압은 동시에 변화시켜도 된다. 또한, 캐소드 전압과 애노드 전압의 절대치를 변화시키도록 제어해도 됨은 물론이다.

캐소드 전압의 변화는 전원 IC의 외부 부하 저항의 분압비로 조정한다. 따라서, 스위치 회로에 의해 복수의 저항을 절환하고, 선택함으로써, 저항치는 단계적으로 변경 혹은 변화시킬 수 있다. 또한, 다른 단계를 갖는 전자 볼륨 등을 이용함으로써, 점등률에 대하여 거의 리니어로 변화시킬 수 있다.

또한, 캐소드 전압치, 애노드 전압치 등의 전압의 변화 스피드는 로우 패스 필터 특성(빠른 점등률의 변화에는 따라갈 수 없다)을 갖게 하는 것이 바람직하다. 또한, 히스테리시스 특성(한번, 캐소드 전압치, 애노드 전압치가 변화하면, 다시 점등률이 원래로 복귀해도 전압치가 변화하지 않는다)을 갖게 하는 것이 바람직하다.

본 발명의 실시예에서, 소스 신호선(18) 등에 정전류를 흘리는 혹은 소스 신호선(18)을 하이 임피던스 상태로 유지하여 V1, V0 전압 등을 측정한다고 했다. 측정한 전압은 EEPROM이나, ROM 등에 전압 데이터(혹은 전류 데이터)로서 유지된다. 혹은 소스 드라이버 IC(회로)(14) 등에 유지된다. 그러나, 모든 전압 데이터 등을 유지하면 매우 방대한 데이터량으로 된다. 그 때문에, 압축 기술을 이용하여 ROM(502) 등에 유지시켜도 된다.

예를 들면, JPEC 등의 정지 화상 압축 기술 혹은 포맷이 예시된다. 특히, 트랜지스터(11a)의 특성 분포는 랜덤이 아니라, 주변부의 특성과 근사하다. 그 때문에, 화상 데이터의 압축 기술을 이용함으로써 양호한 압축을 실시할 수 있다. 또한, MPEG 등의 동화상 압축 기술 등을 이용해도 됨은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있음은 물론이다.

이하, 본 발명의 EL 표시 패널 또는 EL 표시 장치 혹은 그 구동 방법 등을 이용한 장치 등에 대해 설명을 한다. 이하의 장치는 앞에서 설명한 본 발명의 장치 또는 방법을 실시한다. 도 152는 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 케이스(1523)에 안테나(1521), 텐키(1522) 등이 부착되어 있다.

도 153은 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬상) 렌즈부(1532)와 비디오 카메라 본체(1523)를 구비하고, 촬영 렌즈부(1532)와 뷰 파인더부(1523)는 반대 방향으로 되어 있다. 또한, 뷰 파인더부에는 접안 커버가 부착되어 있다. 관찰자(유저)는 이 접안 커버로부터 표시 패널(1524)의 표시 화면(184)을 관찰한다.

본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시부(184)는 지점(1531)에서 각도를 자유롭게 조정할 수 있다. 표시부(184)를 사용하지 않을 때에는 저장부(1533)에 저장된다.

본 실시의 형태의 EL 표시 장치 등은 비디오 카메라뿐 아니라, 도 154에 도시하는 바와 같은 전자 카메라, 스틸 카메라 등에도 적용할 수 있다. 표시 장치는 카메라 본체(1541)에 부착된 모니터(184)로서 이용한다. 카메라 본체(1541)에는 셔터 스위치(1543) 이외에, 스위치(1534)가 부착되어 있다.

도 1, 도 3, 도 12, 도 13, 도 14, 도 73, 도 74, 도 75, 도 86, 도 103, 도 104, 도 105, 도 106, 도 107, 도 109, 도 115, 도 118, 도 124, 도 125, 도 126, 도 127 등에서 설명한 혹은 기재한 본 발명의 화소 구성 혹은 표시 패널(표시 장치)과 그 구성 회로 혹은 그 제어 방법 혹은 기술적 사상은 서로 조합할 수 있다. 또한, 서로 적용 혹은 복합의 구성 혹은 형성 혹은 조합을 할 수 있다. 또한, 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

도 4, 도 149, 도 150, 도 151 등에서 설명한 본 발명의 전원 회로 구성 혹은 그 제어 방법 혹은 기술적 사상은 서로 조합할 수 있다. 또한, 서로 적용 혹은 복합의 구성 혹은 형성 혹은 조합을 할 수 있다. 또한, 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

도 8, 도 15, 도 16, 도 17, 도 18, 도 19, 도 20, 도 21, 도 22, 도 23, 도 24, 도 29, 도 30, 도 32, 도 37, 도 38, 도 39, 도 41, 도 42, 도 43, 도 44, 도 45, 도 49, 도 50, 도 56, 도 57, 도 58, 도 59, 도 60, 도 61, 도 65, 도 66, 도 68, 도 71, 도 72, 도 77, 도 78, 도 79, 도 80, 도 87, 도 88, 도 89, 도 90, 도 96, 도 114, 도 115, 도 116, 도 117, 도 122, 도 144, 도 145, 도 146, 도 148 등에서 설명한 본 발명의 소스 드라이버 IC(회로)와 그 구성 회로 혹은 그 제어 방법 혹은 기술적 사상은 서로 조합할 수 있다. 또한, 서로 적용 혹은 복합의 구성 혹은 형성 혹은 조합을 할 수 있다. 또한, 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

도 5, 도 6, 도 7, 도 9, 도 10, 도 11, 도 25, 도 26, 도 27, 도 28, 도 33, 도 34, 도 35, 도 36, 도 40, 도 46, 도 47, 도 48, 도 51, 도 52, 도 53, 도 54, 도 55, 도 62, 도 63, 도 64, 도 67, 도 69, 도 70, 도 76, 도 81, 도 82, 도 83, 도 84, 도 85, 도 86, 도 91, 도 92, 도 93, 도 94, 도 95, 도 97, 도 98, 도 99, 도 100, 도 101, 도 102, 도 108, 도 110, 도 111, 도 112, 도 113, 도 119, 도 120, 도 121, 도 123, 도 128, 도 129, 도 130, 도 131, 도 132, 도 133, 도 134, 도 135, 도 139, 도 140, 도 141, 도 142, 도 143, 도 147 등에서 설명한 본 발명의 구동 방법과 제어 방법 혹은 기술적 사상은 서로 조합할 수 있다. 또한, 서로 적용 혹은 복합의 구성 혹은 형성 혹은 조합을 할 수 있다. 또한, 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

이상의 본 발명은 도 152, 도 153, 도 154 등에서 설명한 표시 장치에 적용할 수 있다. 또한, 서로 적용 혹은 복합의 구성 혹은 형성 혹은 조합을 할 수 있다. 또한, 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

또한, 이상에 기재한 화소 구성 혹은 표시 패널(표시 장치) 혹은 그 제어 방법 혹은 기술적 사상, 표시 패널 혹은 표시 장치의 구동 방법 혹은 제어 방법 혹은 그 기술적 사상, 소스 드라이버 회로(IC), 게이트 드라이버 IC(회로) 등의 구동 회로 혹은 컨트롤러 IC(회로) 혹은 이들의 제어 회로와 그 조정 혹은 제어 방법(게이트 드라이버 회로 등도 포함한다) 혹은 기술적 사상, 검사(평가) 장치 및 검사(평가) 방법의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다. 또한, 서로

적용 혹은 구성 혹은 형성할 수 있음은 물론이다. 또한, 본 발명의 조정 방법의 기술적 사상 등은 본 발명의 표시 패널 혹은 표시 장치 등에 적용할 수 있음은 물론이다. 또한, 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

본 발명의 실시예에서 설명한 표시 장치 혹은 구동 방법 혹은 제어 방법 혹은 방식 등의 기술적 사상은 비디오 카메라, 프로젝터, 입체(3D) 텔레비전, 프로젝션 텔레비전, 필드에미션 디스플레이(FED), SED(캐논과 도시바가 개발한 디스플레이), PDP(플라즈마 디스플레이 패널) 등에 적용할 수 있다. 또한, 뷰 파인더, 휴대 전화의 메인 모니터 및 서브 모니터 혹은 시계 표시부, PHS, 휴대 정보 단말기 및 그 모니터, 디지털 카메라, 위성 텔레비전, 위성 모바일 텔레비전 및 그 모니터에도 적용할 수 있다. 또한, 전자 사진 시스템, 헤드 마운트 디스플레이, 직시 모니터 디스플레이, 노트 퍼스널 컴퓨터, 비디오 카메라, 디지털 스틸카메라, 전자 스틸카메라에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 텔레비전 전화, 퍼스널 컴퓨터, 손목 시계 및 그 표시 장치 등에도 적용할 수 있다. 또한, 바코드 등의 정보의 발생 기기에 적용할 수 있다. 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

본 발명은 전기 밥솥 등의 가전 제품의 표시 모니터, 카 오디오의 표시부, 자동차의 스피드메이커, 면도기의 표시부, 포켓 게임기 및 그 모니터, 전화기의 번호, 공장의 계측기의 인디케이터 등의 표시 모니터, 전철의 목적지 표시 모니터, 네온 표시 장치의 치환, 표시 패널용 백 라이트 혹은 가정용 혹은 업무용의 조명 장치, 천장등, 창 글래스, 자동차의 헤드라이트 등의 조명 장치 등에도 적용 혹은 응용 전개할 수 있음은 물론이다. 조명 장치는 색 온도를 가변할 수 있도록 구성하는 것이 바람직하다. 이것은 RGB의 화소를 스트라이프 형상 혹은 도트 매트릭스 형상으로 형성하고, 이들에게 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있다. 또한, 광고 혹은 포스터 등의 표시 장치, RGB의 신호기, 경보 표시등 등에도 응용할 수 있다. 이들의 기술적 사상 등은 일부 혹은 전부를 불문하고 서로 조합할 수 있다.

스캐너의 광원으로서도 본 발명의 자기 발광 소자 혹은 표시 장치 혹은 유기 EL 표시 패널은 유효하다. RGB의 도트 매트릭스 형상을 광원으로 하여, 대상물에 광을 조사하고, 화상을 판독한다. 물론, 단색이어도 된다는 것은 말할 것도 없다. 또한, 본 발명의 표시 장치로부터 출력되는 광을 단일 파장 혹은 협대역의 파장이 나오도록 구성하고, 레이저 표시 장치 또는 그 응용으로서 이용해도 됨은 물론이다. 협대역화는 간섭 효과 혹은 광학 필터 등을 이용함으로써 실현할 수 있다.

또한, 본 발명은 상기 각 실시 형태에 한정되지 않으며, 그 실시의 단계에서는 그 요지를 이탈하지 않는 범위에서 다양한 변형·변경이 가능하다. 또한, 각 실시 형태는 가능한 한 적절하게 조합하여 실시되어도 되고, 그 경우에는 그 조합에 의한 특징 있는 효과를 얻을 수 있다.

본 발명에 관한 EL 표시 장치 및 EL 표시 장치의 구동 방법은, 표시 얼룩을 저감하면서, 모든 계조 영역에서 기입 부족을 발생시키지 않는다는 효과를 가지므로, 유기 또는 무기 일렉트로루미네센스(EL) 소자 등을 이용한 EL 표시 패널(표시 장치) 등의 자발광 표시 패널(표시 장치), 그 구동 방법, 구동 장치, 및 이들의 표시 패널을 이용한 표시 장치 등에 유용하다.

발명의 효과

본 발명은 화소의 트랜지스터에 정전류를 인가하고, 혹은 화소의 구동 트랜지스터로부터 정전류를 출력시키고, 상기 정전류를 인가 또는 출력한 상태에서 화소의 구동 트랜지스터의 게이트 단자의 전압을 측정한다. 각 화소의 구동 트랜지스터의 게이트 단자의 전압은 구동 트랜지스터의 특성에 의해 서로 다르다.

구동 트랜지스터에 정전류를 인가하고, 구동 트랜지스터의 게이트 단자 전압을 측정하는 것은 구동 트랜지스터의 특성을 측정하게 된다. 측정한 전압은 A/D 변환하여 소스 드라이버 IC(회로)의 내부 혹은 외부에 형성 또는 배치된 메모리에 기억한다. 또는 측정 혹은 취득한 전압을 샘플 홀드한다.

EL 표시 장치에 화상을 표시할 때는 이 메모리에 기억한 전압 데이터를 D/A 변환하여 아날로그 전압으로 하고, 이 아날로그 전압을 기준 또는 원점으로 하여, 계조 전압의 가감산 처리 등을 하고, 목표의 계조 신호를 구하여, 대응하는 화소에 인가한다. 혹은 샘플 홀드한 전압을, 기준 또는 원점으로 하여, 계조 전압의 가감산 처리 등을 하고, 목표의 계조 신호를 구하여, 대응하는 화소에 인가한다.

따라서, 측정한 전압을 기준으로 하여, 계조 혹은 계조 차에 대응하는 영상 전압을 가산하고 상기 트랜지스터에 인가하는 동작은 화소의 구동용 트랜지스터의 특성을 보정한 뒤에, 영상 신호로서의 계조 신호(전압 신호)를 인가하고 있는 것으로 된다.

측정하는 구동용 트랜지스터의 게이트 단자 전압은 측정 후, 리얼 타임으로 영상 전압에 가감산 처리를 하여, 화소의 구동용 트랜지스터에 인가하도록 구성해도 된다. 정전류는 0의 상태도 포함한다(정전류를 흘리지 않는다). 이 경우에는 소스 신호선(18)에는 정전류(Iw)를 공급하지 않고, 대응 화소를 선택하여, 화소의 구동용 트랜지스터의 게이트-드레인 단자를 단락하면 된다.

본 발명에서의 정전류(Iw)란, 소정치로 설정한 전류 혹은 제어한 전류의 의미이고, 반드시 정전류에 한정하는 것은 아니다. 즉, 소정치의 전류의 의미이다. 정전류 발생 회로는 전류 계조 회로(154)와 겸용해도 되고, 별도의 정전류 발생 회로를 설치해도 된다. 또한, 정전류(Iw)를 소스 신호선(18)에 흘려, 상기 소스 신호선(18)의 전위를 측정 혹은 취득하고, 측정 혹은 취득한 전위를 데이터로서 메모리 등의 기억 수단에 유지시킬 때에는 화상 표시에는 정전류 발생 회로는 필요 없다. 즉, EL 표시 장치의 일부는 아니다.

전압 프로그램 방식은 화소의 트랜지스터의 특성 보상이 불충분하다는 결점을 가지고 있었다. 그러나, 본 발명은 화소의 트랜지스터에 정전류를 인가하는 전류 프로그램 방식을 실시하고, 트랜지스터의 게이트 단자 전위를 측정함으로써, 전류 프로그램 방식의 이점인 트랜지스터의 특성 보상 능력을 발휘시킨다.

제1 발명은 화소 행을 선택하고, 소스 신호선(18)에 인가하는 정전류를 소정 이상의 크기의 전류치로 함으로써, 소스 신호선(18)의 전위를 측정 혹은 취득한다. 측정한 전위는 선택한 화소 행의 구동용 트랜지스터(11)의 특성을 나타내고 있다. 이 측정 혹은 취득한 전압을 그대로, 혹은 가감산 처리 등을 행하여, 소스 신호선(18)에 프리차지 전압(Vp)으로서 인가하고, 소스 신호선(18)의 전위를 목표 전위에 가깝게 한다. 다음으로, 목적의 영상 신호에 대응하는 프로그램 전류를 화소(16)에 기입한다.

또한, 필요에 따라 측정 혹은 취득한 전압을 영상 신호의 계조를 구하는 함수의 변수치로서 사용함으로써, 프로그램하는 계조 전류를 구한다. 구한 계조 전류를 화소(16)에 기입하고, 필요에 따라, 도 6, 도 9에서 설명하는 N배 구동을 실시한다. 프리차지 전압(Vp)을 인가함으로써, 또한, 정전류를 소정 이상의 크기로 함으로써, 전류 프로그램 방식의 약점인 저계조 영역(저전류 영역)에서의 기입 부족의 과제가 발생하지 않는다.

제2 본 발명은 화소 행을 선택하고, 소스 신호선(18)에 인가하는 정전류를 소정 이상 크기의 전류치로 함으로써, 소스 신호선(18)의 전위를 측정한다. 측정한 전위는 선택한 화소 행의 구동용 트랜지스터(11)의 특성을 나타내고 있다.

측정한 전압을 영상 신호의 계조를 구하는 함수의 변수치로서 사용함으로써, 목표의 계조 전압을 구한다. 구한 계조 전압을 소스 신호선(18)에 인가함으로써, 선택한 화소 행의 구동용 트랜지스터에 목표의 전류가 EL 소자(15)에 흐르도록 프로그램한다. 즉, 화소(16)에 인가하는 영상 신호에 대응하는 신호는 전압 신호로 된다. 따라서, 전압 신호이기 때문에, 저계조 영역이라 하더라도, 기입 부족은 발생하지 않는다.

이상과 같이, 측정한 소스 신호선(18)의 전압을 기준으로 하여 가산 혹은 감산함으로써 계조 전압을 산출 혹은 구하고, 이 계조 전압을 화소의 트랜지스터에 인가함으로써 전압 구동의 특성인 모든 계조 영역에서 기입 부족이 없다고 하는 이점을 발휘시킬 수 있다.

본 발명은 트랜지스터에 정전류를 인가하고, 트랜지스터의 게이트 단자 전압을 직접 혹은 간접적으로 측정 혹은 유지한다고 설명하지만, 이것에 한정되는 것은 아니다. 또한, 정전류의 인가에 의한 전압의 측정 혹은 메모리에의 취득은 전압의 크기에 한정하는 것이 아니며, 전후의 전압의 변화량, 전압의 변화 속도, 전압의 차분치이어도 된다.

또한, 전압의 측정이란, 측정한 전압을 아날로그-디지털 변환(A/D 변환)하고, 드라이버 회로 외부 혹은 내부에 유지하는 동작 혹은 구성도 포함한다. 또한, 전압을 디지털 데이터로서 메모리에 유지하는 동작도 포함한다. 또한, 측정뿐 아니라, 컨텐서 등의 보유 매체에 일시적으로 보유 또는 래치 혹은 기억하는 동작 혹은 구성도 포함한다. 또한, 정전류란, 정전류를 인가하지 않는 상태(O(A))도 포함한다.

또한, 정전류는 고정치인 것에 한정되지 않는다. 예를 들면, 1 수평 주사 기간에, 사인 파형과 같이 변화해도 된다. 일정한 기간에 평균한 값이, 소정치이면 어느 구성 혹은 값이어도 된다.

도면의 간단한 설명

도 1은 본 발명의 EL 표시 패널의 화소의 구성도.

도 2는 종래의 EL 표시 패널의 화소의 구성도.

도 3은 본 발명의 EL 표시 패널의 구성도.

도 4는 본 발명의 EL 표시 장치의 구성도.

도 5는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 6은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 7은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 8은 본 발명의 EL 표시 패널의 구성도.

도 9는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 10은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 11은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 12는 본 발명의 EL 표시 패널의 화소 구조의 설명도.

도 13은 본 발명의 EL 표시 패널의 화소 구조의 설명도.

도 14는 본 발명의 EL 표시 패널의 화소 구조의 설명도.

도 15는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 16은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 17은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 18은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 19는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 20은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 21은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 22는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 23은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 24는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 25는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 26은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 27은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

- 도 28은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 29는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 30은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 31은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 32는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 33은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 34는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 35는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 36은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 37은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 38은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 39는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 40은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 41은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 42는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 43은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 44는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 45는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 46은 본 발명의 EL 표시 패널의 설명도.
- 도 47은 본 발명의 EL 표시 패널의 설명도.
- 도 48은 본 발명의 EL 표시 패널의 설명도.
- 도 49는 본 발명의 EL 표시 패널의 설명도.
- 도 50은 본 발명의 EL 표시 패널의 설명도.
- 도 51은 본 발명의 EL 표시 패널의 설명도.
- 도 52는 본 발명의 EL 표시 패널의 설명도.
- 도 53은 본 발명의 EL 표시 패널의 설명도.
- 도 54는 본 발명의 EL 표시 패널의 설명도.

도 55는 본 발명의 EL 표시 패널의 설명도.
도 56은 본 발명의 EL 표시 패널의 설명도.
도 57은 본 발명의 EL 표시 패널의 설명도.
도 58은 본 발명의 EL 표시 패널의 설명도.
도 59는 본 발명의 EL 표시 패널의 설명도.
도 60은 본 발명의 EL 표시 패널의 설명도.
도 61은 본 발명의 EL 표시 패널의 설명도.
도 62는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
도 63은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
도 64는 본 발명의 EL 표시 패널의 설명도.
도 65는 본 발명의 EL 표시 패널의 설명도.
도 66은 본 발명의 EL 표시 패널의 설명도.
도 67은 본 발명의 EL 표시 패널의 설명도.
도 68은 본 발명의 EL 표시 패널의 설명도.
도 69는 본 발명의 EL 표시 패널의 설명도.
도 70은 본 발명의 EL 표시 패널의 설명도.
도 71은 본 발명의 EL 표시 패널의 설명도.
도 72는 본 발명의 EL 표시 패널의 설명도.
도 73은 본 발명의 EL 표시 패널의 설명도.
도 74는 본 발명의 EL 표시 패널의 설명도.
도 75는 본 발명의 EL 표시 패널의 설명도.
도 76은 본 발명의 EL 표시 패널의 설명도.
도 77은 본 발명의 EL 표시 패널의 설명도.
도 78은 본 발명의 EL 표시 패널의 설명도.
도 79는 본 발명의 EL 표시 패널의 설명도.
도 80은 본 발명의 EL 표시 패널의 설명도.
도 81은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

- 도 82는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 83은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 84는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 85는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 86은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 87은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 88은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 89는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 90은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 91은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 92는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 93은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 94는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 95는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 96은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 97은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 98은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 99는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 100은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 101은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 102는 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 103은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 104는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.
- 도 105는 본 발명의 EL 표시 패널의 설명도.
- 도 106은 본 발명의 EL 표시 패널의 설명도.
- 도 107은 본 발명의 EL 표시 패널의 구동 방법의 설명도.
- 도 108은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 109는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 110은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 111은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 112는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 113은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 114는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 115는 본 발명의 EL 표시 패널의 설명도.

도 116은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 117은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 118은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 119는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 120은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 121은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 122는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 123은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 124는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 125는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 126은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 127은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 128은 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 129는 본 발명의 EL 표시 패널의 드라이버 회로의 구성도.

도 130은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 131은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 132는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 133은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 134는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 135는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 136은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 137은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 138은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 139는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 140은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 141은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 142는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 143은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 144는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 145는 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 146은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 147은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 148은 본 발명의 EL 표시 패널의 구동 방법의 설명도.

도 149는 본 발명의 EL 표시 장치의 전원 회로의 설명도.

도 150은 본 발명의 EL 표시 장치의 전원 회로의 설명도.

도 151은 본 발명의 EL 표시 장치의 전원 회로의 설명도.

도 152는 본 발명의 EL 표시 장치의 설명도.

도 153은 본 발명의 EL 표시 장치의 설명도.

도 154는 본 발명의 EL 표시 장치의 설명도.

<도면의 주요부분에 대한 부호의 설명>

11: 트랜지스터(TFT)

12: 게이트 드라이버 IC(회로)

14: 소스 드라이버 회로(IC)

15: EL(소자)(발광 소자)

16: 화소

17: 게이트 신호선

18: 소스 신호선

- 19: 축적 용량(부가 컨텐서, 부가 용량)
- 30: 어레이 기관(투명 기관, 글래스 기관)
- 31: 시프트 레지스터 회로
- 32: 버퍼 회로
- 34: 표시 화면
- 61: 기입 행
- 62: 비표시 영역(비점등 영역, 흑 표시 영역)
- 63: 표시 영역(점등 영역, 화상 표시 영역)
- 81: 전류 유지 회로
- 82: 폴리실리콘 전류 유지 회로(내장 전류 유지 회로)
- 83: 출력 단자
- 151: 오피 앰프(버퍼 회로)
- 152: 전자 볼륨(전압 출력 회로)
- 153: 정전류 회로
- 154: 전류 계조 회로
- 161: 스위치(온 오프 수단, 선택 수단)
- 162: 내부 배선(전류 출력 배선)
- 163: 게이트 배선
- 164: 단위 트랜지스터(단위 전류원)
- 165: 트랜지스터 군
- 167: 트랜지스터
- 168: 트랜지스터
- 211: 일치 회로
- 212: 카운터 회로
- 213: AND(회로)
- 214: 프리차지 회로(프리차지 전압 발생 회로)
- 221: 래치 회로

222: 셀렉터 회로(선택 회로)

231: 전압 게조 회로(전압 출력 회로)

241: 샘플 홀드 회로

242: 소스 신호선 단자

291: 절환 회로

321: 단위 트랜지스터

331: 비교 회로

381: 전압 측정 회로(전압 취득 수단)

391: A/D 변환 회로

441: 절환 회로

443: 평균화 회로

501: 소스 신호선 검출선

502: 메모리(기억 수단)

521: 전압 측정 회로(IC)

611: 전압 배선

651: 연산 회로(처리 회로)

801: 컨트롤 IC(회로)

841: 단락 배선

842: 단자 전극

843: 프로브

844: 정전류원

845: 배선

851: 온도 보상 회로

931: 록 업 테이블

951: OR 회로

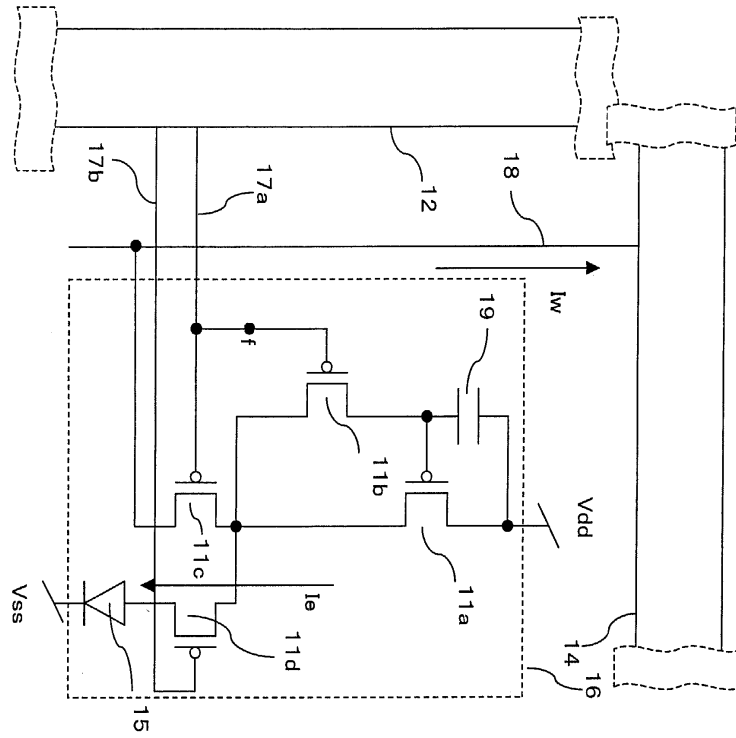
1051: 플래시 메모리

1092: 레이저 조사 범위(엑시머 레이저 스폿)

1093: 위치 결정 마커
1094: 글래스 기관
1221: 캐스케이드 회로
1222: 전압 배선
1241: D/A 변환 회로
1271: 정전류 출력 회로
1311: 스위치 회로
1312: 정전류원
1313: 전류 출력 회로
1341: 컨덴서
1431: 에미터 팔로워 회로
1481: 계조 스위치 제어 회로
1482: 프리차지 전류 제어 회로
1483: 프리차지 기간 판정 회로
1484: 인버터 회로
1521: 안테나
1522: 키
1523: 케이싱
1524: 표시 패널
1531: 지점
1532: 촬영 렌즈
1533: 저장부
1534: 스위치
1541: 본체
1542: 촬영부
1543: 셔터 스위치

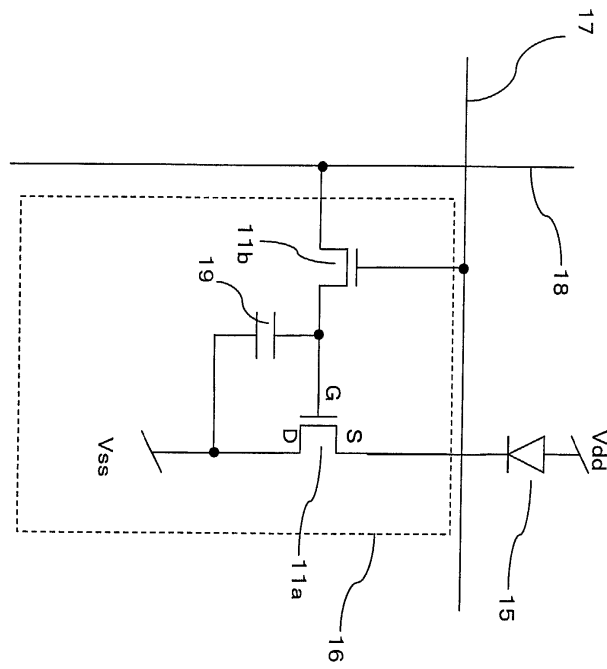
도면

도면1

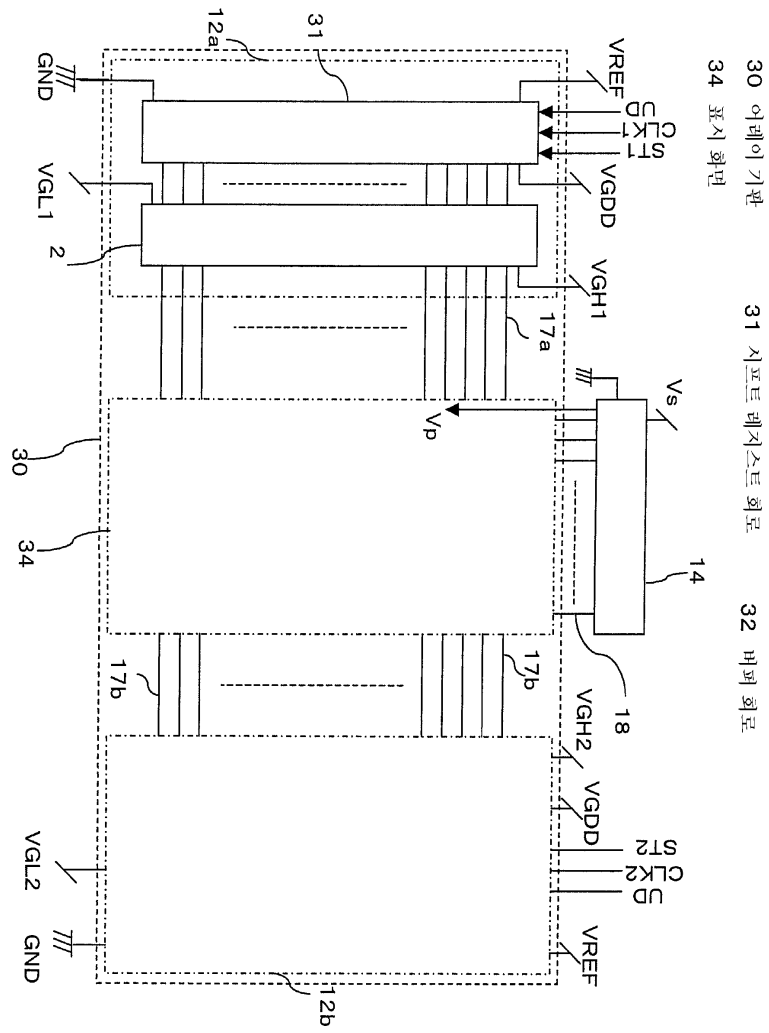


- 11 트랜지스터(TFT)
- 12 게이트 드라이브(회로)
- 14 소스 드라이버(회로)
- 15 EL(소자)
- 16 화소
- 17 게이트 신호선
- 18 소스 신호선
- 19 축적 용량(부가 용량)

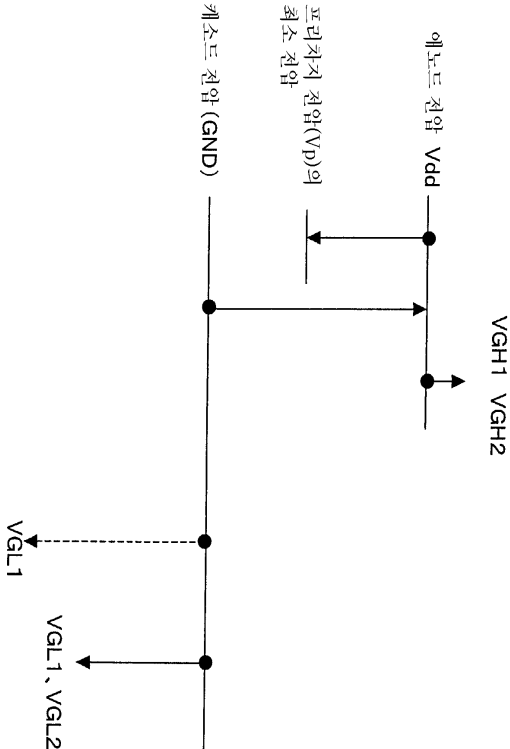
도면2



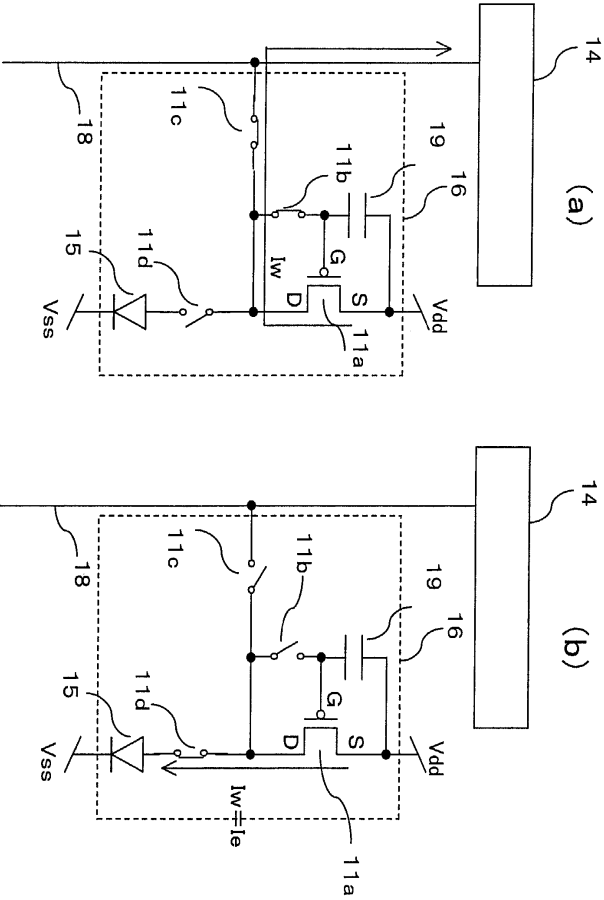
도면3



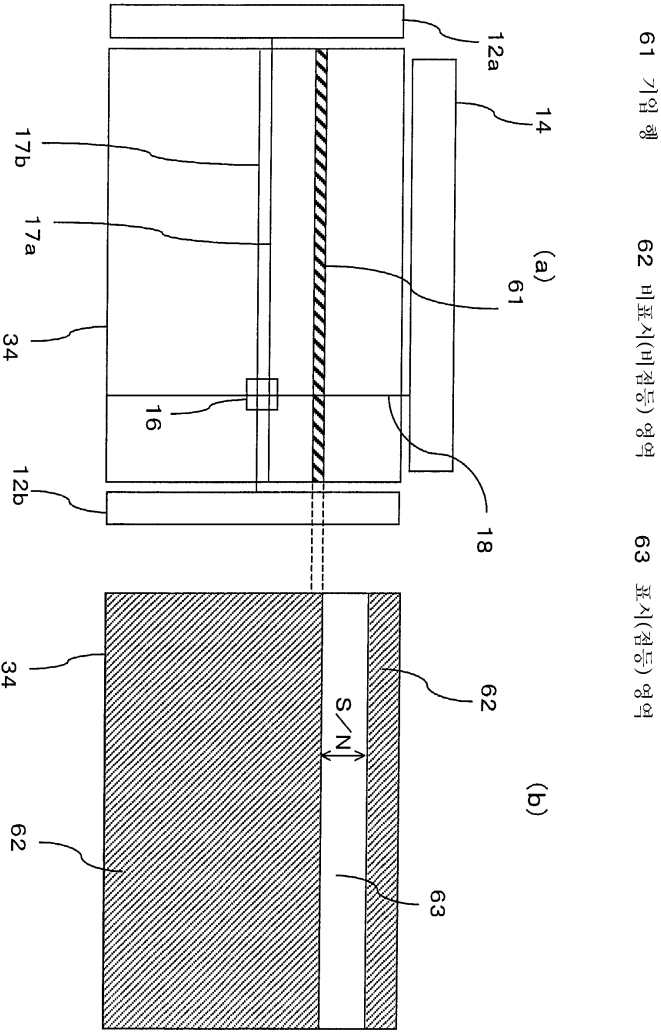
도면4



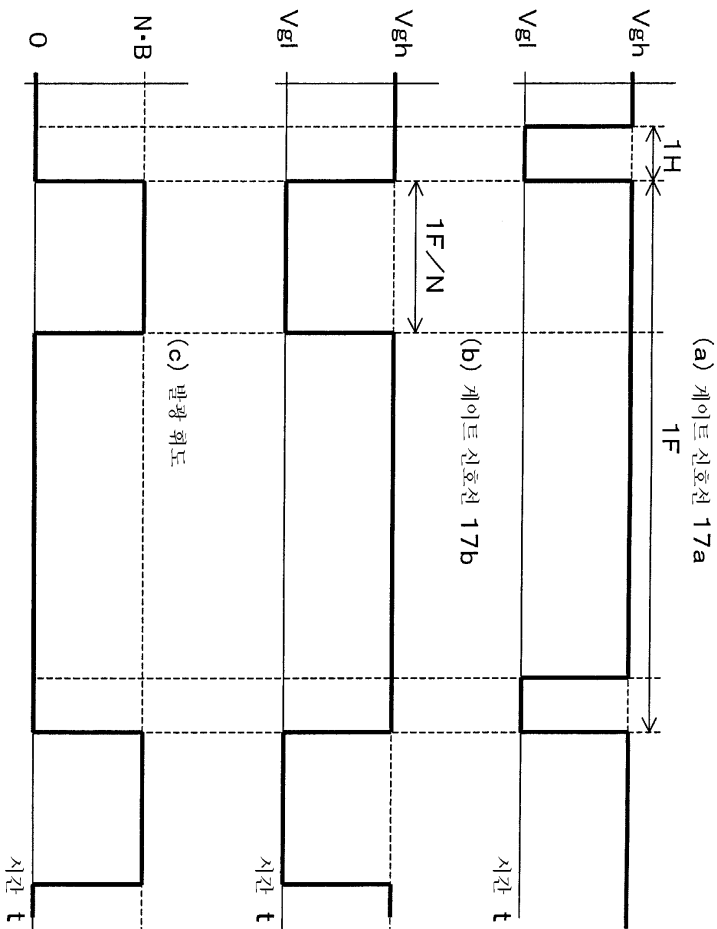
도면5



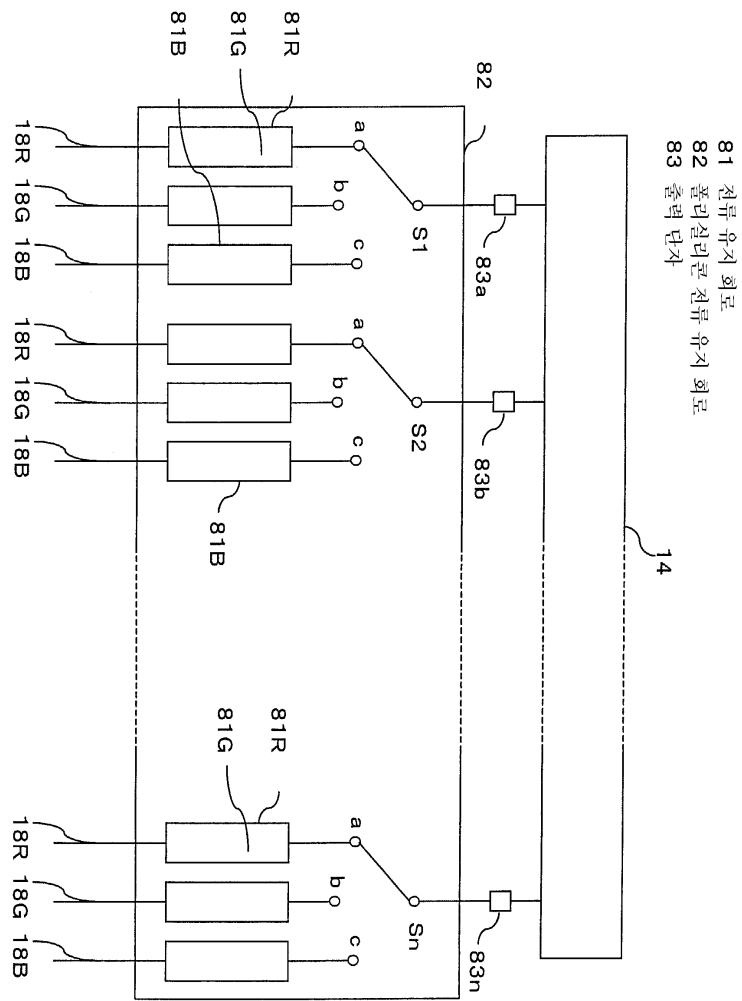
도면6



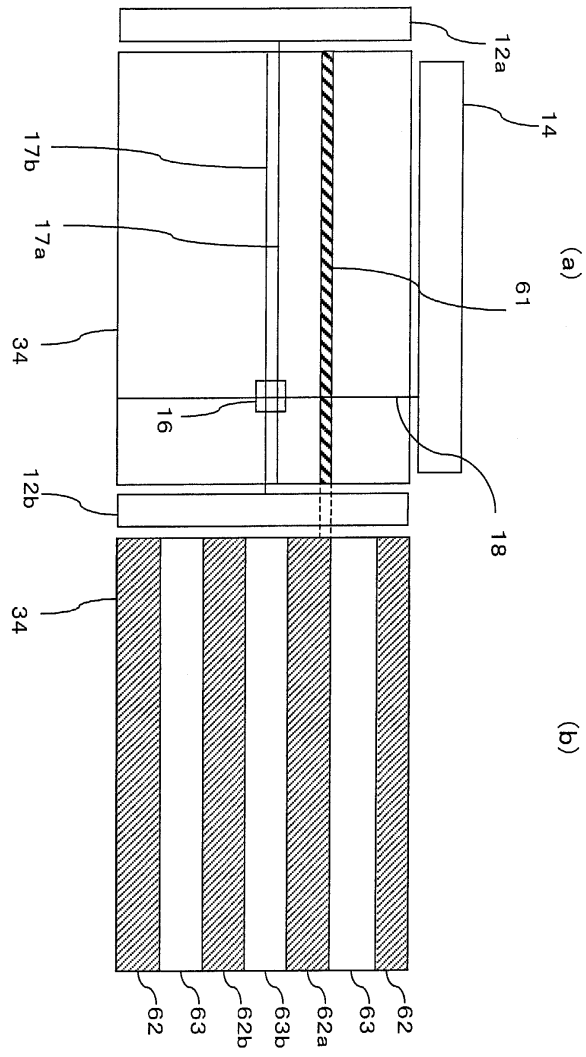
도면7



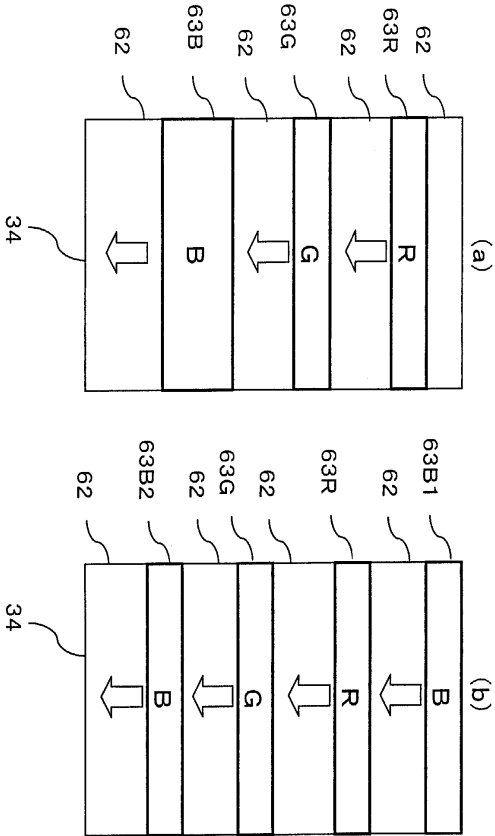
도면8



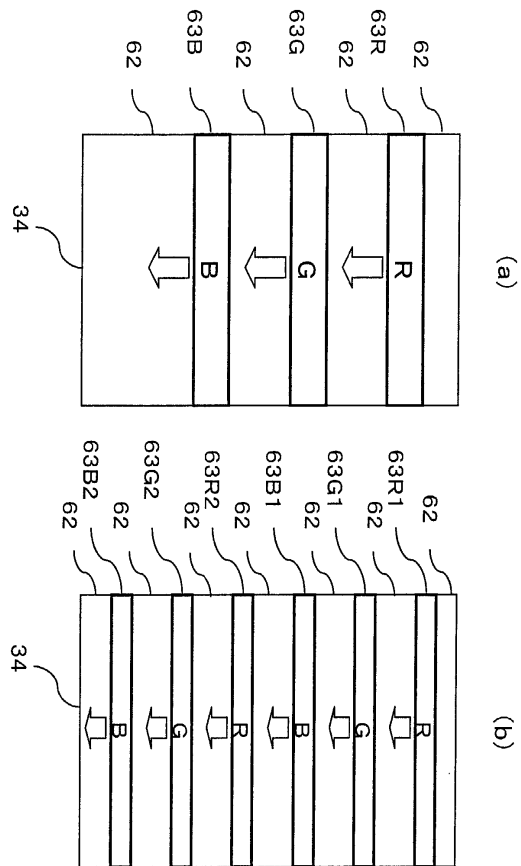
도면9



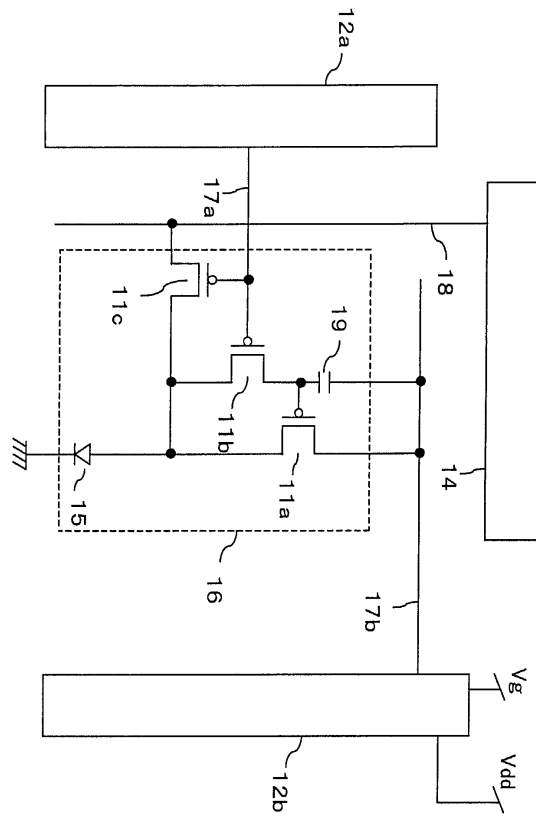
도면10



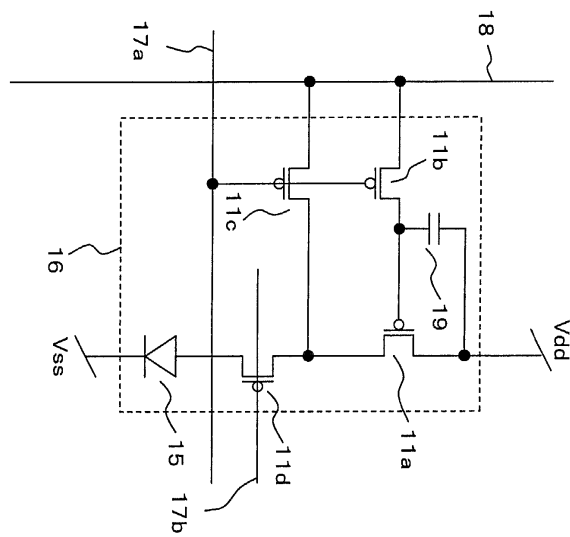
도면11



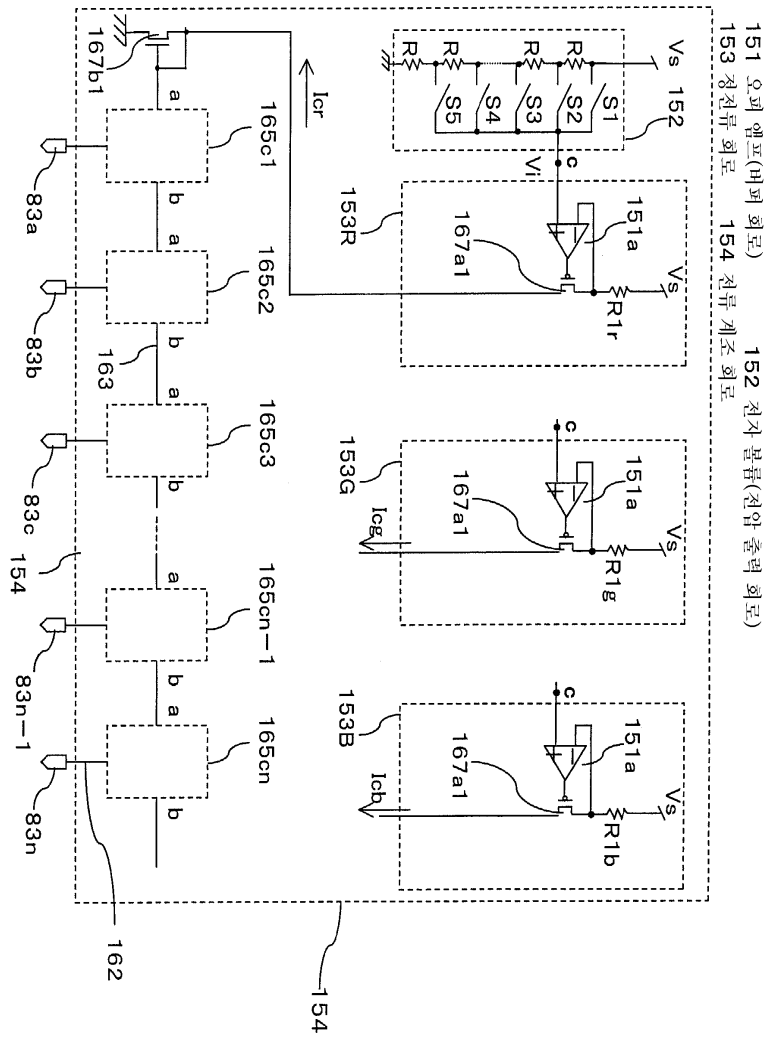
도면13



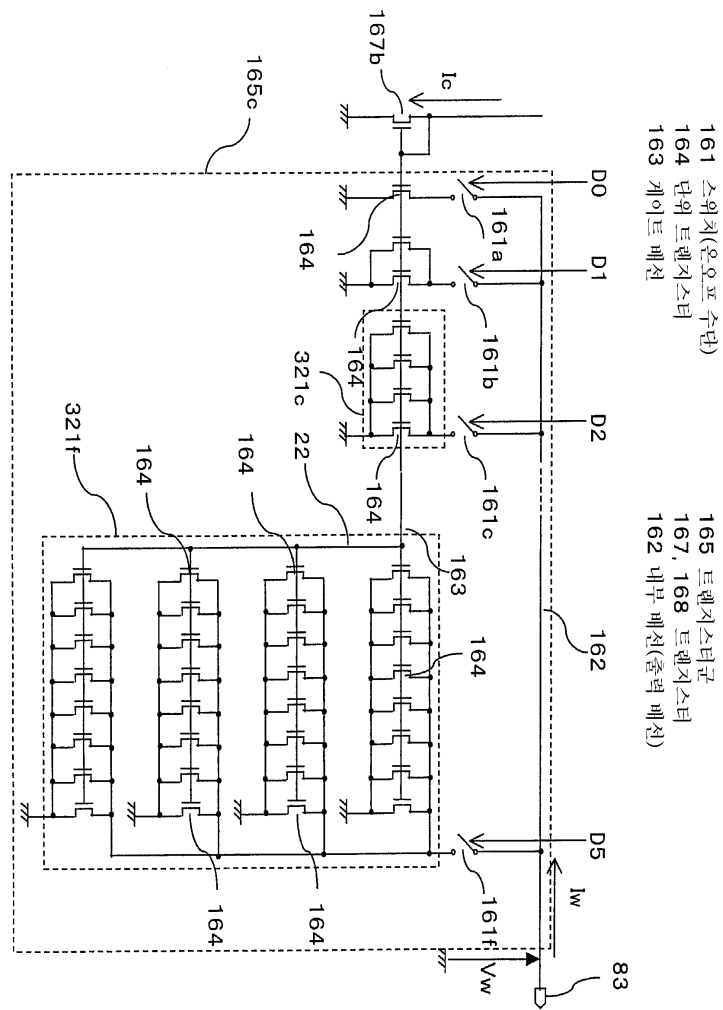
도면14



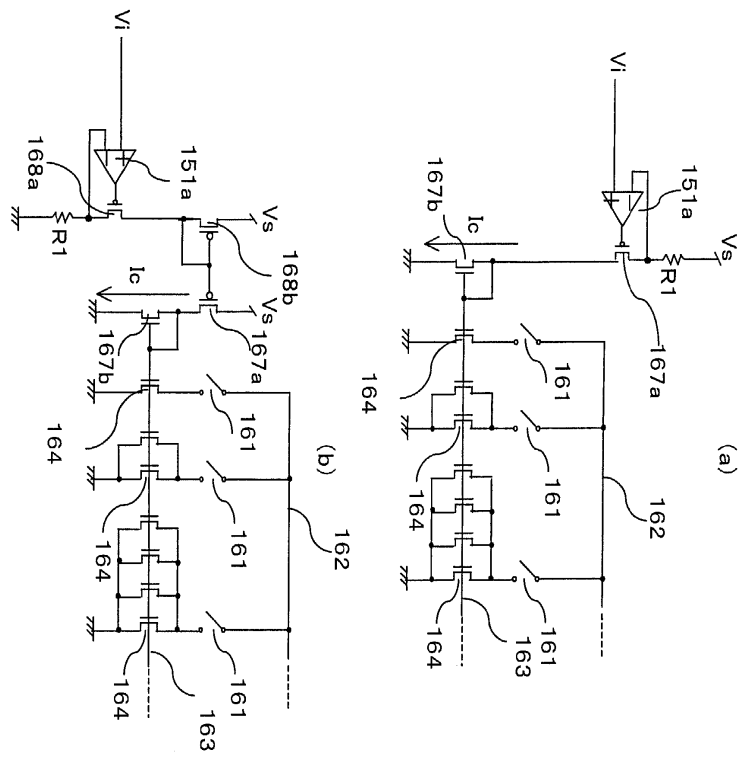
도면15



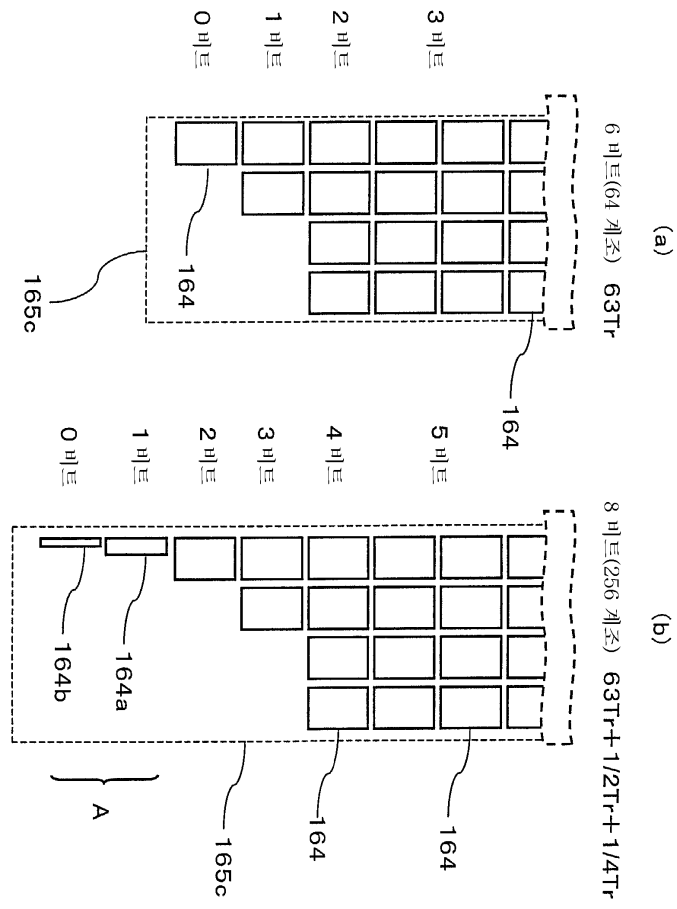
도면16



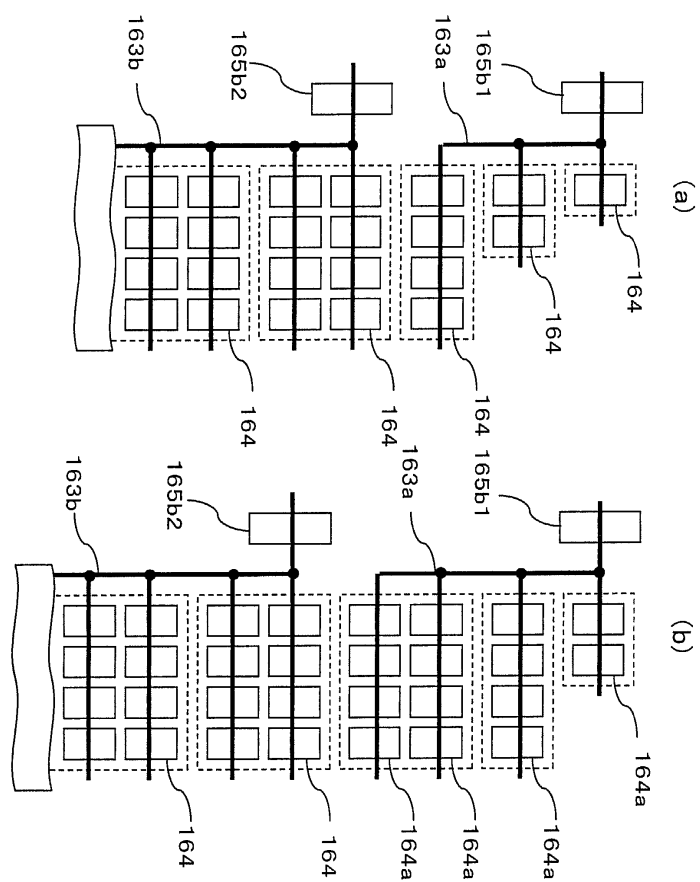
도면17



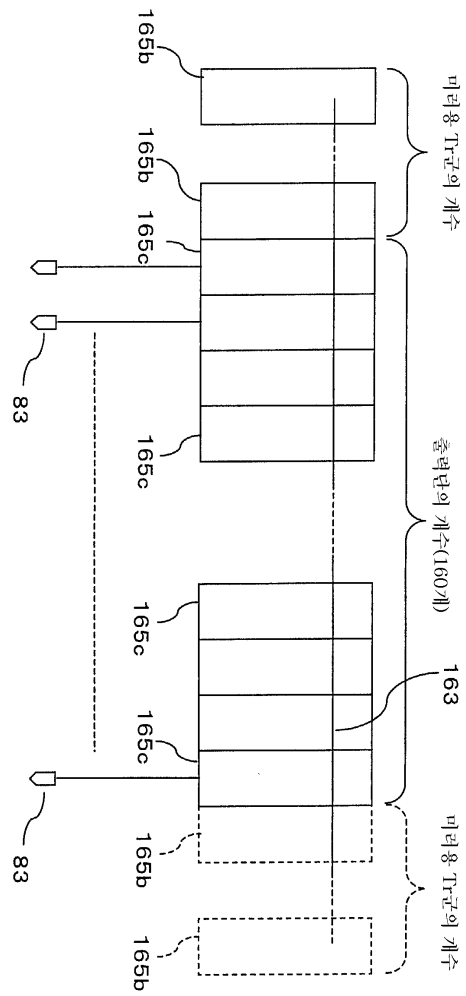
도면18



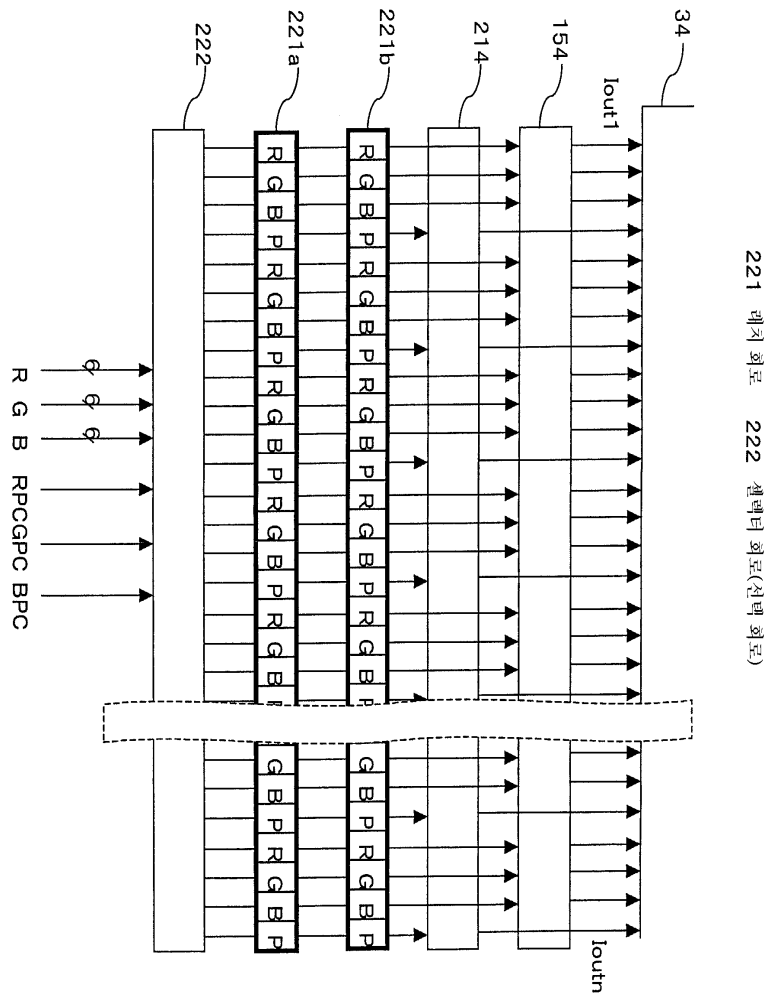
도면19



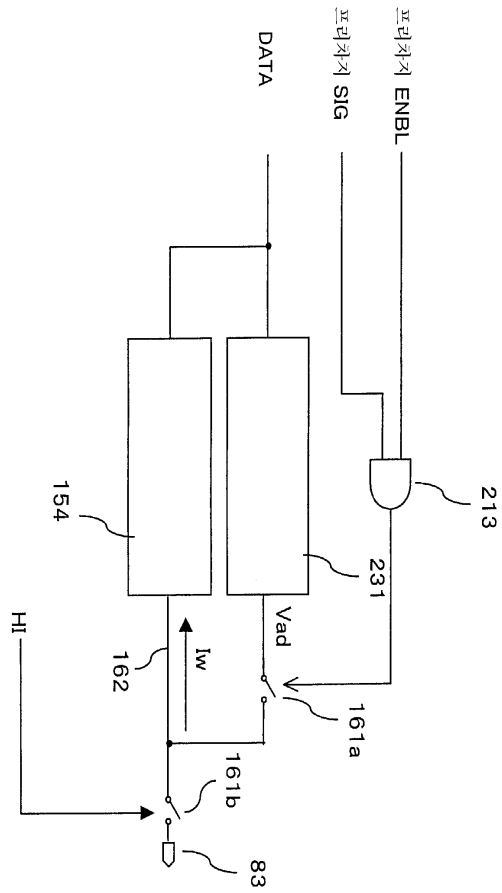
도면20



도면22



도면23

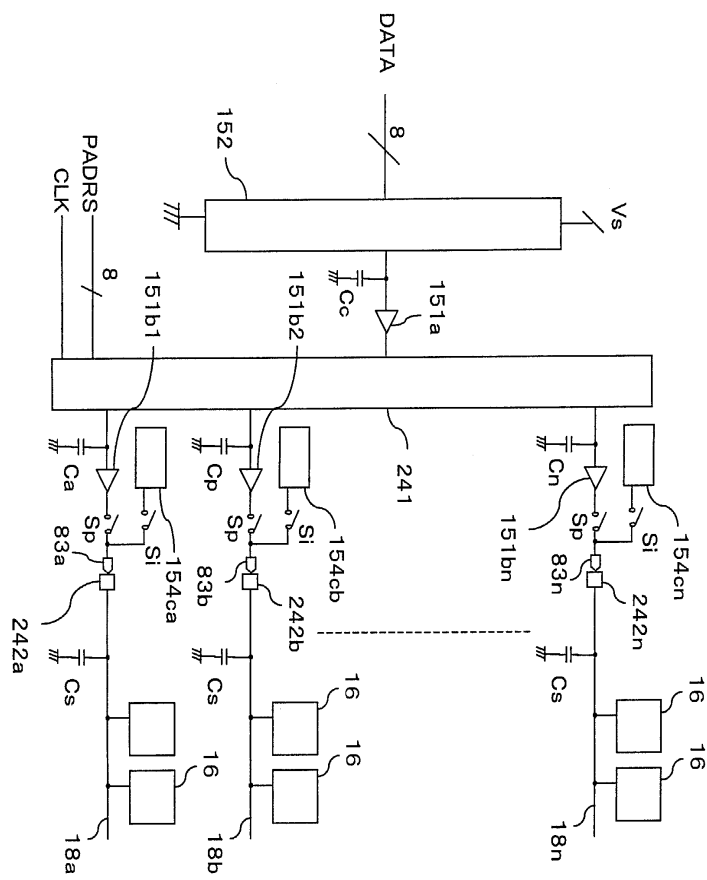


231 전압 게조 회로

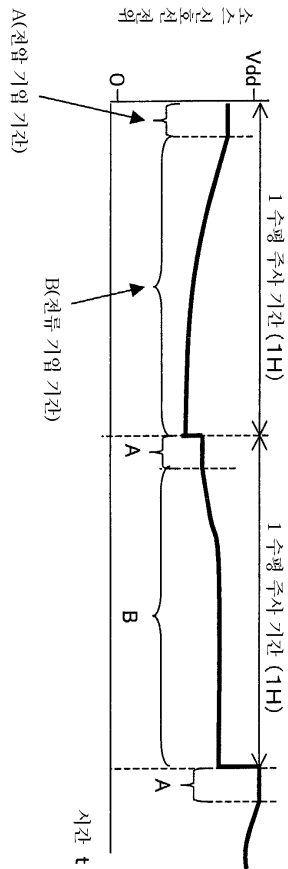
도면24

241 세포호드외교

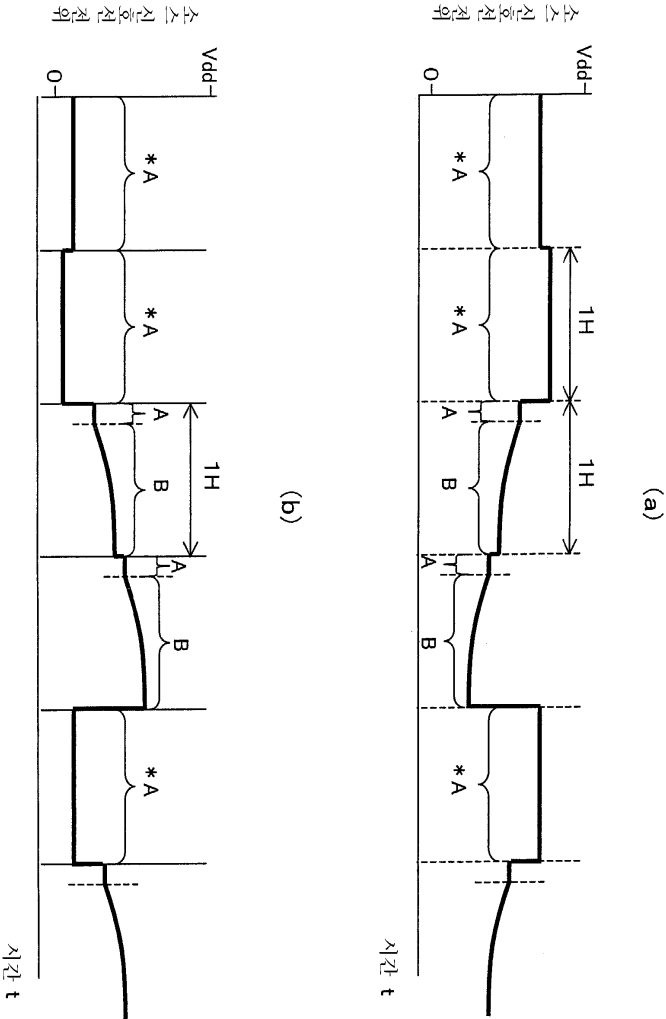
242 소스 신호선 단지



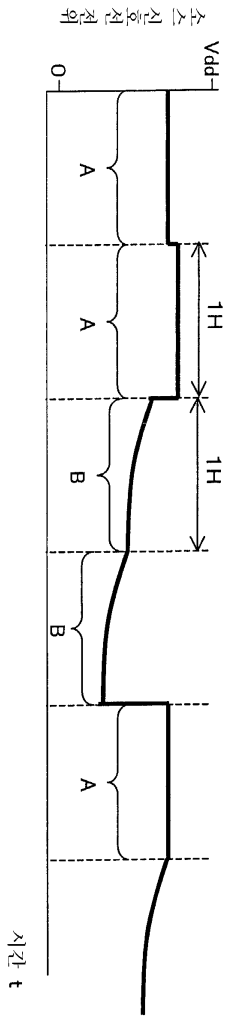
도면25



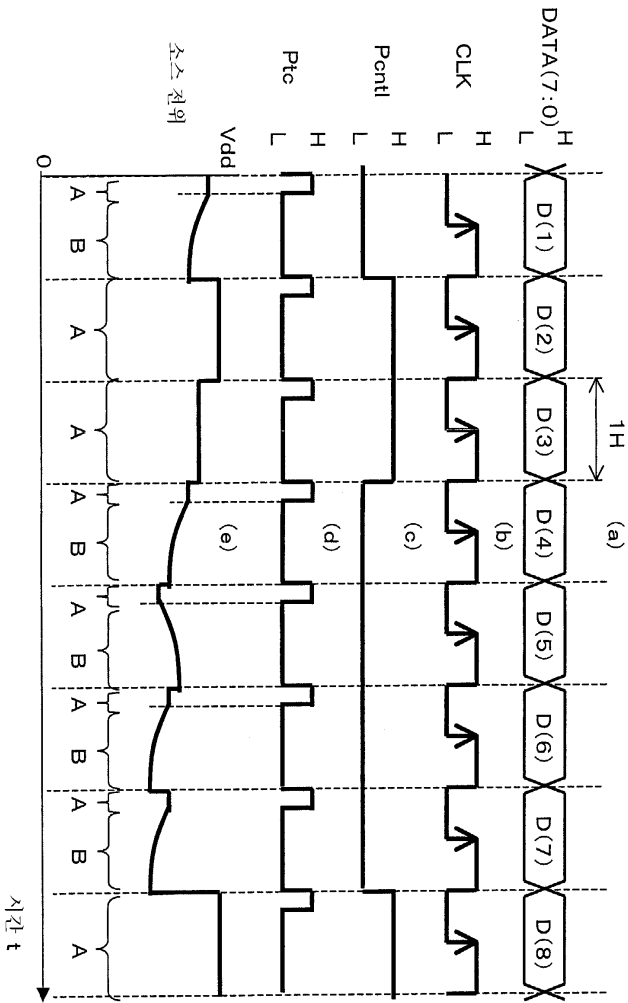
도면26



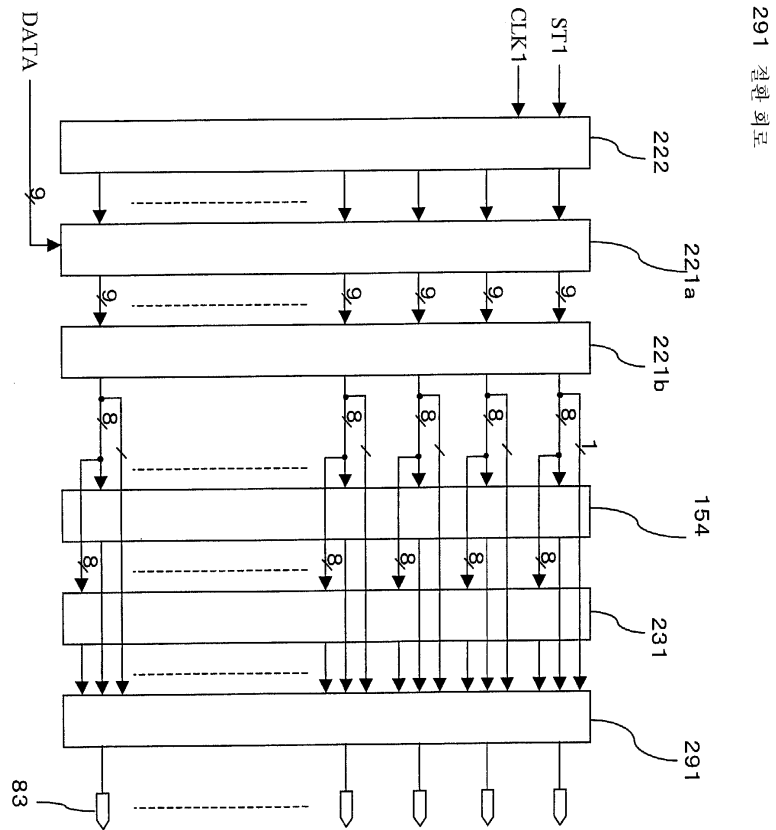
도면27



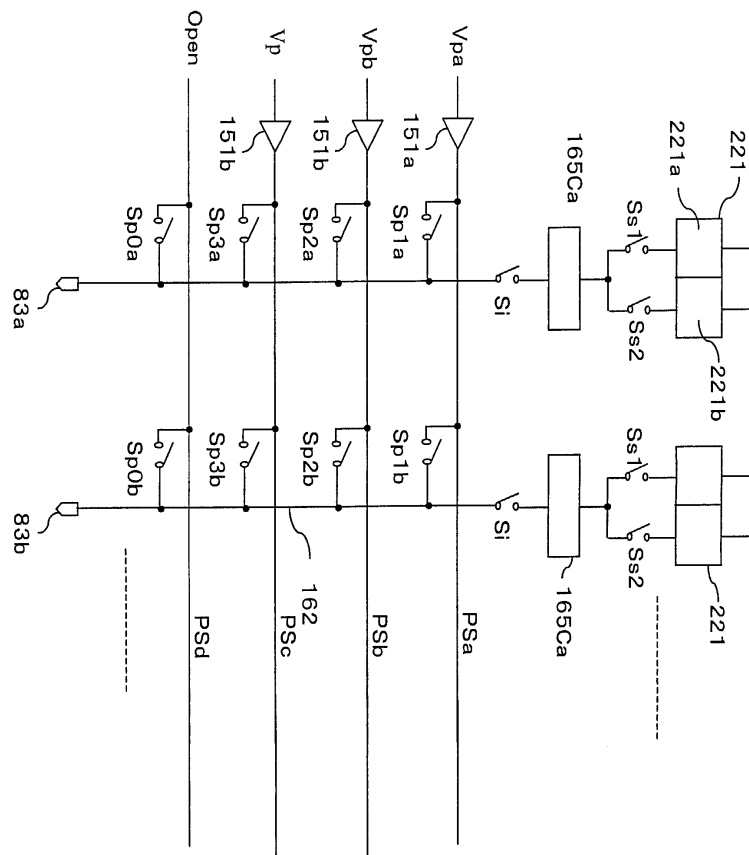
도면28



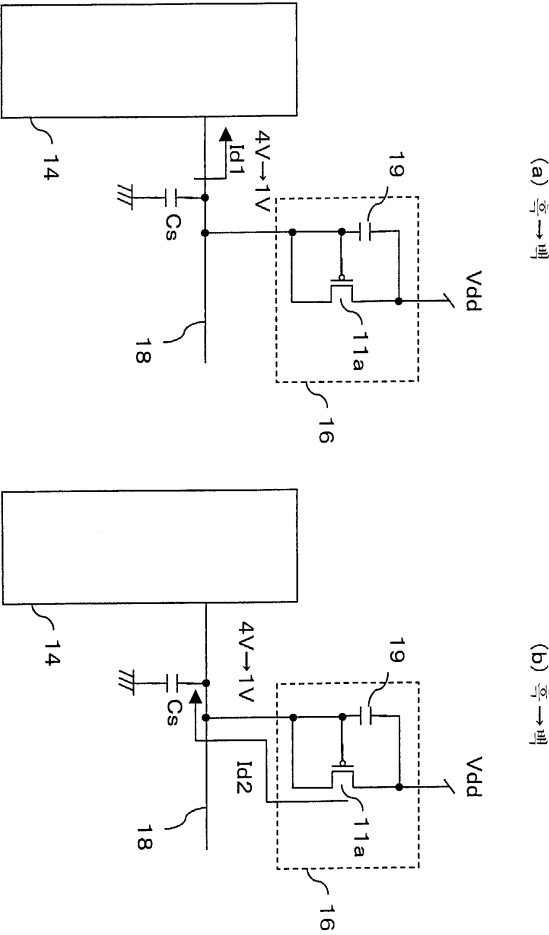
도면29



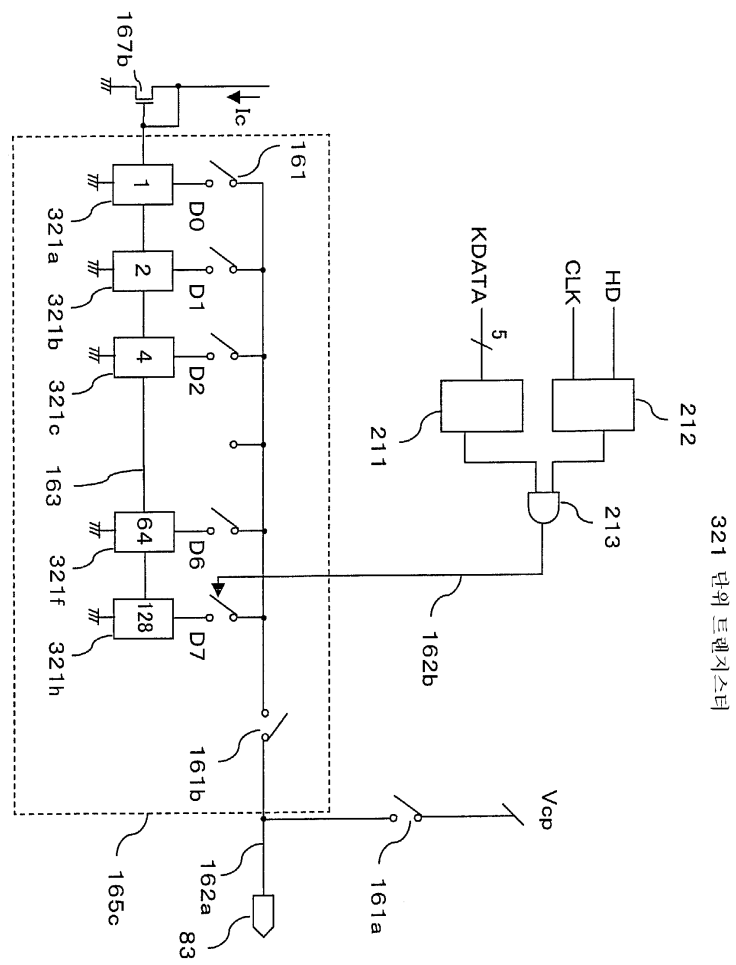
도면30



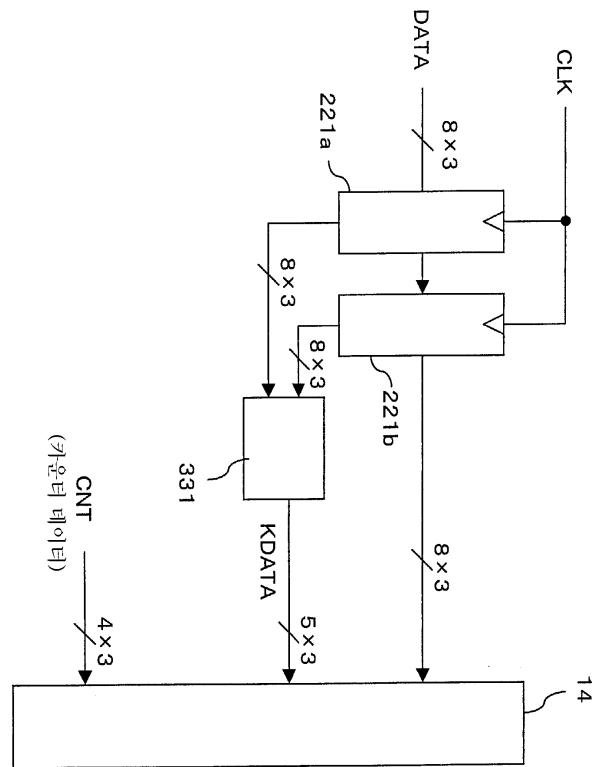
도면31



도면32



도면33



도면34

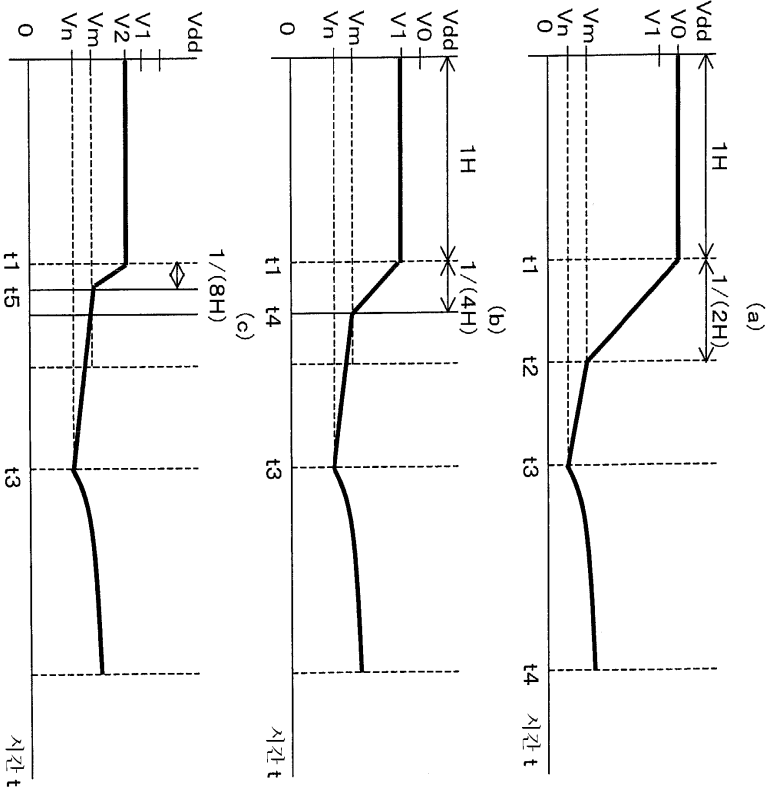
KDATA

변화 전(前) / 변화 후(後)

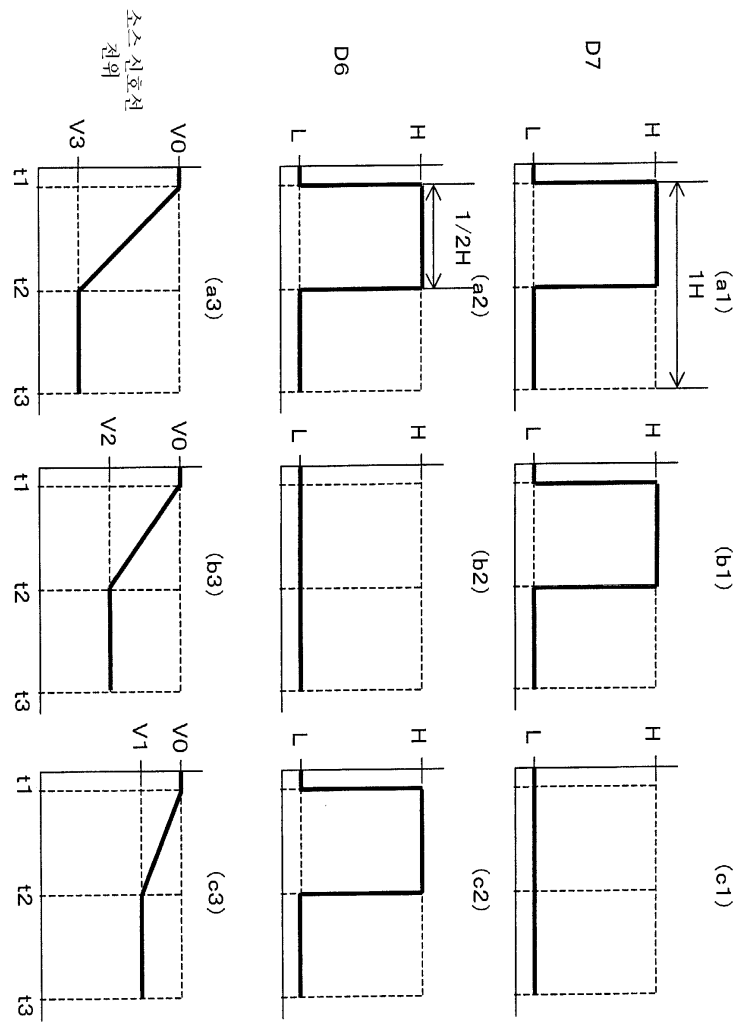
		0	1	2	3	-----	n-1	n
	0	0	-	-	-		-	-
	1	15	0	-	-		-	-
	2	12	10	0	-		-	-
	3	10	8	6	0		-	-
	4	8	6	4	2		-	-
	-----					-----		-----
변화 후		n-1	0	0	0		-	-
		n	0	0	0	-----	-	-

도면35

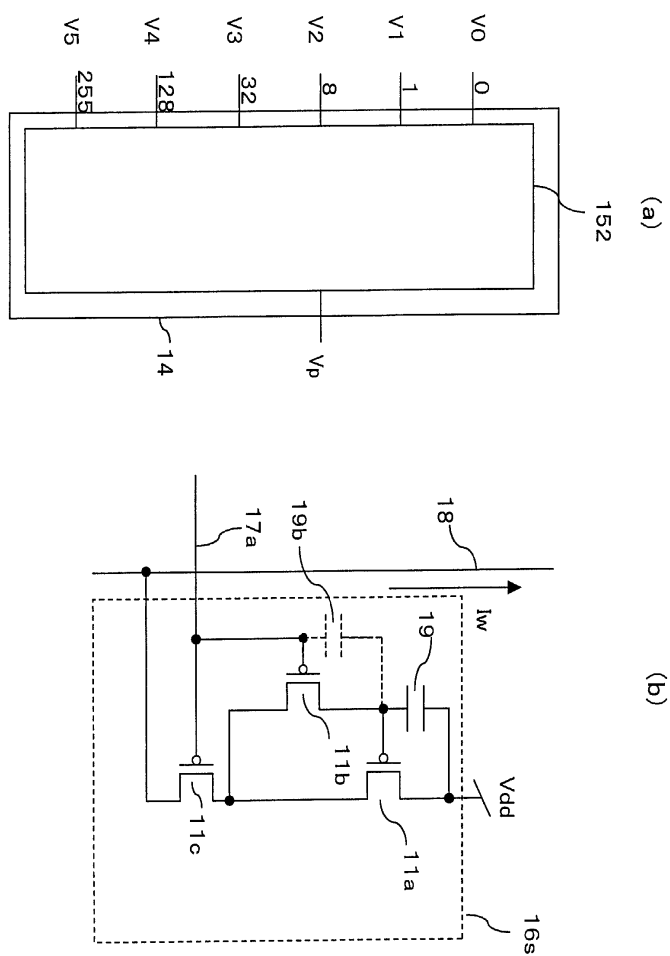
순서: 전이후 전이 전



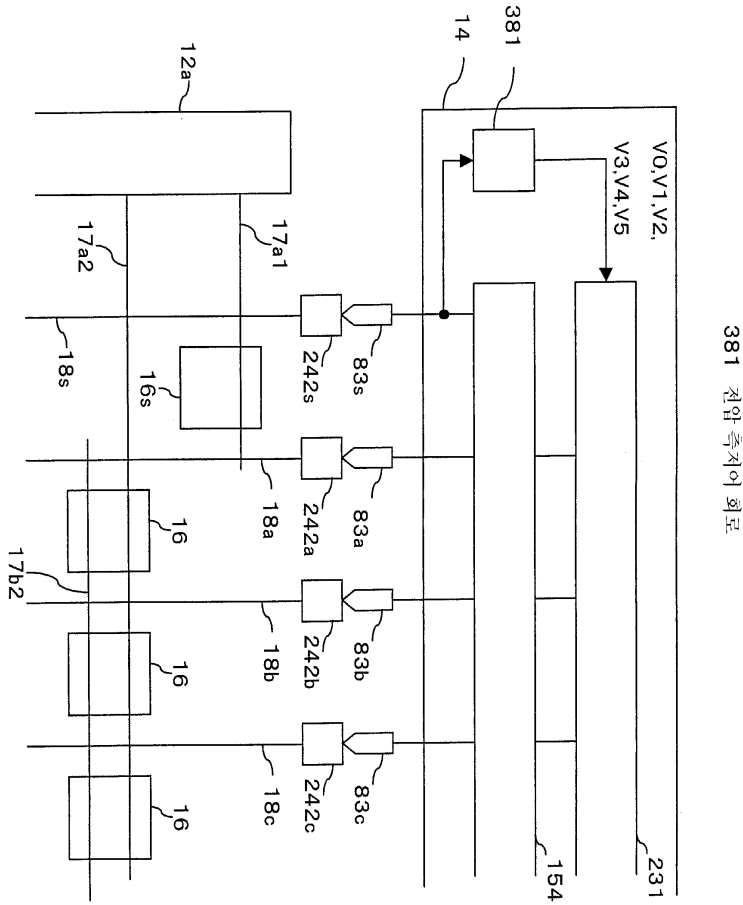
도면36



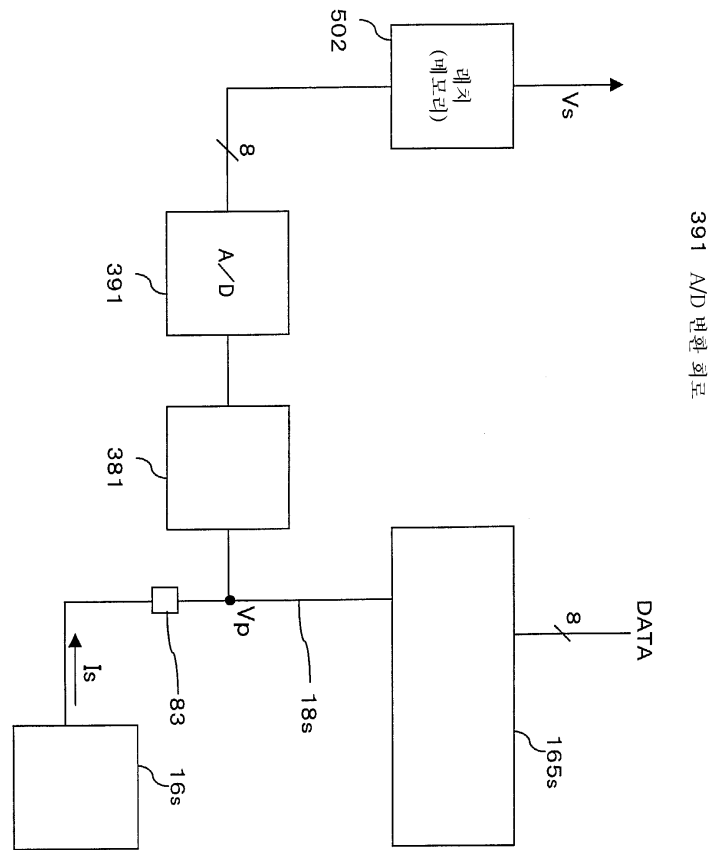
도면37



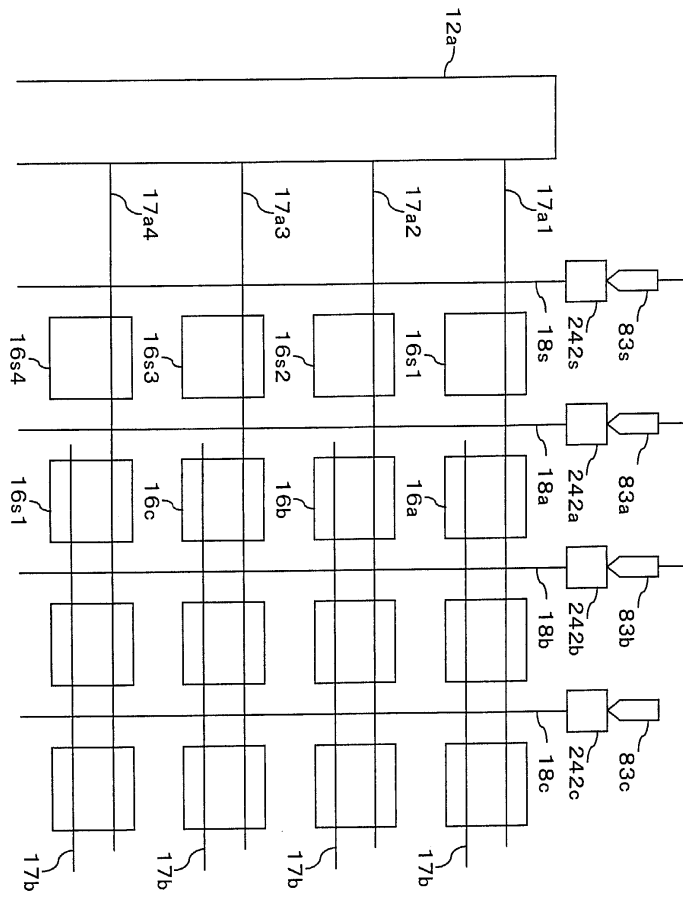
도면38



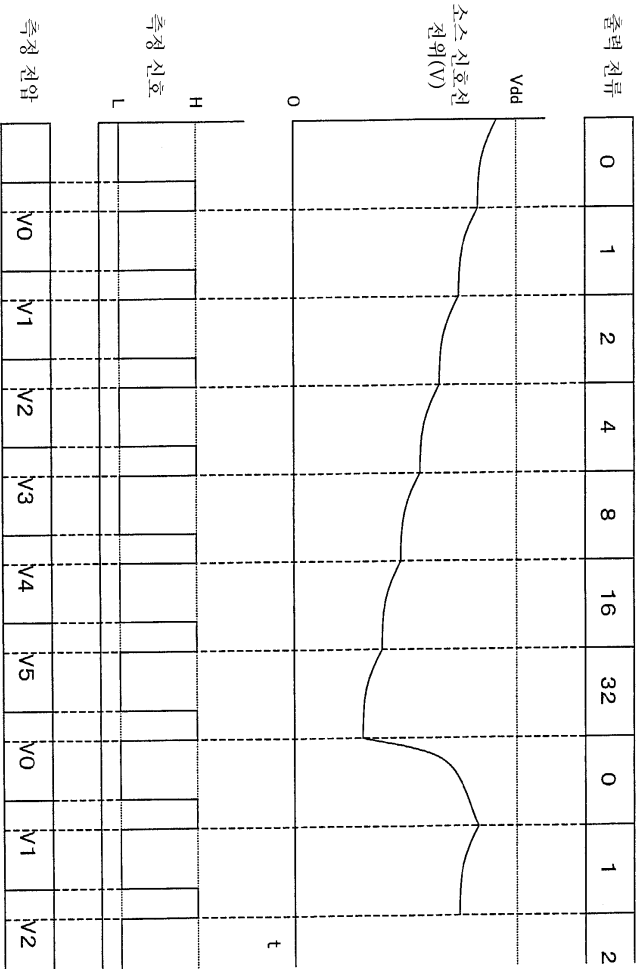
도면39



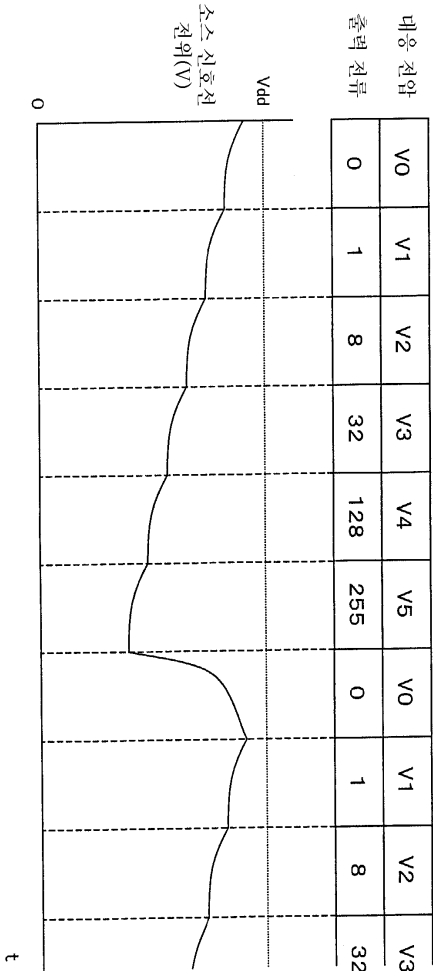
도면40



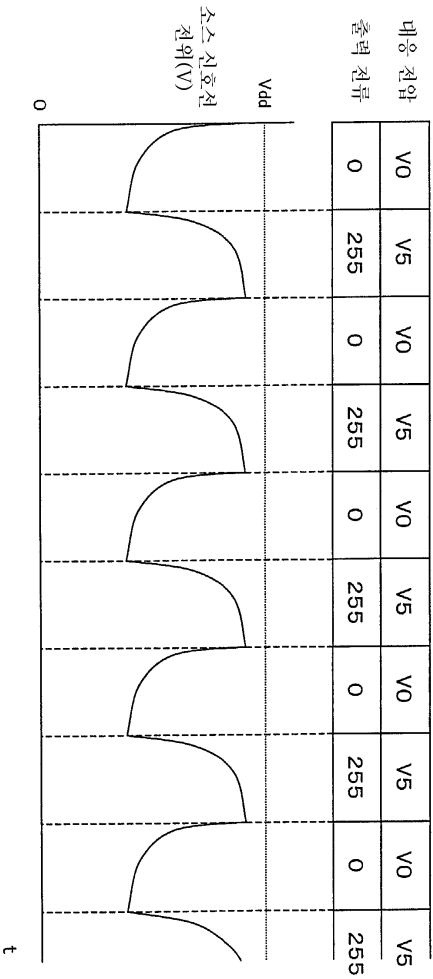
도면41



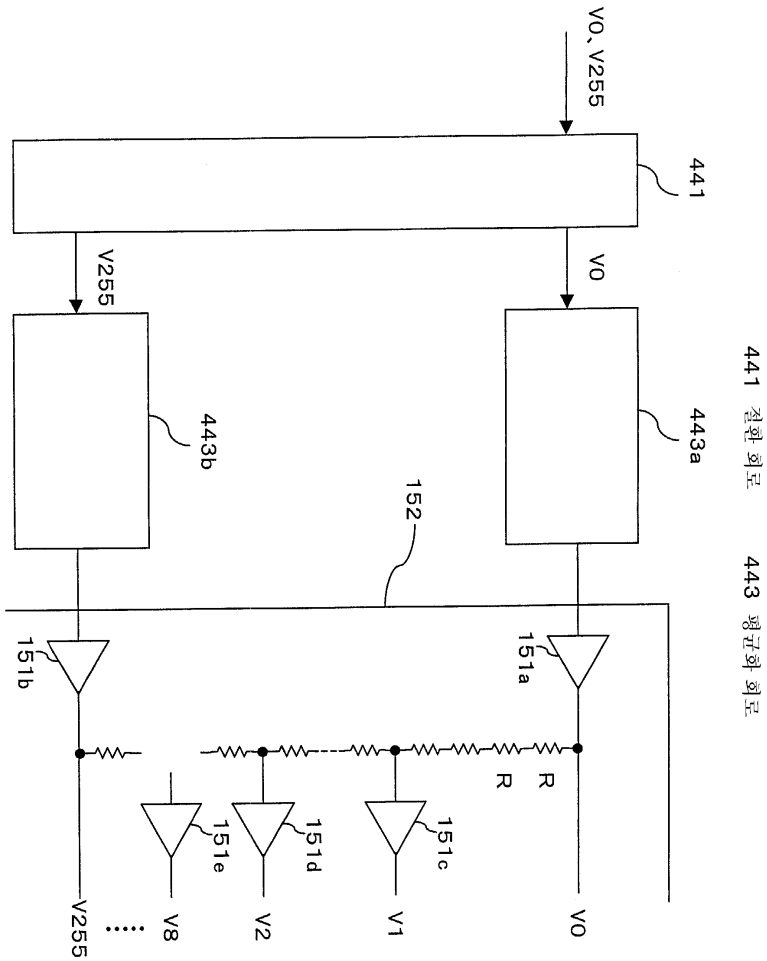
도면42



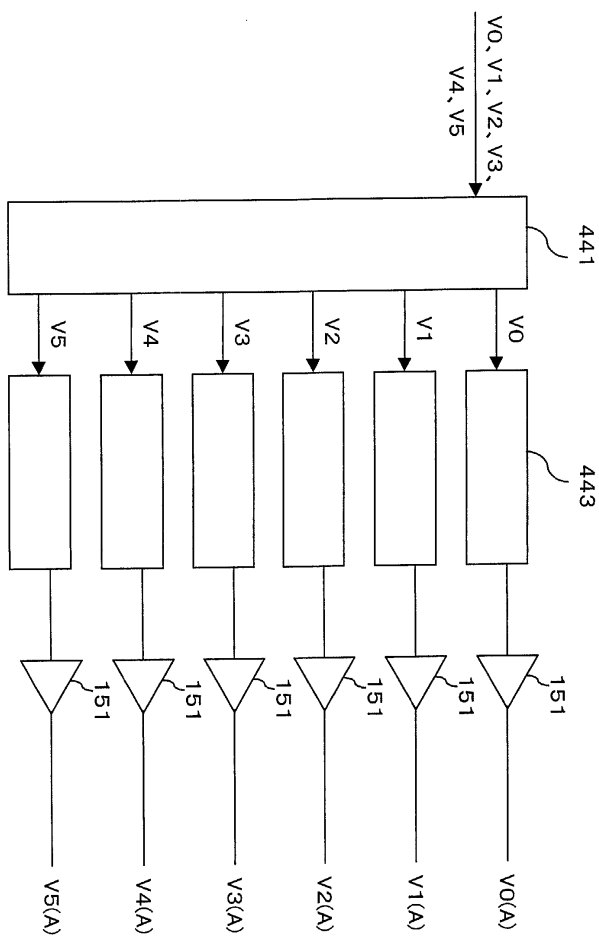
도면43



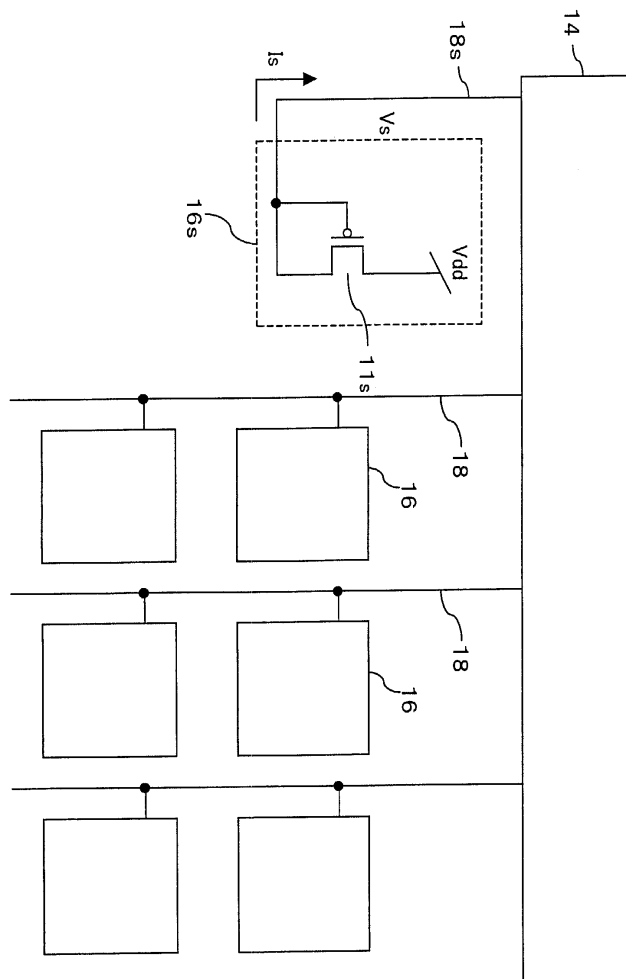
도면44



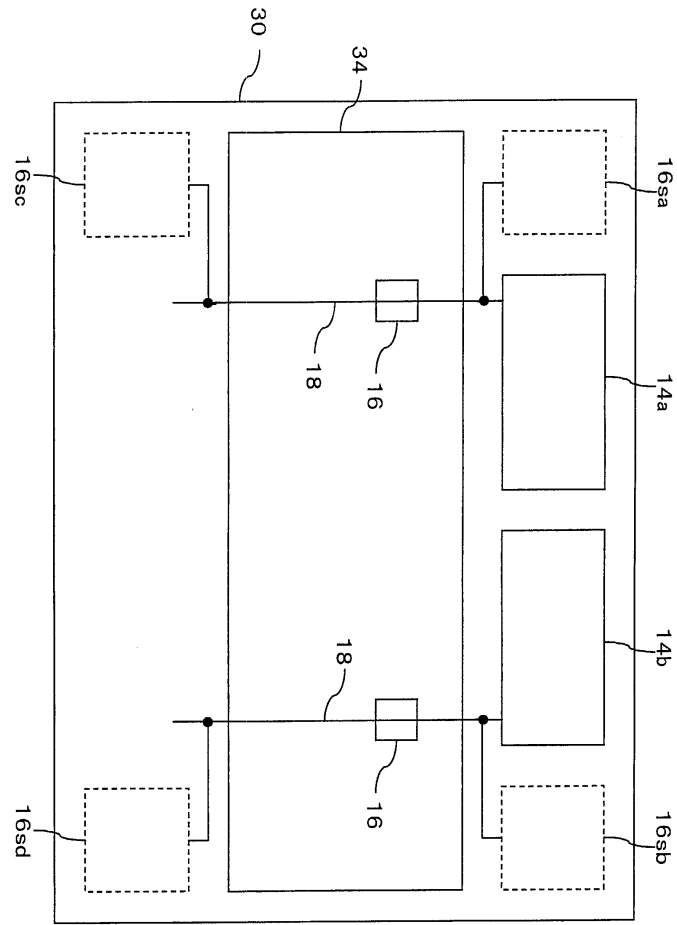
도면45



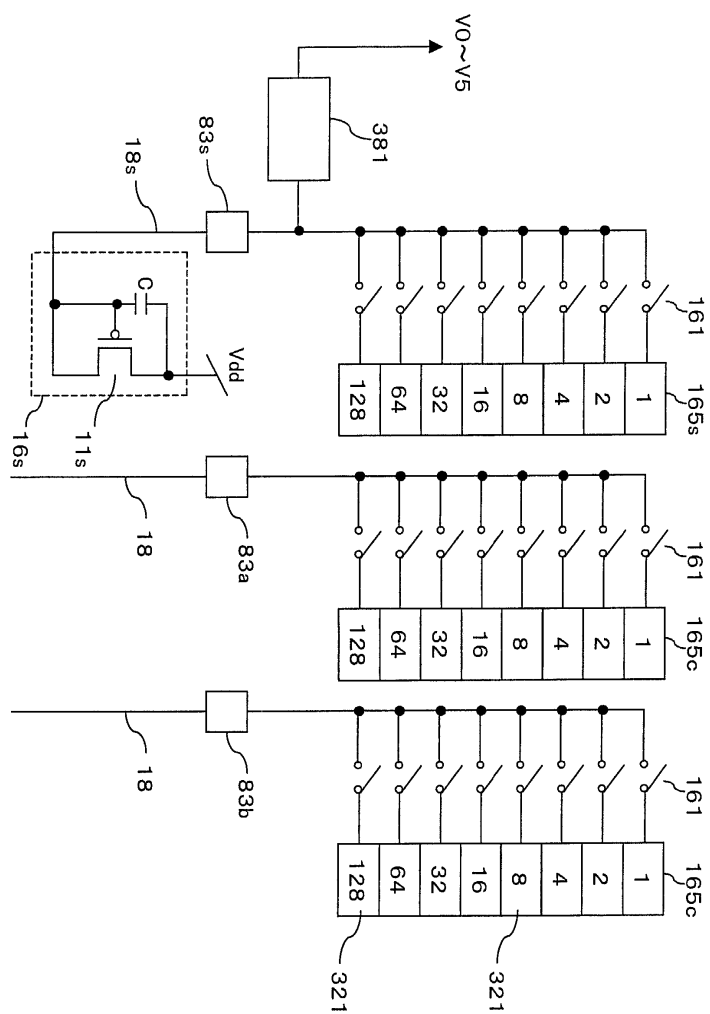
도면46



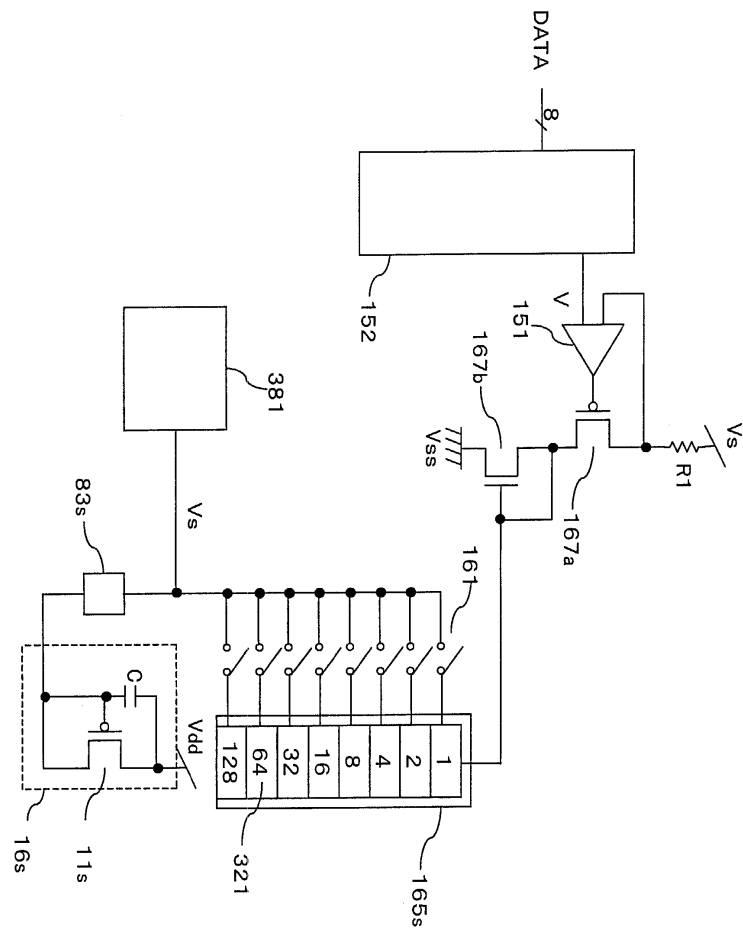
도면47



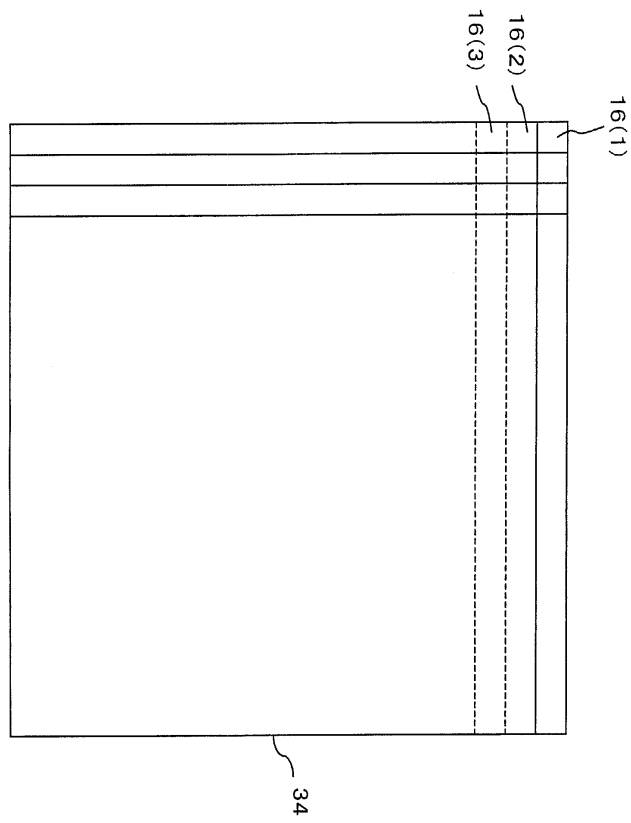
도면48



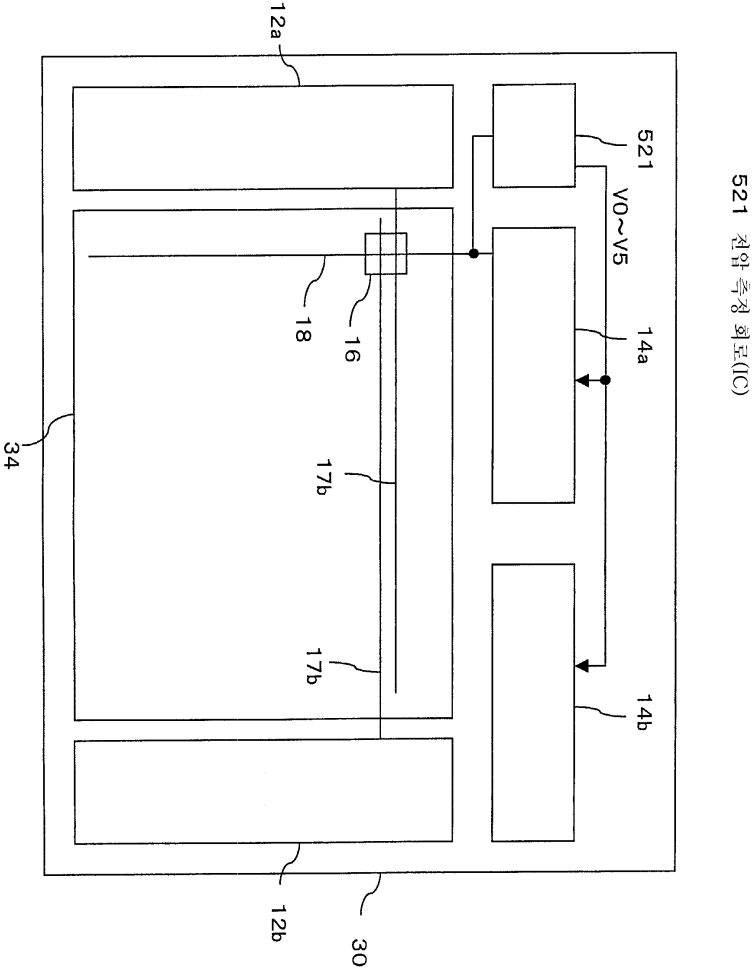
도면49



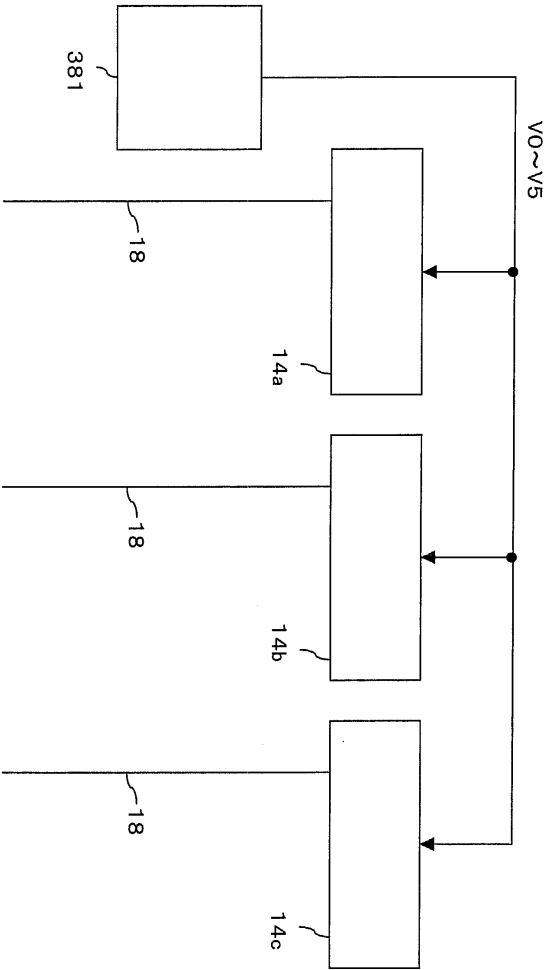
도면51



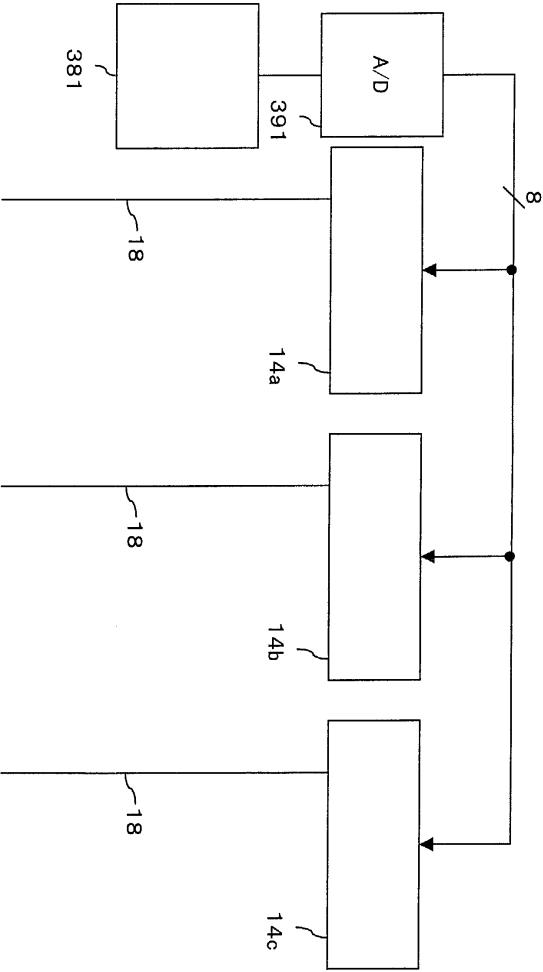
도면52



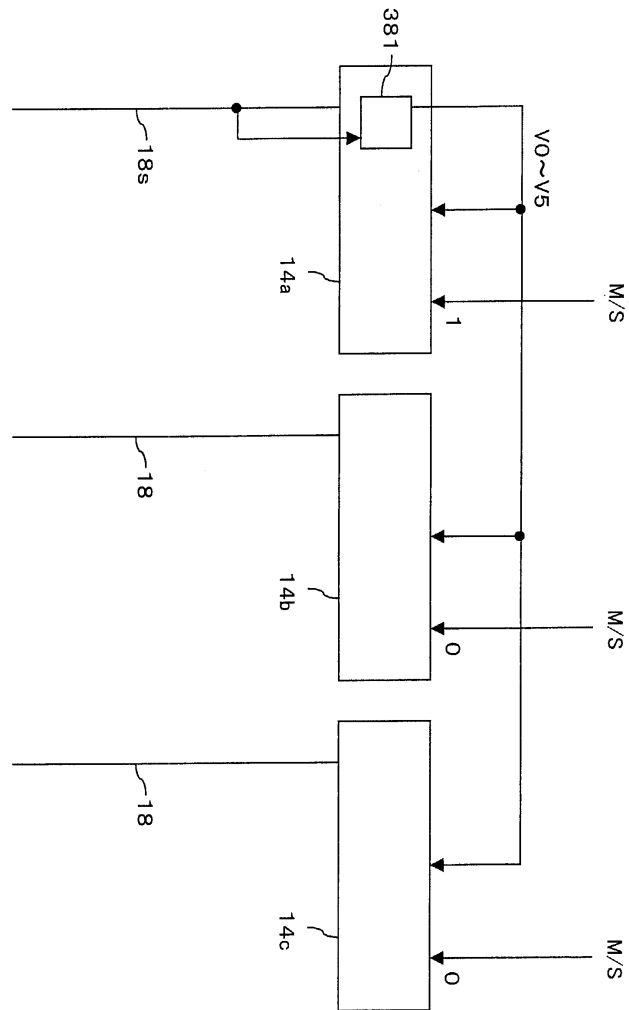
도면53



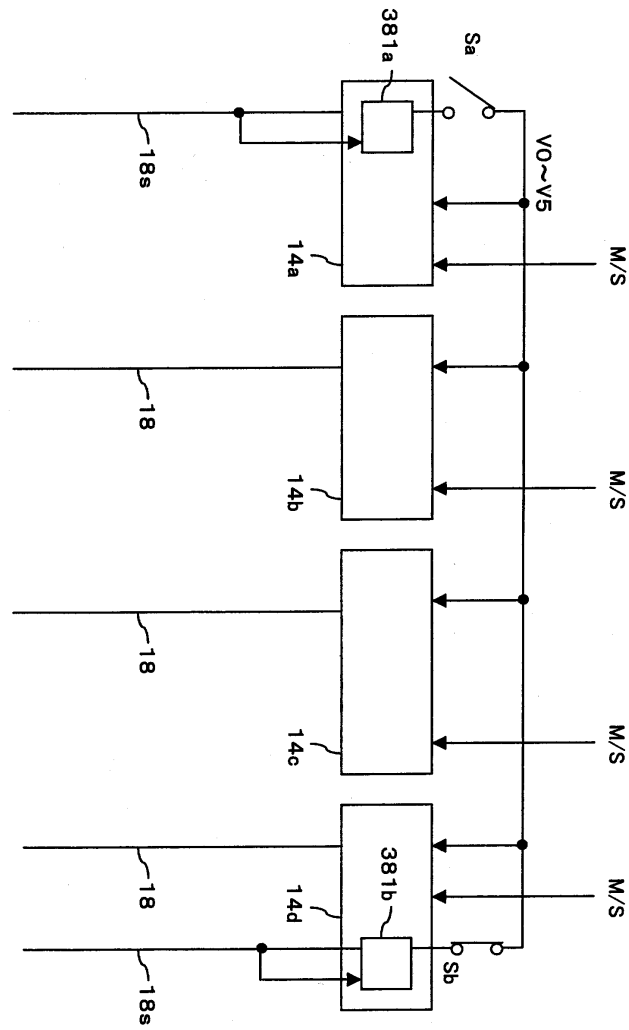
도면54



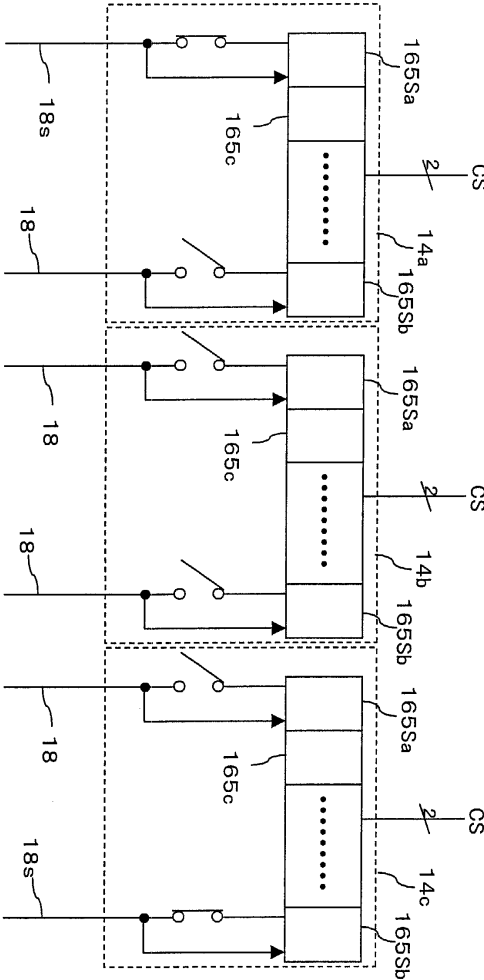
도면55



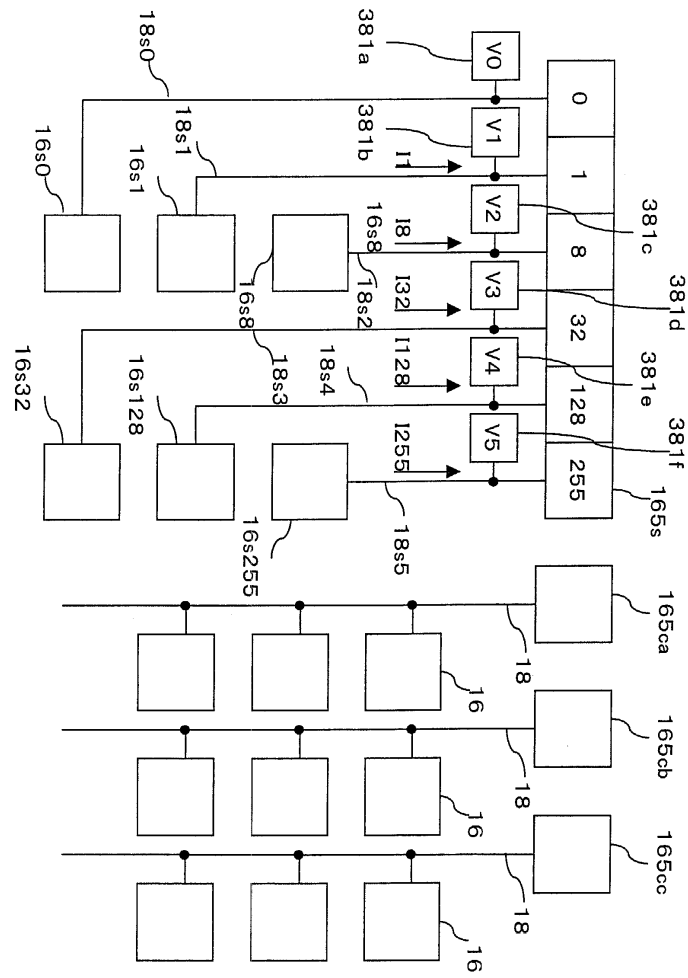
도면57



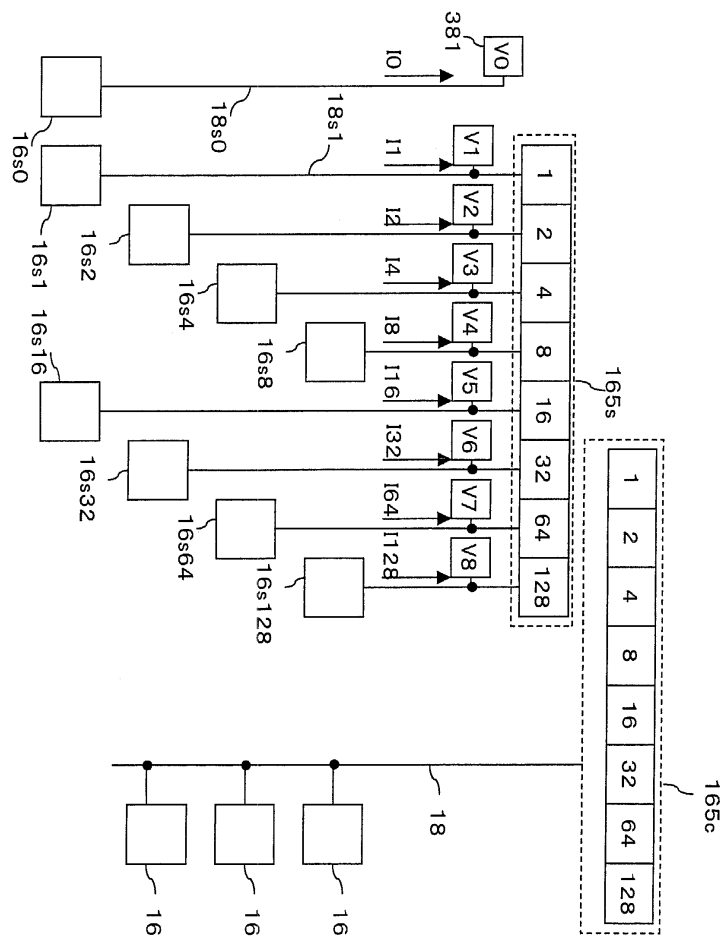
도면58



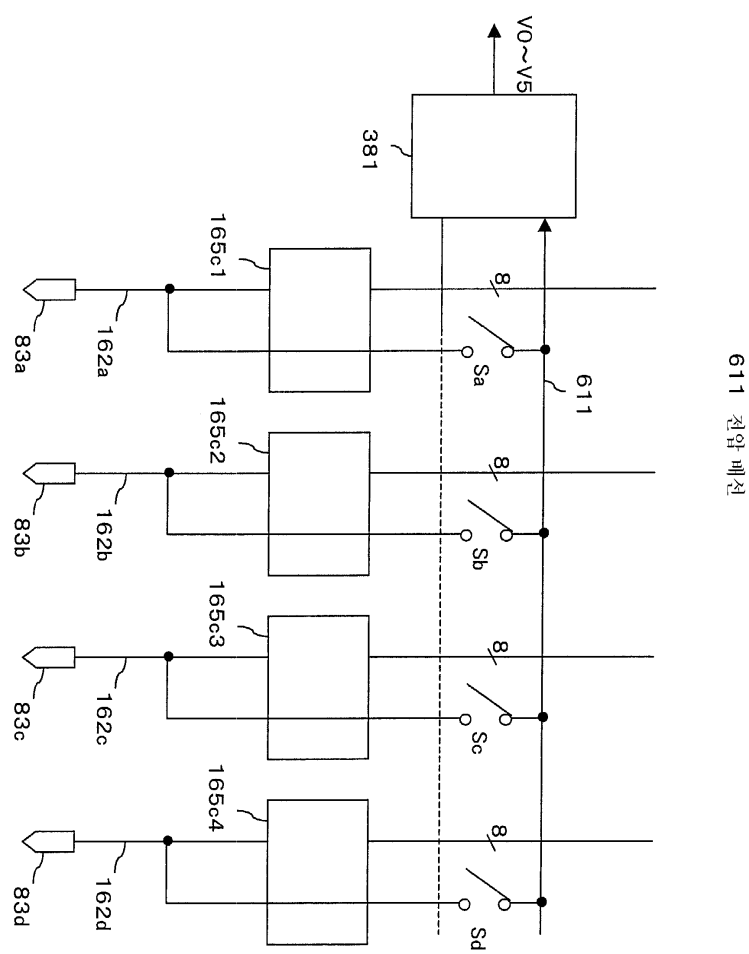
도면59



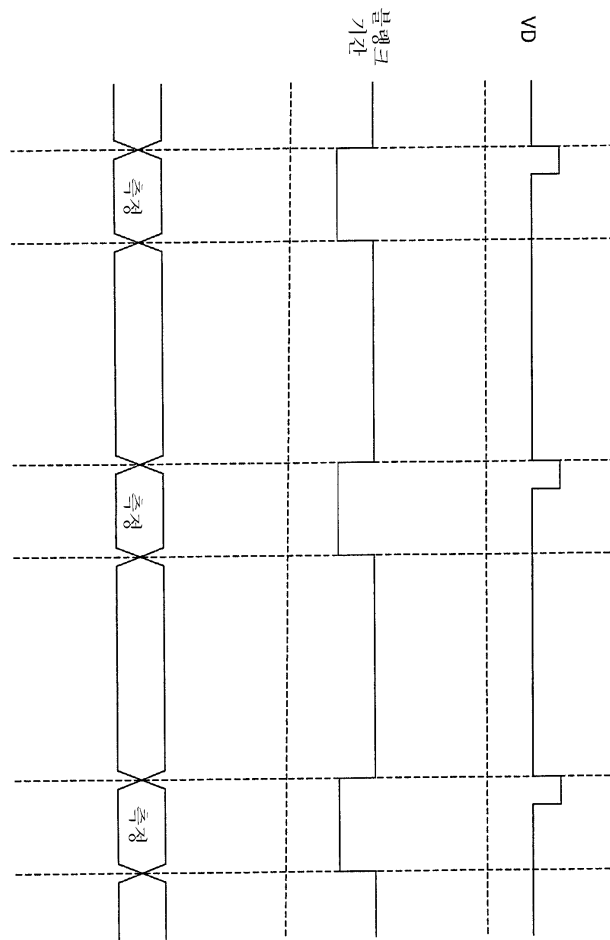
도면60



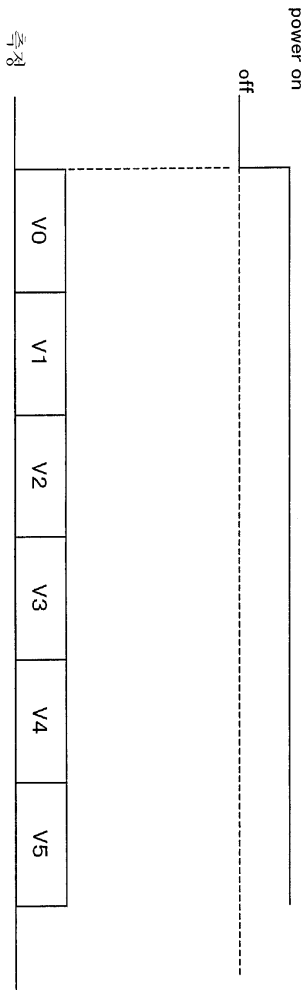
도면61



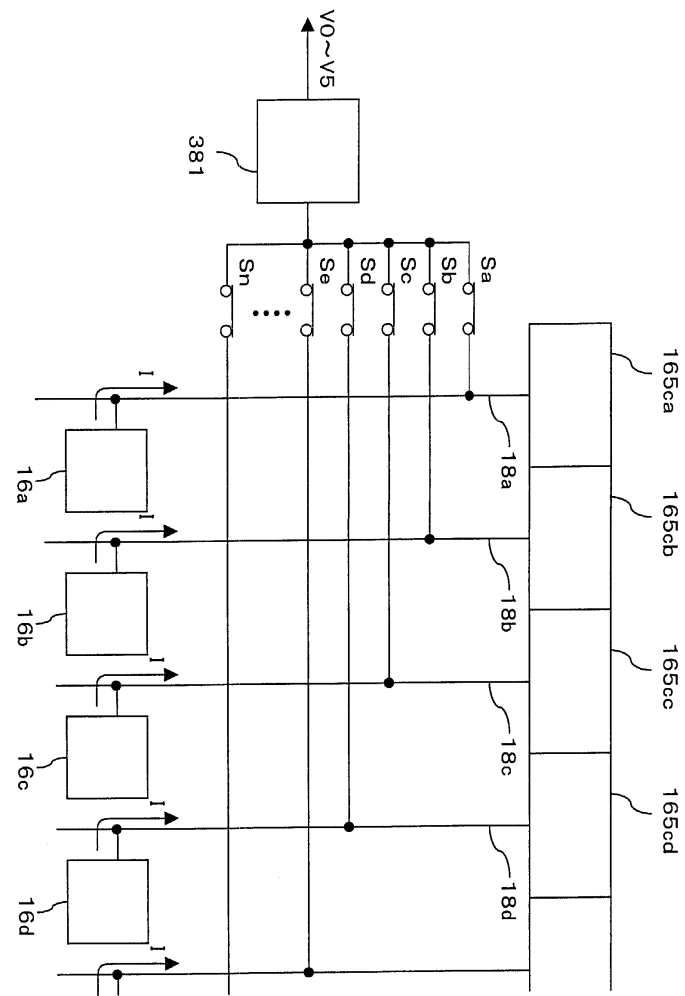
도면62



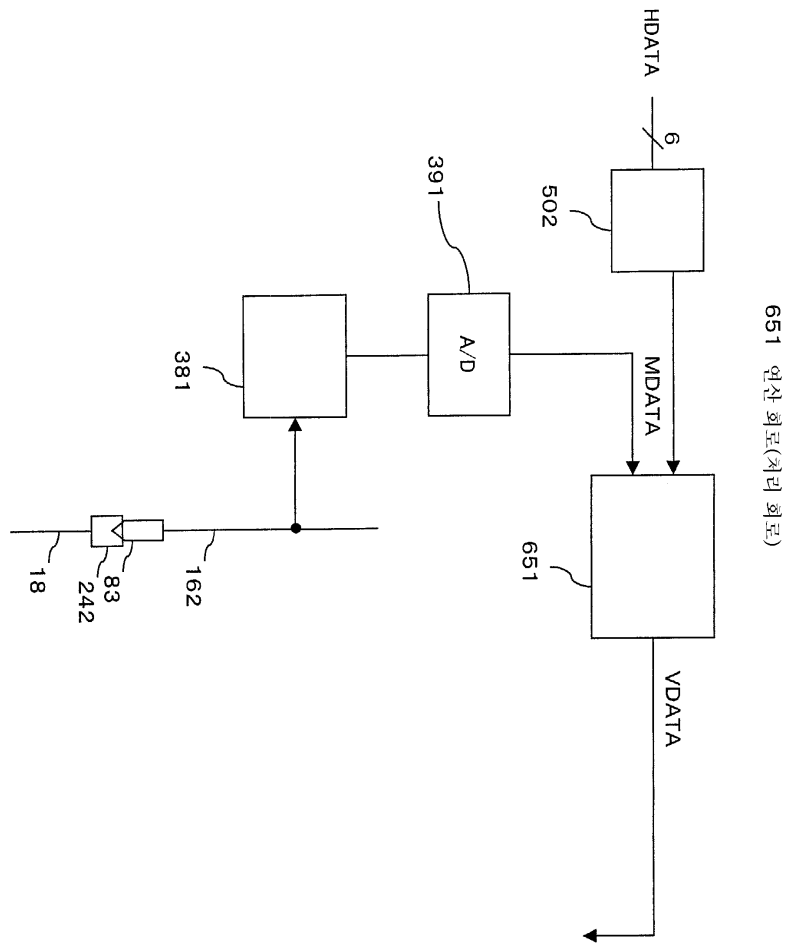
도면63



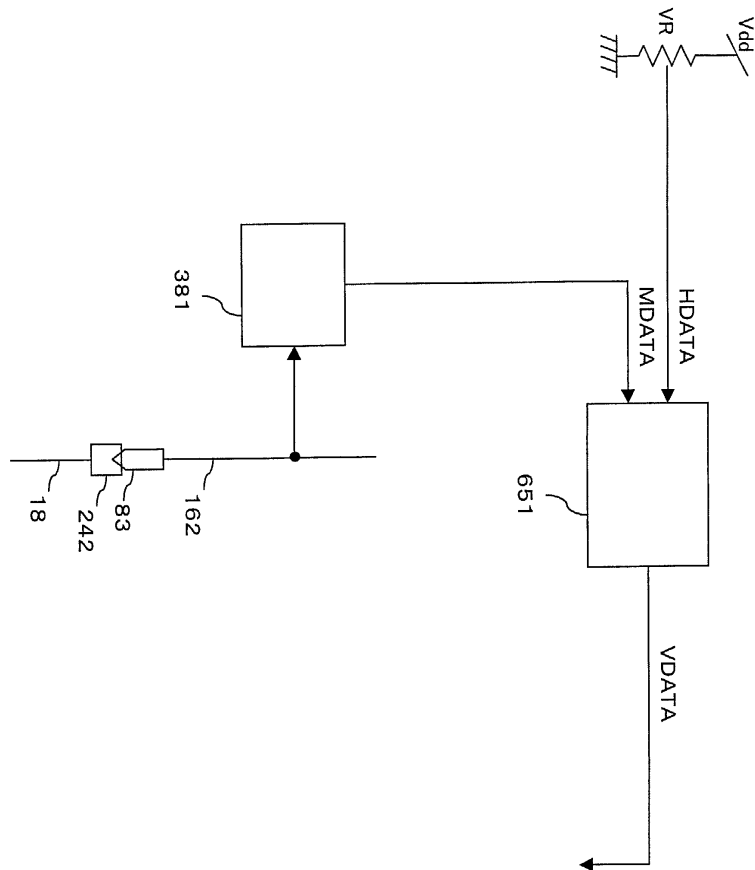
도면64



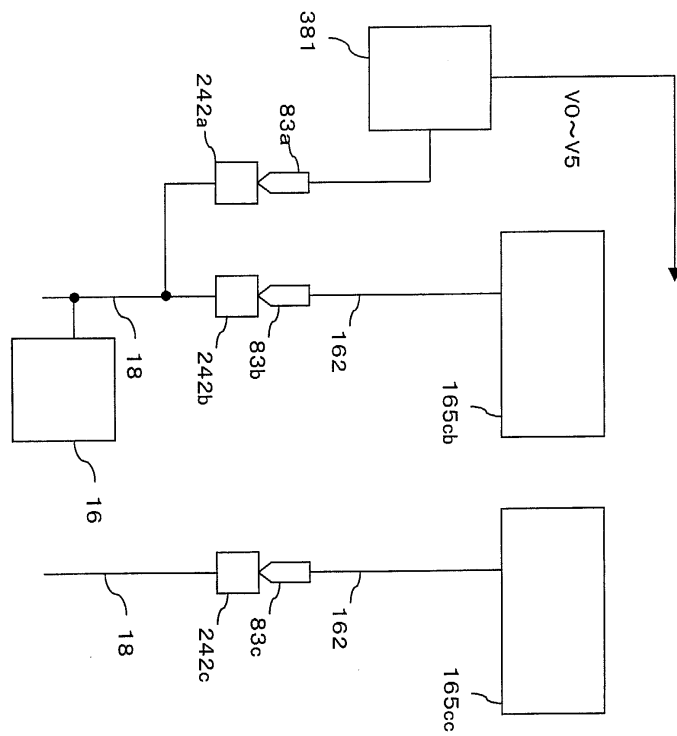
도면65



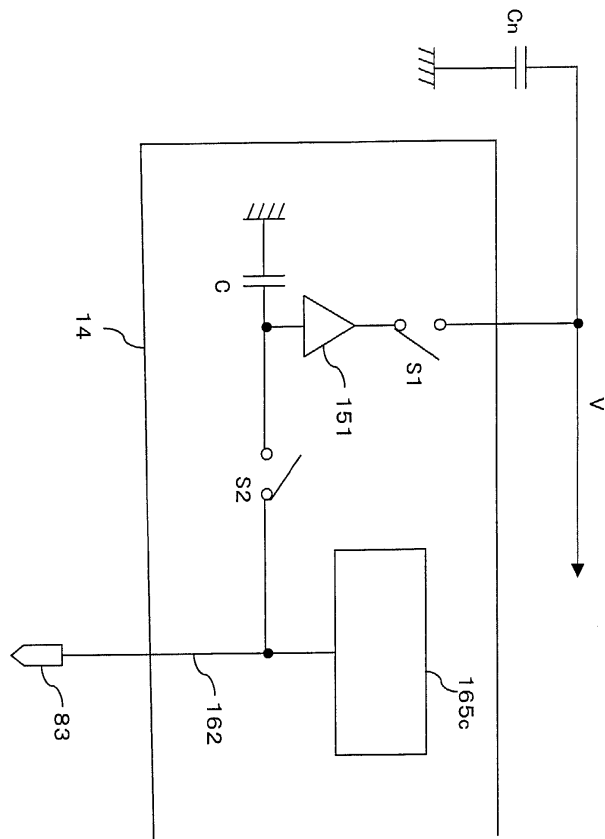
도면66



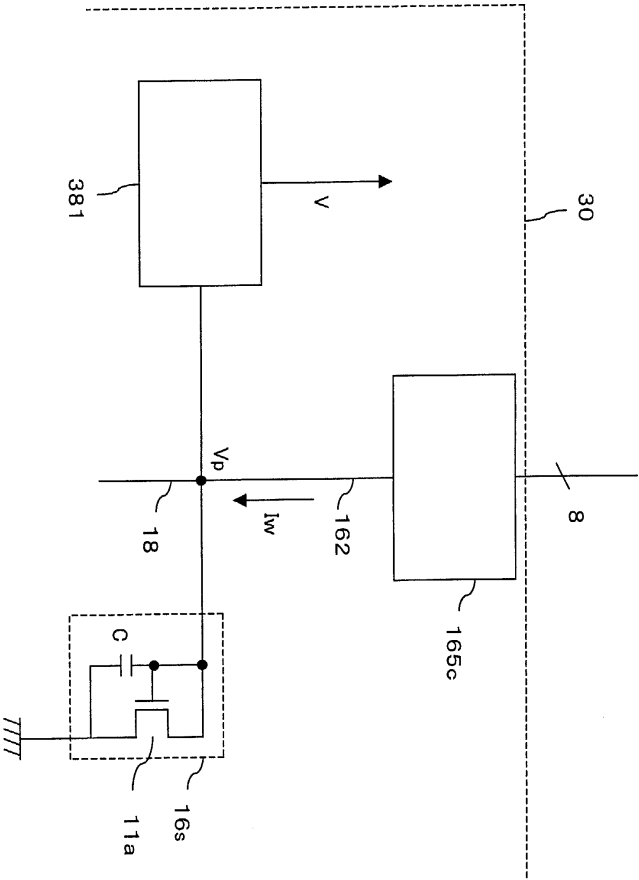
도면67



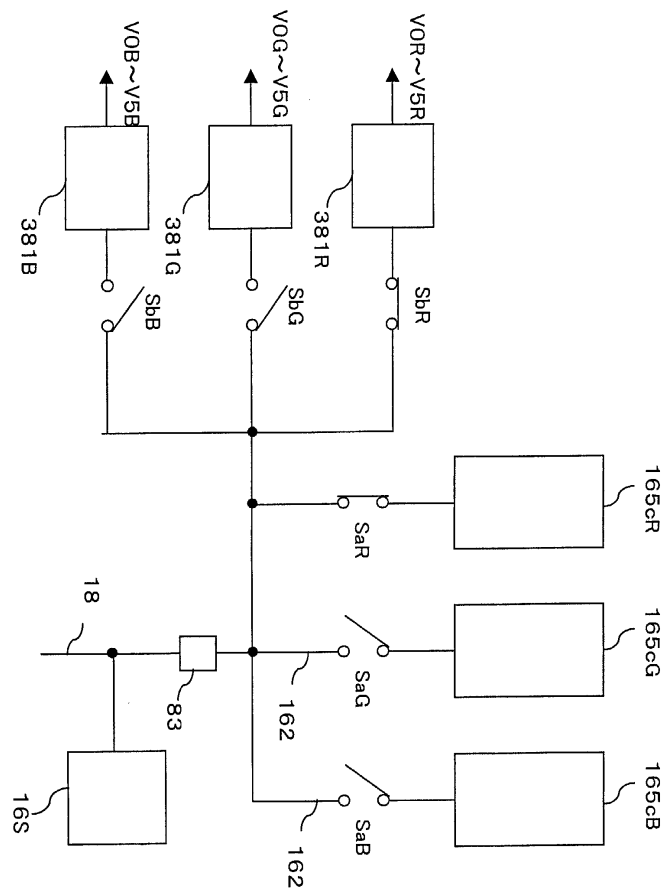
도면68



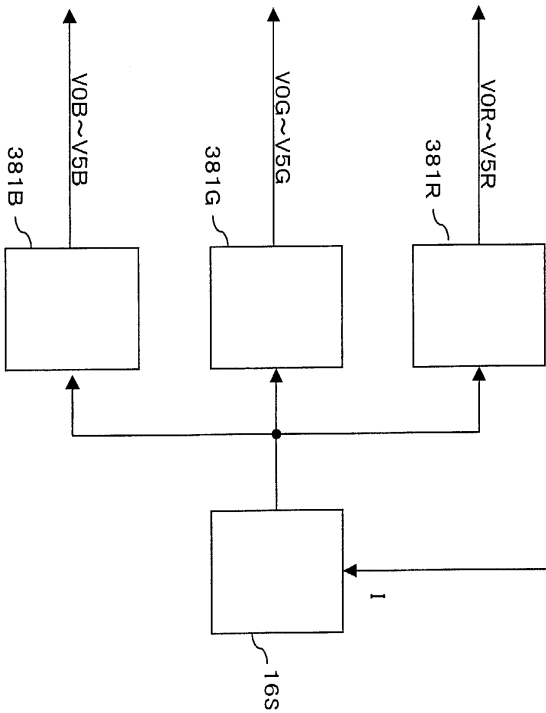
도면69



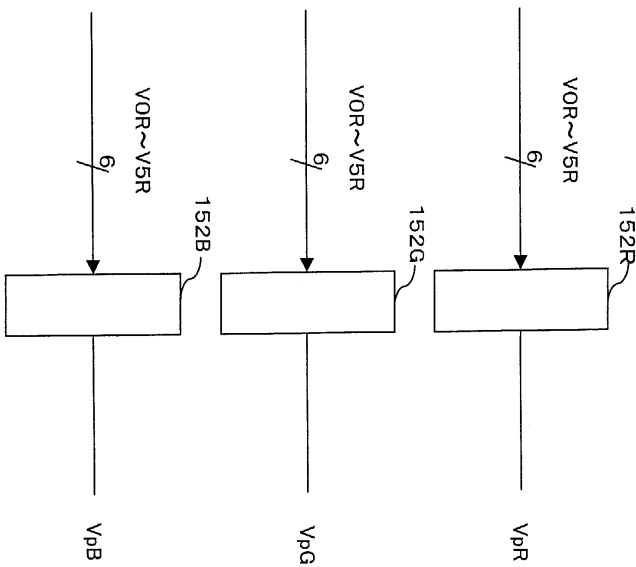
도면70



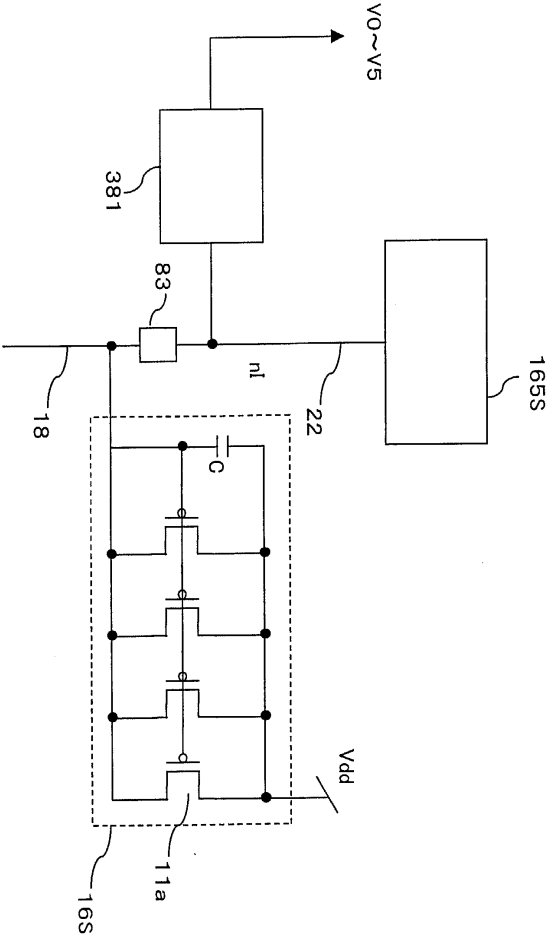
도면71



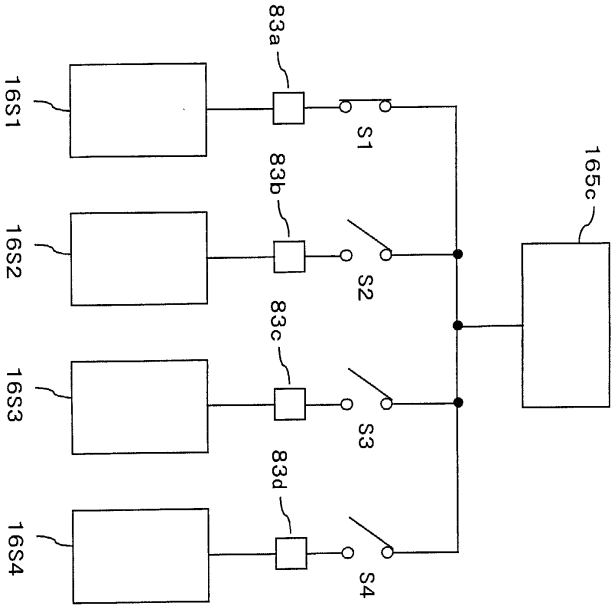
도면72



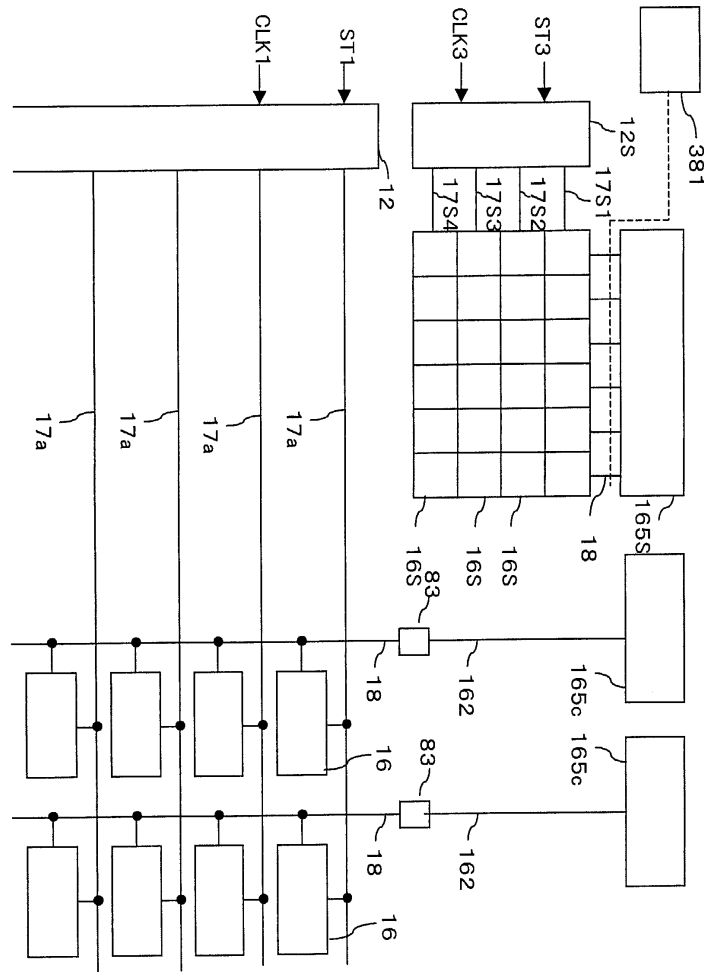
도면73



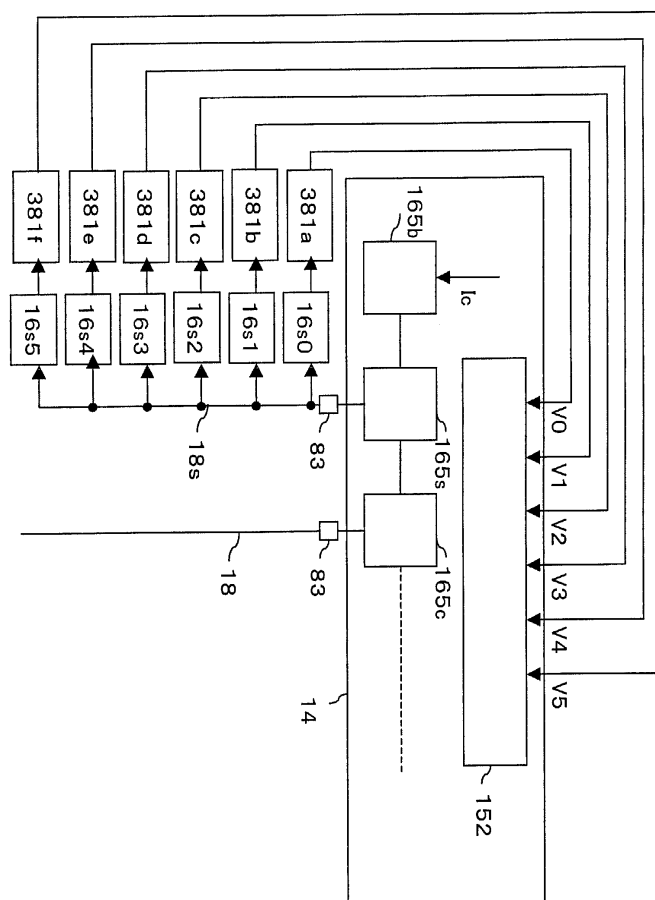
도면74



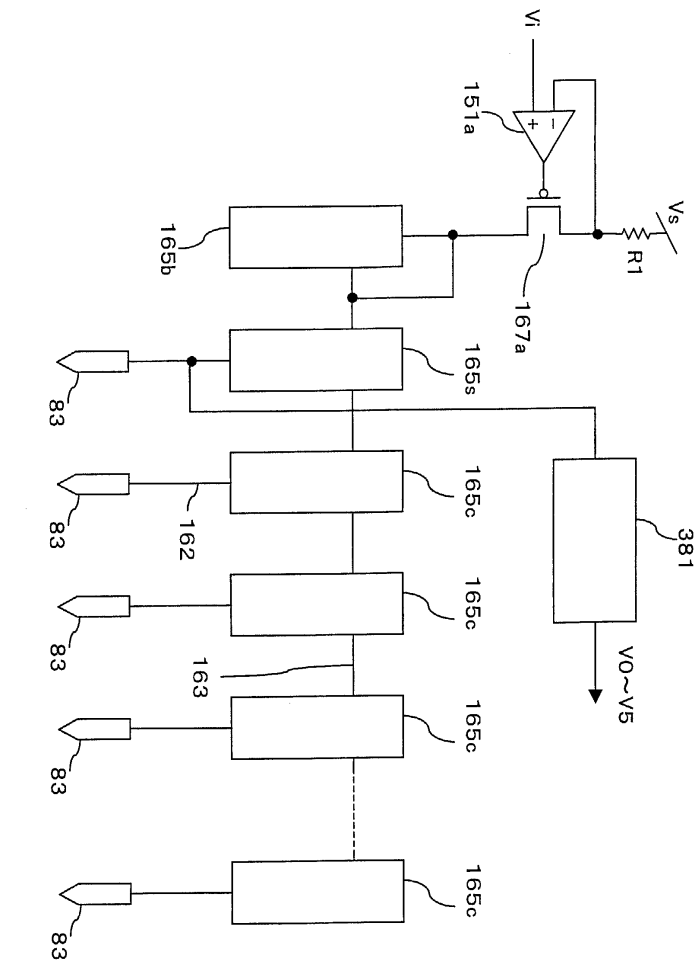
도면75



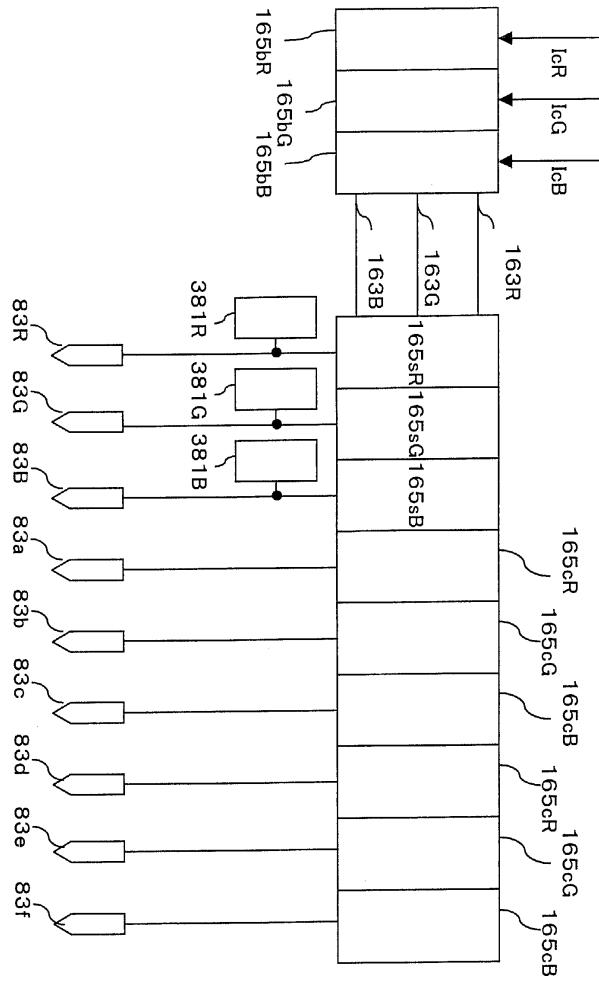
도면76



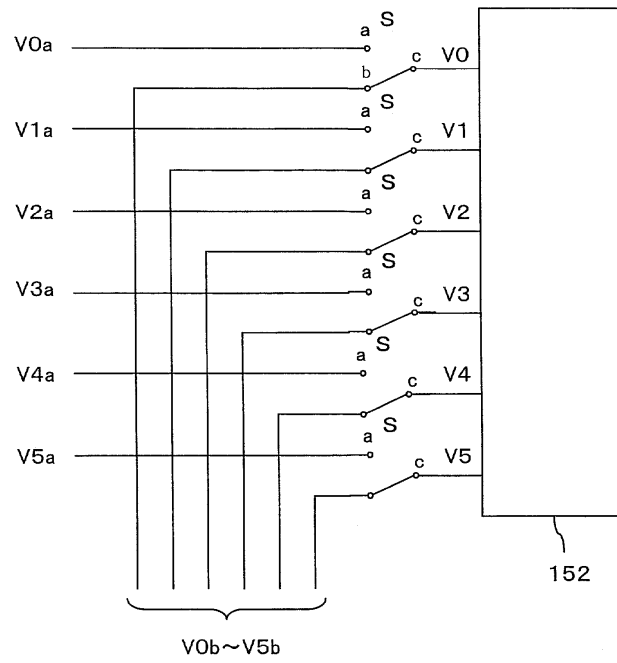
도면77



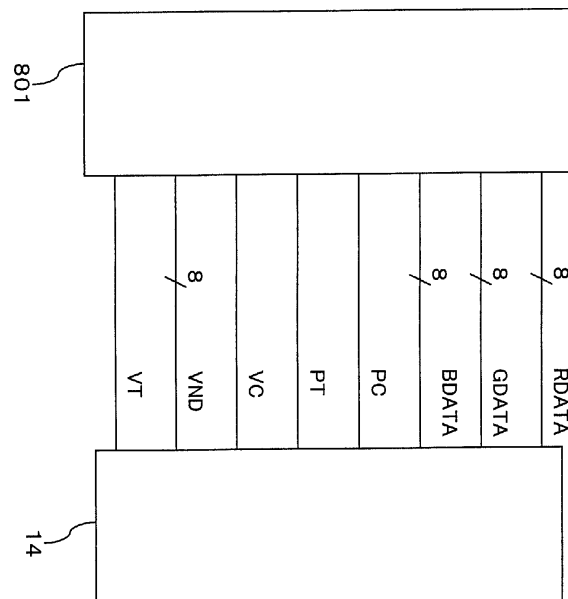
도면78



도면79

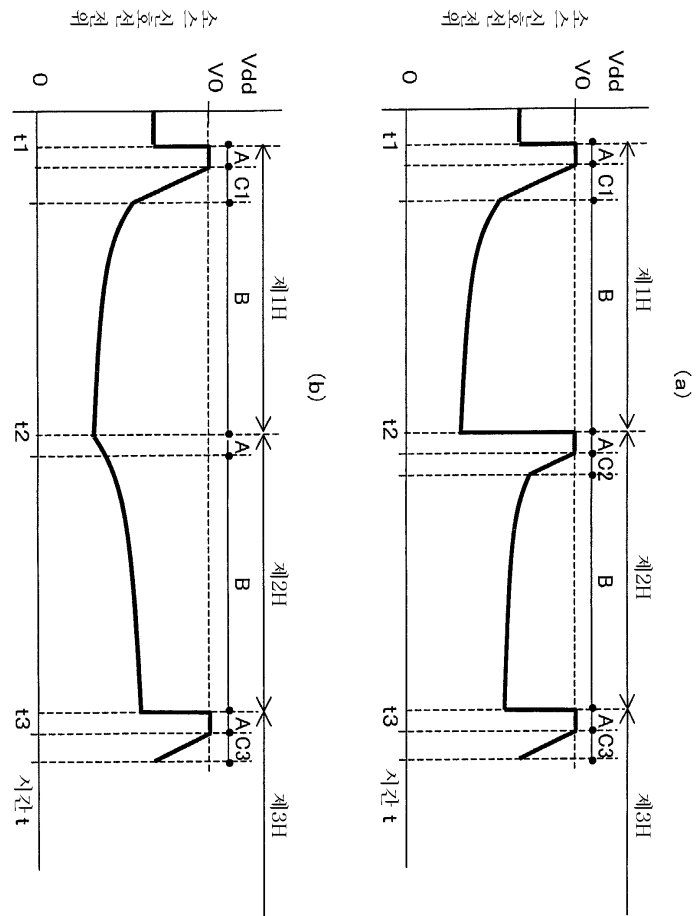


도면80

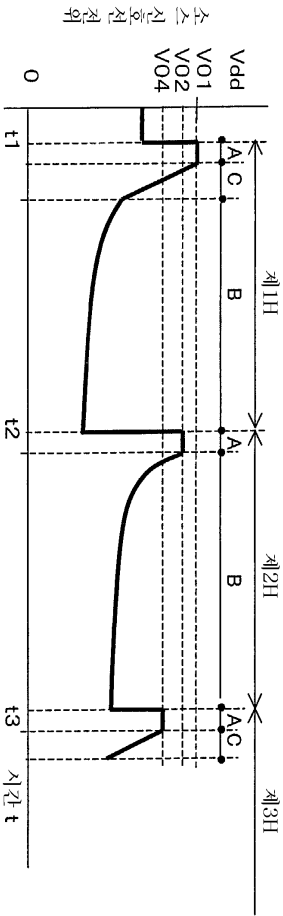


801 컨트롤 IC(외로)

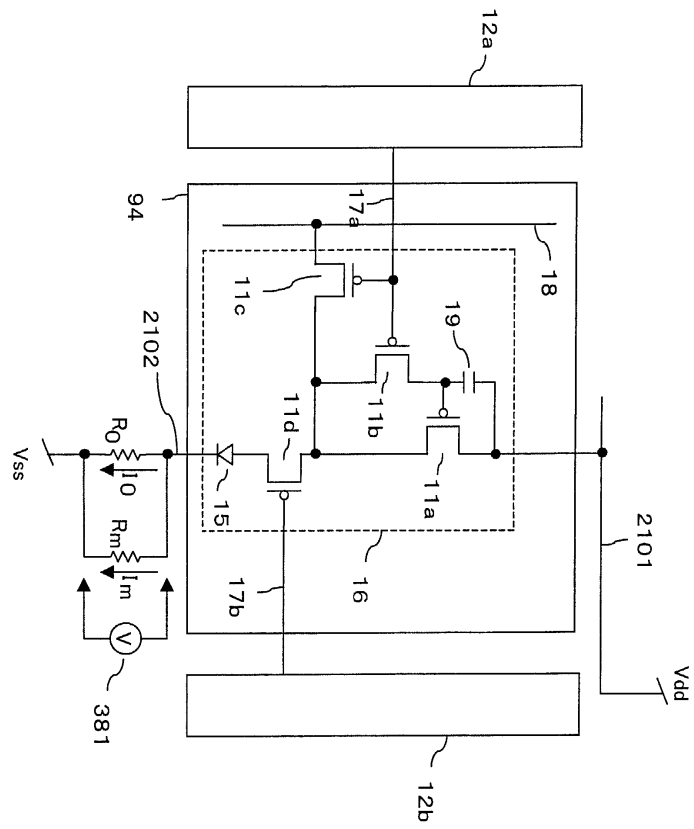
도면81



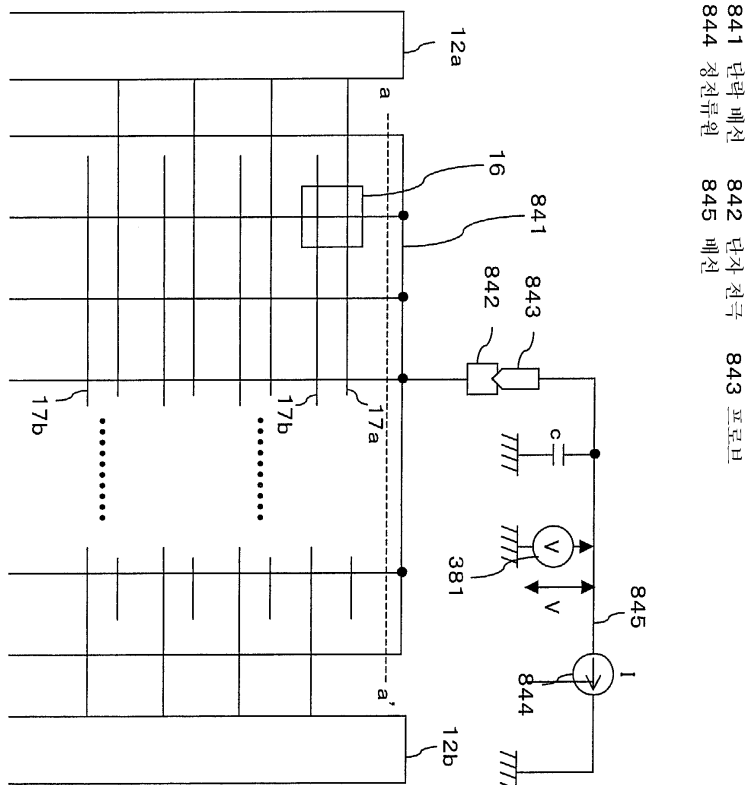
도면82



도면83

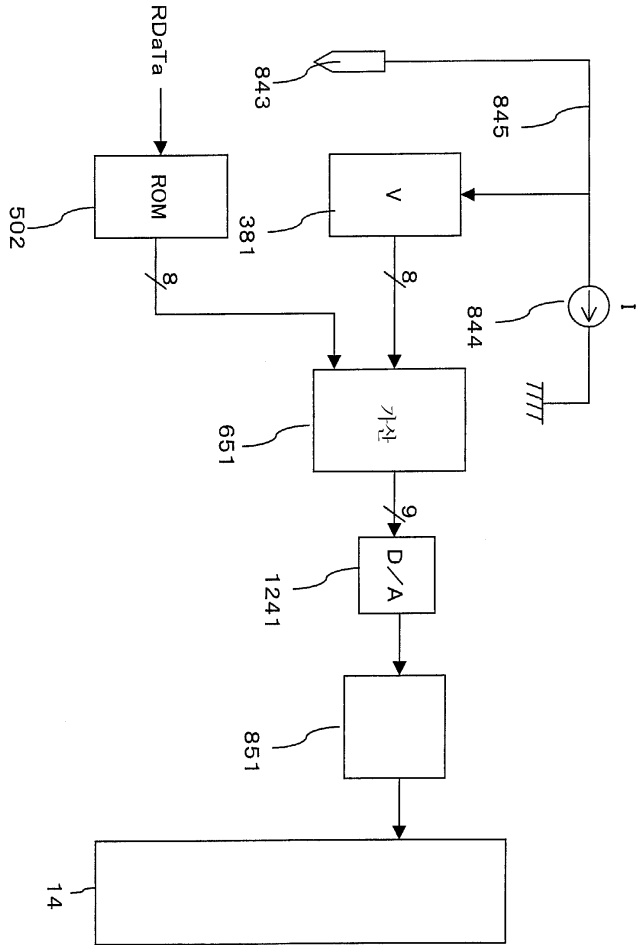


도면84



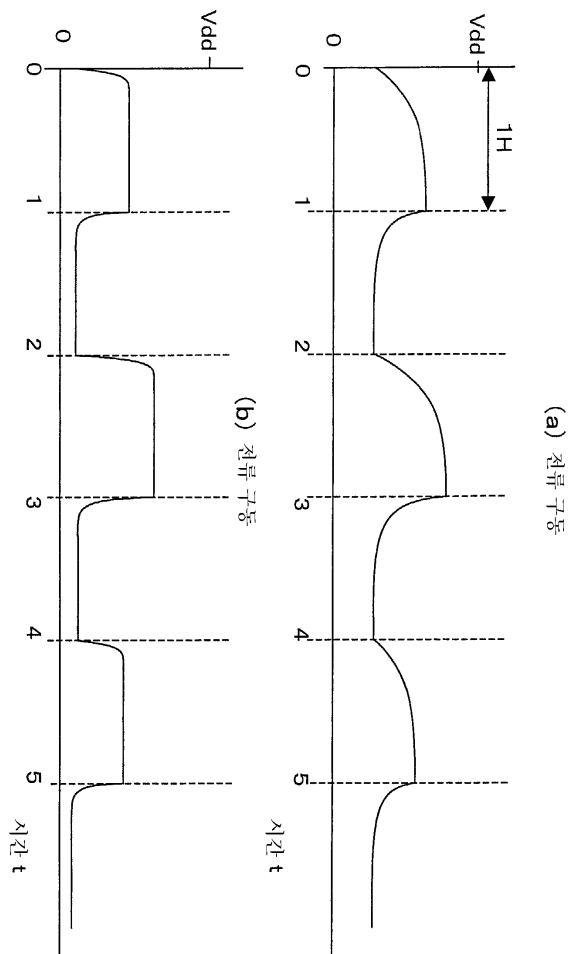
841 단락 배선 842 단자 전극 843 포로브
844 정전류원 845 배선

도면85

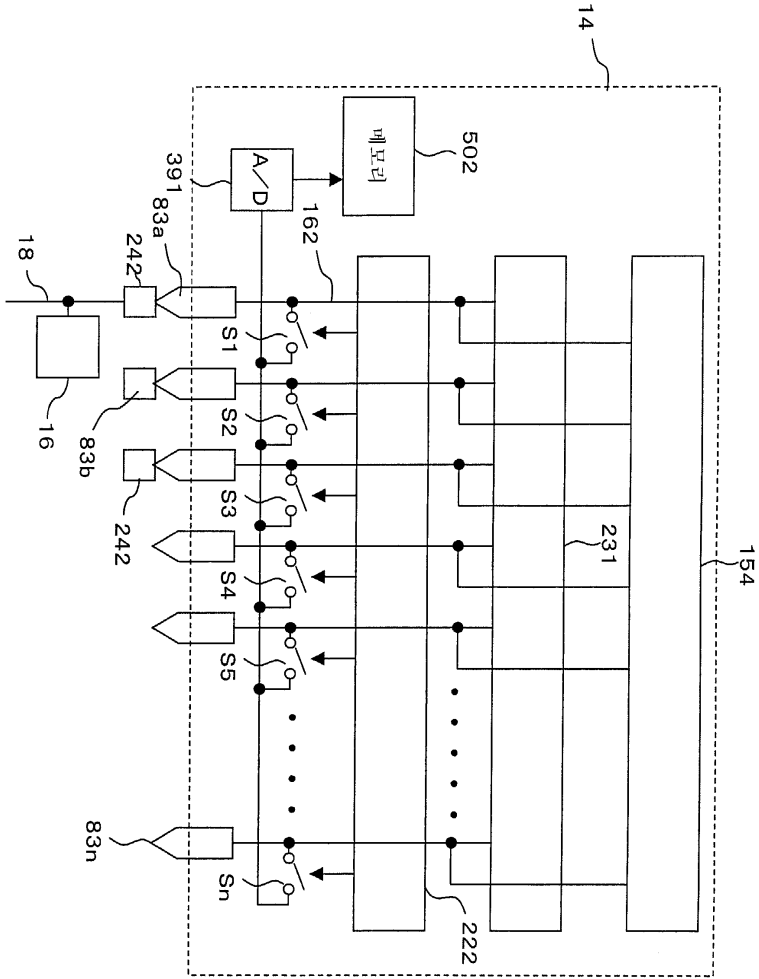


851 온도 보상 회로

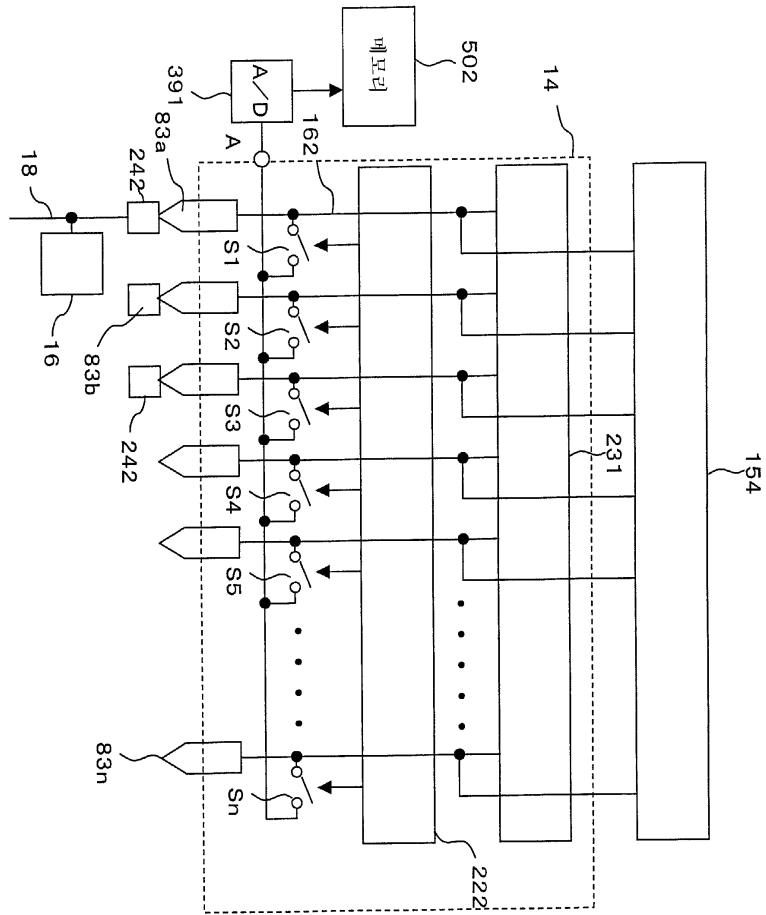
도면86



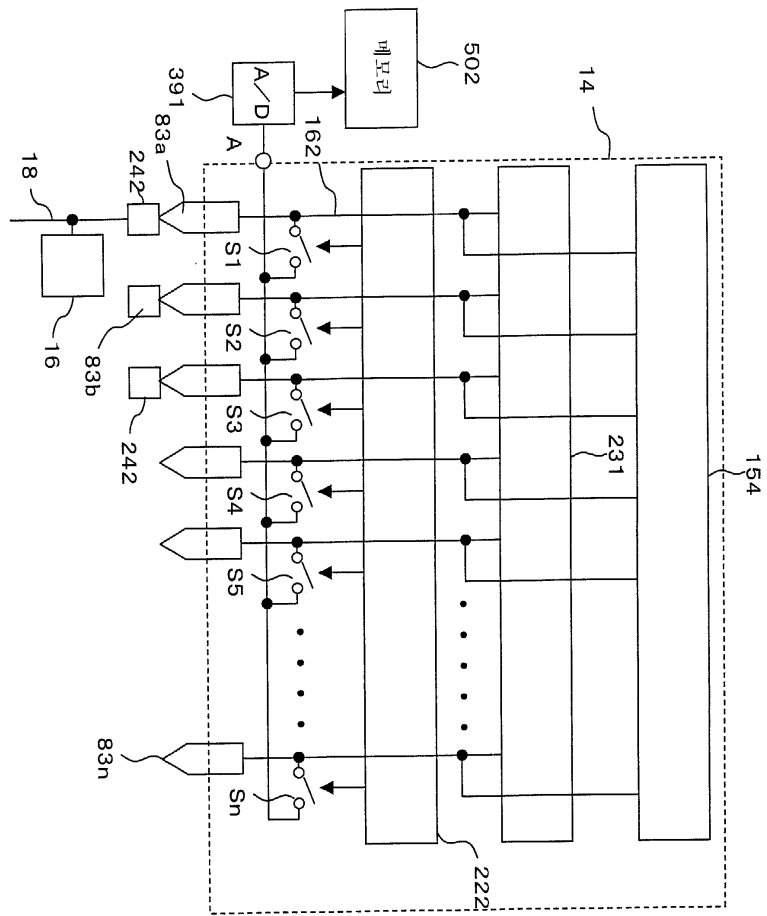
도면87



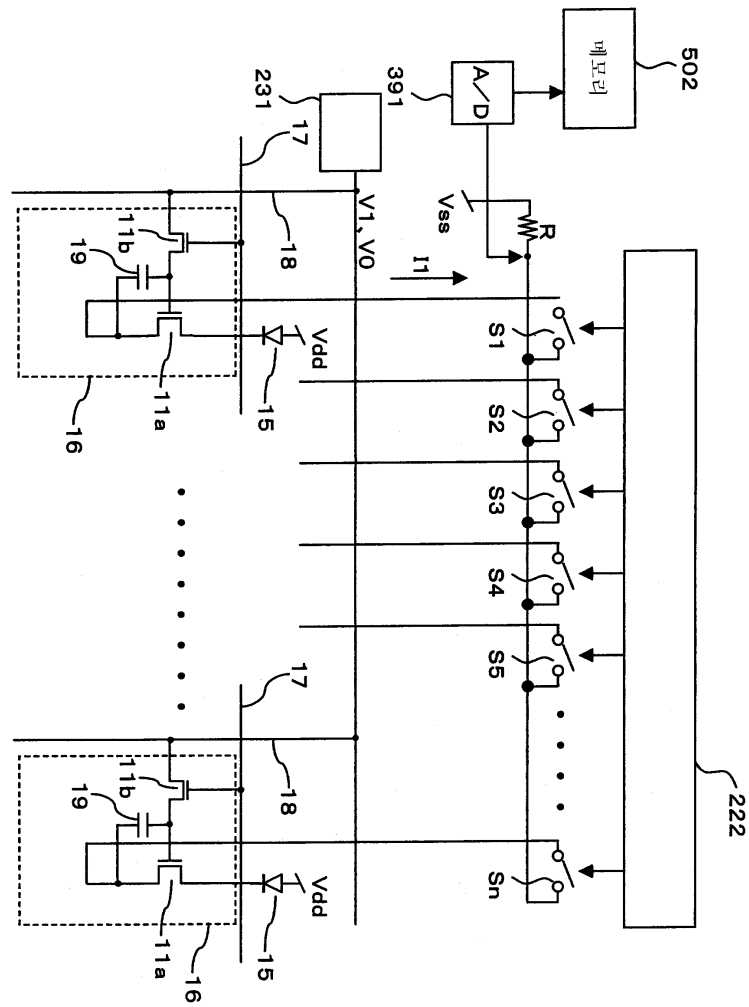
도면88



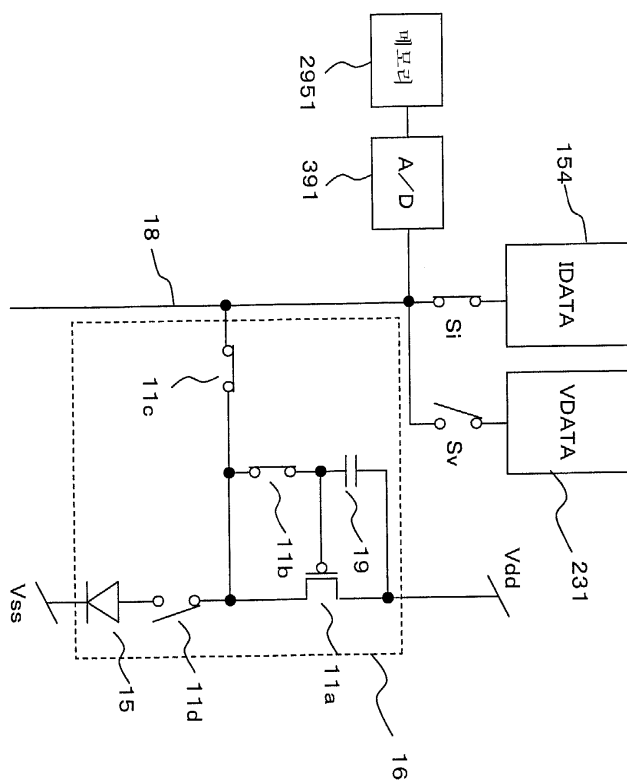
도면89



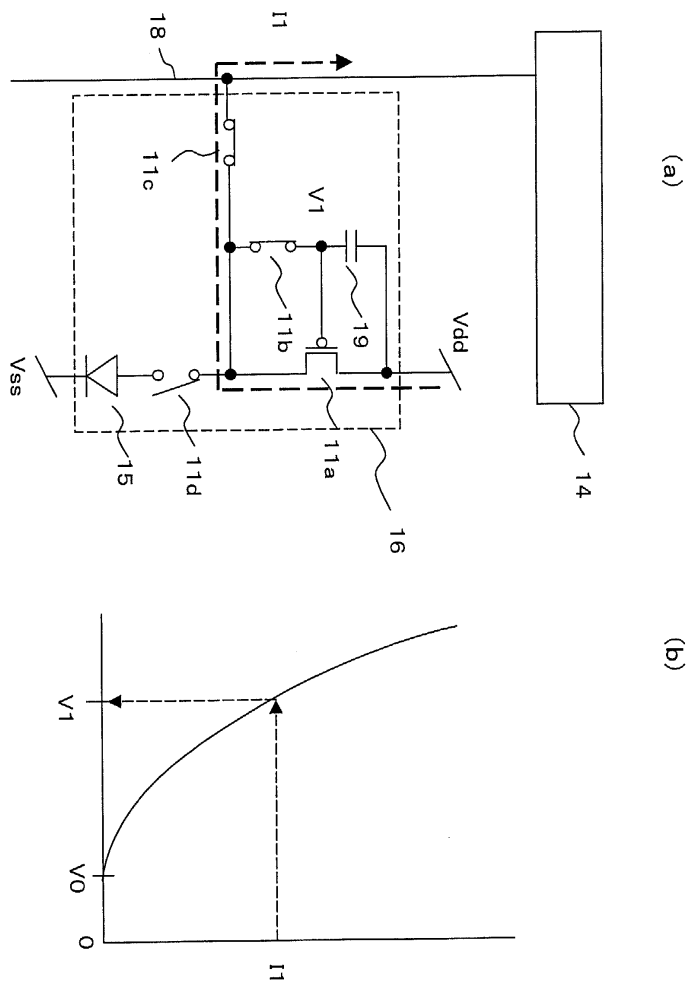
도면90



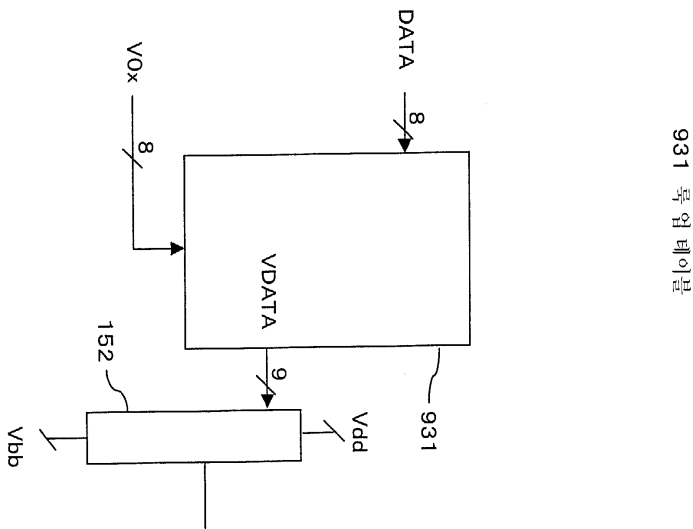
도면91



도면92



도면93



931

도면94

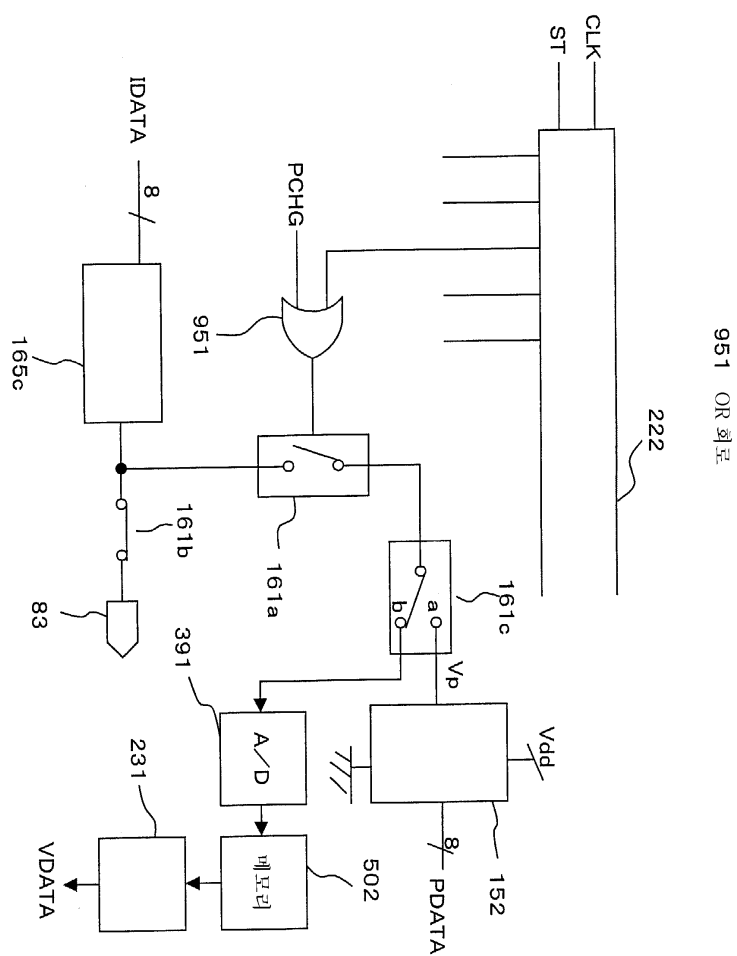
(a)

1	a	b	c	d	e	...
2						
3						
4						
5						
6						
7						
...						

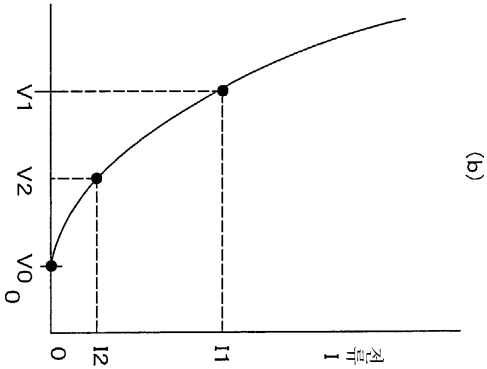
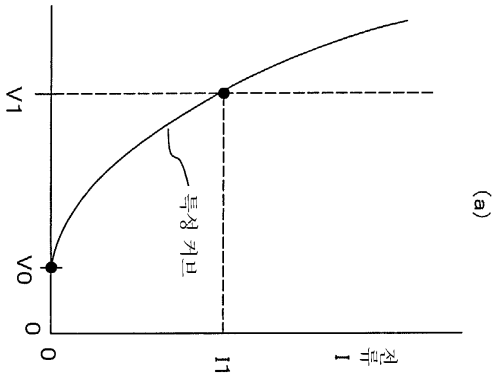
(b)

8	a	c	e	g	i
16					
24					
32					
40					
48					
56					

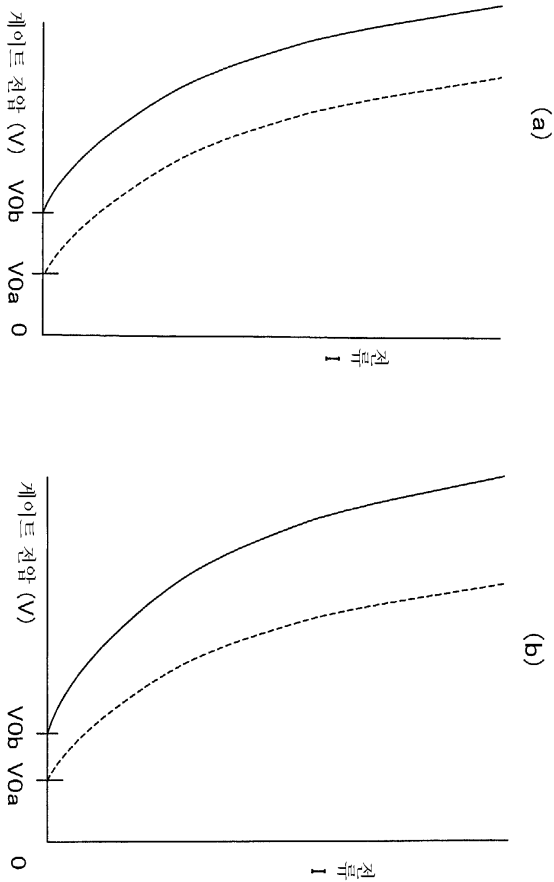
도면95



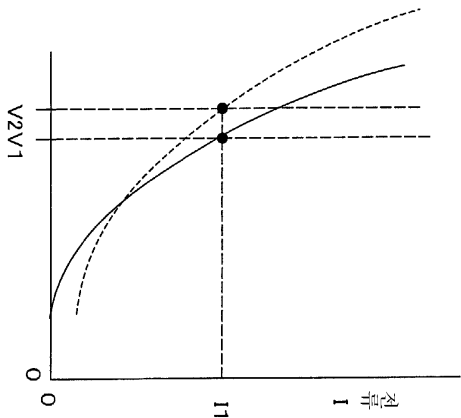
도면96



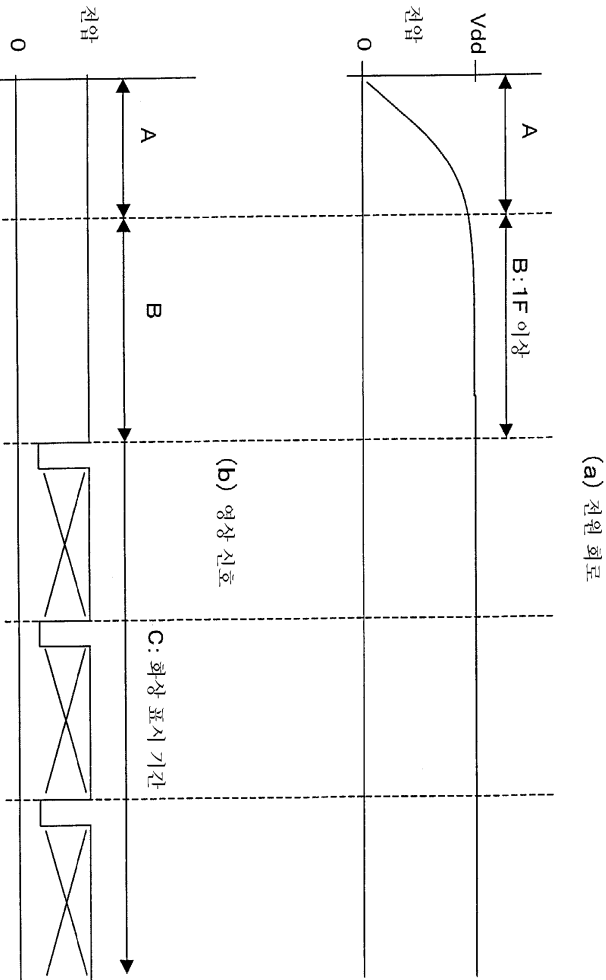
도면97



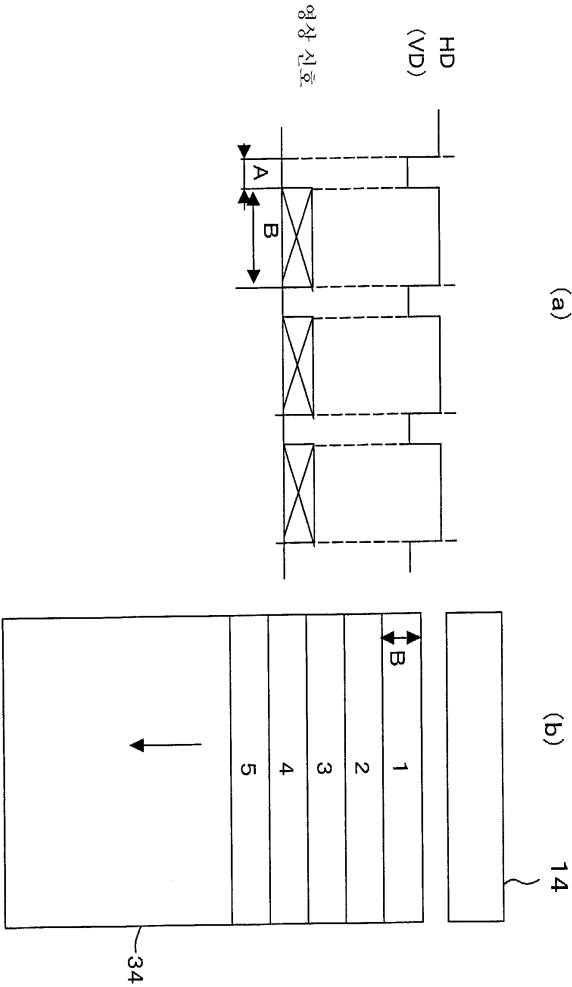
도면98



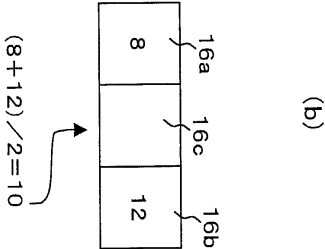
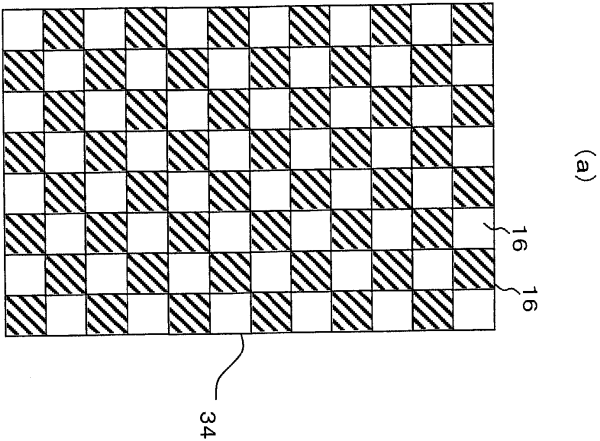
도면99



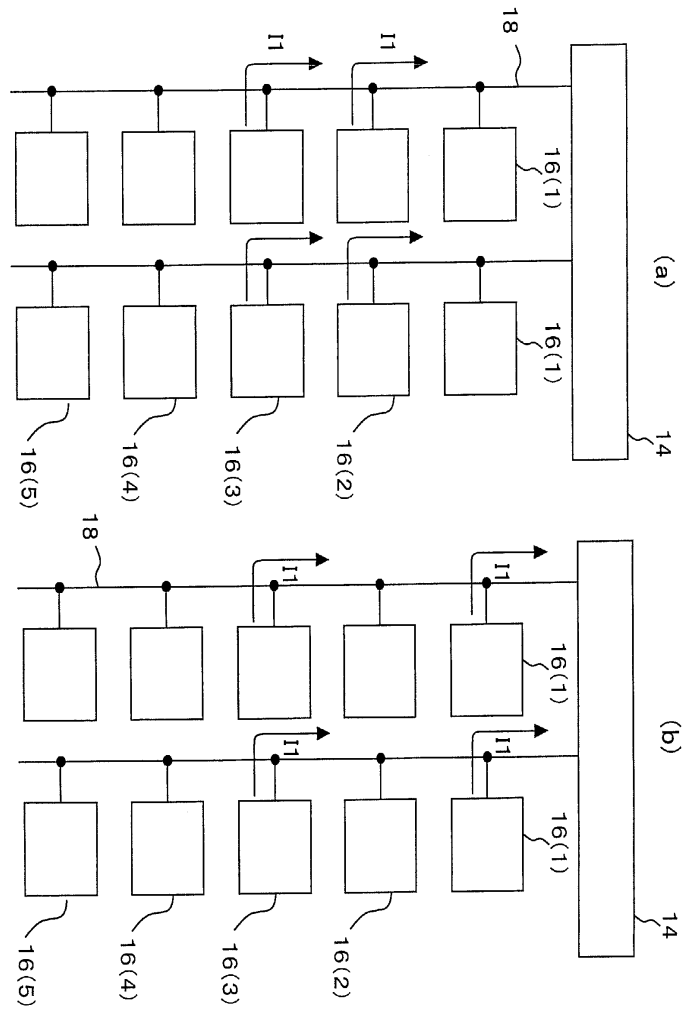
도면100



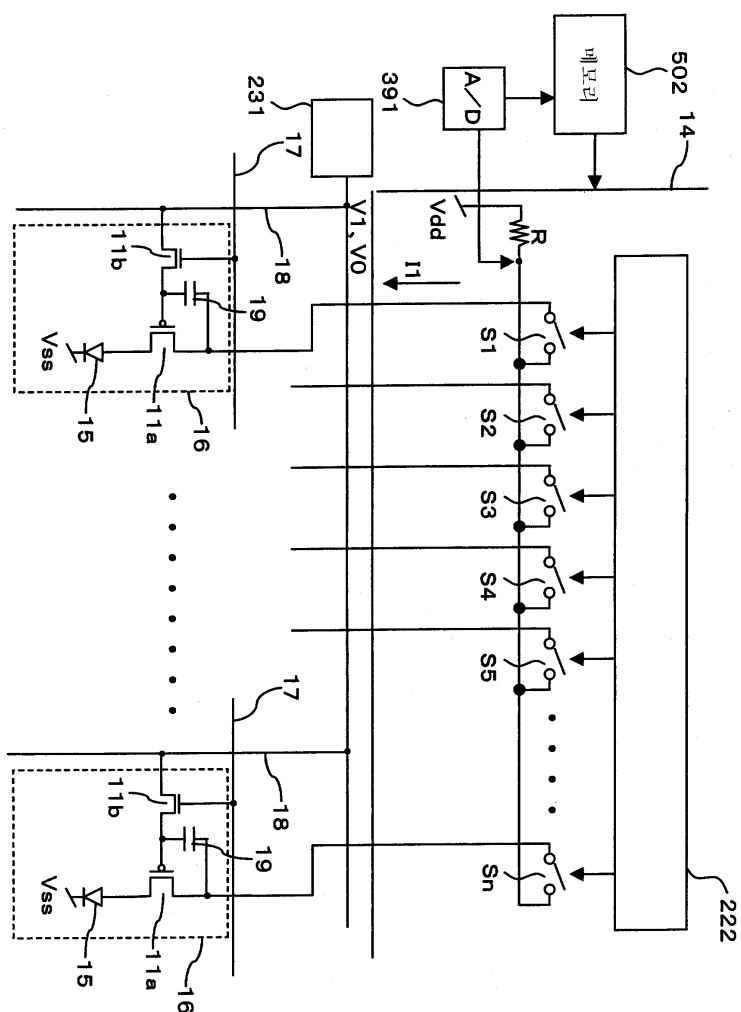
도면101



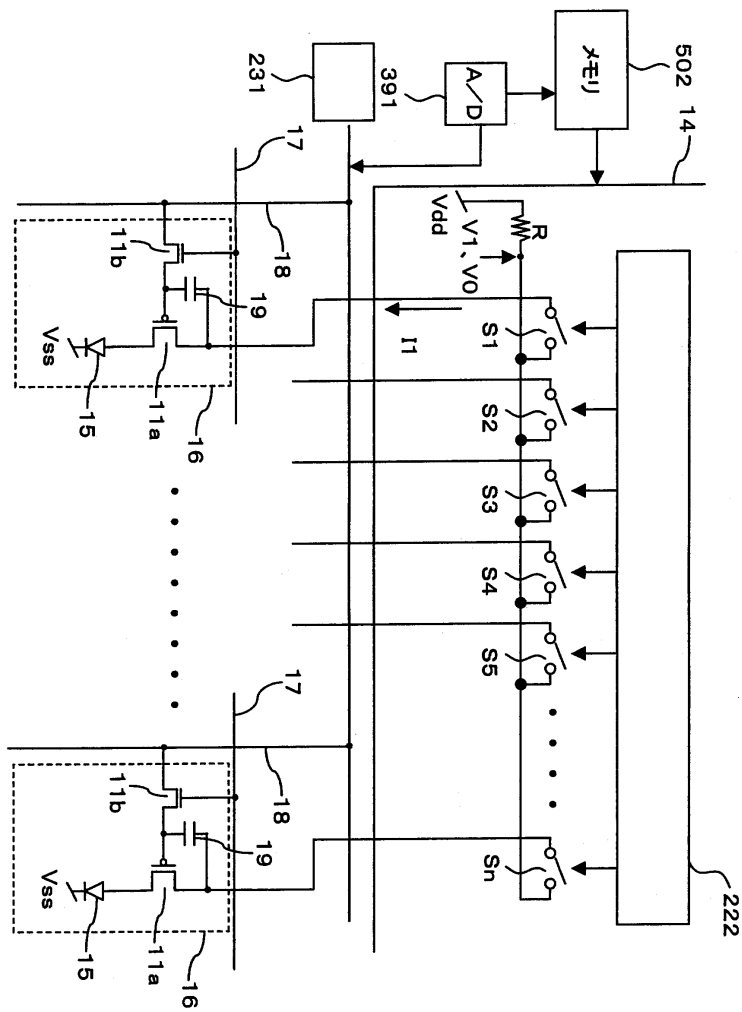
도면102



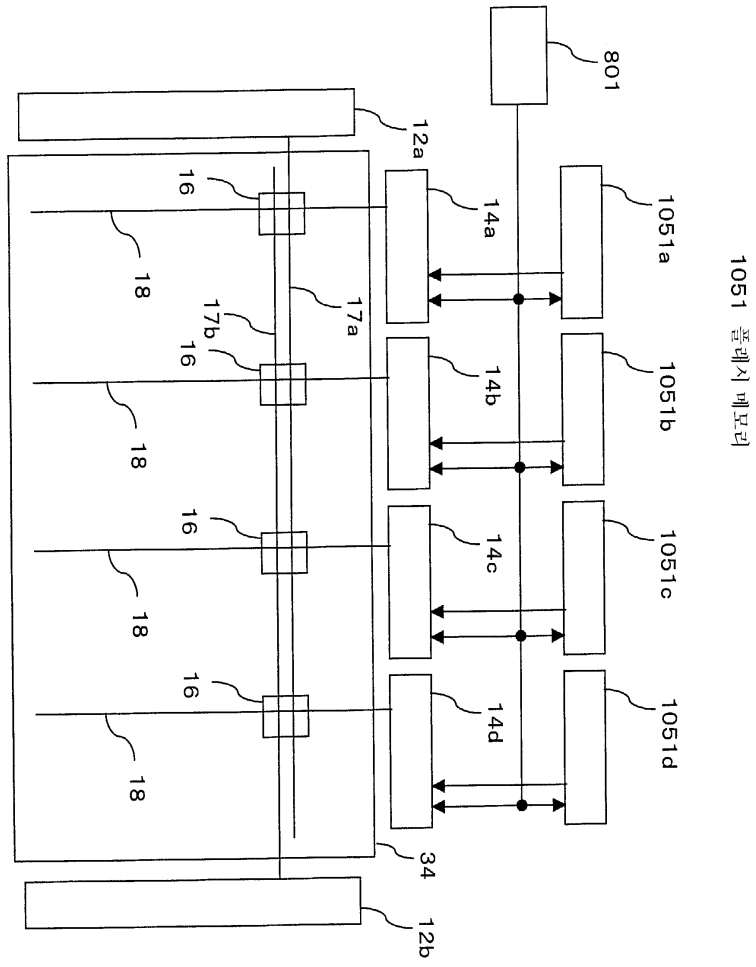
도면103



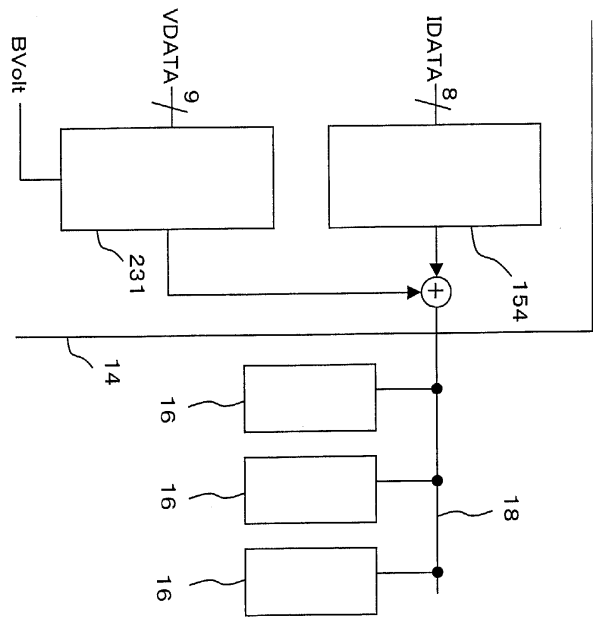
도면104



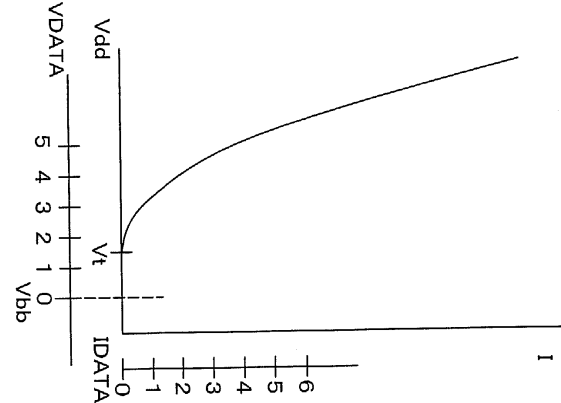
도면105



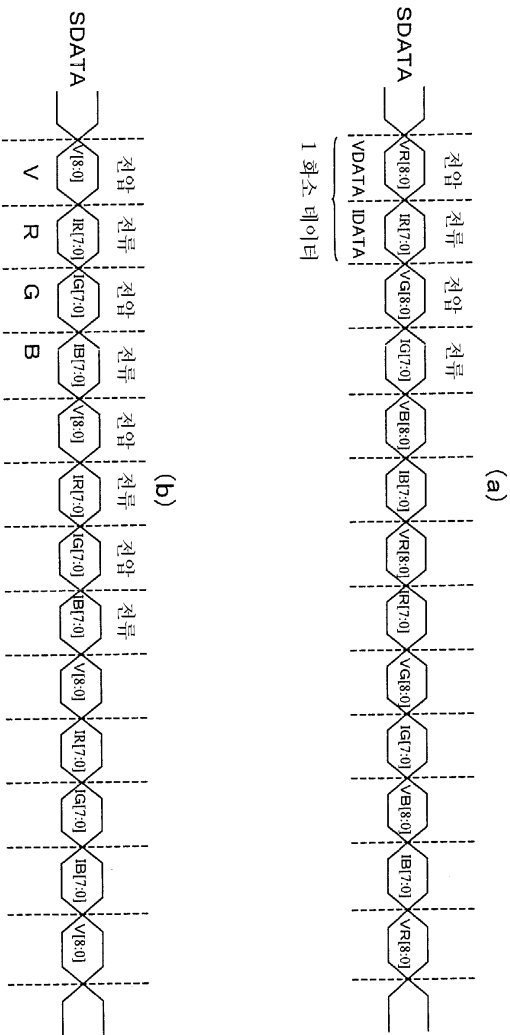
도면106



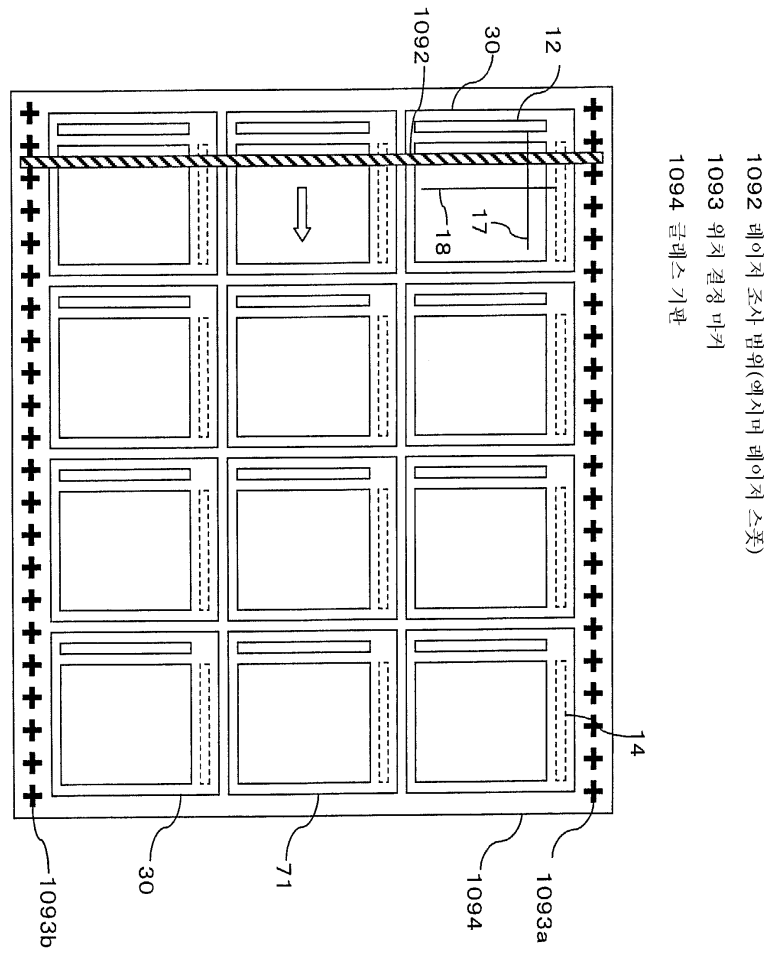
도면107



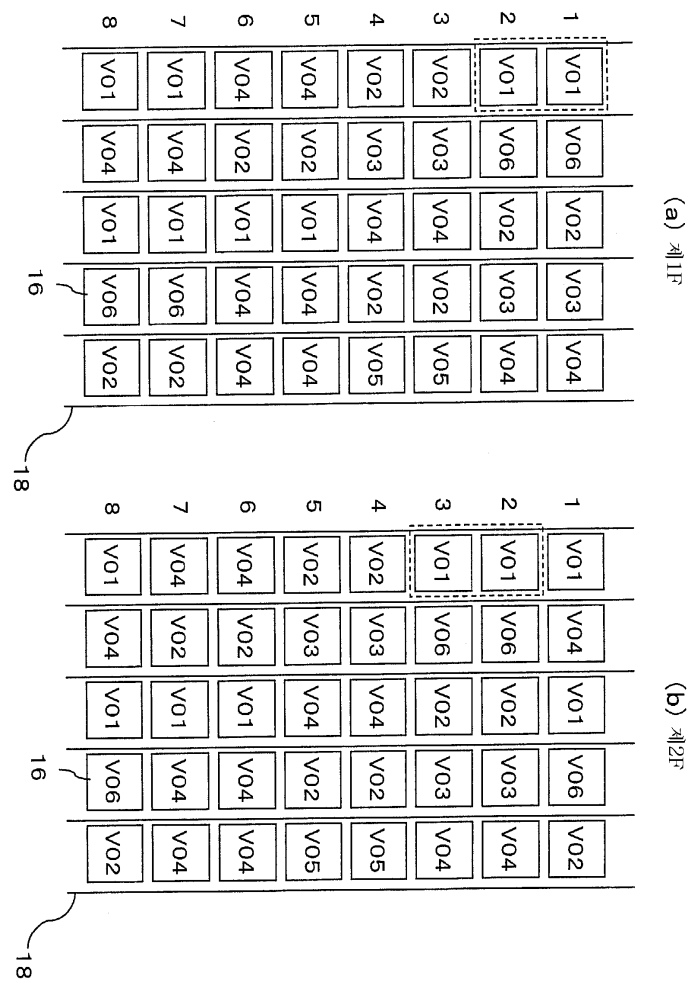
도면108



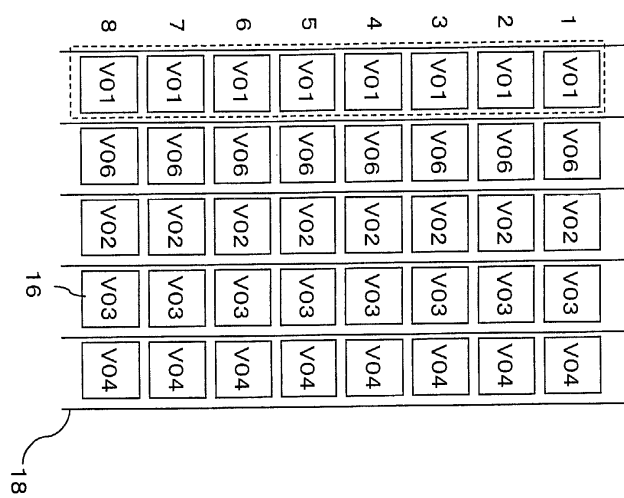
도면109



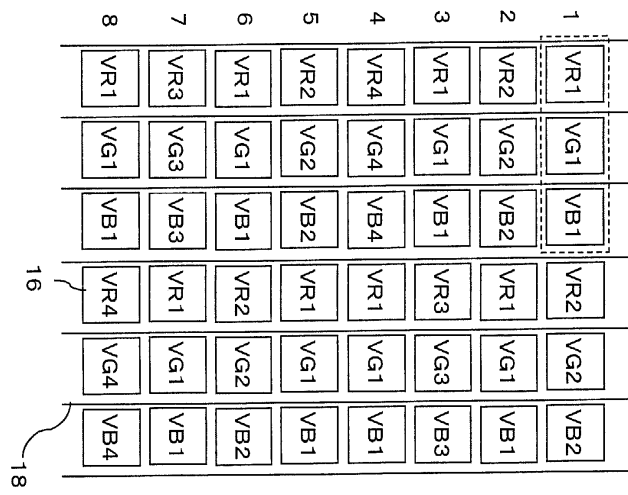
도면110



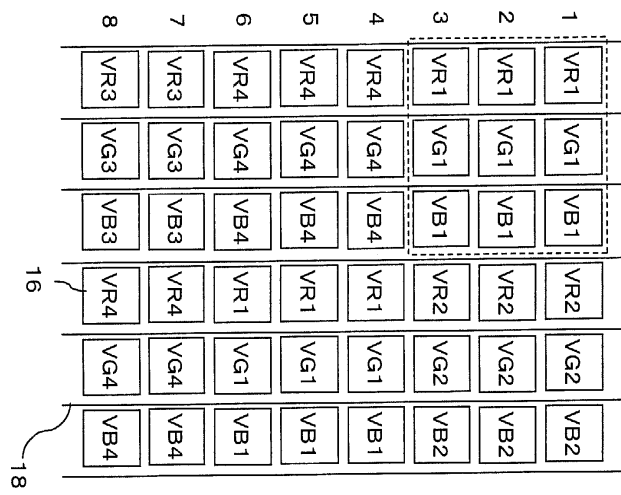
도면111



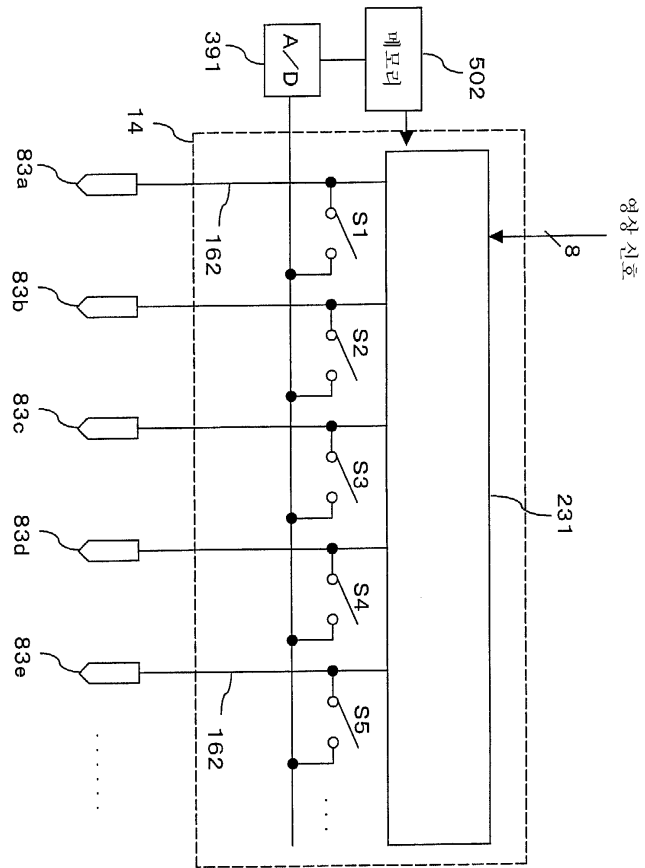
도면112



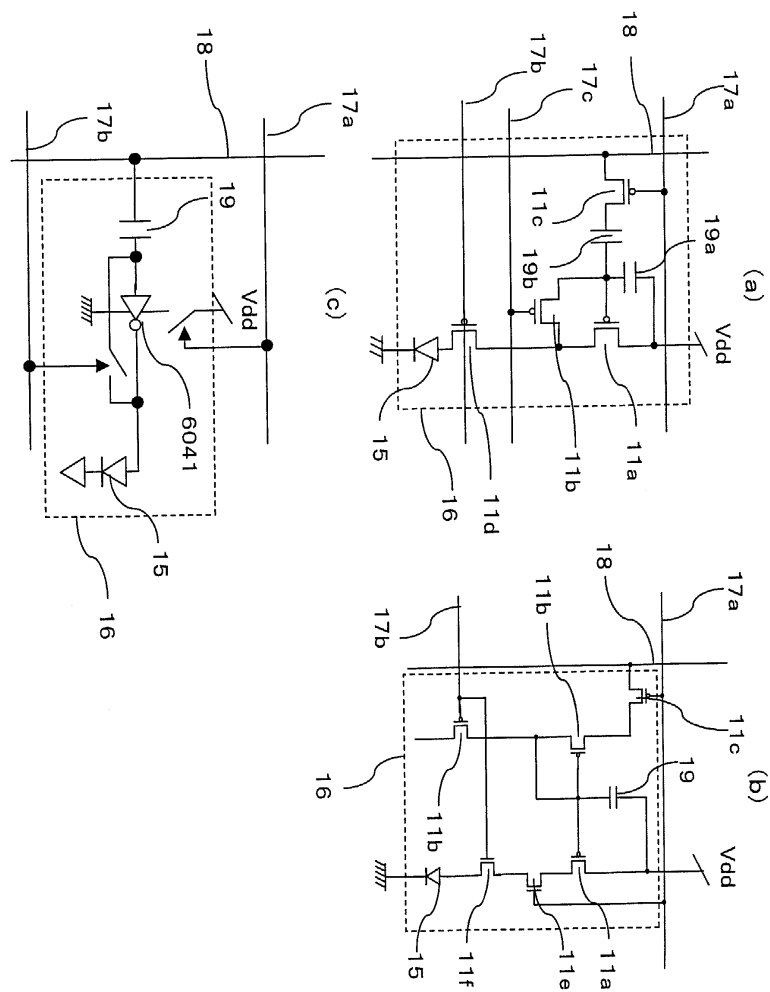
도면113



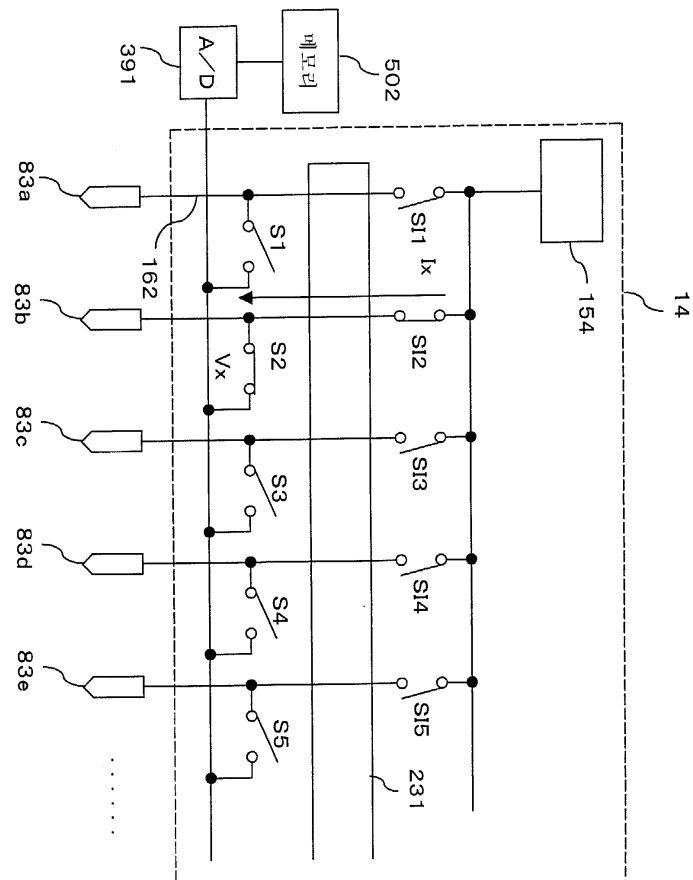
도면114



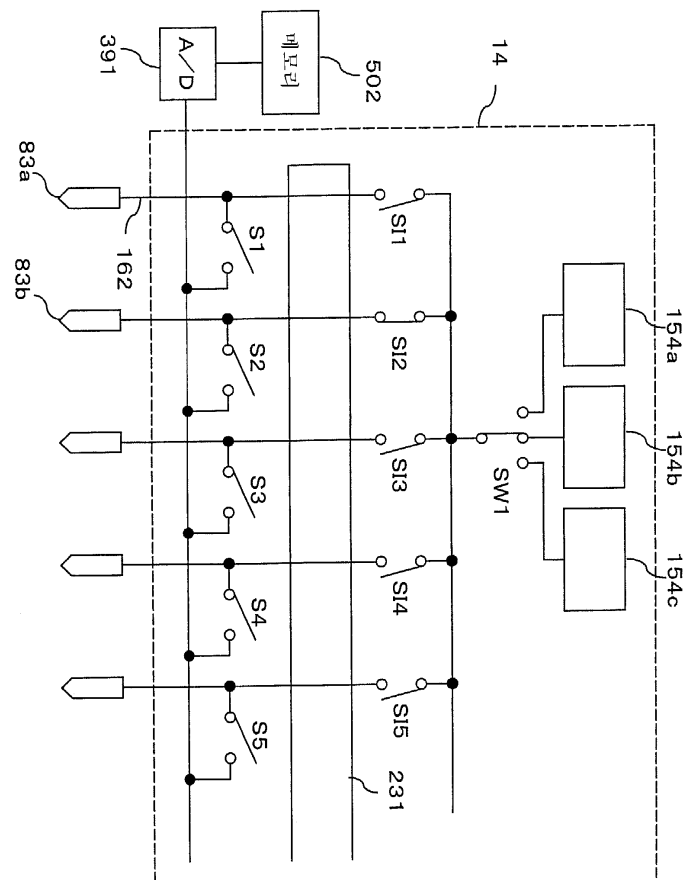
도면115



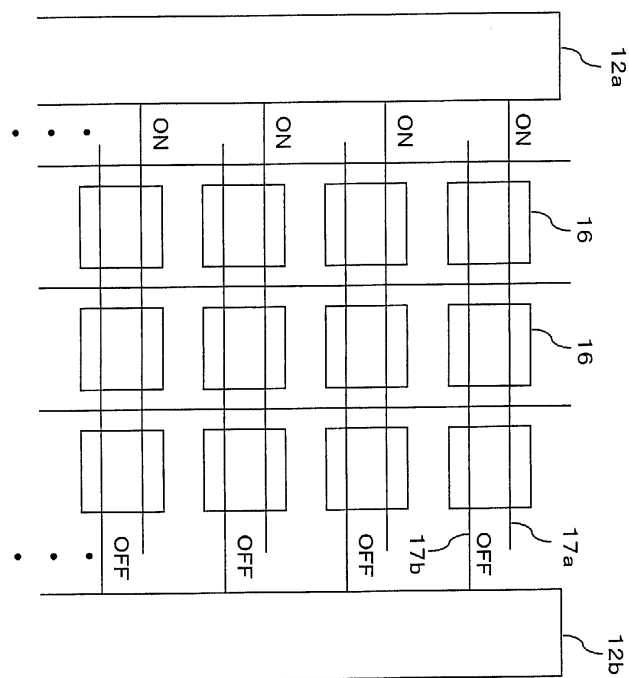
도면116



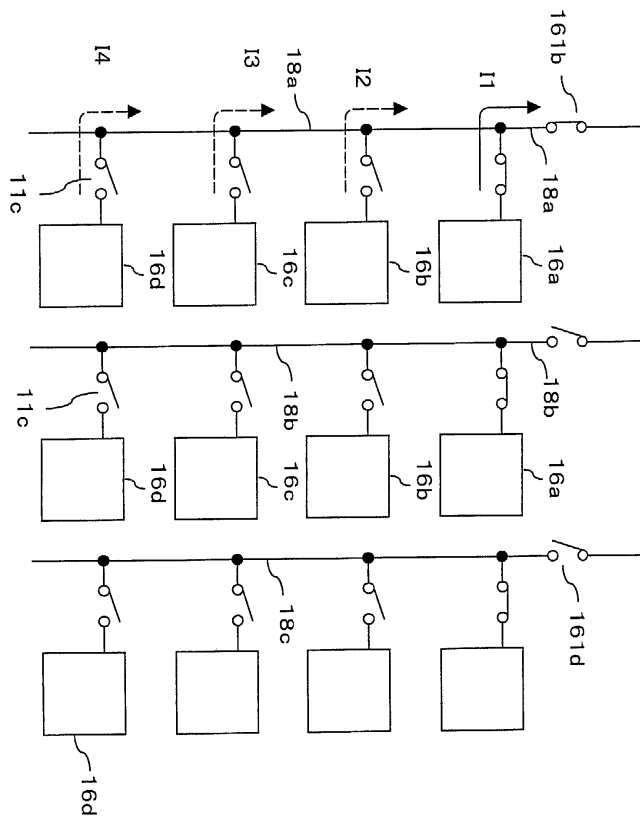
도면117



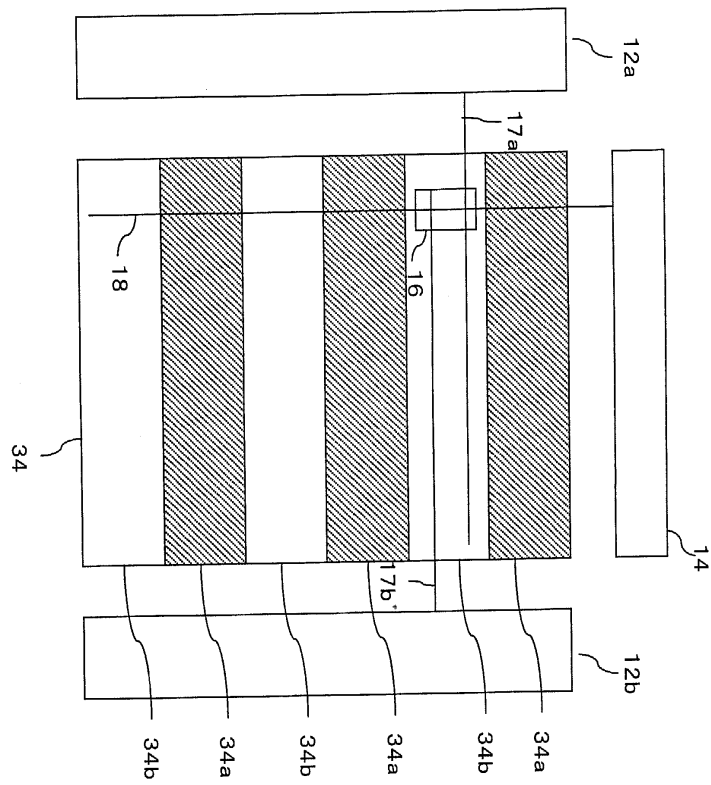
도면118



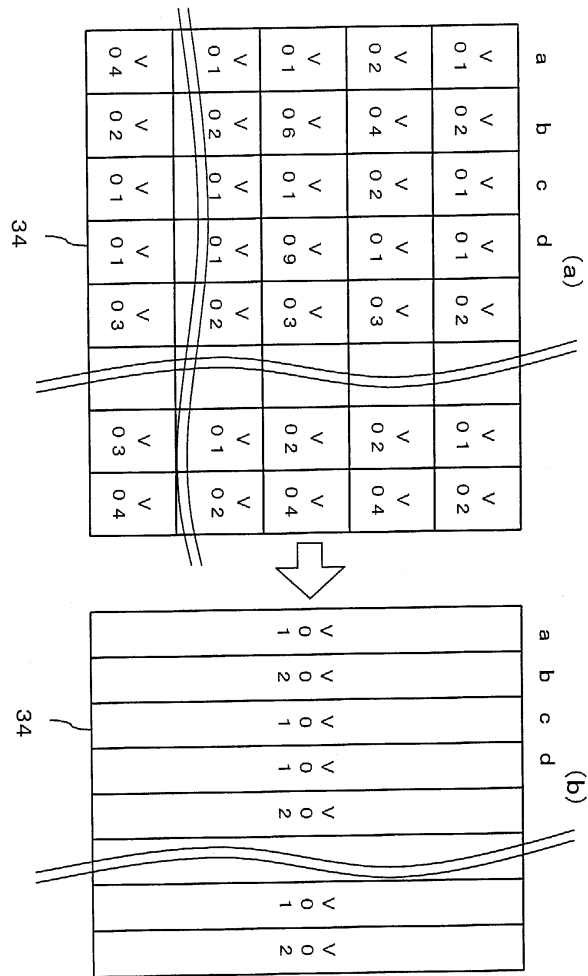
도면119



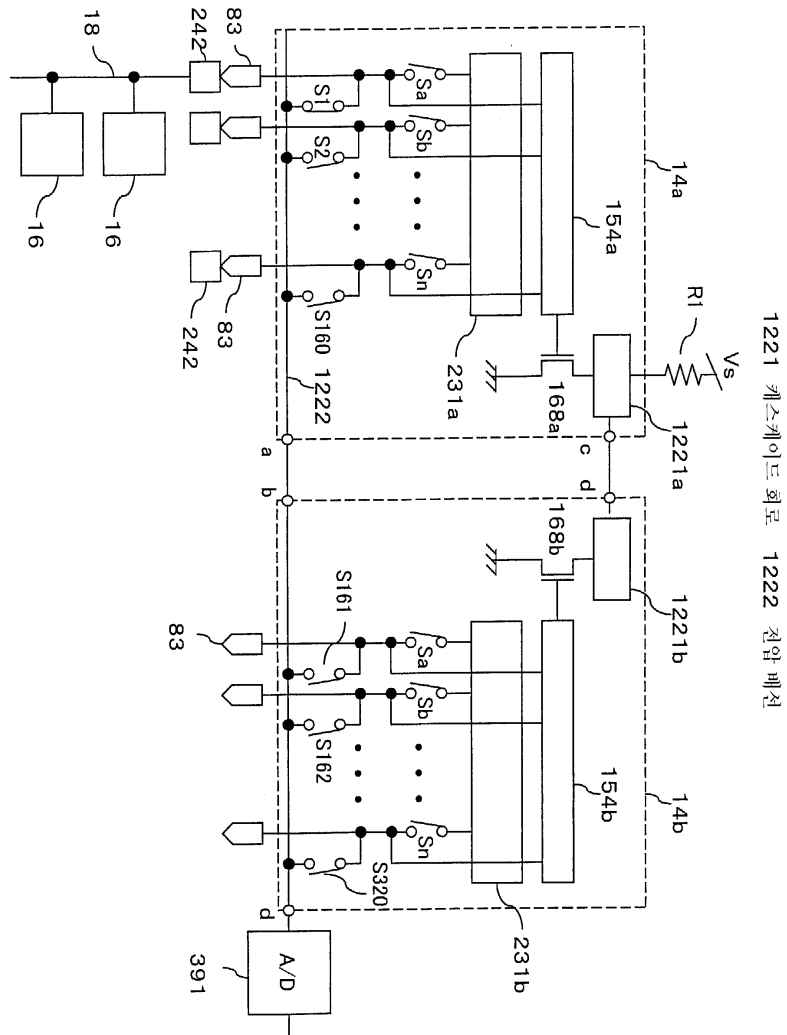
도면120



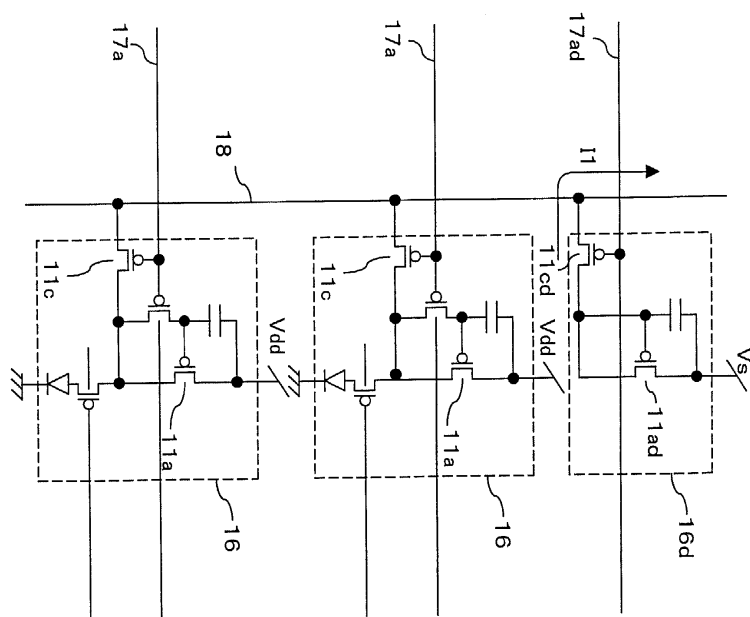
도면121



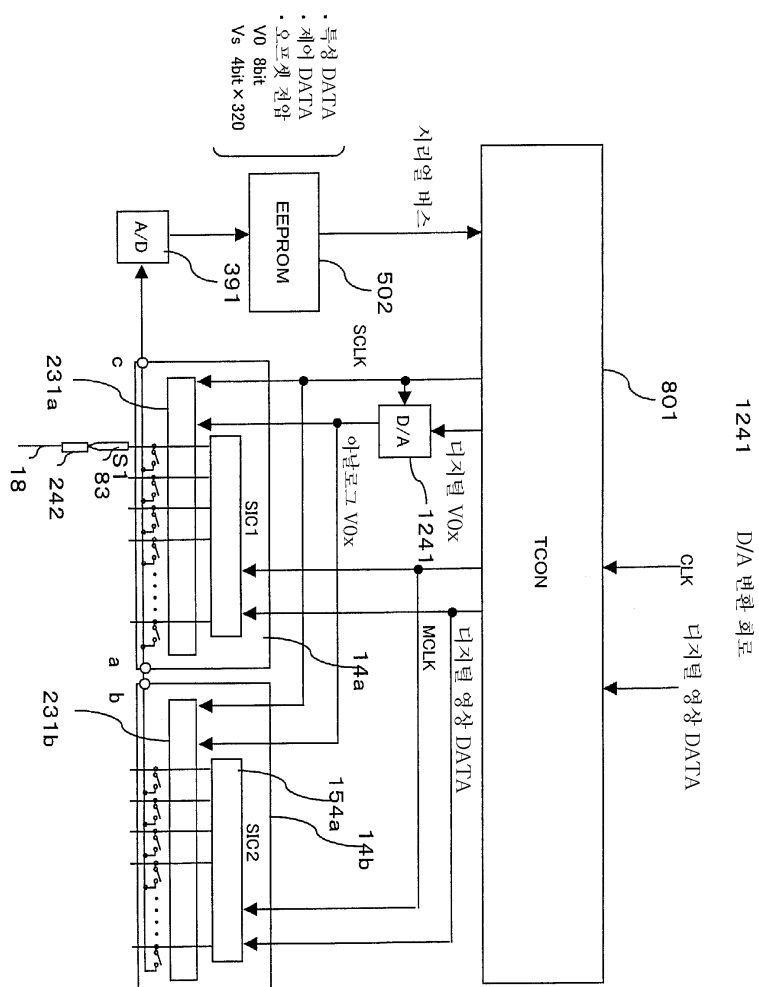
도면122



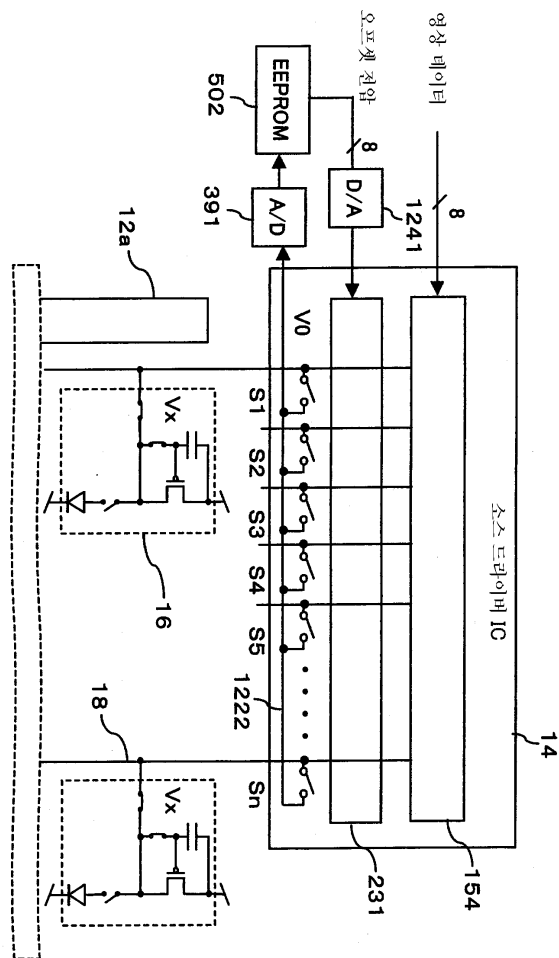
도면123



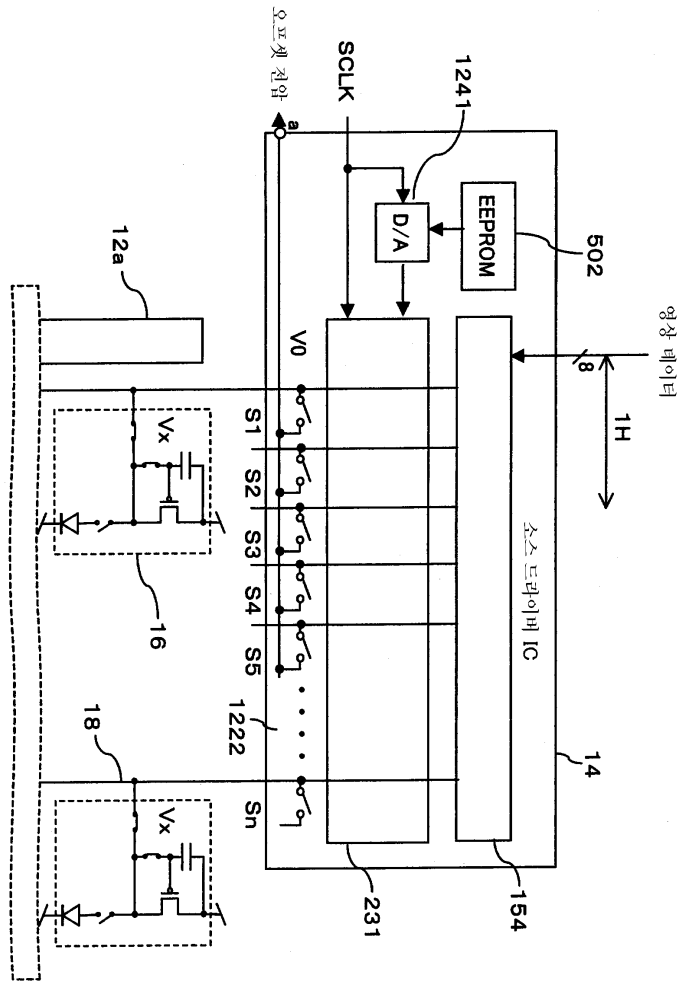
도면124



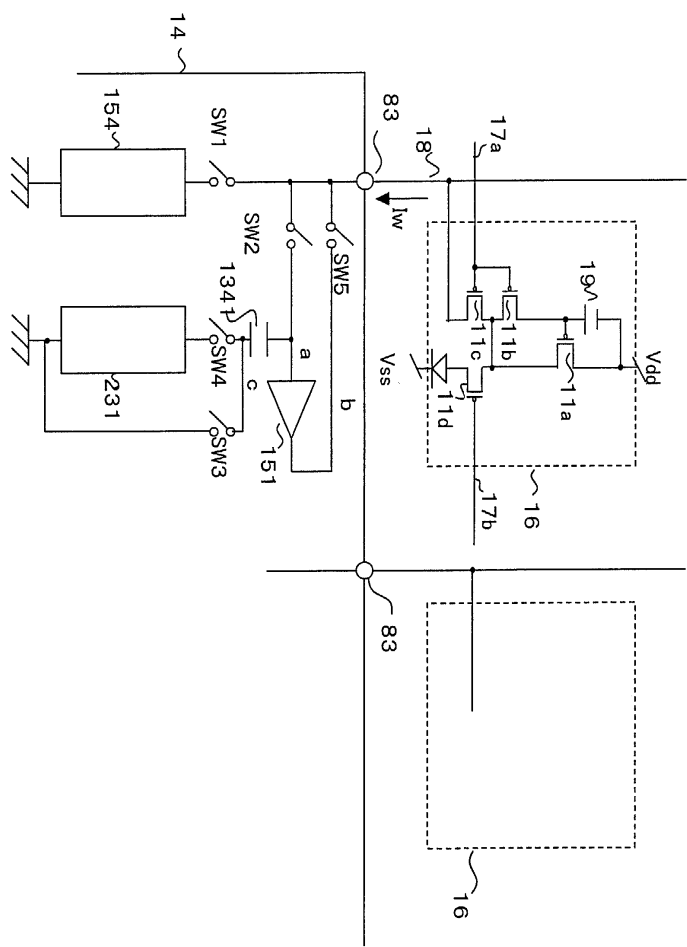
도면125



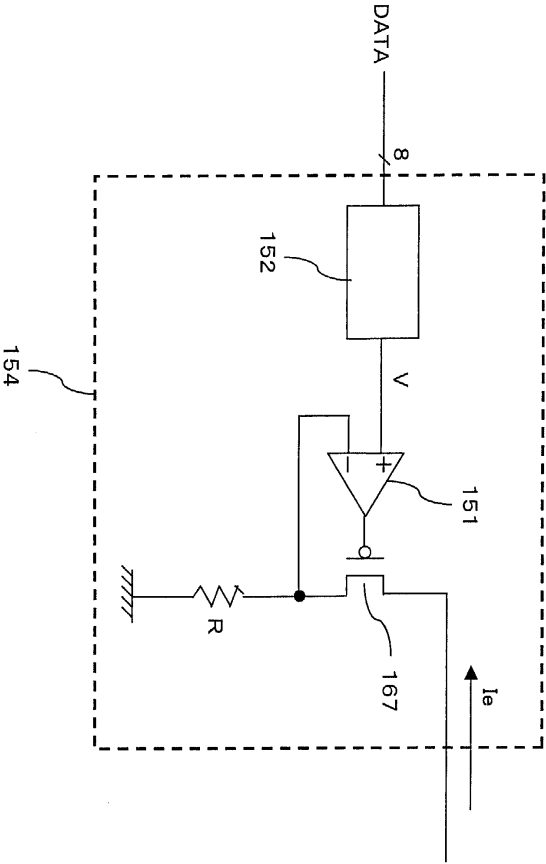
도면126



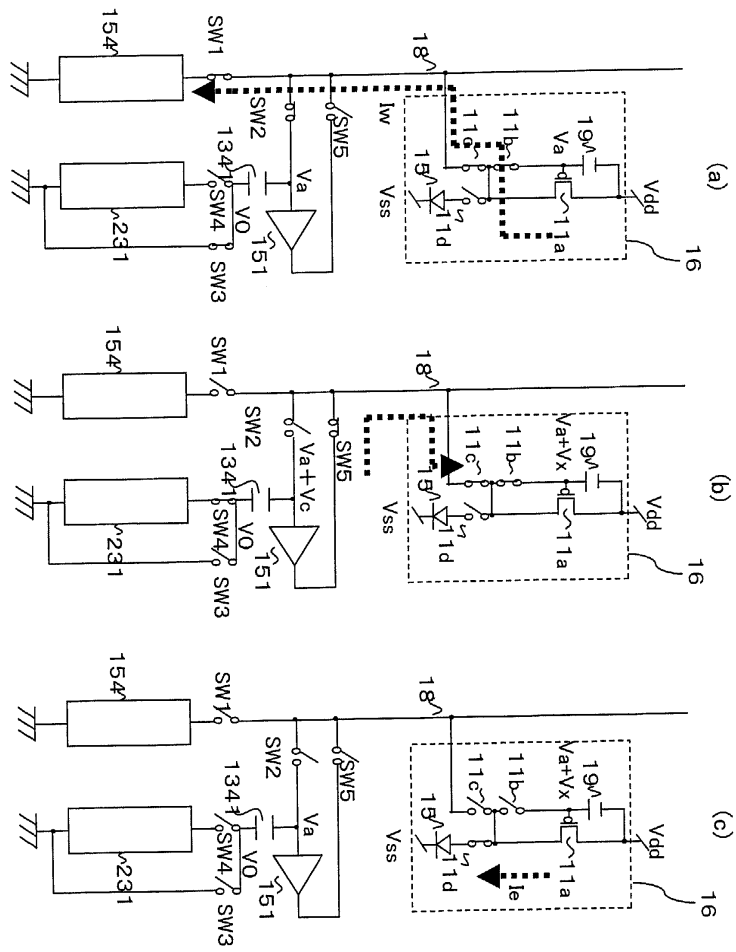
도면128



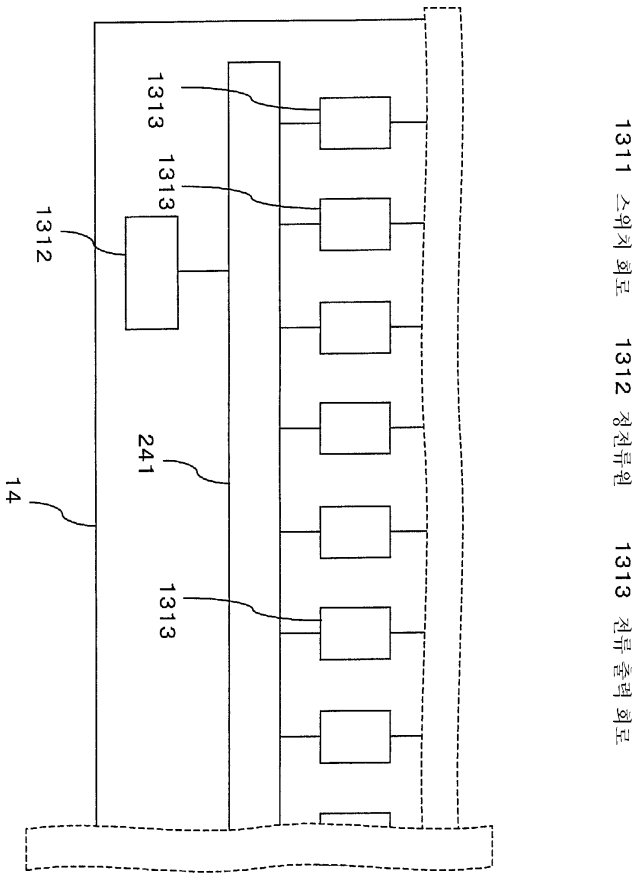
도면129



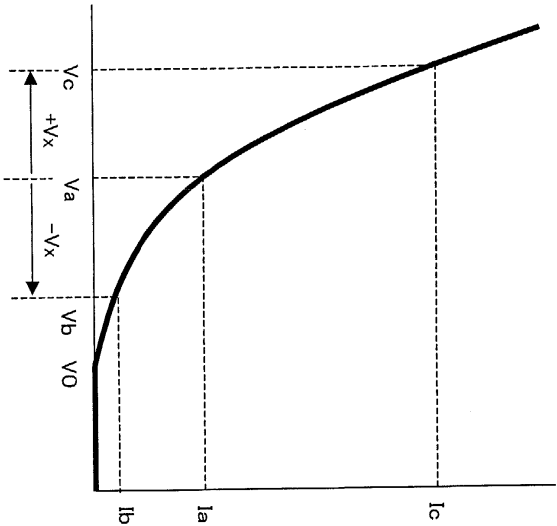
도면130



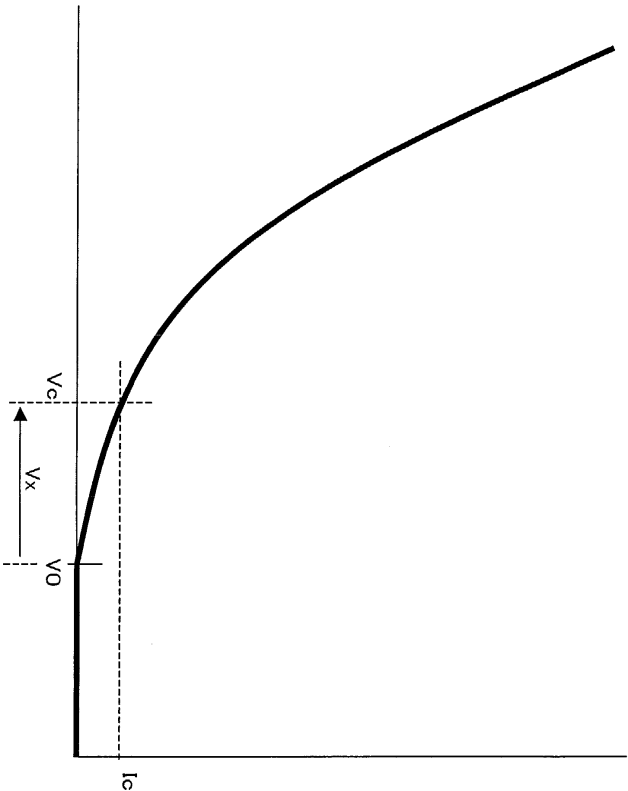
도면131



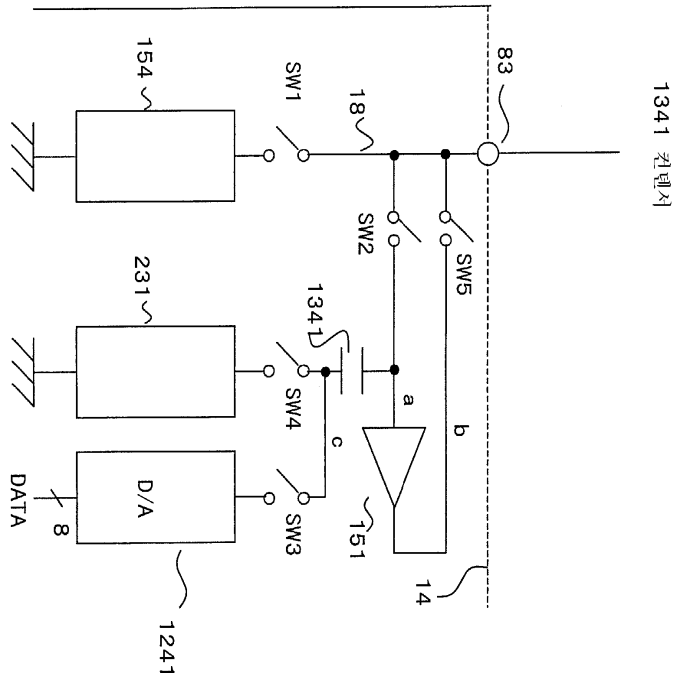
도면132



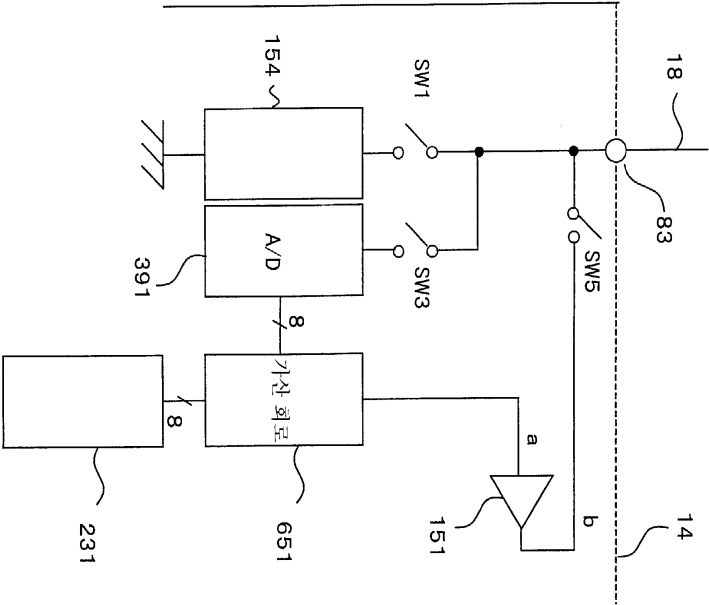
도면133



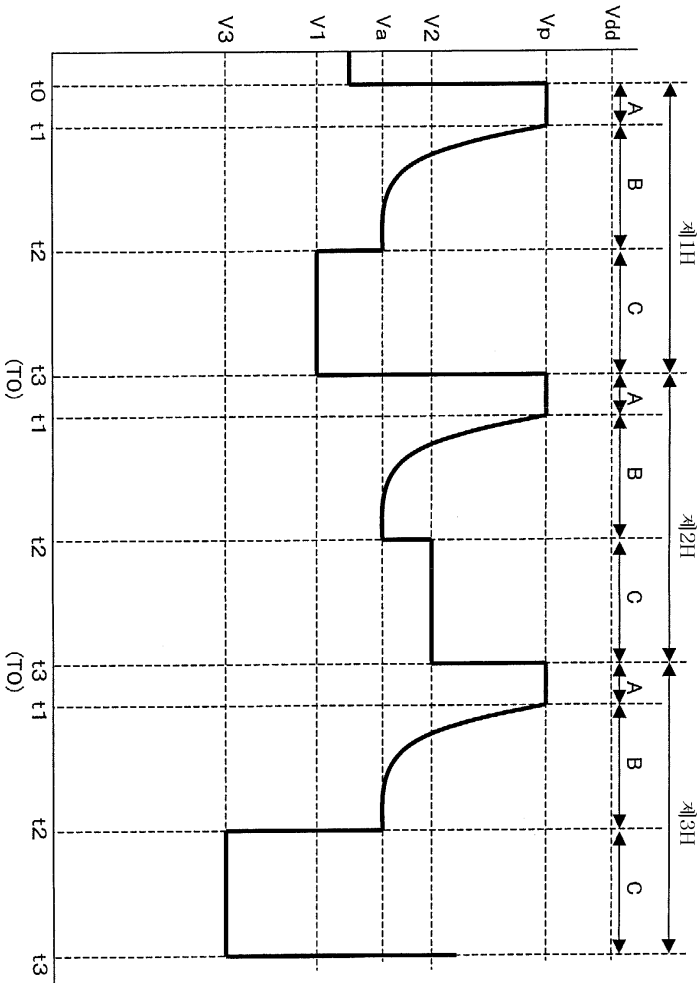
도면134



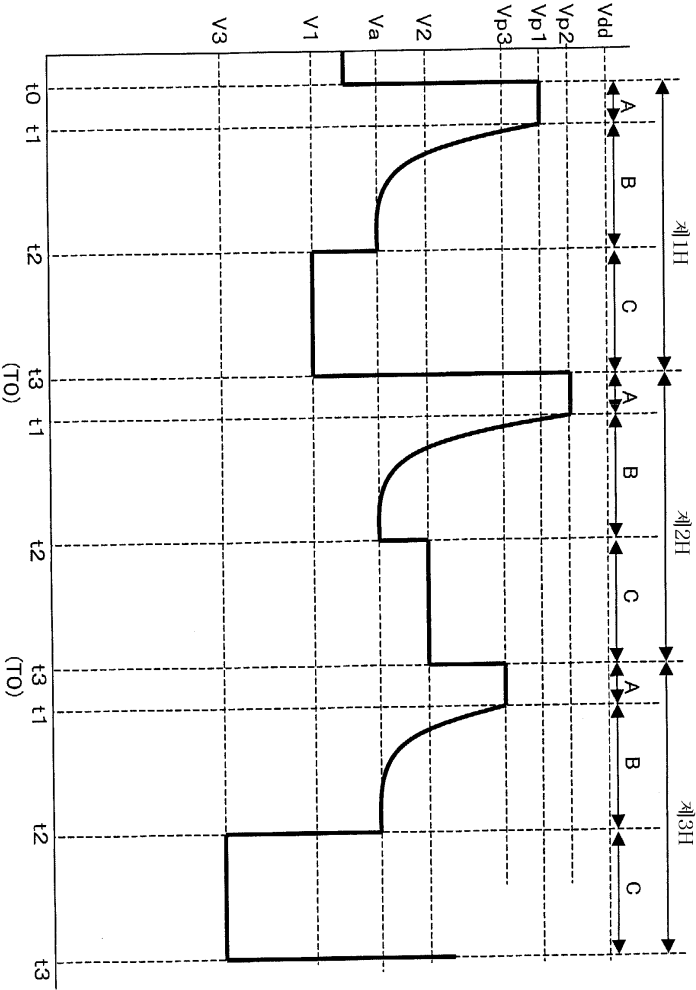
도면135



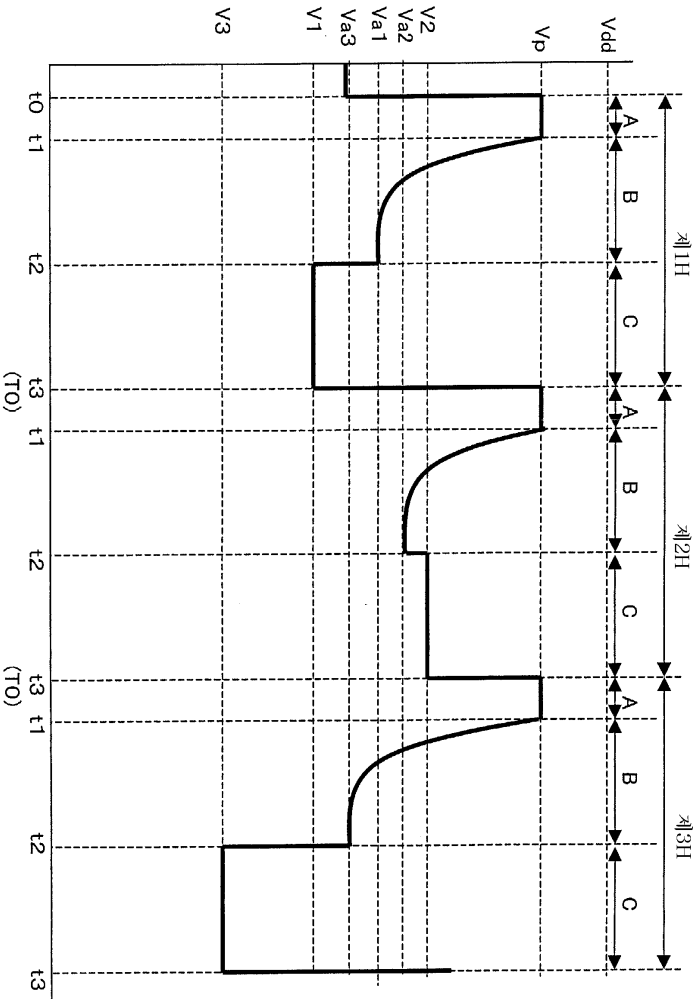
도면136



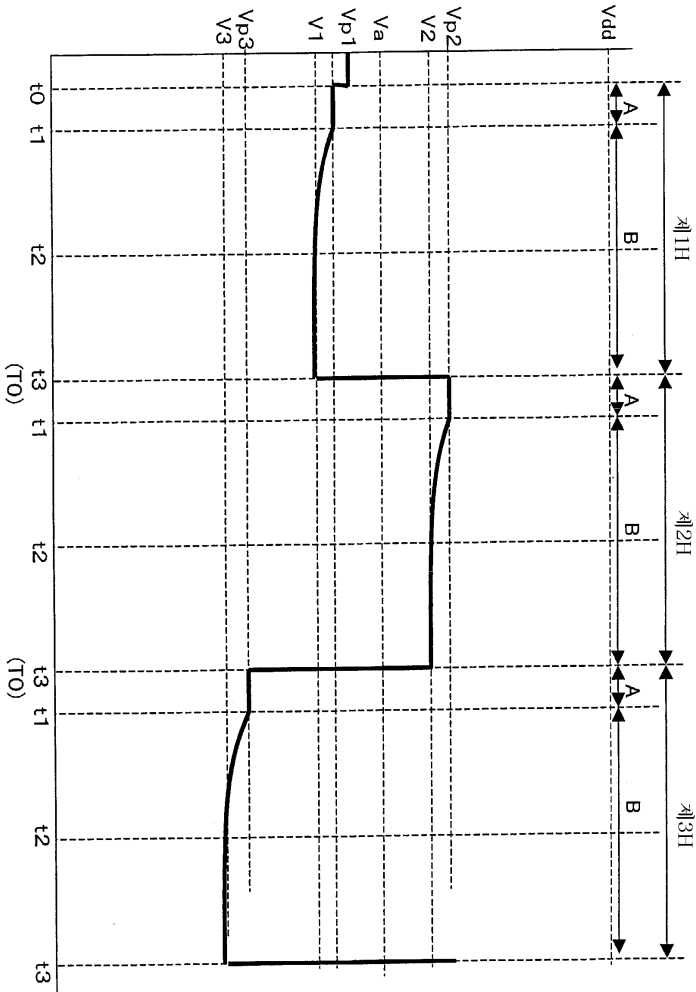
도면137



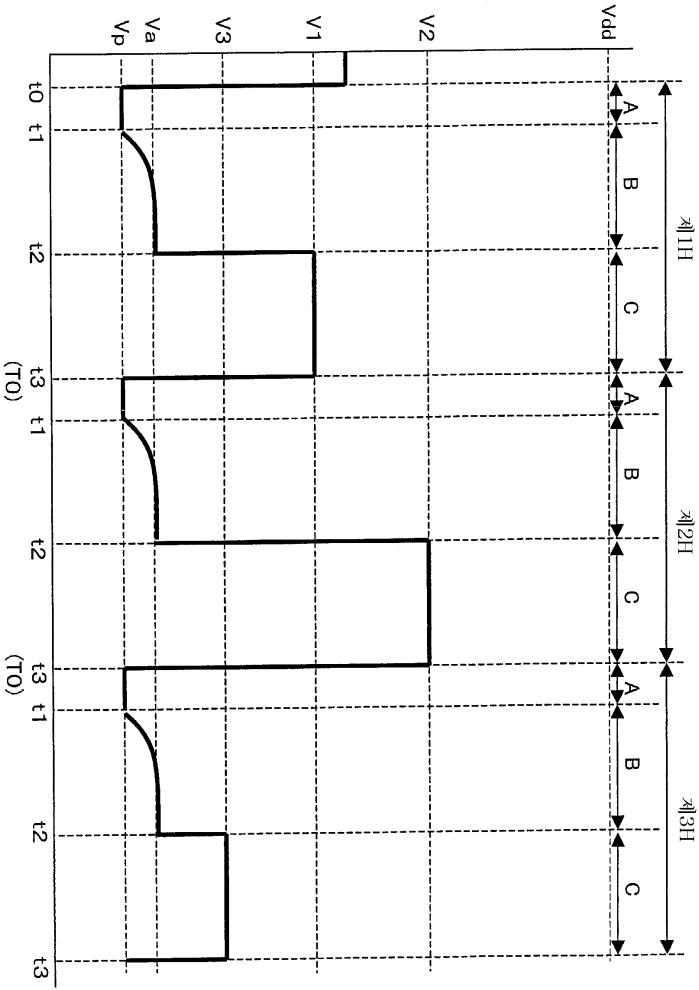
도면138



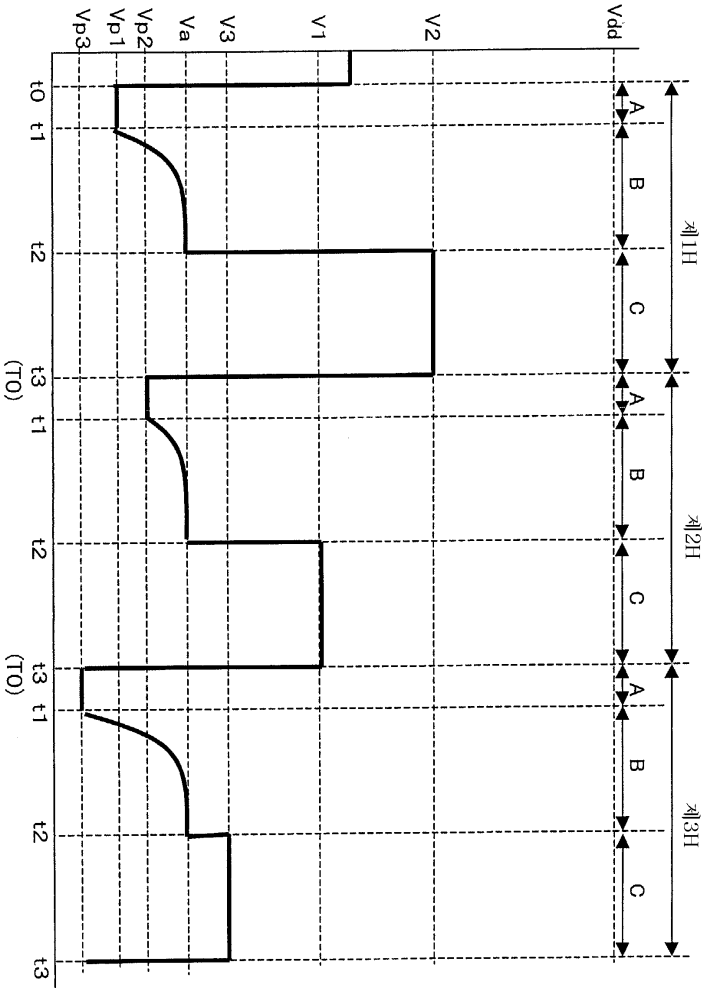
도면139



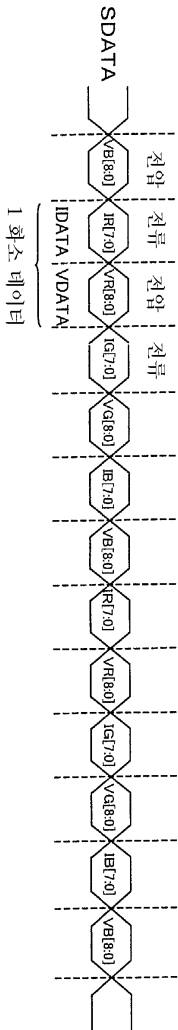
도면140



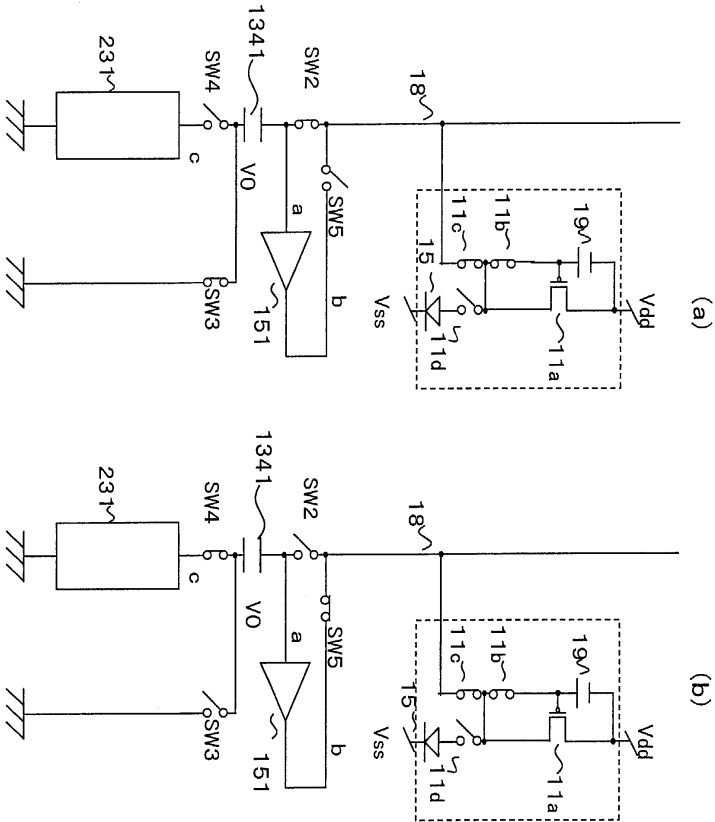
도면141



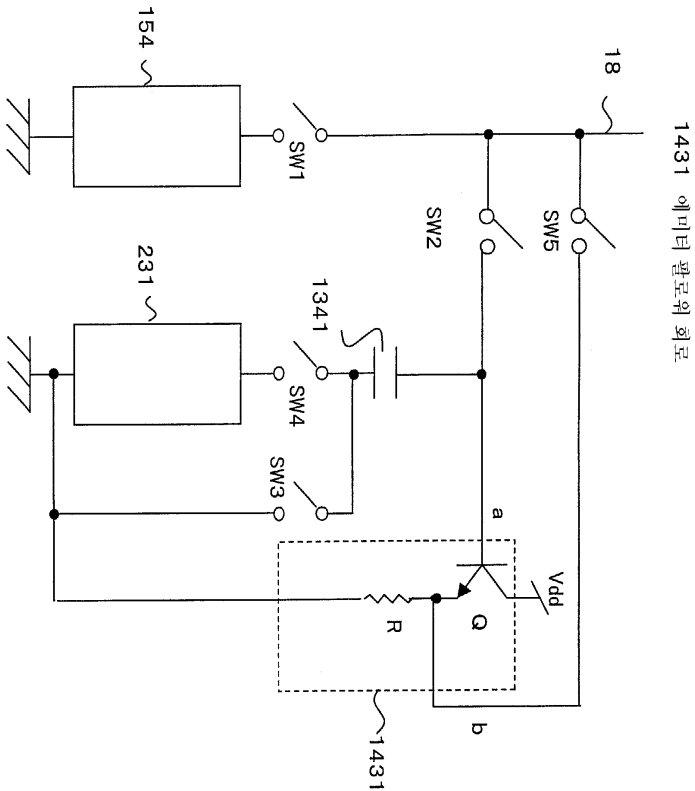
도면142



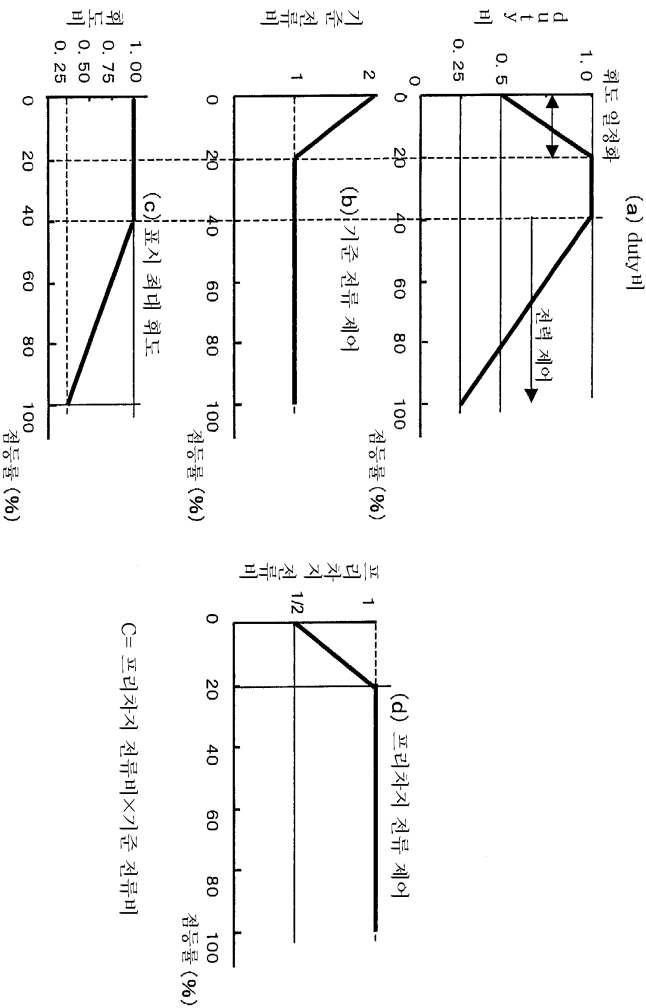
도면145



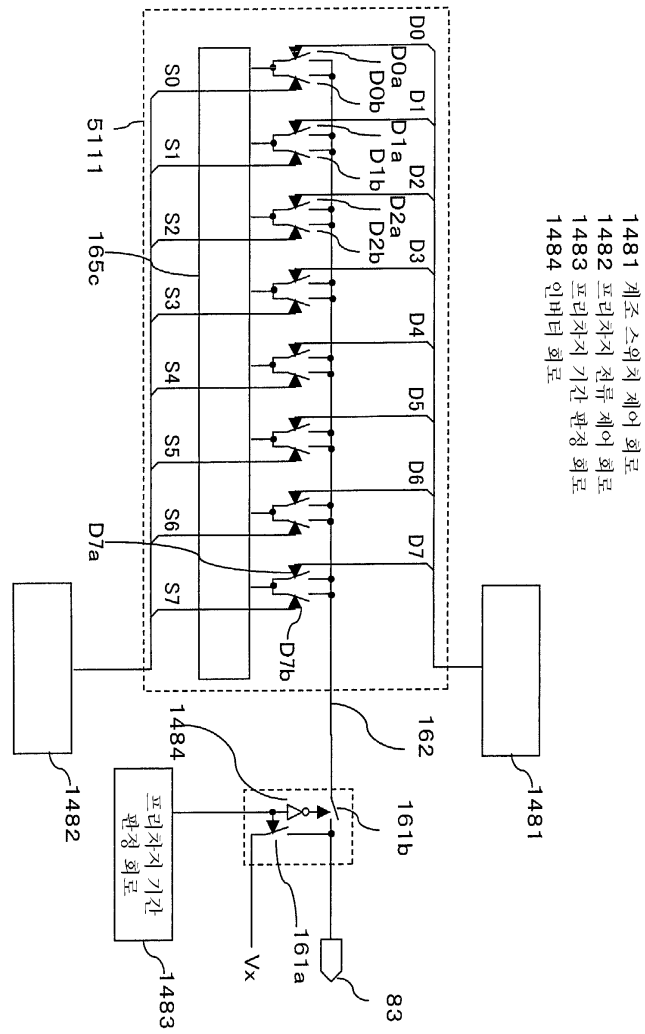
도면146



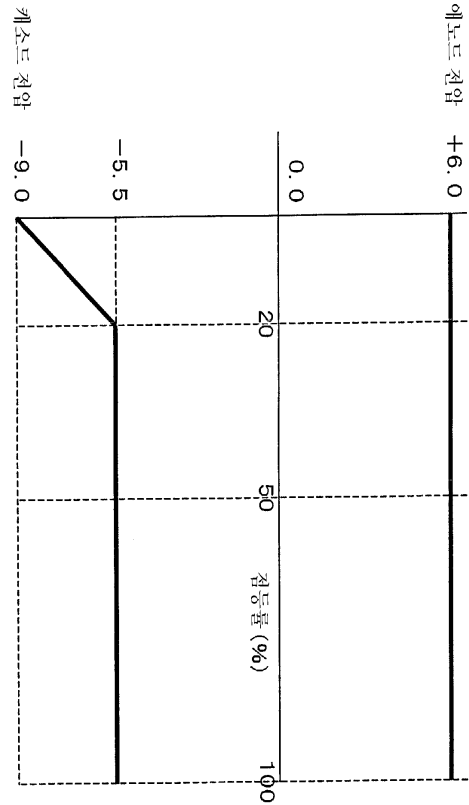
도면147



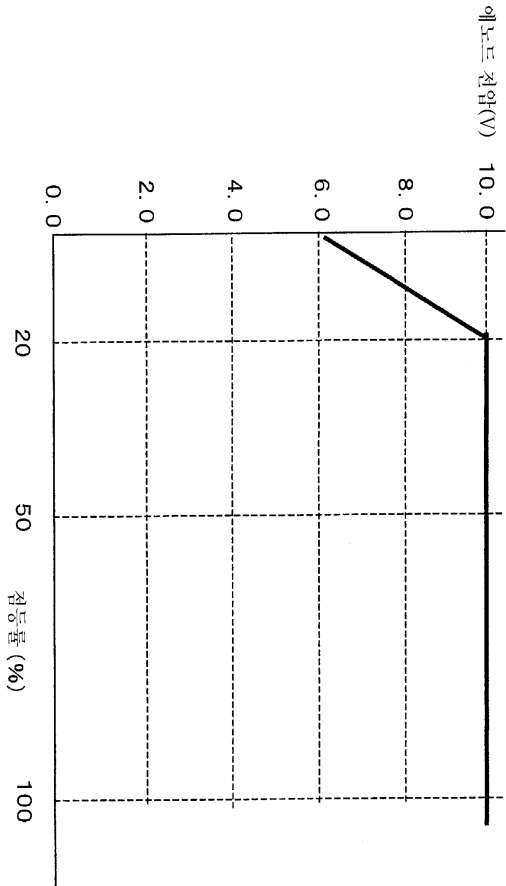
도면148



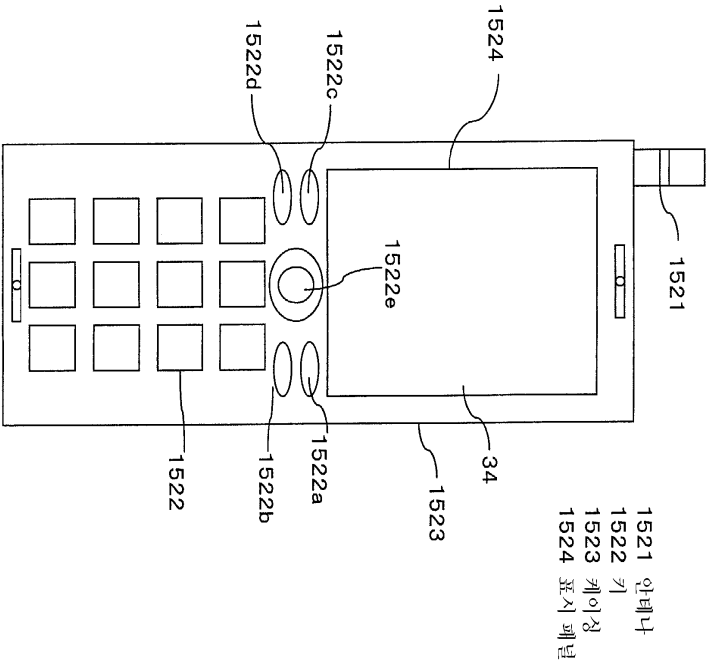
도면149



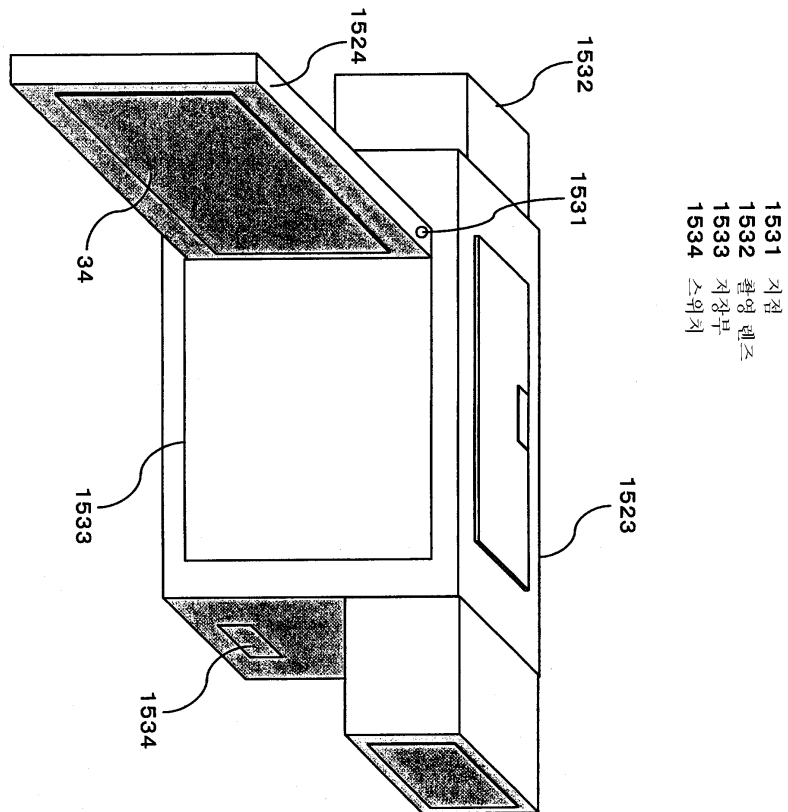
도면151



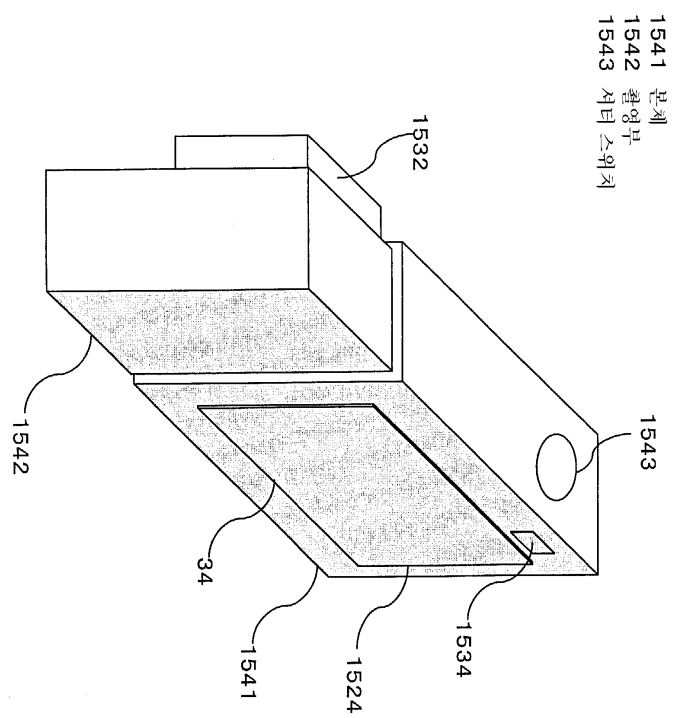
도면152



도면153



도면154



专利名称(译)	EL显示装置和EL显示装置的驱动方法		
公开(公告)号	KR1020070026711A	公开(公告)日	2007-03-08
申请号	KR1020070008879	申请日	2007-01-29
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TAKAHARA HIROSHI		
发明人	TAKAHARA, HIROSHI		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2300/0842 G09G3/2081 G09G2310/0297 G09G2310/0221 G09G3/3283 G09G2300/0852 G09G2310/0235 G09G2300/0861 G09G3/325 G09G3/3241 G09G2310/0251 G09G3/3233 G09G2320/0233 G09G2320/0261 G09G2310/0248 G09G3/3291 E03F5/0407 E03F2005/0417		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2005021550 2005-01-28 JP		
其他公开文献	KR100934784B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种电致发光显示装置，其中具有电致发光单元的像素可包括产生电压产生电路的信号产生电路，该电压产生电路产生电致发光电池的阳极电压和阴极电压中的至少一个，它是电致发光布置为矩阵形状的显示装置和在电致发光单元和电压产生电路中授权的图像信号可以改变阳极电压和阴极电压中的至少一侧的电压。阳极电压，阴极电压，电致发光电池，单元晶体管。

