

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H05B 33/08  
G09G 3/30

(11) 공개번호 10-2005-0122956  
(43) 공개일자 2005년12월29일

(21) 출원번호 10-2004-0048648  
(22) 출원일자 2004년06월26일

(71) 출원인 삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575

(72) 발명자 강태욱  
경기도 성남시 분당구 분당동 셋별마을 우방아파트 302동 1103호  
김창수  
경기도 수원시 팔달구 영통동 963-2 진흥아파트 552동 1004호  
정창용  
경기도 수원시 팔달구 영통동 1043-8 301호

(74) 대리인 리엔목특허법인  
이혜영

심사청구 : 있음

(54) 능동 구동형 전계발광 디스플레이 장치

요약

본 발명은 인접한 부화소들에 있어서 Vdd 배선과 데이터 배선간의 단락이 발생하는 것이 방지된 능동 구동형 전계발광 디스플레이 장치를 위하여, 스트라이프 패턴으로 구비되는 복수개의 Vdd 배선들과, 상기 각 Vdd 배선의 일측에 구비되고 상기 각 Vdd 배선에 연결되는 복수개의 제 1 트랜지스터들과, 상기 각 Vdd 배선의 타측에 구비되고 상기 각 Vdd 배선에 연결되는 복수개의 제 2 트랜지스터들 및 상기 제 1 트랜지스터들 및 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자들을 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치를 제공한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 본 종래의 액티브 매트릭스형 전계발광 디스플레이 장치의 회로를 개략적으로 도시하는 회로도.

도 2는 도 1의 A 부분을 도시하는 회로도.

도 3은 도 1 및 도 2의 A 부분을 개략적으로 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 평면도.

도 4는 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 전계발광 디스플레이 장치의 회로를 개략적으로 도시하는 회로도.

도 5는 도 4의 B 부분을 도시하는 회로도.

도 6은 도 4 및 도 5의 B 부분을 개략적으로 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 평면도.

도 7은 도 6의 P1 내지 P12를 따라 취하여 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 부화소부들의 단면도.

도 8은 본 발명의 바람직한 또 다른 일 실시예에 따른 액티브 매트릭스형 전계발광 디스플레이 장치의 회로를 개략적으로 도시하는 회로도.

도 9는 도 8의 C 부분을 도시하는 회로도.

도 10은 도 8 및 도 9의 C 부분을 개략적으로 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 평면도.

도 11은 도 10의 Q1 내지 Q13을 따라 취하여 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 부화소부들의 단면도.

<도면의 주요부분에 대한 부호의 설명>

101 : 콘트롤러 102 : 데이터 드라이버

103 : 스캔 드라이버 110 : 제 3 트랜지스터

111 : 제 3 게이트 전극 112 : 제 3 소스 전극

113 : 제 3 드레인 전극 120 : 제 1 배선

130 : 제 3 배선 140 : 제 1 스토리지 커패시터

150 : 제 1 트랜지스터 151 : 제 1 게이트 전극

152 : 제 1 소스 전극 153 : 제 1 드레인 전극

160 : 전계발광 소자 161, 261 : 화소 전극

162 : 대향 전극 170 : Vdd 배선

180 : 반도체층 181 : 기판

182 : 버퍼층 183 : 게이트 절연막

184 : 층간 절연막 185 : 제 1 보호막

186 : 화소 정의막 187 : 중간층

189 : 제 2 보호막 210 : 제 4 트랜지스터

211 : 제 4 게이트 전극 212 : 제 4 소스 전극

213 : 제 4 드레인 전극 220 : 제 2 배선

240 : 제 2 스토리지 커패시터 250 : 제 2 트랜지스터

251 : 제 2 게이트 전극 252 : 제 2 소스 전극

253 : 제 2 드레인 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 능동 구동형 전계발광 디스플레이 장치에 관한 것으로서, 더 상세하게는 인접한 부화소들에 있어서 Vdd 배선과 데이터 배선간의 단락이 발생하는 것이 방지된 능동 구동형 전계발광 디스플레이 장치에 관한 것이다.

도 1은 본 종래의 액티브 매트릭스형 전계발광 디스플레이 장치의 회로를 개략적으로 도시하는 회로도이고, 도 2는 도 1의 A 부분을 도시하는 회로도이며, 도 3은 도 1 및 도 2의 A 부분을 개략적으로 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 평면도이다.

상기 도면들을 간략히 스캔 드라이버(3)에 연결된 스캔 배선(30)에는 스위칭 트랜지스터(switching transistor, 10)의 게이트 전극(11)이 연결되며, 상기 스위칭 트랜지스터(10)의 소스 전극(12)은 데이터 드라이버(2)에 연결된 데이터 배선(20)에 연결되어 있다. 그리고 상기 스위칭 트랜지스터(10)의 드레인 전극(13)은 드라이빙 트랜지스터(driving transistor, 50)의 게이트 전극(51)과 스위칭 커패시터(switching capacitor, 40)의 제 1 전극(41)에 연결되어 있으며, 상기 데이터 드라이버(2)에 연결된 Vdd 배선에는 상기 스위칭 커패시터(40)의 제 2 전극(42) 및 상기 드라이빙 트랜지스터(50)의 소스 전극(52)에 연결되고, 상기 드라이빙 트랜지스터(50)의 드레인 전극(53)은 전계발광 디스플레이 소자(60)의 화소 전극(61)에 연결되어 있다.

상기와 같은 구조에 있어서, 상기 스캔 배선(30)들 중 선택된 행에 연결된 스위칭 트랜지스터(10)들의 게이트 전극(11)들에 소정의 전압이 인가되면 상기 각 스위칭 트랜지스터(10)의 소스 전극(12)에서 드레인 전극(13)으로 전류가 흐르게 되는 바, 이 경우 상기 데이터 배선(20)들에 의해 선택된 스위칭 트랜지스터(10)들의 소스 전극(12)들에만 전류가 공급되므로, 이를 통해 발광이 될 부화소들을 선택하게 된다.

이 경우에 있어서 발광하는 각 부화소에 흐르는 전류는 Vdd 배선(70)을 통해 공급되는 바, 상기 Vdd 배선(70)에는 항상 일정한 양의 전압이 인가되고, 앞서 설명한 바와 같은 선택회로에 의해 선택된 부화소들에만 상기 Vdd 배선(70)에 의해 전류가 공급된다.

그런데 상기와 같은 구조에 있어서 상기 데이터 배선(20)과 상기 Vdd 배선(70)은 항상 인접한 쌍으로 배치되며, 따라서 이러한 구조에 있어서 상기 데이터 배선(20)과 상기 Vdd 배선(70)은 단락이 되기 쉽다. 상기 데이터 배선(20)과 상기 Vdd 배선(70)이 단락이 되면, 상기 Vdd 배선(70)에는 항상 일정한 전압이 인가되어 전류가 흐르기 때문에 상기 전류가 상기 데이터 배선(20)에 흘러 들어가게 되며, 그 결과 앞서 설명한 바와 같은 발광할 부화소들의 선택에 있어서 오동작을 일으키게 되고 결국에는 발광되지 않아야 할 부화소들이 발광하게 되는 결과를 초래하게 된다는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 인접한 부화소들에 있어서 Vdd 배선과 데이터 배선간의 단락이 발생하는 것이 방지된 능동 구동형 전계발광 디스플레이 장치를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

상기와 같은 목적 및 그 밖의 여러 목적을 달성하기 위하여, 본 발명은, 스트라이프 패턴으로 구비되는 복수개의 Vdd 배선들과, 상기 각 Vdd 배선의 일측에 구비되고 상기 각 Vdd 배선에 연결되는 복수개의 제 1 트랜지스터들과, 상기 각 Vdd 배

선의 타측에 구비되고 상기 각 Vdd 배선에 연결되는 복수개의 제 2 트랜지스터들 및 상기 제 1 트랜지스터들 및 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자들을 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 각 Vdd 배선의 상기 제 1 트랜지스터들이 구비된 측에 상기 제 1 트랜지스터들에 1 대 1로 연결되는 복수개의 제 3 트랜지스터들과, 상기 각 Vdd 배선의 상기 제 2 트랜지스터들이 구비된 측에 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 제 4 트랜지스터들을 더 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 각 Vdd 배선마다 제 1 배선 및 제 2 배선을 더 구비하며, 상기 제 1 배선은 상기 각 Vdd 배선에 있어서의 제 3 트랜지스터들에 연결되고, 상기 제 2 배선은 상기 각 Vdd 배선에 있어서의 제 4 트랜지스터들에 연결되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 트랜지스터와 상기 제 3 트랜지스터와 상기 제 1 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 1 부화소들은 상기 Vdd 배선과 상기 제 1 배선 사이에 구비되고, 상기 제 2 트랜지스터와 상기 제 4 트랜지스터와 상기 제 2 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 2 부화소들은 상기 Vdd 배선과 상기 제 2 배선 사이에 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 부화소들과 상기 제 2 부화소들은 그 구조가 상기 Vdd 배선을 기준으로 서로 대칭인 것으로 할 수 있다.

본 발명은 또한 상기와 같은 목적을 달성하기 위하여, 스트라이프 패턴으로 구비되는 복수개의 제 1 Vdd 배선들과, 상기 제 1 Vdd 배선들과 평행하고 상기 제 1 Vdd 배선들 사이에 구비되는 복수개의 제 2 Vdd 배선들과, 상기 각 제 1 Vdd 배선의 일측에 구비되고 상기 각 제 1 Vdd 배선에 연결되는 복수개의 제 1 트랜지스터들과, 상기 각 제 2 Vdd 배선의 상기 제 1 트랜지스터들이 구비된 측에 구비되고 상기 각 제 2 Vdd 배선에 연결되는 복수개의 제 2 트랜지스터들 및 상기 제 1 트랜지스터들 및 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자들을 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 각 제 1 Vdd 배선의 상기 제 1 트랜지스터들이 구비된 측에 상기 제 1 트랜지스터들에 1 대 1로 연결되는 복수개의 제 3 트랜지스터들을 더 구비하고, 상기 각 제 2 Vdd 배선의 상기 제 2 트랜지스터들이 구비된 측에 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 제 4 트랜지스터들을 더 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 각 제 1 Vdd 배선마다 제 1 배선을 더 구비하고, 상기 각 제 2 Vdd 배선마다 제 2 배선을 더 구비하며, 상기 제 1 배선은 상기 각 제 1 Vdd 배선에 있어서의 제 3 트랜지스터들에 연결되고, 상기 제 2 배선은 상기 각 제 2 Vdd 배선에 있어서의 제 4 트랜지스터들에 연결되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 트랜지스터와 상기 제 3 트랜지스터와 상기 제 1 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 1 부화소들은 상기 제 1 Vdd 배선과 상기 제 1 배선 사이에 구비되고, 상기 제 2 트랜지스터와 상기 제 4 트랜지스터와 상기 제 2 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 2 부화소들은 상기 제 2 Vdd 배선과 상기 제 2 배선 사이에 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 부화소들과 상기 제 2 부화소들은 그 구조가 상기 제 1 Vdd 배선 및 상기 제 2 Vdd 배선을 기준으로 서로 대칭인 것으로 할 수 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

도 4는 본 발명의 바람직한 제 1 실시예에 따른 액티브 매트릭스형 전계발광 디스플레이 장치의 회로를 개략적으로 도시하는 회로도이고, 도 5는 도 4의 B 부분을 도시하는 회로도이며, 도 6은 도 4 및 도 5의 B 부분을 개략적으로 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 평면도이고, 도 7은 도 6의 P1 내지 P12를 따라 취하여 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 부화소부들의 단면도이다.

전계발광 디스플레이 장치는 발광층에서의 발광 색상에 따라 다양한 화소 패턴을 구비하는데, 예컨대 적색, 녹색 및 청색의 부화소들을 포함하는 화소를 구비한다. 상기 전계발광 소자는 전류구동 방식의 발광 소자로서, 상기 소자를 구성하는 양 전극간의 전류 흐름에 따라 적색, 녹색 또는 청색의 빛을 발광하여 소정의 화상을 구현한다.

상기 전계발광 소자의 구성을 간략히 설명하자면, 화소 전극과, 상기 화소 전극 상부로 구비되는 적어도 발광층을 포함하는 중간층과, 상기 중간층의 상부로 구비되는 대향 전극으로 구성된다. 본 발명은 반드시 상기와 같은 구조로 한정되는 것은 아니며 다양한 전계발광 소자의 구조가 그대로 적용될 수 있음은 물론이다.

전계발광 소자를 이용한 평판 디스플레이 장치는 휘도, 콘트라스트 및 시야각 등의 면에서 다른 종래의 디스플레이 장치보다 뛰어나다는 장점이 있어 연구개발이 활발한 바, 특히 도 4 내지 도 7에 도시된 바와 같이, 각 화소마다 트랜지스터들을 구비하여 각 화소의 발광 여부 또는 각 화소에 인가되는 신호를 제어하게 하는 액티브 매트릭스형 전계발광 디스플레이 장치가 주목받고 있다.

도 4를 참조하면, 복수개의 Vdd 배선(170)들이 스트라이프 패턴으로 구비되어 있고, 상기 각 Vdd 배선(170)의 일측(도 4 및 도 5에서는 좌측)에 위치하고 상기 각 Vdd 배선(170)에 연결되는 복수개의 제 1 트랜지스터(150)들이 구비되어 있다. 그리고 상기 각 Vdd 배선(170)의 타측(도 4 및 도 5에서는 우측)에 위치하고 상기 각 Vdd 배선(170)에 연결되는 복수개의 제 2 트랜지스터(250)들이 구비되어 있으며, 상기 제 1 트랜지스터(150)들 및 상기 제 2 트랜지스터들(250)에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자(160, 260)들이 구비되어 있다. 즉 두 개의 부화소들이 한 개의 Vdd 배선(170)을 공유하고 있는 구조이다.

상기와 같이 두 개의 부화소들이 한 개의 Vdd 배선(170)을 공유하도록 함으로써 상기 Vdd 배선(170)이 각 부화소들을 선택하기 위해 구비된 다른 배선들과 인접하지 않게 되어, 결과적으로 상기 Vdd 배선(170)과 다른 배선들과의 단락을 방지하여 부화소의 오작동을 방지할 수 있다.

한편 도 4 및 도 5를 참조하면, 상기 각 Vdd 배선(170)의 상기 제 1 트랜지스터(150)들이 구비된 측에 상기 제 1 트랜지스터(150)들에 1 대 1로 연결되는 복수개의 제 3 트랜지스터(110)들과, 상기 각 Vdd 배선(170)의 상기 제 2 트랜지스터(250)들이 구비된 측에 상기 제 2 트랜지스터(250)들에 1 대 1로 연결되는 복수개의 제 4 트랜지스터(210)들을 더 구비되어 있다. 그리고 상기 각 Vdd 배선(170)마다 제 1 배선(120) 및 제 2 배선(220)을 더 구비하며, 상기 제 1 배선(120)은 상기 각 Vdd 배선(170)에 있어서의 제 3 트랜지스터(110)들에 연결되고, 상기 제 2 배선(220)은 상기 각 Vdd 배선(170)에 있어서의 제 4 트랜지스터(210)들에 연결되어 있다.

상기 구조를 더 자세히 설명하자면, 상기 제 3 트랜지스터(110)의 제 3 소스 전극(112)은 상기 제 1 배선(120)에 의하여 구동 회로에 연결되고, 상기 제 3 트랜지스터(110)의 제 3 게이트 전극(111)은 제 3 배선(130)에 의하여 구동 회로에 연결되며, 상기 제 3 트랜지스터(110)의 제 3 드레인 전극(113)은 제 1 스토리지 커패시터(140)의 제 1 커패시터 전극(141) 및 제 1 트랜지스터(150)의 제 1 게이트 전극(151)과 연결된다.

한편, 상기 제 4 트랜지스터(210)의 제 4 소스 전극(212)은 상기 제 2 배선(220)에 의하여 구동 회로에 연결되고, 상기 제 4 트랜지스터(210)의 제 4 게이트 전극(211)은 상기 제 3 배선(130)에 의하여 구동 회로에 연결되며, 상기 제 4 트랜지스터(210)의 제 4 드레인 전극(213)은 제 2 스토리지 커패시터(240)의 제 1 커패시터 전극(241) 및 제 2 트랜지스터(250)의 제 2 게이트 전극(251)과 연결된다.

상기와 같은 구성에 있어서, 상기 제 1 배선(120) 및 제 2 배선(220)이 데이터를 전송하는 데이터 라인(data line), 제 3 배선(130)이 스캔 라인(scan line)에 해당하는 것으로 할 수 있으며, 이 경우 상기 제 3 트랜지스터(110) 및 상기 제 4 트랜지스터(210)가 스위칭 트랜지스터(switching TR) 역할을, 상기 제 1 트랜지스터(150) 및 상기 제 2 트랜지스터(250)가 드라이빙 트랜지스터(driving TR) 역할을 하게 된다. 물론 상기 선택 구동 회로에 있어서 각 부화소별로 두 개 이상의 트랜지스터를 사용할 수도 있다. 이하에서는 각 부화소별로 스위칭 트랜지스터와 드라이빙 트랜지스터 두 개의 트랜지스터가 사용된 경우에 대해 설명하겠다.

상기 제 1 스토리지 커패시터(140)의 제 2 커패시터 전극(142)과 상기 제 1 트랜지스터(150)의 제 1 소스 전극(152)은 Vdd 배선(170)과 연결되고, 상기 제 1 트랜지스터(150)의 제 1 드레인 전극(153)은 전계발광 소자(160)의 화소 전극(161)과 연결된다. 도 7로부터 알 수 있는 바와 같이, 전계발광 소자(160)의 대향 전극(162)은 상기 화소 전극(161)과 소정의 간극을 두고 대향 배치되고, 상기 화소 전극(161)과 상기 대향 전극(162) 사이에는 적어도 발광층을 포함하는 중간층(187)이 구비된다.

한편, 상기 제 2 스토리지 커패시터(240)의 제 2 커패시터 전극(242)과 상기 제 2 트랜지스터(250)의 제 2 소스 전극(252)은 Vdd 배선(170)과 연결되고, 상기 제 2 트랜지스터(250)의 제 2 드레인 전극(253)은 전계발광 소자(260)의 화소 전극(261)과 연결된다. 전계발광 소자(260)의 개략적인 구조는 상술한 바와 동일하다.

도 6 및 도 7에는 도 4 및 도 5의 B부분의 물리적인 구조가 개략적으로 도시되어 있다. 참고적으로, 도 6에는 도 7에 도시되지 않은 제 1 배선(120) 및 제 2 배선(220), 제 3 소스 전극(112), 제 3 게이트 전극(111), 제 3 드레인 전극(113), 제 4 소스 전극(212), 제 4 게이트 전극(211), 제 4 드레인 전극(213) 및 제 3 배선(130)이 도시되어 있고, 도 7에는 도 6에 도시되지 않은 구성요소, 즉 기판(181), 버퍼층(182), 게이트 절연막(183), 층간 절연막(184), 제 1 보호막(185), 대향 전극(162) 및 제 2 보호막(189)이 도시되어 있다.

구동회로에 의하여 제 3 게이트 전극(111)에 전압이 인가되면 제 3 소스 전극(112)과 제 3 드레인 전극(113)을 연결하는 반도체층(180)에 도전 채널이 형성되는데, 이 때 제 1 배선(120)에 의하여 상기 제 3 소스 전극(112)에 전하가 공급되면 그 전하가 상기 제 3 드레인 전극(113)으로 이동된다. 상기 구동회로에 의하여 발광층을 포함하는 중간층(187)에서 발생하는 광량을 결정하는 전하량이 Vdd 배선(170)에 공급되고, 상기 제 3 드레인 전극(113)에 의하여 제 1 게이트 전극(151)에 전하가 공급되면 제 1 소스 전극(152)의 전하가 제 1 드레인 전극(153)을 거쳐서 화소 전극(161)으로 이동한다.

한편, 구동회로에 의하여 제 4 게이트 전극(211)에 전압이 인가되면 제 4 소스 전극(212)과 제 4 드레인 전극(213)을 연결하는 반도체층(280)에 도전 채널이 형성되는데, 이 때 제 2 배선(220)에 의하여 상기 제 4 소스 전극(212)에 전하가 공급되면 그 전하가 상기 제 4 드레인 전극(213)으로 이동된다. 상기 구동회로에 의하여 발광층을 포함하는 중간층(287)에서 발생하는 광량을 결정하는 전하량이 Vdd 배선(170)에 공급되고, 상기 제 4 드레인 전극(213)에 의하여 제 2 게이트 전극(251)에 전하가 공급되면 제 2 소스 전극(252)의 전하가 제 2 드레인 전극(253)을 거쳐서 화소 전극(261)으로 이동한다.

도 7을 참조하여 상기 부화소부의 구체적인 구성에 대하여 설명한다. P1 내지 P2 및 P11 내지 P12에는 부화소부의 전계 발광 소자(160, 260)가 도시되어 있고, P2 내지 P3 및 P10 내지 P11에는 각각 제 1 트랜지스터(150)와 제 2 트랜지스터(250)가 도시되어 있으며, P3 내지 P6 및 P7 내지 P10에는 각각 제 1 스토리지 커패시터(140)와 제 2 스토리지 커패시터(240)가 도시되어 있다.

도 7에 도시된 기판(181) 상에는 상기 기판(181)으로부터 반도체층(180, 280)으로 불순물이 침투하는 것을 방지하고 상기 기판(181)의 평활성을 위해 전면적으로 버퍼층(182)이 형성되며, 상기 버퍼층(182) 상에 제 1 트랜지스터(150) 및 제 2 트랜지스터(250)가 구비되어 있다. 그리고 상기 제 1 트랜지스터(150) 및 제 2 트랜지스터(250)를 전면적으로 덮도록 제 1 보호막(185)이 형성되고, 상기 제 1 보호막(185)의 제 1 드레인 전극(153) 및 제 2 드레인 전극(253)에 대응하는 부분에는 콘택홀이 형성되며, 상기 콘택홀이 형성된 영역을 포함하는 소정의 영역에 화소 전극(161, 261)이 형성된다. 상기 화소 전극(161, 261)은 상기 제 1 보호막(185)에 형성된 콘택홀을 통하여 상기 제 1 트랜지스터(150)의 제 1 드레인 전극(153) 및 상기 제 2 트랜지스터(250)의 제 2 드레인 전극(253)과 각각 연결된다.

상기 화소 전극(161, 261) 상에는 적어도 발광층을 포함하는 중간층(187, 287)이 형성되고, 상기 중간층(187, 287) 상에는 대향 전극(162)이 전면적으로 형성된다. 상기 대향 전극(162) 상에는 필요에 따라서 제 2 보호막(189)이 형성될 수 있다.

전계발광 소자가 배면 발광형인 경우에는 상기 기판(181), 버퍼층(182), 게이트 절연막(183), 층간 절연막(184), 제 1 보호막(185) 및 화소 전극(161, 261)이 투명한 소재로 형성되고, 대향 전극(162)은 광반사율이 좋은 금속 소재로 형성된다. 전계발광 소자가 전면 발광형인 경우에는 상기 화소 전극(161, 261)이 광반사율이 좋은 금속 소재로 형성되고, 대향 전극(162) 및 제 2 보호막(189)이 투명한 소재로 형성될 수 있다. 본 발명에 따른 전계발광 소자는 배면 발광형일 수도 있고 전면 발광형 또는 양면 발광형일 수도 있는 등, 전계발광 소자에서 생성된 빛은 화소 전극(161, 261) 및 대향 전극(162) 중 적어도 어느 하나 이상의 방향을 통하여 출사될 수 있다.

상기 화소 전극(161, 261)이 투명한 소재로 형성될 때에는 ITO, IZO, ZnO 또는  $\text{In}_2\text{O}_3$ 로 구비될 수 있다. 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 또는 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO 또는  $\text{In}_2\text{O}_3$ 로 구비될 수 있다. 상기 화소 전극의 패턴은 도 4 내지 도 7에 도시된 바와 같이 화소에 대응되는 형태로 형성될 수 있다.

상기 대향 전극(162)이 투명 소재로 형성될 때에는, 상기 대향 전극(162)이 캐소드 전극으로 사용될 수 있으므로, 일함수가 작은 금속, 즉 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 또는 이들의 화합물을 후술하는 중간층을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO 또는  $\text{In}_2\text{O}_3$  등의 투명 전극 형성용 물질로 보조 전극이나 버스 전극 라인이 구비되도록 할 수 있다. 그

리고 반사형 전극으로 사용될 때에는 상기 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 또는 이들의 화합물을 전면 증착하여 형성한다. 그러나, 반드시 이에 한정되는 것은 아니며, 화소 전극 및 대향 전극으로 전도성 폴리머 등 유기물을 사용할 수도 있다.

상기 대향 전극(162)은 전체 화소들을 덮도록 또는 각 화소에 대응되도록 구비될 수 있다.

한편, 상기 전계발광 소자(160, 260)는 상기 제 1 트랜지스터(150)의 제 1 드레인 전극(153) 또는 상기 제 2 트랜지스터(250)의 제 2 드레인 전극(253)으로부터 전하를 공급받는 화소 전극(161, 261), 제2전극(162), 그리고 상기 화소 전극(161, 261)과 대향 전극(162) 사이에 개재된 적어도 발광층을 포함하는 중간층(187)을 가지며, 상기 중간층의 종류에 따라서 전계발광 소자가 유기 전계발광 소자 또는 무기 전계발광 소자로 구분될 수 있다.

유기 전계발광소자의 경우에는 저분자 유기막 또는 고분자 유기막으로 구비될 수 있다.

저분자 유기막을 사용할 경우, 상기 중간층은 홀 주입층(HIL: hole injection layer), 홀 수송층(HTL: hole transport layer), 발광층(EML: emission layer), 전자 수송층(ETL: electron transport layer) 및 전자 주입층(EIL: electron injection layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능한데, 상기 화소 전극 및 대향 전극에 전하를 공급하면 홀(hole)과 전자가 결합함으로써 여기자(exiton)가 생성되고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라서 상기 발광층이 발광한다.

이러한 저분자 유기막은 진공 중에서 유기물을 가열하여 증착하는 방식으로 형성될 수 있다. 물론 상기 중간층의 구조는 반드시 위에 한정되는 것은 아니고, 필요에 따라 다양한 층으로서 구성할 수 있다.

고분자 유기막을 사용할 경우에는 상기 중간층은 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비될 수 있다. 상기 고분자 홀 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스펀 코팅의 방법에 의해 형성될 수 있다. 상기 고분자 유기 발광층은 PPV, Soluble PPV's, Cyano-PPV, 폴리플루오렌(Polyfluorene) 등으로 구비될 수 있으며, 잉크젯 프린팅이나 스펀 코팅 또는 레이저를 이용한 열전사방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다. 물론 이러한 고분자 유기층의 경우에도 상기 중간층의 구조는 반드시 위에 한정되는 것은 아니고, 필요에 따라 다양한 층으로서 구성할 수 있다.

무기 전계발광 소자의 경우에는 상기 중간층은 무기막으로 구비되며, 이는 발광층 및 상기 발광층과 전극 사이에 개재된 절연층으로 구비될 수 있다. 물론 상기 중간층의 구조는 반드시 위에 한정되는 것은 아니고, 필요에 따라 다양한 층으로서 구성할 수 있다.

무기 전계발광 소자의 경우, 상기 발광층은 ZnS, SrS, CaS 등과 같은 금속황화물 또는  $\text{CaGa}_2\text{S}_4$ ,  $\text{SrGa}_2\text{S}_4$  등과 같은 알카리 토류 칼륨 황화물, 및 Mn, Ce, Tb, Eu, Tm, Er, Pr, Pb 등을 포함하는 천이 금속 또는 알카리 희토류 금속들과 같은 발광중심원자들로 구비될 수 있다.

한편, 제 1 스토리지 커패시터(140)는 제 1 커패시터 전극(141)과 제 2 커패시터 전극(142)을 구비하는데, 제 1 커패시터 전극(141)은 제 1 게이트 전극(151)과 일체로 형성될 수 있고, 제 2 커패시터 전극(142)은 제 1 소스 전극(152)과 일체로 형성될 수 있다. 또한 제 2 스토리지 커패시터(240) 역시 제 1 커패시터 전극(241)과 제 2 커패시터 전극(242)을 구비하는데, 제 1 커패시터 전극(241)은 제 2 게이트 전극(251)과 일체로 형성될 수 있고, 제 2 커패시터 전극(242)은 제 2 소스 전극(252)과 일체로 형성될 수 있다. 그리고 본 실시예에 있어서는 두 개의 부화소들이 하나의 Vdd 배선을 공유하는 바, 이에 따라 상기 제 1 커패시터(140)의 제 2 커패시터 전극(142)과 상기 제 2 커패시터(240)의 제 2 커패시터 전극(242)은 도 6 및 도 7에 도시된 바와 같이 일체로 형성될 수도 있다.

상기 스토리지 커패시터들(140, 240)는 화소 전극(161, 261)에의 전류를 유지하거나 또는 구동속도를 향상시키는 기능을 한다.

상기와 같은 구조에 있어서, 상기 전계발광 소자들(160)은 화소 정의막들(186)에 의해 구분된다. 화소 정의막(186)은 도 7에 도시된 바와 같이 상기 화소 전극들(161, 261) 사이에 구비되는 것으로서, 발광 영역을 정의해주는 역할 외에, 상기 화소 전극(161, 261)의 에지 부분에서 상기 발광층을 포함하는 중간층(187)이 끊어지거나 전계가 집중되는 현상을 방지함으로써 상기 화소 전극(161, 261)과 상기 대향 전극(162)의 단락을 방지하는 역할 등을 한다.

상술한 바와 같은 구조에 있어서, 두 개의 부화소들이 한 개의 Vdd 배선(170)을 공유하도록 함으로써 상기 Vdd 배선(170)이 각 부화소들을 선택하기 위해 구비된 다른 배선들, 특히 데이터 라인이 될 수 있는 제 1 배선(120) 및 제 2 배선(220)과 인접하지 않게 되어, 결과적으로 상기 Vdd 배선(170)과 다른 배선, 특히 상기 제 1 배선(120) 및 상기 제 2 배선(220)과의 단락을 방지하여 부화소의 오작동을 방지할 수 있다. 또한 상기와 같은 구조를 취함에 따라, 기존의 능동 구동형 전계발광 디스플레이 장치의 Vdd 배선보다 그 수가 절반으로 줄어들게 되어 배선의 단순화 등을 도모할 수도 있다.

한편, 상기 제 1 트랜지스터(150)와 상기 제 3 트랜지스터(110)와 상기 제 1 트랜지스터(150)에 연결된 상기 전계발광 디스플레이 소자(160)로 구비된 제 1 부화소들은 상기 Vdd 배선(170)과 상기 제 1 배선(120) 사이에 구비되고, 상기 제 2 트랜지스터(250)와 상기 제 4 트랜지스터(210)와 상기 제 2 트랜지스터(250)에 연결된 전계발광 디스플레이 소자(260)로 구비된 제 2 부화소들은 상기 Vdd 배선(170)과 상기 제 2 배선(220) 사이에 구비되도록 할 수 있다. 이 경우, 상기 제 1 부화소들과 상기 제 2 부화소들은 그 구조가 상기 Vdd 배선(170)을 기준으로 서로 대칭이 되도록 할 수 있다.

도 8은 본 발명의 바람직한 제 2 실시예에 따른 액티브 매트릭스형 전계발광 디스플레이 장치의 회로를 개략적으로 도시하는 회로도이고, 도 9는 도 8의 C 부분을 도시하는 회로도이며, 도 10은 도 8 및 도 9의 C 부분을 개략적으로 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 평면도이고, 도 11은 도 10의 Q1 내지 Q13을 따라 취하여 도시한 액티브 매트릭스형 전계발광 디스플레이 장치의 부화소부들의 단면도이다.

도 8을 참조하면, 복수개의 제 1 Vdd 배선(370)들이 스트라이프 패턴으로 구비되어 있고, 상기 제 1 Vdd 배선(370)들 사이에 복수개의 제 2 Vdd 배선(470)들이 상기 제 1 Vdd 배선(370)들과 평행하게 구비되어 있다. 그리고 상기 각 제 1 Vdd 배선(370)의 일측(도 8에서는 좌측)에 상기 각 제 1 Vdd 배선(370)에 연결되는 복수개의 제 1 트랜지스터(350)들이 구비되고, 상기 각 제 2 Vdd 배선(470)의 상기 제 1 트랜지스터(350)들이 구비된 측(도 8에서는 우측)에 상기 각 제 2 Vdd 배선(470)에 연결되는 복수개의 제 2 트랜지스터(450)들이 구비되어 있다. 그리고 상기 제 1 트랜지스터(350)들 및 상기 제 2 트랜지스터(450)들에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자(360, 460)들이 구비되어 있다. 즉 두 개의 부화소들에 연결되는 Vdd 배선(370, 470)들이 서로 마주보도록 나란히 구비되는 구조이다.

상기와 같이 두 개의 부화소들에 연결되는 Vdd 배선(370, 470)들이 서로 마주보도록 나란히 구비되도록 함으로써 상기 Vdd 배선(370, 470)들이 각 부화소들을 선택하기 위해 구비된 다른 배선들과 인접하지 않게 되어, 결과적으로 상기 Vdd 배선(370, 470)들과 다른 배선들과의 단락을 방지하여 부화소의 오작동을 방지할 수 있다. 한편 상기와 같은 구조에 있어서 상기 Vdd 배선(370, 470)에는 항상 일정한 전압이 인가되어 있으므로, 상기 Vdd 배선(370, 470)간의 단락으로 인한 오작동의 우려는 없다.

한편 도 8 및 도 9를 참조하면, 상기 각 제 1 Vdd 배선(370)의 상기 제 1 트랜지스터(350)들이 구비된 측에 상기 제 1 트랜지스터(350)들에 1 대 1로 연결되는 복수개의 제 3 트랜지스터(310)들이 더 구비되어 있고, 상기 각 제 2 Vdd 배선(470)의 상기 제 2 트랜지스터(450)들이 구비된 측에 상기 제 2 트랜지스터(450)들에 1 대 1로 연결되는 복수개의 제 4 트랜지스터(410)들이 더 구비되어 있다. 그리고 상기 각 제 1 Vdd 배선(370)마다 제 1 배선(320)을 더 구비하고, 상기 각 제 2 Vdd 배선(470)마다 제 2 배선(420)을 더 구비하며, 상기 제 1 배선(320)은 상기 각 제 1 Vdd 배선(370)에 있어서의 제 3 트랜지스터(310)들에 연결되고, 상기 제 2 배선(420)은 상기 각 제 2 Vdd 배선(470)에 있어서의 제 4 트랜지스터(410)들에 연결되어 있다.

도 9 및 도 10을 참조하여 상기 구조를 더 자세히 설명하자면, 상기 제 3 트랜지스터(310)의 제 3 소스 전극(312)은 상기 제 1 배선(320)에 의하여 구동 회로에 연결되고, 상기 제 3 트랜지스터(310)의 제 3 게이트 전극(311)은 제 3 배선(330)에 의하여 구동 회로에 연결되며, 상기 제 3 트랜지스터(310)의 제 3 드레인 전극(313)은 제 1 스토리지 커패시터(340)의 제 1 커패시터 전극(341) 및 제 1 트랜지스터(350)의 제 1 게이트 전극(351)과 연결된다.

한편, 상기 제 4 트랜지스터(410)의 제 4 소스 전극(412)은 상기 제 2 배선(420)에 의하여 구동 회로에 연결되고, 상기 제 4 트랜지스터(410)의 제 4 게이트 전극(411)은 상기 제 3 배선(330)에 의하여 구동 회로에 연결되며, 상기 제 4 트랜지스터(410)의 제 4 드레인 전극(413)은 제 2 스토리지 커패시터(440)의 제 1 커패시터 전극(441) 및 제 2 트랜지스터(450)의 제 2 게이트 전극(451)과 연결된다.

상기와 같은 구성에 있어서, 상기 제 1 배선(320) 및 제 2 배선(420)이 데이터를 전송하는 데이터 라인(data line), 제 3 배선(330)이 스캔 라인(scan line)에 해당하는 것으로 할 수 있으며, 이 경우 상기 제 3 트랜지스터(310) 및 상기 제 4 트랜지스터(410)가 스위칭 트랜지스터(switching TR) 역할을, 상기 제 1 트랜지스터(350) 및 상기 제 2 트랜지스터(450)가 드라이빙 트랜지스터(driving TR) 역할을 하게 된다. 물론 상기 선택 구동 회로에 있어서 각 부화소별로 두 개 이상의 트랜지스터를 사용할 수도 있다. 이하에서는 각 부화소별로 스위칭 트랜지스터와 드라이빙 트랜지스터 두 개의 트랜지스터가 사용된 경우에 대해 설명하겠다.

상기 제 1 스토리지 커패시터(340)의 제 2 커패시터 전극(342)과 상기 제 1 트랜지스터(350)의 제 1 소스 전극(352)은 제 1 Vdd 배선(370)과 연결되고, 상기 제 1 트랜지스터(350)의 제 1 드레인 전극(353)은 전계발광 소자(360)의 화소 전극(361)과 연결된다. 도 11로부터 알 수 있는 바와 같이, 전계발광 소자(360)의 대향 전극(362)은 상기 화소 전극(361)과 소정의 간극을 두고 대향 배치되고, 상기 화소 전극(361)과 상기 대향 전극(362) 사이에는 적어도 발광층을 포함하는 중간층(387)이 구비된다.

한편, 상기 제 2 스토리지 커패시터(440)의 제 2 커패시터 전극(442)과 상기 제 2 트랜지스터(450)의 제 2 소스 전극(452)은 제 2 Vdd 배선(470)과 연결되고, 상기 제 2 트랜지스터(450)의 제 2 드레인 전극(453)은 전계발광 소자(460)의 화소 전극(461)과 연결된다. 전계발광 소자(460)의 개략적인 구조는 상술한 바와 동일하다.

상기와 같은 구조에 있어서, 구동회로에 의하여 제 3 게이트 전극(311)에 전압이 인가되면 제 3 소스 전극(312)과 제 3 드레인 전극(313)을 연결하는 반도체층(380)에 도전 채널이 형성되는데, 이 때 제 1 배선(320)에 의하여 상기 제 3 소스 전극(312)에 전하가 공급되면 그 전하가 상기 제 3 드레인 전극(313)으로 이동된다. 상기 구동회로에 의하여 발광층을 포함하는 중간층(387)에서 발생하는 광량을 결정하는 전하량이 제 1 Vdd 배선(370)에 공급되고, 상기 제 3 드레인 전극(313)에 의하여 제 1 게이트 전극(351)에 전하가 공급되면 제 1 소스 전극(352)의 전하가 제 1 드레인 전극(353)을 거쳐서 화소 전극(361)으로 이동한다.

한편, 구동회로에 의하여 제 4 게이트 전극(411)에 전압이 인가되면 제 4 소스 전극(412)과 제 4 드레인 전극(413)을 연결하는 반도체층(480)에 도전 채널이 형성되는데, 이 때 제 2 배선(420)에 의하여 상기 제 4 소스 전극(412)에 전하가 공급되면 그 전하가 상기 제 4 드레인 전극(413)으로 이동된다. 상기 구동회로에 의하여 발광층을 포함하는 중간층(487)에서 발생하는 광량을 결정하는 전하량이 제 2 Vdd 배선(470)에 공급되고, 상기 제 4 드레인 전극(413)에 의하여 제 2 게이트 전극(451)에 전하가 공급되면 제 2 소스 전극(452)의 전하가 제 2 드레인 전극(453)을 거쳐서 화소 전극(361)으로 이동한다.

도 11을 참조하여 상기 부화소부의 구체적인 구성에 대하여 간략하게 설명한다. Q1 내지 Q2 및 Q12 내지 Q13에는 부화소부의 전계발광 소자(360, 460)가 도시되어 있고, Q2 내지 Q3 및 Q11 내지 Q12에는 각각 제 1 트랜지스터(350)와 제 2 트랜지스터(450)가 도시되어 있으며, Q3 내지 Q7 및 Q7 내지 Q11에는 각각 제 1 스토리지 커패시터(340)와 제 2 스토리지 커패시터(440)가 도시되어 있다.

본 실시예에서는 전술한 제 1 실시예와 달리 인접한 두 개의 부화소들이 한 개의 Vdd 배선을 공유하는 것이 아니라 각각 별도의 Vdd 배선에 연결되어 있으며, 따라서 전술한 제 1 실시예에 따른 능동 구동형 전계발광 디스플레이 장치의 단면을 도시한 도 7에서와 달리 본 실시예에 따른 능동 구동형 전계발광 디스플레이 장치의 단면을 도시한 도 11에서는 제 1 스토리지 커패시터(340)의 제 2 커패시터 전극(342)과 제 2 스토리지 커패시터(440)의 제 2 커패시터 전극(442)이 일체로 되어 있지 않고 서로 이격되어 구비되어 있다. 그 이외의 구조는 전술한 제 1 실시예에 따른 능동 구동형 전계발광 디스플레이 장치와 동일하다.

상기와 같이 두 개의 부화소들에 연결되는 Vdd 배선(370, 470)들이 서로 마주보도록 나란히 구비되도록 함으로써 상기 Vdd 배선(370, 470)들이 각 부화소들을 선택하기 위해 구비된 다른 배선들과 인접하지 않게 되어, 결과적으로 상기 Vdd 배선(370, 470)들과 다른 배선들과의 단락을 방지하여 부화소의 오작동을 방지할 수 있다. 한편 상기와 같은 구조에 있어서 상기 Vdd 배선(370, 470)에는 항상 일정한 전압이 인가되어 있으므로, 상기 Vdd 배선(370, 470)간의 단락으로 인한 오작동의 우려는 없다.

한편, 상기 제 1 트랜지스터(350)와 상기 제 3 트랜지스터(310)와 상기 제 1 트랜지스터(350)에 연결된 상기 전계발광 디스플레이 소자(360)로 구비된 제 1 부화소들은 상기 제 1 Vdd 배선(370)과 상기 제 1 배선(320) 사이에 구비되고, 상기 제 2 트랜지스터(450)와 상기 제 4 트랜지스터(410)와 상기 제 2 트랜지스터(450)에 연결된 상기 전계발광 디스플레이 소

자(460)로 구비된 제 2 부화소들은 상기 제 2 Vdd 배선(470)과 상기 제 2 배선(420) 사이에 구비되도록 할 수 있다. 이 경우, 상기 제 1 부화소들과 상기 제 2 부화소들은 그 구조가 상기 제 1 Vdd 배선(370) 및 상기 제 2 Vdd 배선(470)을 기준으로 서로 대칭이 되도록 할 수 있다.

### 발명의 효과

상기한 바와 같이 이루어진 본 발명의 능동 구동형 전계발광 디스플레이 장치에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 인접한 두 개의 부화소들이 하나의 Vdd 배선을 공유하게 함으로써, 상기 Vdd 배선과 데이터 배선과 같은 기타 배선간의 단락이 발생하는 것을 방지할 수 있다.

둘째, Vdd 배선과 데이터 배선과 같은 기타 배선간의 단락이 발생하는 것을 방지함으로써, 선택되지 않은 부화소가 발광되는 오작동 등을 방지하여 원 화상을 보다 정확히 구현할 수 있다.

셋째, 인접한 두 개의 부화소들이 하나의 Vdd 배선을 공유하게 함으로써, Vdd 배선의 수를 절반으로 줄여 배선의 단순화 등을 도모할 수 있다.

넷째, 인접한 두 개의 부화소들이 각각 별도의 Vdd 배선에 연결되도록 하면서도 상기 Vdd 배선들을 서로 인접하게 배치함으로써, 상기 Vdd 배선과 데이터 배선과 같은 기타 배선간의 단락이 발생하는 것을 방지할 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

스트라이프 패턴으로 구비되는 복수개의 Vdd 배선들;

상기 각 Vdd 배선의 일측에 구비되고, 상기 각 Vdd 배선에 연결되는 복수개의 제 1 트랜지스터들;

상기 각 Vdd 배선의 타측에 구비되고, 상기 각 Vdd 배선에 연결되는 복수개의 제 2 트랜지스터들; 및

상기 제 1 트랜지스터들 및 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자들;을 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 2.

제 1항에 있어서,

상기 각 Vdd 배선의 상기 제 1 트랜지스터들이 구비된 측에 상기 제 1 트랜지스터들에 1 대 1로 연결되는 복수개의 제 3 트랜지스터들과, 상기 각 Vdd 배선의 상기 제 2 트랜지스터들이 구비된 측에 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 제 4 트랜지스터들을 더 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 3.

제 2항에 있어서,

상기 각 Vdd 배선마다 제 1 배선 및 제 2 배선을 더 구비하며, 상기 제 1 배선은 상기 각 Vdd 배선에 있어서의 제 3 트랜지스터들에 연결되고, 상기 제 2 배선은 상기 각 Vdd 배선에 있어서의 제 4 트랜지스터들에 연결되는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 4.

제 3항에 있어서,

상기 제 1 트랜지스터와 상기 제 3 트랜지스터와 상기 제 1 트랜지스터에 연결된 전계발광 디스플레이 소자로 구비된 제 1 부화소들은 상기 Vdd 배선과 상기 제 1 배선 사이에 구비되고, 상기 제 2 트랜지스터와 상기 제 4 트랜지스터와 상기 제 2 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 2 부화소들은 상기 Vdd 배선과 상기 제 2 배선 사이에 구비되는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 5.

제 4항에 있어서,

상기 제 1 부화소들과 상기 제 2 부화소들은 그 구조가 상기 Vdd 배선을 기준으로 서로 대칭인 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 6.

스트라이프 패턴으로 구비되는 복수개의 제 1 Vdd 배선들;

상기 제 1 Vdd 배선들과 평행하고, 상기 제 1 Vdd 배선들 사이에 구비되는 복수개의 제 2 Vdd 배선들;

상기 각 제 1 Vdd 배선의 일측에 구비되고, 상기 각 제 1 Vdd 배선에 연결되는 복수개의 제 1 트랜지스터들;

상기 각 제 2 Vdd 배선의 상기 제 1 트랜지스터들이 구비된 측에 구비되고, 상기 각 제 2 Vdd 배선에 연결되는 복수개의 제 2 트랜지스터들; 및

상기 제 1 트랜지스터들 및 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 전계발광 디스플레이 소자들;을 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 7.

제 6항에 있어서,

상기 각 제 1 Vdd 배선의 상기 제 1 트랜지스터들이 구비된 측에 상기 제 1 트랜지스터들에 1 대 1로 연결되는 복수개의 제 3 트랜지스터들을 더 구비하고, 상기 각 제 2 Vdd 배선의 상기 제 2 트랜지스터들이 구비된 측에 상기 제 2 트랜지스터들에 1 대 1로 연결되는 복수개의 제 4 트랜지스터들을 더 구비하는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

#### 청구항 8.

제 7항에 있어서,

상기 각 제 1 Vdd 배선마다 제 1 배선을 더 구비하고, 상기 각 제 2 Vdd 배선마다 제 2 배선을 더 구비하며, 상기 제 1 배선은 상기 각 제 1 Vdd 배선에 있어서의 제 3 트랜지스터들에 연결되고, 상기 제 2 배선은 상기 각 제 2 Vdd 배선에 있어서의 제 4 트랜지스터들에 연결되는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

**청구항 9.**

제 8항에 있어서,

상기 제 1 트랜지스터와 상기 제 3 트랜지스터와 상기 제 1 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 1 부화소들은 상기 제 1 Vdd 배선과 상기 제 1 배선 사이에 구비되고, 상기 제 2 트랜지스터와 상기 제 4 트랜지스터와 상기 제 2 트랜지스터에 연결된 상기 전계발광 디스플레이 소자로 구비된 제 2 부화소들은 상기 제 2 Vdd 배선과 상기 제 2 배선 사이에 구비되는 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

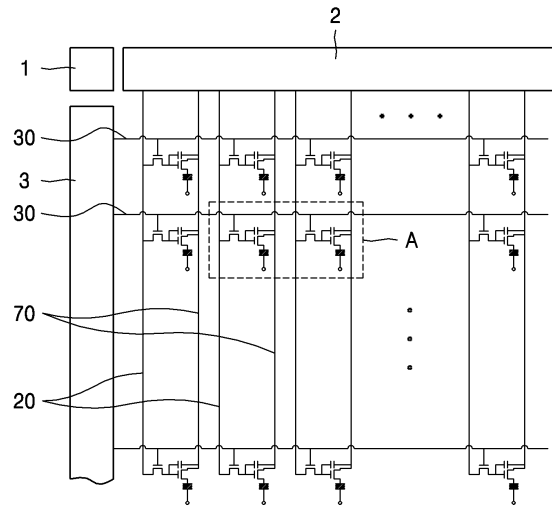
**청구항 10.**

제 9항에 있어서,

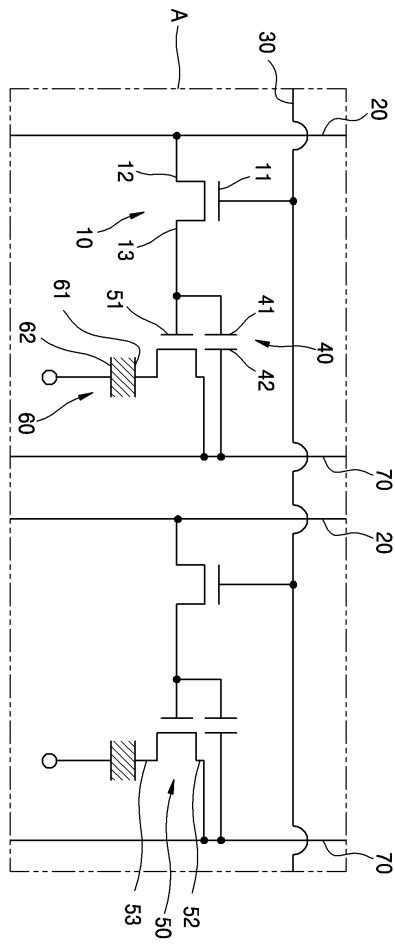
상기 제 1 부화소들과 상기 제 2 부화소들은 그 구조가 상기 제 1 Vdd 배선 및 상기 제 2 Vdd 배선을 기준으로 서로 대칭인 것을 특징으로 하는 능동 구동형 전계발광 디스플레이 장치.

**도면**

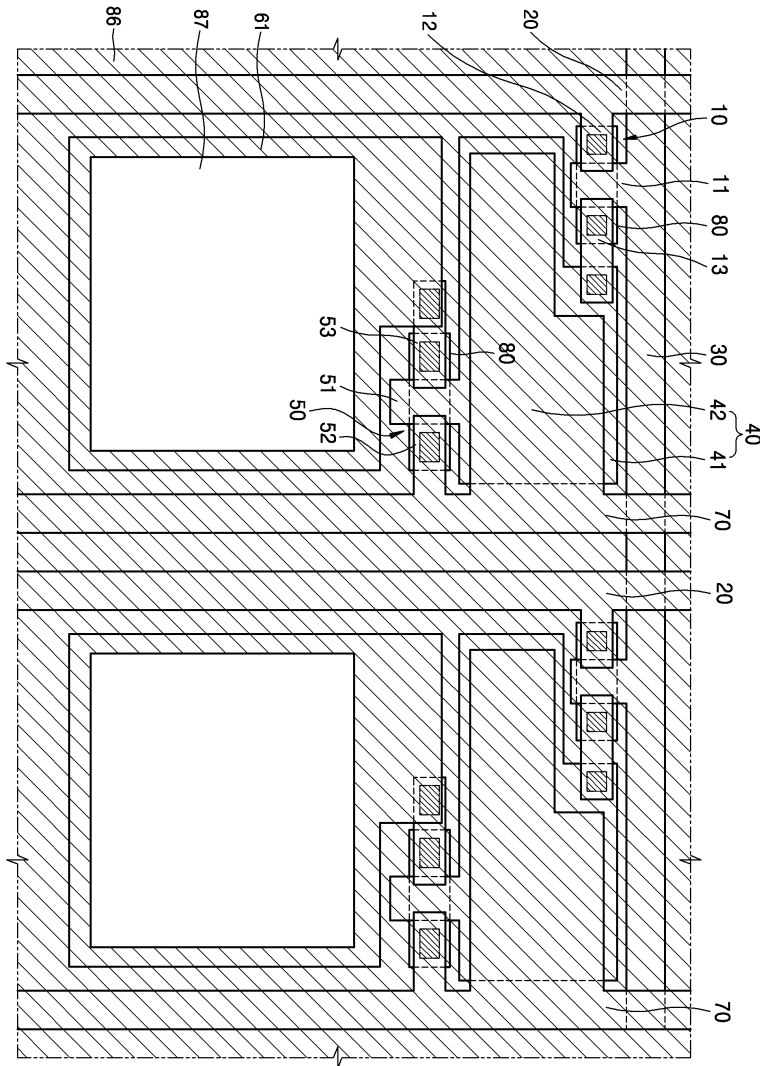
도면1



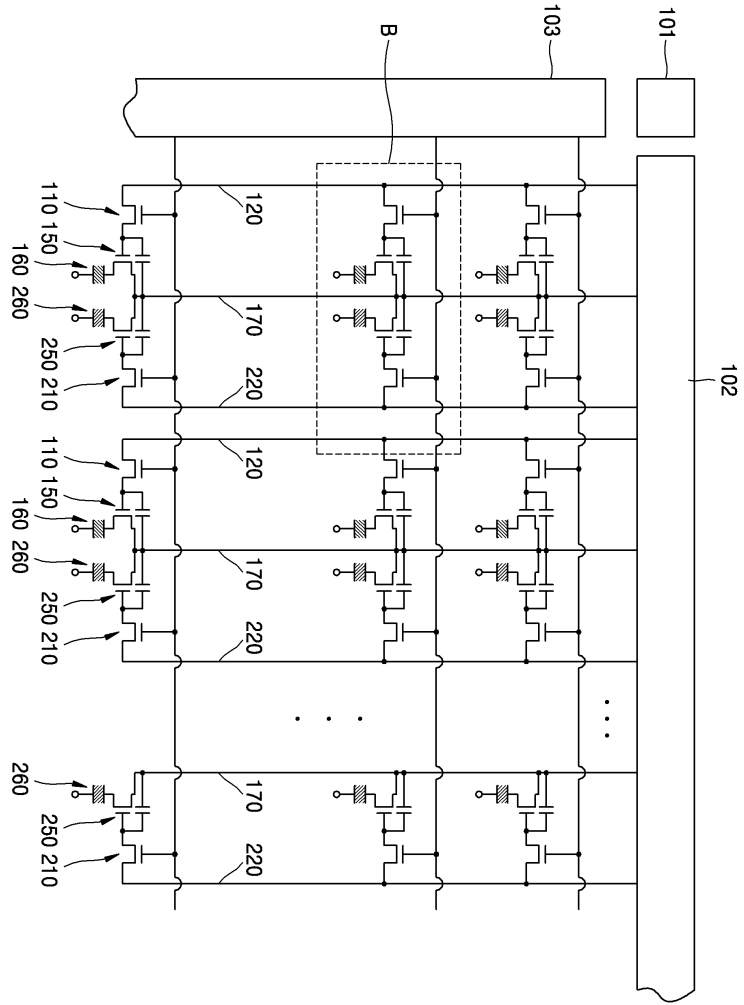
도면2



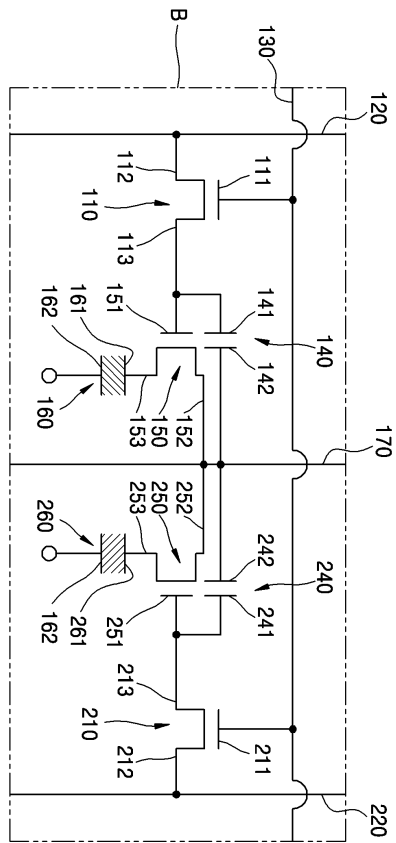
도면3



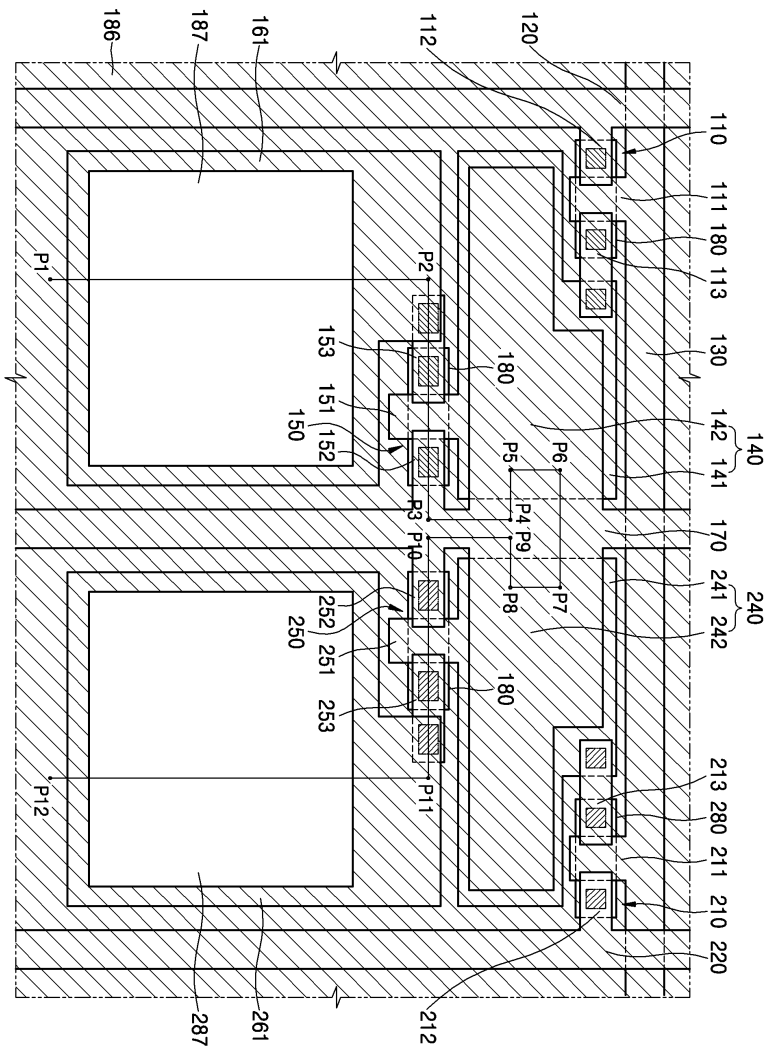
도면4



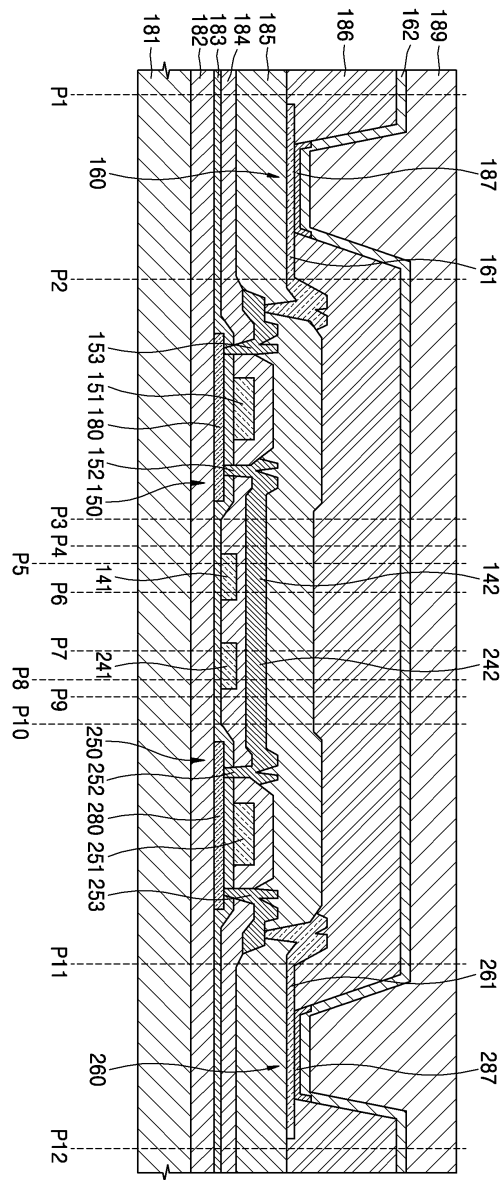
도면5



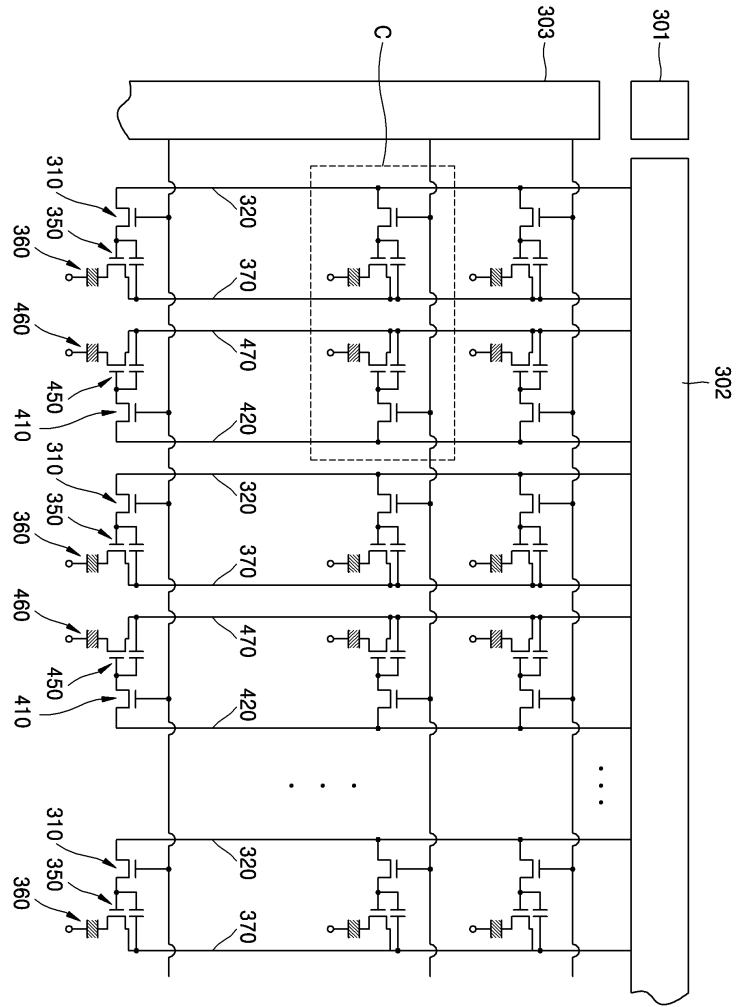
도면6



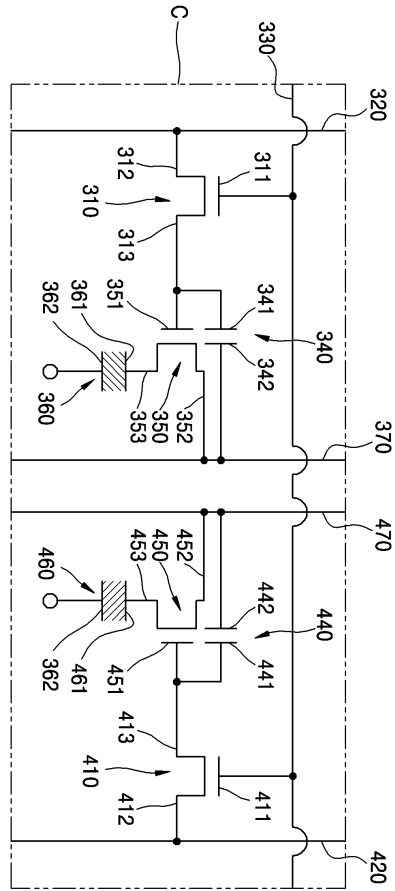
도면7



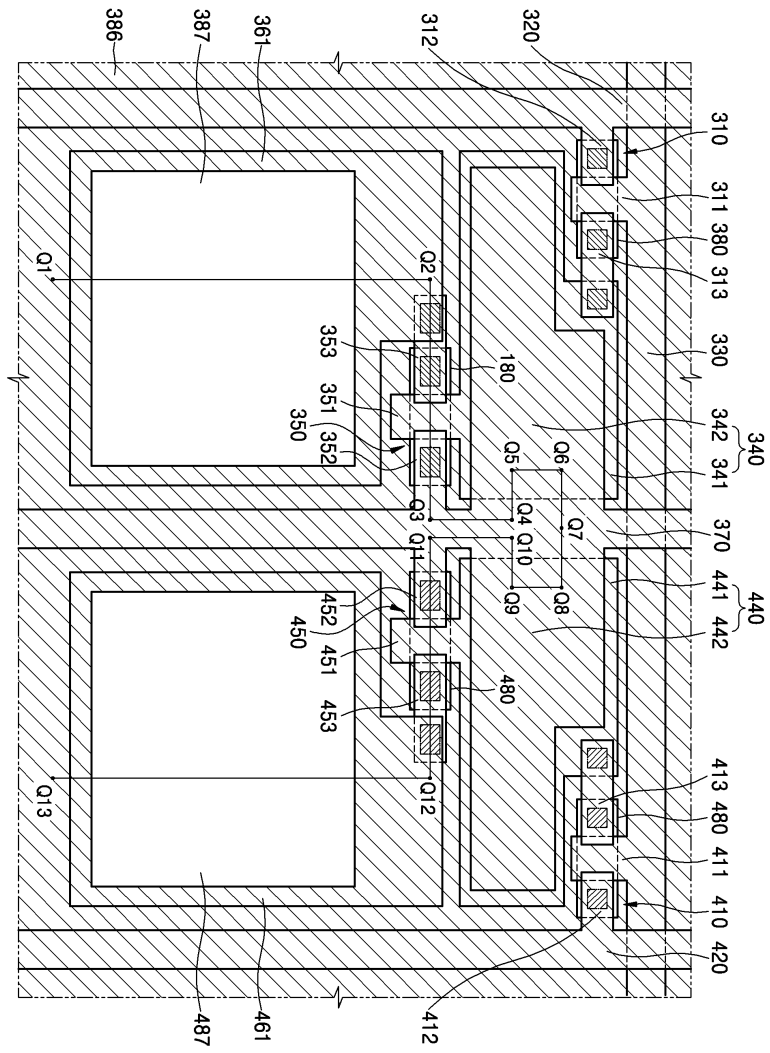
도면8



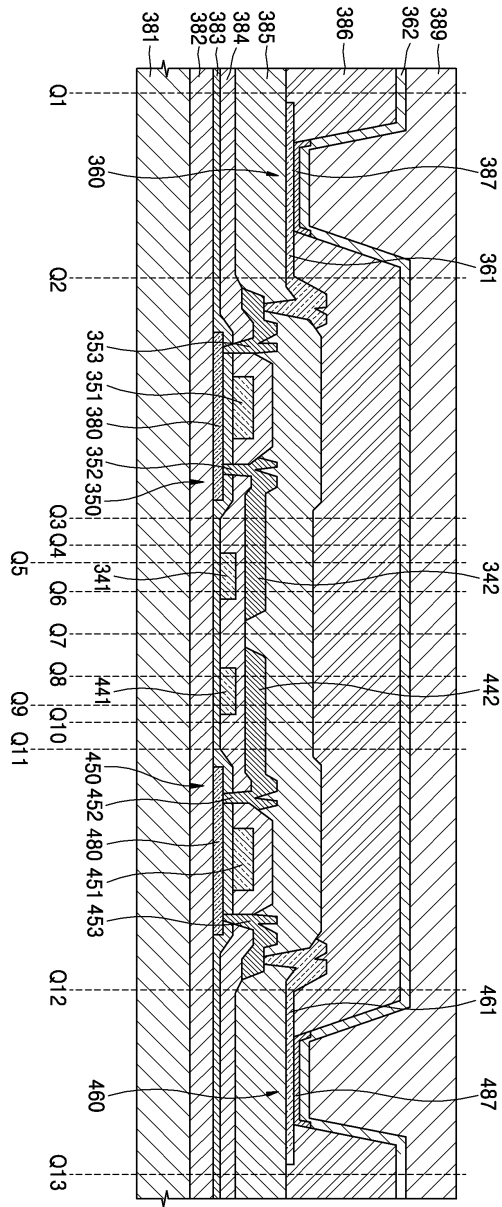
도면9



도면10



도면11



|               |  |         |            |
|---------------|--|---------|------------|
| 专利名称(译)       | 有源型电致发光显示装置  |         |            |
| 公开(公告)号       | <a href="#">KR1020050122956A</a>                                     | 公开(公告)日 | 2005-12-29 |
| 申请号           | KR1020040048648  | 申请日     | 2004-06-26 |
| 申请(专利权)人(译)   | 三星SD眼有限公司  |         |            |
| 当前申请(专利权)人(译) | 三星SD眼有限公司  |         |            |
| [标]发明人        | KANG TAEWOOK<br>강태욱<br>KIM CHANGSOO<br>김창수<br>JEONG CHANGYONG<br>정창용 |         |            |
| 发明人           | 강태욱<br>김창수<br>정창용  |         |            |
| IPC分类号        | H05B33/08 G09G3/32 G09G3/30  |         |            |
| CPC分类号        | G09G2330/08 G09G2300/0439 G09G2300/0809 H01L27/3276 G09G3/32         |         |            |
| 代理人(译)        | 李, 杨HAE  |         |            |
| 其他公开文献        | KR100637164B1  |         |            |
| 外部链接          | <a href="#">Espacenet</a>  |         |            |

摘要(译)

有源矩阵电致发光显示装置本发明涉及一种有源矩阵电致发光显示装置，其中防止Vdd线和数据线之间的短路发生在相邻的子像素中，多个Vdd线以条纹图案提供，多个第二晶体管连接到相应的Vdd布线，多个第二晶体管连接到第一和第二晶体管，并且多个电致发光显示装置以一对一的关系连接到多个电致发光显示装置。 4

