

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H05B 33/26(11) 공개번호 10-2005-0034427  
(43) 공개일자 2005년04월14일(21) 출원번호 10-2003-0070338  
(22) 출원일자 2003년10월09일(71) 출원인 삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575  
(72) 발명자 구재본  
경기도용인시수지읍풍림아파트105동504호  
이을호  
경기도용인시기흥읍서천리157-1

(74) 대리인 박상수

심사청구 : 있음

## (54) 평판표시장치 및 그의 제조방법

## 요약

본 발명은 캐소드버스라인과 캐소드전극이 전기적으로 연결되어 전압강하를 방지할 수 있는 전면발광형 유기전계 발광표시장치 및 그의 제조방법을 개시한다.

본 발명의 평판표시장치는 화소영역과 비화소영역을 구비한 절연기판과; 상기 화소영역에 배열된 제1전극과; 상기 화소영역 및 비화소영역에 형성된 제2전극과; 상기 화소영역의 제1 및 제2전극사이에 형성된 유기발광층 및 전하수송층과; 상기 화소영역 및 비화소영역에 형성된 전극라인을 포함하며; 상기 전극라인과 상기 제2전극은 비화소영역에서 직접 전기적으로 콘택되는 구조를 갖는다.

본 발명에서는 비화소영역에 캐소드버스라인을 형성하여 줌으로써, 전하수송층을 전면형성하더라도 화소영역의 외곽부에서 캐소드버스라인과 캐소드전극을 직접 전기적으로 콘택시켜 줄 수 있다.

## 대표도

도 1a

## 명세서

## 도면의 간단한 설명

도 1a 및 도 1 b는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 평면구조의 도시한 도면,

도 2는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면구조의 도시한 도면,

도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 도면,

도 4는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면구조를 도시한 도면,

\*도면의 주요 부분에 대한 부호의 설명\*

100, 200, 300, 400 : 화소영역 101, 201, 301, 401 : 비화소영역

105, 305 : 절연기판 110, 310 : 버퍼층

121, 123, 125, 321, 323, 325 : 박막 트랜지스터

130, 330 : 패시베이전막 150, 350 : 화소분리막

141, 143, 145, 341, 343, 345 : 애노드전극

161, 163, 165, 361, 363, 365 : 유기발광층

171, 173, 175, 271, 371, 373, 375, 471, 473, 475 : 캐소드버스라인

180, 381, 383, 385 : 전하수송층 190, 390 : 캐소드전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 평판표시장치에 관한 것으로서, 보다 상세하게는 캐소드버스라인과 캐소드전극이 전기적으로 연결되어 전압강하를 방지할 수 있는 전면발광형 유기전계 발광표시장치 및 그의 제조방법에 관한 것이다.

일반적으로, 유기전계 발광표시장치는 자발광형 표시장치로서, 유기발광층으로부터 광이 발광되는 방향에 따라 배면발광구조와 전면발광구조로 나눌 수 있다. 전면발광형 유기전계 발광표시장치는 화소가 배열된 기관과 반대방향으로 광이 방출되는 것으로서, 화소가 배열된 기관방향으로 광이 방출되는 배면발광구조에 비하여 개구율을 증가시킬 수 있는 이점이 있다.

한편, 전면발광구조에서는 봉지용 기관쪽으로 광을 방출시켜야 하므로, 캐소드전극으로 투명전극을 사용하여야 한다. 일반적으로, 투명전극으로 ITO 또는 IZO 와 같은 투명도전막이 사용되지만, 투명도전막은 일함수가 높아 캐소드전극으로 사용하기 어렵다.

이를 위하여 캐소드전극으로 일함수가 낮은 금속을 유기발광층상에 얇게 증착하여 반투과 금속막을 형성하고, 상기 반투과 금속막상에 투명도전막을 두껍게 증착하여 적층구조를 갖는 투명전극을 형성하였다.

그러나, 적층구조의 캐소드전극은 유기박막층을 형성한 다음 투명도전막인 ITO 또는 IZO막을 증착하기 때문에, 열이나 플라즈마에 의한 EL층의 열화를 최소화하기 위하여 저온증착공정을 수행한다. 저온에서 ITO막이나 IZO막을 증착하면, 막질이 나쁘고, 비저항이 높아진다.

캐소드전극은 공통전극으로서 화소부에 배열된 모두 화소에 동일전압이 인가되어야 하지만, 캐소드전극의 높은 비저항에 의해 전압강하(IR drop)이 발생하여 위치에 따라 화소별로 서로 다른 레벨의 전압이 인가된다. 따라서, 캐소드전극에 외부단자로부터 캐소드전압이 인가되는 경우, 외부단자에 인접한 부분에 배열된 화소와 외부단자와 떨어져 있는 부분에 배열된 화소간에 전압차가 발생한다. 그 결과, 위치에 따른 화소별 전압차에 의해 휘도 또는 화질의 불균일을 초래하였다.

특히, 중대형의 전면발광형 유기전계 발광표시장치에서의 전압강하문제는 더욱 더 크게 부각되어진다. 이를 해결하기 위하여 전면발광구조에서 캐소드버스라인을 사용하는 기술이 국내특허 제2002-0057336호에 개시되었다. 캐소드버스라인은 외부단자에 연결되고 캐소드전극과 콘택되므로, 캐소드전극이 캐소드버스라인을 통해 외부단자에 연결된다.

통상적으로, 캐소드전극에 캐소드버스라인을 연결하는 방법은 화소위치에 따른 캐소드전극의 전압강하는 방지할 수 있지만, 캐소드버스라인과 캐소드전극사이에 유기막인 전하수송층(Carrier transfer layer)이 전면형성되는 경우에는 캐소드버스라인과 캐소드전극이 전기적으로 콘택되지 않는 문제점이 있었다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 캐소드버스라인과 캐소드전극을 비화소영역에서 전기적으로 연결시켜 줌으로써, 전하수송층의 전면증착이 가능한 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 전하수송층을 미세패턴마스크를 이용하여 증착하여 줌으로써, 캐소드버스라인과 캐소드전극을 화소영역내에서 각 화소별로 연결시켜 줄 수 있는 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 중대형의 유기전계 발광표시장치에 적합한 캐소드버스라인과 캐소드전극의 연결구조를 갖는 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

#### 발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 화소영역과 비화소영역을 구비한 절연기관과; 상기 화소영역에 배열된 제1전극과; 상기 화소영역 및 비화소영역에 형성된 제2전극과; 상기 화소영역의 제1 및 제2전극사이에 형성된 유기발광층 및 전하수송층과; 상기 화소영역 및 비화소영역에 형성된 전극라인을 포함하며; 상기 전극라인과 상기 제2전극은 비화소영역에서 전기적으로 콘택되는 평판표시장치를 제공하는 것을 특징으로 한다.

상기 화소영역은 상기 유기발광층으로부터 광이 발광되는 영역과 비발광영역을 포함하며, 상기 전극라인은 비발광영역의 적어도 일부에 위치하며, 상기 비발광영역의 일부에 위치하는 전극라인은 외부광을 흡수하는 물질이며 도전성을 갖는다.

상기 전하수송층은 화소영역에 전면형성되어, 상기 전극라인중 상기 화소영역의 비발광영역의 적어도 일부에 형성된 부분과 제2전극사이에 위치한다.

상기 전극라인은 화소영역에서 스트라이프형태 또는 매트릭스형태로 형성되거나, 또는 상기 전극라인은 비화소영역에서 상기 화소영역의 외곽부를 따라 형성되거나, 또는 상기 화소영역의 적어도 일측 외곽부에 형성되어 상기 전극라인이 상기 제2전극과 전기적으로 콘택된다. 상기 전극라인은 제2전극의 보조전극으로서 제2전극과 동일한 극성을 갖는 전압의 전류가 흐른다.

또한, 본 발명은 화소영역과 비화소영역을 구비한 절연기관을 제공하는 단계와; 상기 절연기관의 화소영역상에 제1전극을 형성하는 단계와; 상기 화소영역에 유기박막층과 전하수송층을 형성하는 단계와; 상기 화소영역 및 비화소영역에 전극라인을 형성하는 단계와; 상기 화소영역 및 비화소영역에 제2전극을 형성하는 단계를 포함하며, 상기 전극라인과 상기 제2전극은 비화소영역내에서 전기적으로 콘택되는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.

상기 유기박막층은 미세메탈마스크를 사용하여 제1전극상에만 부분적으로 형성되고, 상기 전하수송층은 오픈 마스크를 사용하여 화소영역내에 전면증착된다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 1a는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 것이다.

도 1a를 참조하면, 기관은 화소가 배열되는 화소영역(100)과 비화소영역(101)을 구비하고, 화소영역(100)의 외곽부 즉, 비화소영역(101)에 캐소드버스라인(170)이 형성되어 캐소드버스라인(170)과 캐소드전극(190)이 화소영역(100)의 외곽부의 콘택영역(103)에서 전기적으로 직접 콘택되는 구조를 갖는다.

도 1a에서는 캐소드라인(170)중 비화소영역(101)에 형성되는 부분만을 도시한 것으로서, 화소영역(100)에서는 도 3a 및 도 3b에 도시된 바와같이 매트릭스형태 또는 스트라이프형태로 형성되거나, 또는 다른 다양한 형태로 형성되어 화소영역(100)에 배열된 화소에 전압을 공급하여 전압강하를 방지할 수 있다.

도 2는 도 1a의 II-II'선에 따른 유기전계 발광표시장치의 단면구조를 도시한 것으로서, 화소영역(100)의 가장자리 및 중간부분에 위치한 화소에 한정하여 도시한 것이다.

도 2를 참조하면, 화소영역(100)과 비화소영역(101)으로 구분되는 절연기관(105)상에 버퍼층(110)이 형성되고, 상기 절연기관(105)의 화소영역(100)에는 박막 트랜지스터(121), (123), (125)가 형성된다. 상기 박막 트랜지스터(121), (123), (125)중 박막 트랜지스터(121)는 화소영역(100)중 가장 왼쪽에 배열된 화소의 박막 트랜지스터이고, 박막 트랜지스터(125)는 화소영역(100)중 가장 오른쪽에 배열된 화소의 박막 트랜지스터이며, 박막 트랜지스터(123)는 화소영역(100)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소의 박막 트랜지스터를 나타낸다.

패시베이션막(130)상에 비어홀(131), (133), (135)를 통해 상기 박막 트랜지스터(121), (123), (125)에 연결되는 하부전극인 애노드전극(141), (143), (145)을 형성한다. 상기 애노드전극(141), (143), (145)중 애노드전극(141)은 화소영역(100)중 가장 왼쪽에 배열된 화소의 애노드전극이고, 애노드전극(145)은 화소영역(100)중 가장 오른쪽에 배열된 화소의 애노드전극이며, 애노드전극(143)은 화소영역(100)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소의 애노드전극을 나타낸다.

상기 애노드전극(141), (143), (145)의 일부분이 노출되도록 화소분리막(150)을 형성한 다음 화소분리층(150)상에 캐소드버스라인(171), (173), (175)을 형성한다. 캐소드버스라인(171), (173), (175)을 형성한 다음 R, G, B 유기발광층(161), (163), (165) 및 전하수송층(carrier transfer layer) (180)을 포함하는 유기박막층을 형성한다. 이어서, 상부전극인 캐소드전극(190)을 화소영역(100) 및 비화소영역(101)을 포함한 기관전면에 전면증착한다.

상기 전하수송층(180)은 R, G, B 공통층으로서 오픈마스크를 이용하여 화소영역(100)에 전면적으로 증착된다. 이때, 전하수송층(180)으로는 도면상에는 도시되지 않았으나, 홀주입층, 홀수송층, 홀장벽층, 전자수송층 또는 전자주입층중 적어도 하나를 포함한다.

한편, R, G, B 유기발광층(161), (163), (165)은 상기 애노드전극(141), (143), (145)의 노출된 부분에 각각 미세메탈마스크(fine metal mask)를 이용하여 증착된다. 상기 유기발광층(161), (163), (165)중 유기발광층(161)는 화소영역(100)중 가장 왼쪽에 배열된 화소의 유기발광층이고, 유기발광층(165)는 화소영역(100)중 가장 오른쪽에 배열된 화소의 유기발광층이며, 유기발광층(163)은 화소영역(100)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소의 유기발광층을 나타낸다.

상기 캐소드 버스라인(171), (173), (175)중 캐소드 버스라인(171)은 비화소영역(101) 및 화소영역(100)에 형성되어 화소영역(100)중 가장 왼쪽에 배열된 화소에 대응하는 캐소드 버스라인이고, 캐소드 버스라인(175)은 비화소영역(101)과 화소영역(100)에 형성되어 화소영역(100)중 가장 오른쪽에 배열된 화소에 대응하는 캐소드 버스라인이며, 캐소드 버스라인(173)은 화소영역(100)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소에 대응하는 캐소드 버스라인을 나타낸다.

이때, 캐소드 버스라인(170)중 가장자리 즉, 가장 왼쪽에 배열된 캐소드버스라인(171)과 가장 오른쪽에 배열된 캐소드 버스라인(175)은 화소영역(100) 뿐만 아니라 비화소영역(101)의 콘택영역(103)까지 연장형성된다. 따라서, 상기 캐소드버스라인(170)은 비화소영역(101)에서는 화소영역(100)의 외곽부를 따라 형성되어 전기적으로 직접 콘택되는 구조를 갖는다. 한편, 화소영역(100)은 발광영역과 비발광영역을 구비하며, 상기 발광영역은 유기발광층(161), (163), (165)으로부터 광이 발광되는 영역에 대응하는 부분이고, 상기 비발광영역은 상기 발광영역을 제외한 부분 즉, 화소분리막(150)에 대응하는 부분이다. 따라서, 캐소드버스라인(170)중 화소영역(100)에 형성된 부분은 화소분리막(150)상에 형성되어, 화소영역내에서는 캐소드전극(190)과는 전하수송층(180)에 의해 전기적으로 콘택되지 않는다.

상기 캐소드버스라인(170)은 광을 흡수하고 도전성을 갖는 물질, 예를 들어 투명도전막과 금속막의 농도구배를 갖는 MIHL 박막을 사용하여, 광차단용 블랙매트릭스 뿐만 아니라 전극으로서의 역할을 한다. 상기 캐소드버스라인(170)은 캐소드전극의 보조전극으로서, 상기 캐소드전극(190)에 인가되는 전압과 동일한 레벨의 동일한 극성을 갖는 전압이 인가되어 캐소드전극을 통한 전압강하를 방지한다.

도 1b는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 또 다른 단면구조로서, 도 1a에서 캐소드버스라인(170)이 화소영역(100)을 따라 비화소영역(101)에 형성되어 캐소드버스라인(170)과 캐소드전극(190)이 비화소영역(100)의 사방에서 전기적으로 직접 콘택되는 구조와는 달리, 비화소영역(201)중 화소영역(200)의 일측 외곽부에만 캐소드버스라인(271)이 형성되어 화소영역(200)의 일측 외곽부에서만 캐소드버스라인(271)과 캐소드전극(290)이 직접 전기적으로 콘택되는 구조를 갖는다.

본 발명의 일 실시예에서는 비화소영역의 적어도 일부분에 캐소드버스라인이 형성되므로, 오픈 마스크를 이용하여 화소영역에 전하수송층을 전면증착하더라도 비화소영역의 콘택영역을 통해 캐소드버스라인과 캐소드전극이 전기적으로 직접 콘택된다.

본 발명의 일 실시예에서 예시된 캐소드버스라인과 캐소드전극의 연결구조외에, 화소영역의 외곽부인 비화소영역에서 캐소드버스라인과 캐소드전극을 연결하는 구조는 모두 적용가능하다.

도 3a는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 것이다.

도 3a를 참조하면, 화소영역(100)내에만 캐소드버스라인(370)이 그리드형태또는 매트릭스형태로 형성되어 캐소드버스라인(370)과 캐소드전극(390)이 각 화소별로 콘택영역(303)을 통해 전기적으로 직접적으로 콘택되는 구조를 갖는다.

도 4는 도 3a의 IV-IV'선에 따른 유기전계 발광표시장치의 단면구조를 도시한 것으로서, 화소영역(300)의 가장자리 및 중간부분에 위치한 화소에 한정하여 도시한 것이다.

도 4를 참조하면, 화소영역(300)과 비화소영역(301)으로 구분되는 절연기판(305)상에 버퍼층(310)이 형성되고, 상기 절연기판(305)의 화소영역(300)에는 박막 트랜지스터(321), (323), (325)가 형성된다. 상기 박막 트랜지스터(321), (323), (325)중 박막 트랜지스터(321)는 화소영역(300)중 가장 왼쪽에 배열된 화소의 박막 트랜지스터이고, 박막 트랜지스터(325)는 화소영역(300)중 가장 오른쪽에 배열된 화소의 박막 트랜지스터이며, 박막 트랜지스터(323)는 화소영역(300)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소의 박막 트랜지스터를 나타낸다.

패시베이션막(330)상에 비어홀(331), (333), (335)를 통해 상기 박막 트랜지스터(321), (323), (325)에 연결되는 하부전극인 애노드전극(341), (343), (345)을 형성한다. 상기 애노드전극(341), (343), (345)중 애노드전극(341)은 화소영역(300)중 가장 왼쪽에 배열된 화소의 애노드전극이고, 애노드전극(345)은 화소영역(300)중 가장 오른쪽에 배열된 화소의 애노드전극이며, 애노드전극(343)은 화소영역(300)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소의 애노드전극을 나타낸다.

상기 애노드전극(341), (343), (345)의 일부분이 노출되도록 화소분리막(350)이 형성되고, 화소분리층(350)상에 캐소드 버스라인(371), (373), (375)을 형성한다. 이어서, 화소영역(300)의 발광영역에 해당하는 상기 애노드전극(341), (343), (345)의 노출된 부분에 미세메탈마스크(fine metal mask) (도면상에는 도시되지 않음)를 이용하여 R, G, B 유기 발광층(361), (363), (365)과 유기 EL공통층인 전하수송층(381), (383), (385)을 포함하는 유기박막층을 선택적으로 형성한다. 이어서, 캐소드전극(390)을 화소영역(300) 및 비화소영역(301)을 포함한 기판전면에 전면증착한다.

이때, 상기 유기발광층(361), (363), (365)중 유기발광층(361)은 화소영역(300)중 가장 왼쪽에 배열된 화소의 유기발광층이고, 유기발광층(365)은 화소영역(300)중 가장 오른쪽에 배열된 화소의 유기발광층이며, 유기박막층(363)은 화소영역(300)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소의 유기발광층을 나타낸다. 상기 전하수송층(380)은 R, G, B 공통층으로서 오픈마스크를 이용하여 화소영역(300)에 전면적으로 증착된다. 이때, 전하수송층(380)으로는 도면상에는 도시되지 않았으나, 홀주입층, 홀수송층, 홀장벽층, 전자수송층 또는 전자주입층중 적어도 하나를 포함한다.

상기 캐소드 버스라인(371), (373), (375)은 화소영역(300)내에만 형성되며, 캐소드버스라인(371)은 화소영역(300)중 가장 왼쪽에 배열된 화소에 대응하는 캐소드 버스라인이고, 캐소드 버스라인(375)은 화소영역(300)중 가장 오른쪽에 배열된 화소에 대응하는 캐소드 버스라인이며, 캐소드 버스라인(373)은 화소영역(300)중 가장 왼쪽과 가장 오른쪽에 배열된 화소를 제외한 부분에 배열된 화소에 대응하는 캐소드 버스라인을 나타낸다.

이때, 상기 캐소드버스라인(370)은 화소영역(300)내에 도 2a와 같이 그리드형태 또는 매트릭스형태로 형성되어 화소분리막(350)상에 형성된다. 상기 캐소드버스라인(370)은 광을 흡수하고 도전성을 갖는 물질, 예를 들어 투명도전막과 금속막의 농도구배를 갖는 MIHL 박막을 사용하여, 광차단용 블랙매트릭스 뿐만 아니라 전극으로서의 역할을 한다. 상기 캐소드 버스라인(370)은 캐소드전극(390)의 보조전극으로서, 상기 캐소드전극(390)에 인가되는 전압과 동일한 레벨의 동일한 극성을 갖는 전압이 인가되어 캐소드전극을 통한 전압강하를 방지한다.

도 3b는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 또 다른 단면구조로서, 도 3a에서 캐소드버스라인(370)이 화소영역(300)내에 그리드형태로 형성되어 화소영역(301)내에서 캐소드버스라인(370)과 캐소드전극(390)이 각 화소별로 전기적으로 연결되는 구조와는 달리, 캐소드버스라인(470)이 스트라이프형태로 형성되어 화소영역(400)내에서 캐소드버스라인(470)과 캐소드전극(490)이 라인단위로 전기적으로 직접 콘택되는 구조를 갖는다.

본 발명의 다른 실시예에서는 화소영역(300)내에만 그리드형태의 캐소드버스라인(370)이 형성되므로, 전하수송층(381), (383), (385)을 각 애노드전극(341), (343), (345)에만 화소별로 미세메탈마스크를 이용하여 형성한 다음 캐소드전극(390)을 기판전면에 형성하는 것이다. 그러므로, 전하수송층(381), (383), (385)이 유기발광층(361), (363), (365)에만 부분적으로 형성되므로, 화소영역(300)내에서 각 화소별로 캐소드버스라인(370)과 캐소드전극(390)이 전기적으로 직접 콘택된다.

본 발명의 다른 실시예에서 예시된 캐소드버스라인의 구조외에, 화소영역내에서 캐소드전극과 연결되는 캐소드버스라인 구조는 모두 적용가능하다.

## 발명의 효과

상기한 바와 같은 본 발명의 실시예에 따른 유기전계 발광표시장치는 화소영역내에만 캐소드버스라인을 형성함과 동시에 전하수송층을 각 화소별로 서로 분리되도록 형성하여 줌으로써 화소영역내에서 캐소드버스라인과 캐소드전극을 전기적으로 직접 콘택시켜 주거나, 또는 비화소영역에 캐소드버스라인을 형성하여 화소영역의 외곽부에서 캐소드버스라인과 캐소드전극을 직접 전기적으로 콘택시켜 줄 수 있다. 따라서, 캐소드전극과 캐소드버스라인의 전기적인 콘택을 용이하게 할 뿐만 아니라 화소위치별 캐소드전극의 전압강하를 방지할 수 있게 된다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## (57) 청구의 범위

### 청구항 1.

화소영역과 비화소영역을 구비한 절연기판과;

상기 화소영역에 배열된 제1전극과;

상기 화소영역 및 비화소영역에 형성된 제2전극과;

상기 화소영역의 제1 및 제2전극사이에 형성된 유기발광층 및 전하수송층과;

상기 기판상부에 형성된 전극라인을 포함하며,

상기 전극라인과 상기 제2전극은 비화소영역에서 직접 전기적으로 콘택되는 것을 특징으로 하는 평판표시장치.

### 청구항 2.

제1항에 있어서, 상기 화소영역은 상기 유기발광층으로부터 광이 발광되는 영역과 비발광영역을 포함하며,

상기 전극라인은 화소영역중 비발광영역의 적어도 일부에 위치하는 것을 특징으로 하는 평판표시장치.

### 청구항 3.

제2항에 있어서, 상기 비발광영역의 적어도 일부에 위치하는 전극라인은 외부광을 흡수하는 물질이며 도전성을 갖는 물질인 것을 특징으로 하는 평판표시장치.

#### 청구항 4.

제3항에 있어서, 상기 전하수송층은 상기 전극라인중 상기 화소영역의 비발광영역의 적어도 일부에 형성된 부분과 제2전극사이에 형성되는 것을 특징으로 하는 평판표시장치.

#### 청구항 5.

제1항에 있어서, 상기 전극라인중 화소영역에 배열된 부분은 스트라이프형태이거나 또는 매트릭스형태를 갖는 것을 특징으로 하는 평판표시장치.

#### 청구항 6.

제1항에 있어서, 상기 전하수송층은 화소영역에 전면적으로 형성된 것을 특징으로 하는 평판표시장치.

#### 청구항 7.

제1항에 있어서, 상기 전극라인은 제2전극과 동일한 극성을 갖는 전압의 전류가 흐르는 것을 특징으로 하는 평판표시장치.

#### 청구항 8.

제1항에 있어서, 상기 전극라인은 제2전극의 보조전극인 것을 특징으로 하는 평판표시장치.

#### 청구항 9.

제1항에 있어서, 상기 전극라인은 비화소영역중 적어도 일부분에 형성되어 상기 비화소영역에서 상기 전극라인이 상기 제2전극과 직접 전기적으로 접촉되는 것을 특징으로 하는 평판표시장치.

#### 청구항 10.

제9항에 있어서, 상기 전극라인은 비화소영역에서 상기 화소영역의 외곽부를 따라 형성되어, 상기 전극라인이 상기 제2전극과 전기적으로 직접 접촉되는 것을 특징으로 하는 평판표시장치.

#### 청구항 11.

제9항에 있어서, 상기 전극라인은 비화소영역에서 상기 화소영역의 적어도 일측 외곽부에 형성되어, 상기 전극라인이 상기 제2전극과 전기적으로 직접 접촉되는 것을 특징으로 하는 평판표시장치.

#### 청구항 12.

화소영역과 비화소영역을 구비한 절연기판을 제공하는 단계와;

상기 절연기판의 화소영역상에 제1전극을 형성하는 단계와;

상기 하부전극상에 유기발광층과 전하수송층을 형성하는 단계와;

상기 화소영역 및 비화소영역에 전극라인을 형성하는 단계와;

상기 화소영역 및 비화소영역에 제2전극을 형성하는 단계를 포함하며,

상기 상부전극라인과 상기 상부전극은 비화소영역내에서 전기적으로 콘택되는 것을 특징으로 하는 평판표시장치의 제조 방법.

### 청구항 13.

제12항에 있어서, 상기 유기발광층은 미세메탈마스크를 사용하여 제1전극상에만 부분적으로 형성되고, 상기 전하수송층은 오픈 마스크를 사용하여 화소영역내에 전면증착되는 것을 특징으로 하는 평판표시장치의 제조 방법.

### 청구항 14.

제12항에 있어서, 상기 화소영역은 상기 유기발광층으로부터 광이 발광되는 발광영역과 비발광영역을 포함하며,

상기 전극라인이 상기 비발광영역의 적어도 일부에 형성되며,

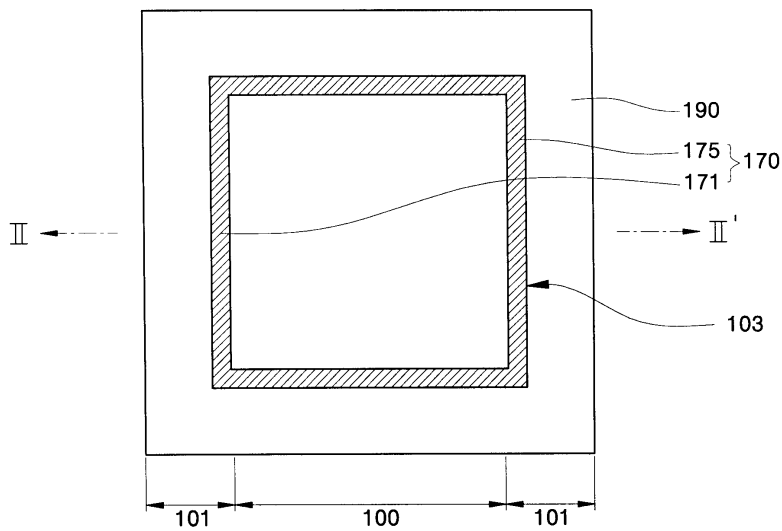
상기 전하수송층은 상기 화소영역의 비발광영역의 적어도 일부에 형성된 전극라인과 제2전극사이에 형성되는 것을 특징으로 하는 평판표시장치의 제조 방법.

### 청구항 15.

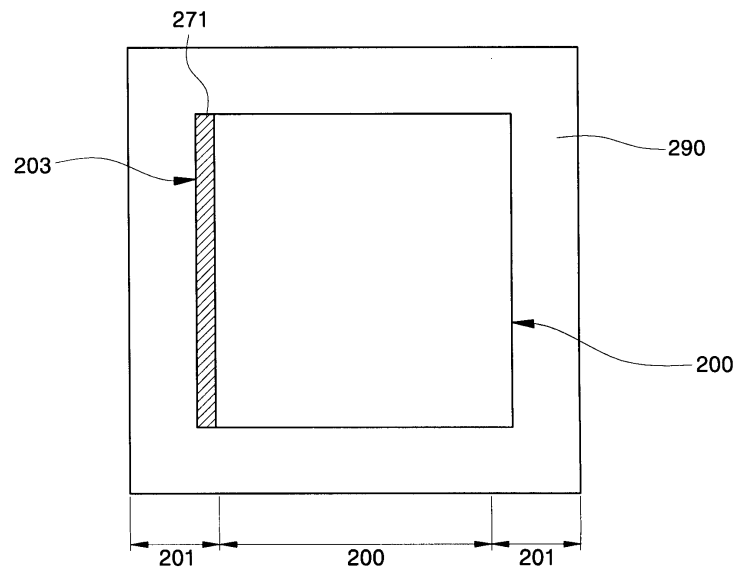
제12항에 있어서, 상기 전극라인은 비화소영역에서 적어도 화소영역의 일측 외곽부에 형성되어, 상기 제2전극과 전기적으로 콘택되는 것을 특징으로 하는 평판표시장치의 제조 방법.

도면

도면1a

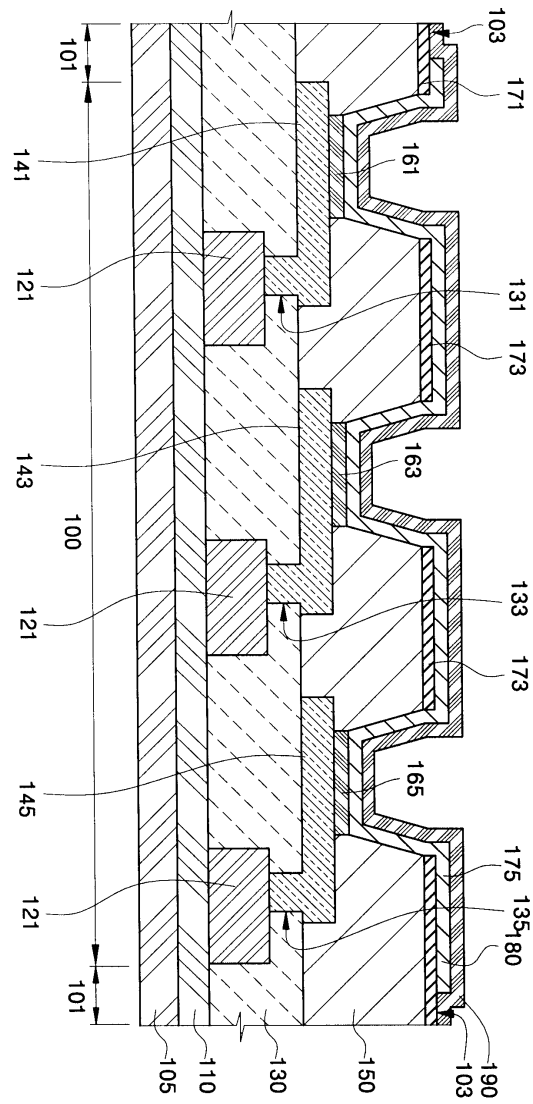


도면1b

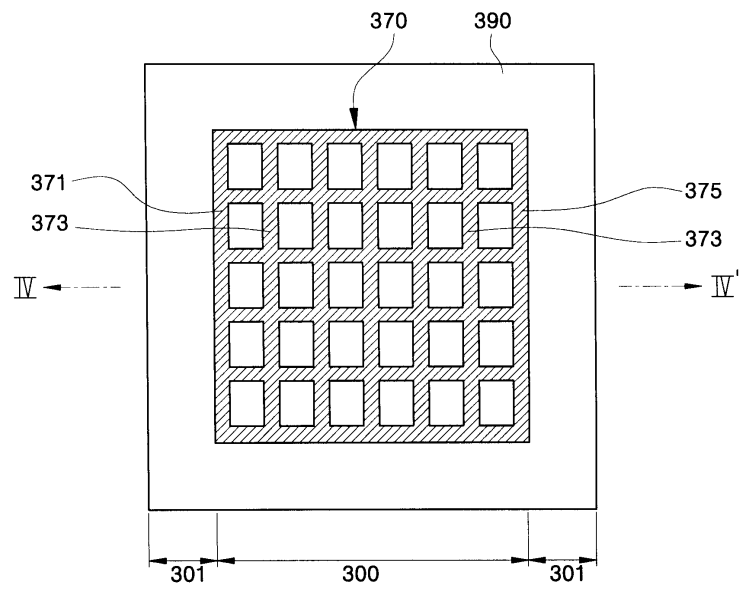




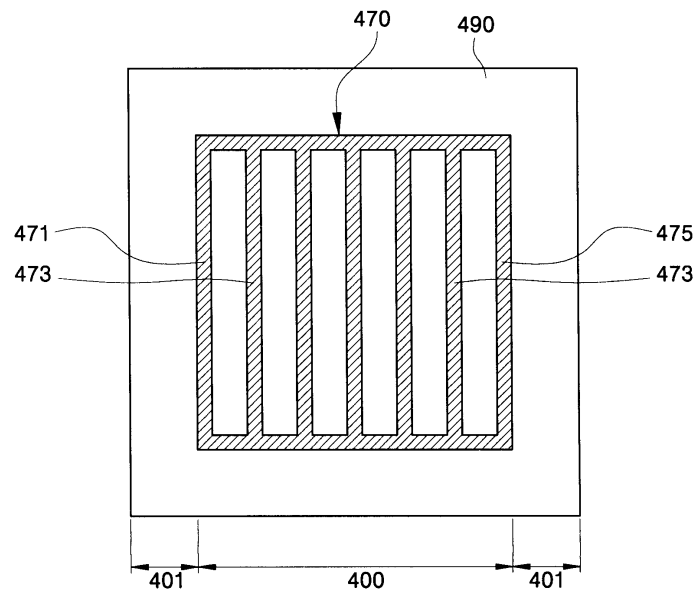
도면2



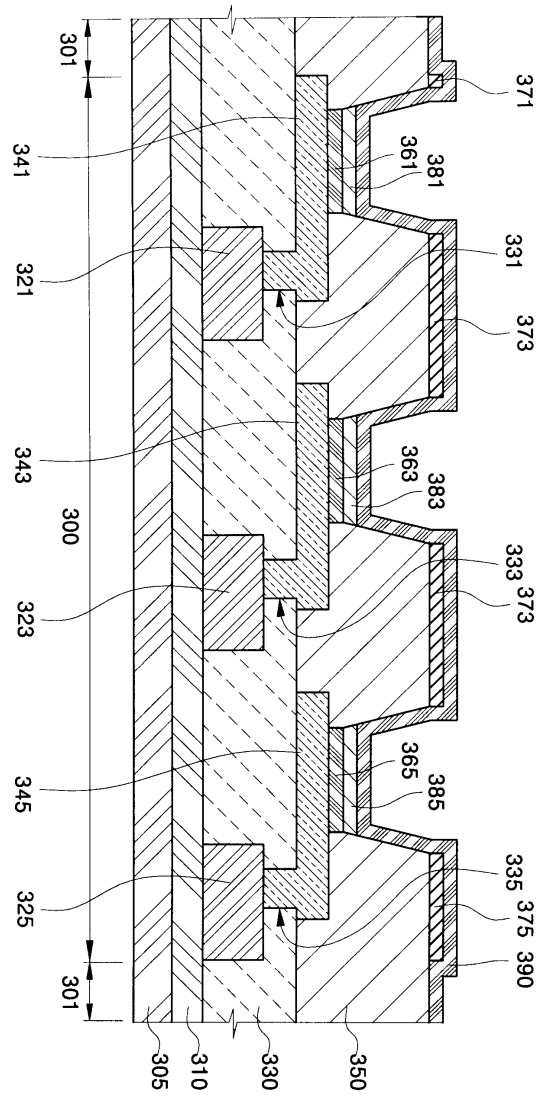
도면3a



도면3b



도면4



专利名称(译)	平板显示器及其制造方法		
公开(公告)号	<a href="#">KR1020050034427A</a>	公开(公告)日	2005-04-14
申请号	KR1020030070338	申请日	2003-10-09
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KOO JAEBON 구재본 LEE ULHO 이을호		
发明人	구재본 이을호		
IPC分类号	H01L51/50 H01L27/32 H05B33/26 H05B33/08 H05B33/12 H05B33/28 H05B33/20 H05B33/14 H05B33/10		
CPC分类号	H01L27/3276 H01L51/5228 H01L2251/5315 H01L27/3244 H01L51/5284 Y10S428/917		
代理人(译)	PARK, 常树		
其他公开文献	KR100552972B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明公开了一种能够防止阴极总线和阴极电压连接的前发光型有机电致发光显示装置及其制造方法。本发明的平板显示器具有与n接触的结构。直接接触电，在像素区域和电极线和第二电极是非像素区域，有机发光层形成在绝缘基板上形成的第二电极的第一和第二电极之间，配备有非像素区域，第一电极，在像素区域中布置像素区域和非像素区域以及形成在电荷传输层上的像素区域和电极线，包括像素区域和非像素区域。在本发明中，阴极总线形成在非像素区域上。以这种方式，电荷传输层是整个表面，阴极总线和阴极可以与n接触。在像素区域的边缘直接接触电流。

