



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월23일
(11) 등록번호 10-1388303
(24) 등록일자 2014년04월16일

- (51) 국제특허분류(Int. Cl.)
H05B 33/02 (2006.01) *G09G 3/30* (2006.01)
- (21) 출원번호 10-2007-0101932
(22) 출원일자 2007년10월10일
심사청구일자 2012년10월04일
(65) 공개번호 10-2009-0036729
(43) 공개일자 2009년04월15일
- (56) 선행기술조사문현
KR1020070056729 A
KR1020070058320 A
KR1020070072148 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유상호
경기 성남시 수정구 수정로 172, (신흥동)
김진형
경기도 고양시 일산동구 일산로286번길 49 (마두동)
신흥재
서울특별시 동대문구 장안벚꽃로 167, 삼성래미안
장안2차 아파트 203동 1602호 (장안동, 래미안장
안2차아파트)

(74) 대리인
특허법인로얄

전체 청구항 수 : 총 11 항

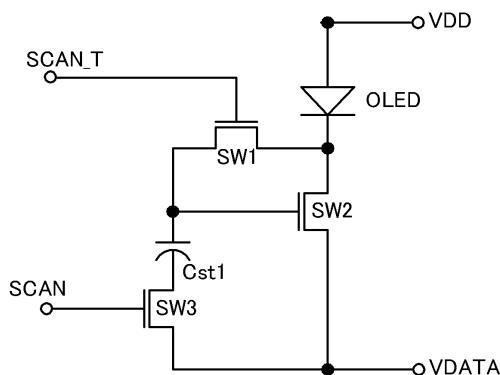
심사관 : 이태호

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명은, 다수의 서브 픽셀이 매트리스 형태로 배치된 표시부; 및 표시부에 구동 전원 및 신호를 공급하는 구동부를 포함하되, 하나의 서브 픽셀은, 제1배선에 게이트가 연결된 제1트랜지스터와, 제2배선에 애노드가 연결되고 제1트랜지스터의 일단에 캐소드가 연결된 유기 발광다이오드와, 제1트랜지스터의 타단에 게이트가 연결되고 유기 발광다이오드의 캐소드에 일단이 연결되며 제3배선에 타단이 연결된 제2트랜지스터와, 제1트랜지스터의 타단에 일단이 연결된 커패시터와, 제4배선에 게이트가 연결되고 커패시터에 일단이 연결되며 제3배선에 타단이 연결된 제3트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

다수의 서브 광셀이 매트리스 형태로 배치된 표시부; 및
상기 표시부에 구동 전원 및 신호를 공급하는 구동부를 포함하되,
하나의 서브 광셀은,
제1배선에 게이트가 연결된 제1트랜지스터와,
제2배선에 애노드가 연결되고 상기 제1트랜지스터의 일단에 캐소드가 연결된 유기 발광다이오드와,
상기 제1트랜지스터의 타단에 게이트가 연결되고 상기 유기 발광다이오드의 캐소드에 일단이 연결되며 제3배선
에 타단이 연결된 제2트랜지스터와,
상기 제1트랜지스터의 타단에 일단이 연결된 커패시터와,
제4배선에 게이트가 연결되고 상기 커패시터의 타단에 일단이 연결되며 상기 제3배선에 타단이 연결된 제3트랜
지스터를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,
상기 구동부는,
상기 제3배선을 통해 상기 서브 광셀의 전류 레벨을 검출하고 검출된 상기 전류 레벨을 토대로 상기 제3배선에
공급할 펄스 신호의 레벨 값을 조절하는 보상부를 포함하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,
상기 펄스 신호의 레벨 값은,
그라운드 레벨 이상 또는 그라운드 레벨 이하의 값인 유기전계발광표시장치.

청구항 4

제1항에 있어서,
상기 제2배선은 상기 구동부로부터 출력된 전원을 전달하는 배선이고,
상기 제3배선은 상기 구동부로부터 선택적으로 출력된 데이터 신호와 그라운드 레벨 이상 또는 그라운드 레벨
이하의 펄스 신호를 전달하는 배선인 유기전계발광표시장치.

청구항 5

제1항에 있어서,
상기 제1 및 제4배선은,
상기 제1 및 제3트랜지스터를 구동할 수 있도록 상기 구동부로부터 출력된 스캔 신호를 전달하는 배선인 유기전
계발광표시장치.

청구항 6

제1항에 있어서,
상기 제1, 제2 및 제3트랜지스터는,
a-Si 트랜지스터인 유기전계발광표시장치.

청구항 7

서브 핵심의 제1 및 제4배선에 스캔 신호를 공급하여 제1 및 제3트랜지스터를 턴온하고, 제2배선에 전원을 공급함과 아울러 제3배선에 그라운드 레벨 이상의 펄스 신호를 공급하는 초기화 단계;

상기 제1트랜지스터를 턴 오프하고 상기 전원 및 상기 그라운드 레벨 이상의 펄스 신호를 차단함과 아울러 상기 제3배선에 데이터 신호를 공급하여 커패시터에 데이터 전압을 저장하는 프로그램 단계; 및

상기 제1트랜지스터를 턴 오프하고 상기 제2배선에 상기 전원을 공급함과 아울러 상기 제3배선에 그라운드 레벨 이하의 펄스 신호를 공급하고 상기 커패시터에 저장된 상기 데이터 전압으로 제2트랜지스터를 구동하여 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 8

제7항에 있어서,

상기 프로그램 단계에서는,

상기 제1트랜지스터가 턴 오프될 때 상기 제3트랜지스터를 턴 오프하고 일정시간의 안정화 시간을 가진 후 상기 제3트랜지스터를 턴 온하고 상기 커패시터에 상기 데이터 전압을 저장하는 유기전계발광표시장치의 구동방법.

청구항 9

제7항에 있어서,

상기 발광 단계는,

상기 제3배선을 통해 상기 서브 핵심의 전류 레벨을 검출하고 검출된 전류 레벨을 토대로 상기 제3배선에 공급 할 펄스 신호의 레벨 값을 조절하는 보상 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 10

제9항에 있어서,

상기 펄스 신호의 레벨 값은,

그라운드 레벨 이상 또는 그라운드 레벨 이하의 값인 유기전계발광표시장치의 구동방법.

청구항 11

제7항에 있어서,

상기 제1, 제2 및 제3트랜지스터는,

a-Si 트랜지스터인 유기전계발광표시장치의 구동방법.

명세서**발명의 상세한 설명****기술분야**

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

배경기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

[0003] 유기전계발광소자는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식과 배면발광(Bottom-Emission) 방식 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix)으로 나누어져 있다.

[0004] 이러한 유기전계발광소자 중 능동 매트릭스형을 이용한 유기전계발광표시장치는 표시부에 매트릭스 형태로 배치

된 복수의 서브 픽셀들에 스캔 신호 및 데이터 신호가 공급되면, 서브 픽셀 내부에 위치하는 트랜지스터, 커패시터 및 유기 발광다이오드가 구동하게 되어 영상을 표시할 수 있게 된다.

[0005] 한편, 유기전계발광표시장치는 구동 트랜지스터의 전기적 특성(Mobility, Threshold voltage, Cox, W/L 등)에 매우 민감하다. 구동 트랜지스터의 전기적 특성 불균일성은 휘도의 불균일성으로 나타난다. 이러한 불균일성을 해결하고자 종래에는 서브 픽셀 내에 적어도 두개 이상의 트랜지스터를 구비하여 구동 트랜지스터의 문턱 전압 값을 상쇄시키는 등의 보상 방법이 제안되었다.

[0006] 종래 보상 방법에는 전압 보상 방법과 전류 보상 방법 등이 제안되었다.

[0007] 여기서, 전압 보상 방법의 경우, 구동 트랜지스터의 문턱전압을 보상하기 위해 일정시간의 프로그램 시간이 필요하고 많은 수의 트랜지스터와 복잡한 제어신호를 사용해야 하는 단점이 있다. 그리고, 전류 보상 방법의 경우, 전류 이동성과 문턱 전압은 보상할 수 있으나 데이터 라인의 기생 커패시터 성분이 매우 크기 때문에 상대적으로 매우 긴 프로그램 시간이 필요하다는 단점이 있다.

[0008] 게다가, 위와 같은 보상 방법은 두개 이상의 트랜지스터를 더 형성해야하므로 구조적 곤란성과 아울러 수율 및 생산성을 떨어뜨릴 수 있으며, 복잡한 보상 방법에 의해 추가된 트랜지스터의 열화로 오동작 등이 발생할 수 있으므로 보상 방법에 따른 회로 구성은 물론 구동 방법 또한 개선되어야 할 것이다.

발명의 내용

해결 하고자하는 과제

[0009] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 구동 트랜지스터의 휘도 불균일 문제로 인해 휘도가 감소하는 문제를 해결하고 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

[0010] 상술한 과제 해결 수단으로 본 발명은, 다수의 서브 픽셀이 매트리스 형태로 배치된 표시부; 및 표시부에 구동 전원 및 신호를 공급하는 구동부를 포함하되, 하나의 서브 픽셀은, 제1배선에 게이트가 연결된 제1트랜지스터와, 제2배선에 애노드가 연결되고 제1트랜지스터의 일단에 캐소드가 연결된 유기 발광다이오드와, 제1트랜지스터의 타단에 게이트가 연결되고 유기 발광다이오드의 캐소드에 일단이 연결되며 제3배선에 타단이 연결된 제2트랜지스터와, 제1트랜지스터의 타단에 일단이 연결된 커패시터와, 제4배선에 게이트가 연결되고 커패시터에 일단이 연결되며 제3배선에 타단이 연결된 제3트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

[0011] 구동부는, 제3배선을 통해 서브 픽셀의 전류 레벨을 검출하고 검출된 전류 레벨을 토대로 제3배선에 공급할 펄스 신호의 레벨 값을 조절하는 보상부를 포함할 수 있다.

[0012] 펄스 신호의 레벨 값은, 그라운드 레벨 이상 또는 그라운드 레벨 이하의 값일 수 있다.

[0013] 제2배선은 구동부로부터 출력된 전원을 전달하는 배선이고, 제3배선은 구동부로부터 선택적으로 출력된 데이터 신호와 그라운드 레벨 이상 또는 그라운드 레벨 이하의 펄스 신호를 전달하는 배선일 수 있다.

[0014] 제1 및 제4배선은, 제1 및 제3트랜지스터를 구동할 수 있도록 구동부로부터 출력된 스캔 신호를 전달하는 배선일 수 있다.

[0015] 제1, 제2 및 제3트랜지스터는, a-Si 트랜지스터일 수 있다.

[0016] 한편, 다른 측면에서 본 발명은, 서브 픽셀의 제1 및 제4배선에 스캔 신호를 공급하여 제1 및 제3트랜지스터를 턴온하고, 제2배선에 전원을 공급함과 아울러 제3배선에 그라운드 레벨 이상의 펄스 신호를 공급하는 초기화 단계; 제1트랜지스터를 턴 오프하고 전원 및 그라운드 레벨 이상의 펄스 신호를 차단함과 아울러 제3배선에 데이터 신호를 공급하여 커패시터에 데이터 전압을 저장하는 프로그램 단계; 및 제1트랜지스터를 턴 오프하고 제2배선에 전원을 공급함과 아울러 제3배선에 그라운드 레벨 이하의 펄스 신호를 공급하고 커패시터에 저장된 데이터 전압으로 제2트랜지스터를 구동하여 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.

[0017] 프로그램 단계에서는, 제1트랜지스터가 턴 오프될 때 제3트랜지스터를 턴 오프하고 일정시간의 안정화 시간을

가진 후 제3트랜지스터를 턴 온하고 커패시터에 데이터 전압을 저장할 수 있다.

[0018] 발광 단계는, 제3배선을 통해 서브 픽셀의 전류 레벨을 검출하고 검출된 전류 레벨을 토대로 제3배선에 공급할 펠스 신호의 레벨 값을 조절하는 보상 단계를 포함할 수 있다.

[0019] 펠스 신호의 레벨 값은, 그라운드 레벨 이상 또는 그라운드 레벨 이하의 값일 수 있다.

[0020] 제1, 제2 및 제3트랜지스터는, a-Si 트랜지스터일 수 있다.

효과

[0021] 본 발명은, 심플한 보상 구조 및 구동방법을 제공하여 구동 트랜지스터의 휘도 불균일 문제를 해결하고 표시품질을 향상시킬 수 있음은 물론 제어배선의 개수를 줄이는 효과가 있다. 또한, 심플한 보상 구조 및 구동방법을 제공하여 제조원가를 절감할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0022] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시를 위한 구체적인 내용을 설명한다.

[0023] 도 1은 본 발명에 따른 유기전계발광표시장치의 개략적인 평면도이다.

[0024] 도 1에 도시된 바와 같이 유기전계발광표시장치는 기판(110) 상에 서브 픽셀(P)이 다수 위치하는 표시부(120)를 포함할 수 있다.

[0025] 여기서, 하나의 서브 픽셀(P)은 각각 적색, 녹색 및 청색을 발광할 수 있다. 이러한 서브 픽셀들은 3개 이상의 단위로 묶여 하나의 단위 픽셀로 정의될 수 있다. 그러나, 서브 픽셀(P)은 백색이나 이 밖에 다른 색(예를 들면, 주황색, 노란색 등)을 발광할 수 있으며, 단위 픽셀은 4개 이상이 다른 색을 발광하는 서브 픽셀들을 포함할 수도 있다.

[0026] 여기서, 서브 픽셀(P)은 적어도 유기발광층을 포함할 수 있다. 그리고 유기발광층은 정공 주입층, 정공 수송층, 전자 수송층 또는 전자 주입층 중 하나 이상을 더 포함할 수 있고, 이 밖에 애노드와 캐소드 간의 정공 또는 전자의 흐름을 조절할 수 있도록 버퍼층, 블록킹층 등이 더 포함될 수도 있다.

[0027] 기판(110) 상에 위치하는 서브 픽셀(P) 각각은 수분이나 산소에 취약하다. 그리하여, 밀봉기판(130)을 구비하고, 표시부(120)의 외곽 기판(110)에 접착부재(140)를 형성하여 기판(110)과 밀봉기판(130)을 봉지될 수 있다.

[0028] 한편, 표시부(120)가 위치하는 기판(110)의 외곽에는 구동부(150)가 위치할 수 있다. 구동부(150)는 미도시된 외부장치와 전기적으로 연결되어 표시부(120)에 배치된 서브 픽셀(P) 각각에 구동 전원 및 신호를 공급할 수 있다.

[0029] 일반적으로, 구동부(150)는 표시부(120)에 배치된 서브 픽셀(P) 각각에 스캔 신호, 데이터 신호 및 전원 등을 공급할 수 있다. 구동부(150)로부터 스캔 신호, 데이터 신호 및 전원 등을 공급받은 서브 픽셀(P)은 각각 선택적으로 발광할 수 있다.

[0030] 여기서, 서브 픽셀(P) 각각은 기판(110) 상에 위치하는 트랜지스터 어레이에 포함된 구동 트랜지스터의 소스 또는 드레인 전극에 연결된 유기 발광다이오드를 포함할 수 있다. 그리고 트랜지스터 어레이에는 하나 이상의 트랜지스터 및 커패시터를 포함할 수 있다.

[0031] 이하, 하나의 서브 픽셀의 단면 구조를 첨부하여 이를 더욱 자세히 설명한다. 단, 서브 픽셀의 구조는 예시적인 것일 뿐 이에 한정되지 않는다.

[0032] 도 2a는 서브 픽셀의 단면 예시 도이다.

[0033] 도 2a에 도시된 바와 같이, 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지,

폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.

[0034] 기판(110) 상에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 베퍼층(111)은 실리콘 산화물(SiO_2), 실리콘 질화물($SiNx$) 등을 사용할 수 있다.

[0035] 베퍼층(111) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다.

[0036] 반도체층(112)을 포함하는 기판(110) 상에는 게이트 절연막(113)이 위치할 수 있다. 게이트 절연막(113)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물($SiNx$) 등을 사용하여 선택적으로 형성할 수 있다.

[0037] 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 절연막(113) 상에 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 타이타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텉스텐(W), 텉스텐 실리사이드(WSi_2) 중 어느 하나를 포함할 수 있다.

[0038] 게이트 전극(114)을 포함한 기판(110) 상에 충간절연막(115)이 위치할 수 있다. 충간절연막(115)은 유기막 또는 무기막일 수 있으며, 이들의 복합막일 수도 있다.

[0039] 충간절연막(115)이 무기막인 경우 실리콘 산화물(SiO_2), 실리콘 질화물($SiNx$) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리이미드계 수지 또는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지를 포함할 수 있다. 충간절연막(115) 및 게이트 절연막(113) 내에는 반도체층(112)의 일부를 노출시키는 제1 및 제2콘택홀(115a, 115b)이 위치할 수 있다.

[0040] 충간절연막(115) 상에는 제1전극(116a)이 위치할 수 있다. 제1전극(116a)은 애노드일 수 있으며 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 단층 구조로 형성될 수 있다. 또한, 제1전극(116a)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 다층 구조로 형성될 수 있다. 이에 대한 설명은 이하에 다른 도면을 첨부하여 더욱 자세히 설명한다.

[0041] 충간절연막(115) 상에는 소오스 전극 및 드레인 전극(116b, 116c)이 위치할 수 있다. 소오스 전극 및 드레인 전극(116b, 116c)은 제1 및 제2콘택홀(115a, 115b)을 통하여 반도체층(112)과 전기적으로 연결될 수 있다. 그리고, 드레인 전극(116c)의 일부는 제1전극(116a) 상에 위치하여, 제1전극(116a)과 전기적으로 연결될 수 있다.

[0042] 소오스 전극 및 드레인 전극(116b, 116c)은 배선 저항을 낮추기 위해 저저항 물질을 포함할 수 있다. 여기서, 소오스 전극 및 드레인 전극(116b, 116c)은 알루미늄(Al), 알미네리뮴(Alnd), 몰리브덴(Mo), 크롬(Cr), 타이타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등과 같은 금속층을 포함하여 다층 구조로 형성될 수 있다. 이에 대한 설명은 이하에 다른 도면을 첨부하여 더욱 자세히 설명한다.

[0043] 이상 기판(110) 상에 위치하는 트랜지스터는 게이트 전극(114), 소오스 전극 및 드레인 전극(116b, 116c)을 포함하고 다수의 트랜지스터 및 커패시터를 갖는 트랜지스터 어레이는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. (단, 커패시터의 구조는 생략되었음)

[0044] 제1전극(116a)(예: 애노드) 상에는 제1전극(116a)의 일부를 노출시키는 절연막(117)이 위치할 수 있다. 절연막(117)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

[0045] 노출된 제1전극(116a) 상에는 유기발광층(118)이 위치하고 유기발광층(118) 상에는 제2전극(119)(예: 캐소드)이 위치할 수 있다. 제2전극(119)은 유기발광층(118)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.

[0046] 이상 기판(110) 상에 위치하는 트랜지스터 어레이에 포함된 트랜지스터의 소오스 또는 드레인 전극(116b, 116c)에 연결된 유기 발광다이오드는 제1전극(116a), 유기발광층(118) 및 제2전극(119)을 포함할 수 있다.

[0047] 도 2a와는 달리 도 2b를 참조하면, 소오스 또는 드레인 전극(116b, 116c) 상에 위치하는 제1전극(116a)은 트랜지스터 어레이의 표면을 평탄화하는 평탄화막(117a) 상에 위치할 수도 있다. 이 경우, 절연막(117b)은 평탄화막(117a) 상에서 제1전극(116a)(예: 애노드)의 일부를 노출시키도록 위치할 수 있다.

- [0048] 한편, 도 2a 및 도 2b와 같은 서브 픽셀 구조에서, 트랜지스터 어레이에 포함된 트랜지스터의 구조는 게이트의 구조가 탑 게이트 인지 또는 바텀 게이트 인지에 따라 달라질 수 있다. 또한, 트랜지스터 어레이를 형성할 때 사용되는 마스크의 개수와 반도체층 재료에 따라 트랜지스터의 구조는 달리질 수 있다. 따라서, 서브 픽셀의 구조는 앞서 설명한 바와 같이 이에 한정되지는 않는다.
- [0049] 한편, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 표시부에 포함된 하나의 서브 픽셀은 다음과 같은 회로 구성을 가질 수 있다.
- [0050] 도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도이다.
- [0051] 도 1 및 도 3을 참조하면, 하나의 서브 픽셀(P)은 제1배선(SCAN_T)에 게이트가 연결된 제1트랜지스터(SW1)를 포함할 수 있다. 또한, 제2배선(VDD)에 애노드가 연결되고 제1트랜지스터(SW1)의 일단에 캐소드가 연결된 유기 발광다이오드(OLED)를 포함할 수 있다. 또한, 제1트랜지스터(SW1)의 타단에 게이트가 연결되고 유기 발광다이오드(OLED)의 캐소드에 일단이 연결되며 제3배선(VDATA)에 타단이 연결된 제2트랜지스터(SW2)를 포함할 수 있다. 또한, 제1트랜지스터(SW1)의 타단에 일단이 연결된 커패시터(Cst1)를 포함할 수 있다. 또한, 제4배선(SCAN)에 게이트가 연결되고 커패시터(Cst1)에 일단이 연결되며 제3배선(VDATA)에 타단이 연결된 제3트랜지스터(SW3)를 포함할 수 있다.
- [0052] 여기서, 제1, 제2 및 제3트랜지스터(SW1, SW2, SW3)는, a-Si 트랜지스터일 수 있다.
- [0053] 여기서, 제1배선(SCAN_T) 및 제4배선(SCAN)은, 제1 및 제3트랜지스터(SW1, SW3)를 구동할 수 있도록 구동부로부터 출력된 스캔 신호를 전달하는 배선일 수 있다. 그리고, 제2배선(VDD)은 구동부로부터 출력된 전원을 전달하는 배선이고, 제3배선(VDATA)은 구동부로부터 출력된 데이터 신호와 그라운드 레벨 이상 또는 그라운드 레벨 이하의 펄스 신호를 선택적으로 전달하는 배선일 수 있다.
- [0054] 서브 픽셀의 회로 구성이 이와 같음에 따라, 도 1에 도시된 구동부(150)는, 제3배선(VDATA)을 통해 서브 픽셀의 전류 레벨을 검출하고 검출된 전류 레벨을 토대로 제3배선(VDATA)에 공급할 펄스 신호의 레벨 값을 조절할 수 있다.
- [0055] 여기서, 구동부(150)는 제3배선(VDATA)을 통해 서브 픽셀의 전류 레벨을 검출하고 검출된 전류 레벨을 토대로 제3배선(VDATA)에 공급할 펄스 신호의 레벨 값을 조절할 수 있도록 보상부(미도시)를 포함할 수 있다.
- [0056] 보상부(미도시)는 제3배선(VDATA)을 통해 검출된 서브 픽셀의 전류 레벨 값에 따라 테이블에 설정된 그라운드 레벨의 값을 선택하고 선택된 그라운드 레벨의 값을 제3배선(VDATA)에 공급할 수 있도록 루프테이블(LUT)을 사용할 수 있다.
- [0057] 한편, 구동부(150)는 서브 픽셀의 제3배선(VDATA)에 그라운드 레벨에 준하는 펄스 신호가 공급되었을 때 제3배선(VDATA)을 통해 서브 픽셀의 전류 레벨을 검출할 수 있다. 이는 서브 픽셀이 발광 단계를 수행하기 위하여 제3배선(VDATA)에 그라운드 레벨에 준하는 펄스 신호가 공급되었을 때, 제3배선(VDATA)에 걸린 전류 레벨이 저항에 따라 변하는 현상을 구동부(150)에 포함된 보상부(미도시)로 검출 가능하기 때문이다.
- [0058] 요약하면, 구동부(150)는 서브 픽셀에 데이터 신호와 펄스 신호를 선택적으로 출력할 수 있고, 제3배선(VDATA)을 통해 서브 픽셀의 전류 레벨 값을 피드백 받아 그라운드 레벨의 값을 선택할 수 있다.
- [0059] 이에 따라, 각 서브 픽셀은 칼럼(column) 별로 제3배선(VDATA)에 공급할 펄스 신호의 레벨 값을 그라운드 레벨 이상 내지 그라운드 레벨 이하의 값 중 적절한 값이 공급될 수 있게 된다.
- [0060] 그러면, 유기전계발광표시장치의 표시부에 포함된 서브 픽셀 각각은 구동 트랜지스터인 제2트랜지스터(SW2)의 열화에 따른 휘도 불균일 문제를 해결할 수 있게 되어 표시품질을 향상시킬 수 있다. 또한, 종래 서브 픽셀 구조대비 심플한 보상 구조로 구성되어 제어배선의 개수를 줄일 수 있음은 물론 심플한 구동방법을 제공할 수 있게 되어 제조원가를 절감할 수 있는 효과 또한 나타낼 수 있다.
- [0061] 이하, 앞서 설명한 유기전계발광표시장치의 구동 과정도를 참조하여 구동방법에 대해 더욱 자세히 설명한다.
- [0062] 도 4는 본 발명의 일 실시예에 따른 구동 과정 예시도이다. 구동방법에 대한 설명은 설명의 이해를 돋기 위해 도 1, 도 3 및 도 4를 함께 참조한다.

- [0063] 도 1, 도 3 및 도 4를 함께 참조하면, 본 발명에 따른 유기전계발광표시장치의 구동방법은 비발광 단계(Non-Emission) 와 발광 단계(Emission)를 포함할 수 있다. 여기서, 비발광 단계(Non-Emission)는 초기화 단계(reset), 프로그램 단계(program)를 포함할 수 있다.
- [0064] 먼저, 초기화 단계(reset)는, 서브 픽셀의 제1 및 제4배선(SCAN_T, SCAN)에 스캔 신호(Scan_t, Scan[1]..Scan[2])를 공급하여 제1 및 제3트랜지스터(SW1, SW3)를 턴온하고, 제2배선(VDD)에 전원(Vdd)을 공급함과 아울러 제3배선(VDATA)에 그라운드 레벨 이상의 펄스 신호(Vdata)를 공급할 수 있다.
- [0065] 여기서, 펄스 신호(Vdata)의 레벨 값은 도 4에 도시된 바와 같이 그라운드 레벨 이상의 값일 수 있다. 더욱 자세히 설명하면, 그라운드 레벨 이상의 값은 제2배선(VDD)을 통해 공급된 전원(Vdd)의 값에 준하거나 이와 동등한 값일 수 있다.
- [0066] 위와 같은 구동 과정에 의해, 초기화 단계(reset)에서는 제2트랜지스터(SW2)의 게이트와 드레인 노드는 서로 연결되고 게이트에 연결된 커패시터(Cst1)는 전원(Vdd)에 가까운 전압으로 차징될 수 있다.
- [0067] 그러면, 서브 픽셀은 이전 프레임(Frame)에 저장되어 있던 데이터 전압 값이 리셋되고 제2트랜지스터(SW2)의 Vgs(게이트와 소오스 간 전압)값은 0 또는 네거티브(Negative) 전압 값이 되기 때문에 유기 발광다이오드(OLED)는 발광하지 않게 된다. 즉, 이전 발광 단계를 멈추게 된다.
- [0068] 한편, 프로그램 단계(program)는 제1트랜지스터(SW1)를 턴 오프하고 전원(Vdd) 및 그라운드 레벨 이상의 펄스 신호(Vdata)를 차단함과 아울러 제3배선(VDATA)에 데이터 신호(Vdata)를 공급하여 커패시터(Cst1)에 데이터 전압을 저장할 수 있다.
- [0069] 여기서, 전원(Vdd) 및 그라운드 레벨 이상의 펄스 신호(Vdata)가 차단되면 제2트랜지스터(SW2)의 게이트에 저장되어 있던 차지는 제1트랜지스터(SW1)와 제2트랜지스터(SW2)를 통해 제3배선(VDATA)으로 디스차징되고 커패시터(Cst1)에는 제2트랜지스터(SW2)의 임계전압(Vth) 값이 남을 수 있다.
- [0070] 또한, 제1배선(SCAN_T)에 공급된 스캔 신호(Scan_t)가 로직 로우(Low)가 됨으로써 제1트랜지스터(SW1)는 턴 오프될 수 있다. 그러면, 커패시터(Cst1)에는 앞서 설명한 바와 같이 제2트랜지스터(SW2)의 임계전압(Vth) 값이 저장되고 제2트랜지스터(SW2)의 게이트 노드는 플로팅(floating)될 수 있다.
- [0071] 한편, 프로그램 단계(program) 전에는, 도 4에 도시된 바와 같은 과정에 의해 제1트랜지스터(SW1)가 턴 오프될 때 제3트랜지스터(SW3) 또한 턴 오프하고 일정시간의 안정화 시간(stability)을 가진 후 각각의 서브 픽셀을 선택하고 선택된 서브 픽셀에 데이터 전압을 저장하도록 각 서브 픽셀에 포함된 제3트랜지스터(SW3)를 순차적으로 턴 온할 수 있다.
- [0072] 위와 같은 구동 과정에 의해, 프로그램 단계(program)에서는 제4배선(SCAN)에 로직 하이 전압이 공급되므로 제3트랜지스터(SW3)는 턴 온될 수 있다. 그리고, 제3배선(VDATA)을 통해 데이터 신호(Vdata)가 공급되면, 커패시터의 부스트 스트래핑(Boost strapping) 효과가 작용하게 되고 커패시터(Cst1)는 임계전압(Vth)+데이터 신호(Vdata)에 해당하는 데이터 전압 값을 저장할 수 있다.
- [0073] 한편, 발광 단계(Emission)는 제1트랜지스터(SW1)를 턴 오프하고 제2배선(VDD)에 전원(Vdd)을 공급함과 아울러 제3배선(VDATA)에 그라운드 레벨 이하의 펄스 신호(Vdata)를 공급하고 커패시터(Cst1)에 저장된 데이터 전압으로 제2트랜지스터(SW2)를 구동하여 유기 발광다이오드(OLED)를 발광시킬 수 있다.
- [0074] 위와 같은 구동 과정에 의해, 발광 단계(Emission)에서는 커패시터(Cst1)에 저장된 데이터 전압에 의해 제2트랜지스터(SW2)가 구동하게 되고, 제2배선(VDD)을 통해 공급된 전원(Vdd)이 유기 발광다이오드(OLED)를 통해 흐를 수 있게 되어 유기 발광다이오드(OLED)는 발광할 수 있다.
- [0075] 여기서, 발광 단계(Emission)는, 제3배선(VDATA)을 통해 서브 픽셀의 전류 레벨을 검출하고 검출된 전류 레벨을 토대로 제3배선(VDATA)에 공급할 펄스 신호의 레벨 값을 조절하는 보상 단계를 실시할 수 있다.
- [0076] 보상 단계는 구동부(150)의 보상부에 포함된 루업테이블을 이용할 수 있으나 이에 한정되진 않는다. 단, 루업테이블을 사용했을 시, 루업테이블은 제3배선(VDATA)을 통해 검출된 서브 픽셀의 전류 레벨 값에 따라 그라운드 레벨의 값을 선택할 수 있도록 테이블화된 데이터 형태이면 가능하다.
- 이와 같은 구동 방법에 의하면, 구동부(150)는 서브 픽셀에 데이터 신호와 펄스 신호를 선택적으로 출력할 수 있고, 제3배선(VDATA)을 통해 서브 픽셀의 전류 레벨 값을 피드백 받아 그라운드 레벨의 값을 선택할 수 있다.

이에 따라, 각 서브 핵셀은 칼럼(column) 별로 제3배선(VDATA)에 공급할 펠스 신호의 레벨 값을 그라운드 레벨 이상 내지 그라운드 레벨 이하의 값 중 적절한 값이 공급될 수 있게 된다.

그러면, 유기전계발광표시장치의 표시부에 포함된 서브 핵셀 각각은 구동 트랜지스터인 제2트랜지스터(SW2)의 열화에 따른 휘도 불균일 문제를 해결할 수 있게 되어 표시품질을 향상시킬 수 있다.

또한, 종래 서브 핵셀 구조대비 심플한 보상 구조로 구성되어 제어배선의 개수를 줄일 수 있음은 물론 심플한 구동방법을 제공할 수 있게 되어 제조원가를 절감할 수 있는 효과 또한 나타낼 수 있다.

이상의 본 발명은 심플한 보상 구조 및 구동방법을 제공하여 구동 트랜지스터의 휘도 불균일 문제를 해결하고 표시품질을 향상시킬 수 있음은 물론 제어배선의 개수를 줄이는 효과가 있다. 또한, 심플한 보상 구조 및 구동 방법을 제공하여 제조원가를 절감할 수 있는 효과가 있다.

[0077]

삭제

[0078]

삭제

[0079]

삭제

[0080]

삭제

[0081]

삭제

[0082]

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

[0083]

삭제

[0084]

삭제

[0085]

삭제

[0086]

삭제

[0087]

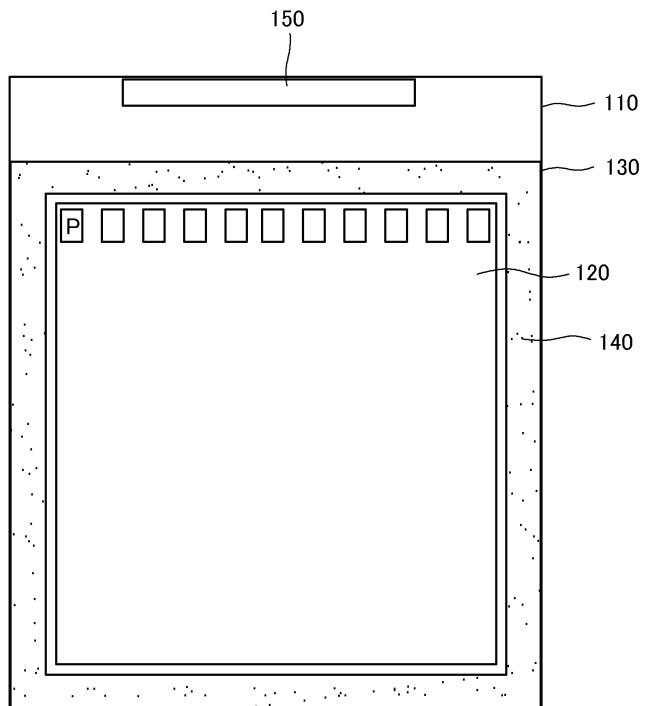
도면의 간단한 설명

도 1은 유기전계발광표시장치의 평면 예시도.

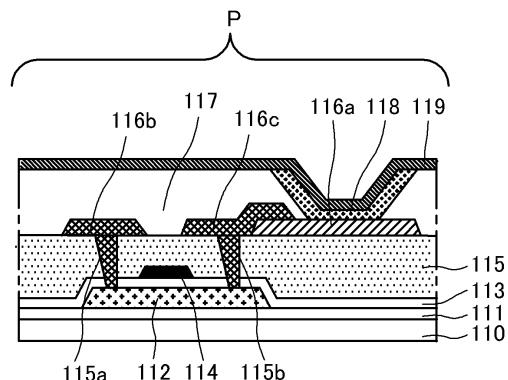
- [0089] 도 2a 및 도 2b는 도 1에 위치하는 서브 팩셀의 예시도.
- [0090] 도 3은 본 발명의 일 실시예에 따른 서브 팩셀의 회로 구성 예시도.
- [0091] 도 4는 본 발명의 일 실시예에 따른 구동 과정 예시도.
- [0092] <도면의 주요 부분에 관한 부호의 설명>
- [0093] 110: 기판 120: 표시부
- [0094] 130: 밀봉기판 140: 접착부재
- [0095] 150: 구동부

도면

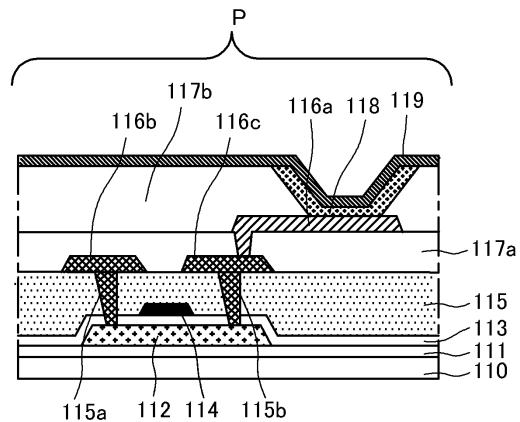
도면1



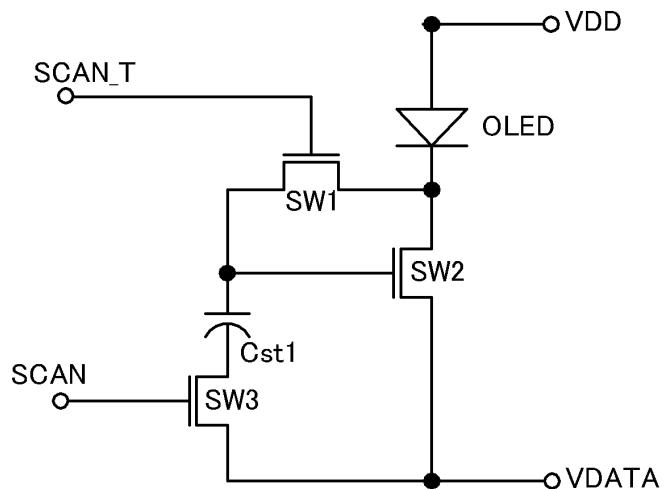
도면2a



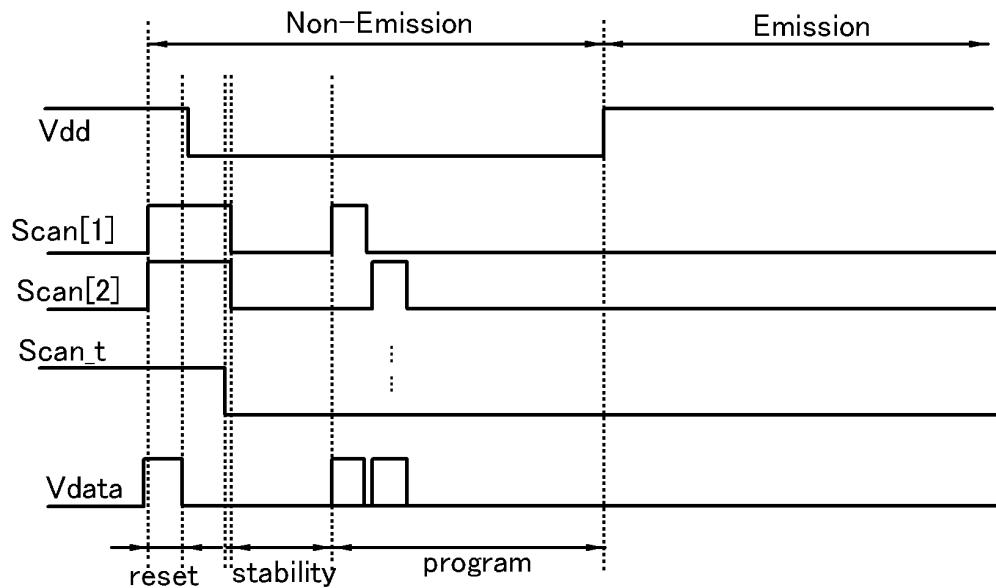
도면2b



도면3



도면4



专利名称(译)	标题 : 有机电致发光显示装置及其驱动方法		
公开(公告)号	KR101388303B1	公开(公告)日	2014-04-23
申请号	KR1020070101932	申请日	2007-10-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANG HO 유상호 KIM JIN HYOUNG 김진형 SHIN HONG JAE 신홍재		
发明人	유상호 김진형 신흥재		
IPC分类号	H05B33/02 G09G3/30		
其他公开文献	KR1020090036729A		
外部链接	Espacenet		

摘要(译)

本发明提供一种显示装置，包括：显示单元，其中多个子像素以床垫形状布置；并且包括：用于供应驱动动力源和一个显示单元上的信号的驱动器，一个子像素，一个是栅极的阳极连接到第一晶体管，以及连接到所述第一线阴极的第二布线连接到所述第一晶体管的一个端部有机发光二极管，第一晶体管连接到有机发光二极管另一端的栅极，第二晶体管，其一端连接到有机发光二极管的阴极，另一端连接到第三布线，电容器的一端连接到第一晶体管的另一端，并且第三晶体管的一端连接到第三布线，另一端连接到第三布线。

