



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월05일
(11) 등록번호 10-1005646
(24) 등록일자 2010년12월27일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2003-0019550
(22) 출원일자 2003년03월28일
심사청구일자 2008년03월17일
(65) 공개번호 10-2003-0089419
(43) 공개일자 2003년11월21일
(30) 우선권주장 JP-P-2002-00142366 2002년05월17일 일본(JP)
(56) 선행기술조사문헌 WO2002027700 A1
WO2001006484 A1
JP평성05503175 A

전체 청구항 수 : 총 11 항

(73) 특허권자

가부시키가이샤 히타치 디스플레이즈
일본국 치바켄 모바라시 하야노 3300

(72) 발명자

카게야마히로시

일본국도쿄도하치오지시코야스마치2-32히타치코야스다이아파트B101

아키토모하지메

일본국도쿄도오우메시카베마치1-842-1-508

(74) 대리인

특허법인 원전

심사관 : 조기덕

(54) 화상표시장치

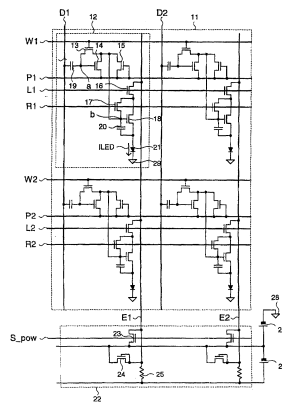
(57) 요약

화소에 발광소자가 있는 화상표시장치에서, 해상도가 높고, 다계조 표시가 가능한 화상표시장치를 제공한다.

본 발명의 화상표시장치는, 화소회로에 소정의 구동전류를 발생하는 전류제한수단과, 소정의 구동전류를 발광소자에 공급하는 시간을 변조하는 시간변조회로를 구비하고 있다.

본 발명의 화상표시장치는, 화소회로에 소정의 구동전류를 발생하는 전류제한수단과, 소정의 구동전류를 기준으로 하여 복수치의 전류를 발생하는 전류발생회로를 구비하고 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관상에, 복수의 화소가 형성되고, 상기 화소에 표시신호를 입력하기 위한 복수의 신호선과, 상기 화소에 제어신호를 입력하기 위한 복수의 신호선이 매트릭스 모양으로 형성되며, 상기 화소의 각각에는 전류에 의해 발광강도가 변화하는 발광소자와, 상기 발광소자를 구동하기 위한 화소회로가 형성되고, 상기 화소회로에는 소정의 구동전류를 발생하는 전류제한수단과, 상기 소정의 구동전류를 상기 발광소자에 공급하는 시간을 변조하는 시간변조회로를 구비하고,

상기 시간변조회로는, 제1 커패시터를 구비하고, 상기 제1 커패시터는, 표시신호를 입력하기 위한 상기 복수의 신호선을 통해 입력된 아날로그 전압신호를 기억하고, 상기 시간변조회로에는 삼각파 소인전압이 입력되며, 상기 시간변조회로는 미리 기억하고 있던 상기 아날로그 전압신호와 상기 삼각파 소인(掃引, sweep)전압을 비교하는 것에 의해, 상기 발광소자에 공급하는 시간을 변조하는 화상표시장치로서,

상기 화소회로의 외부에 기준전류를 발생하는 기준 전류원을 구비하고, 상기 전류제한수단은 상기 기준 전류원이 발생하는 기준전류를 기준으로 하여, 상기 소정의 구동전류를 발생하는 것을 특징으로 하는 화상표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 화소회로는 박막트랜지스터를 이용하여 형성되어 있는 것을 특징으로 하는 화상표시장치.

청구항 7

제 1 항에 있어서,

상기 화소회로는 n채널형 또는 p채널형 중 어느 한쪽의 박막트랜지스터만을 이용하여 형성되어 있는 것을 특징으로 하는 화상표시장치

청구항 8

삭제

청구항 9

제 1 항에 있어서,

상기 전류제한수단은, 상기 기준 전류원이 발생하는 기준전류의 전류치 정보를 기억하는 기억수단을 구비하고 있는 것을 특징으로 하는 화상표시장치.

청구항 10

제 1 항에 있어서,

상기 기준 전류원이 발생하는 기준전류를 상기 전류제한수단에 공급하기 위한 복수의 배선을 구비하는 것을 특

징으로 하는 화상표시장치.

청구항 11

제 1 항에 있어서,

상기 기준 전류원은, 상기 기관상에 박막트랜지스터를 이용하여 형성되어 있는 것을 특징으로 하는 화상표시장치.

청구항 12

제 1 항에 있어서,

상기 기준 전류원은, 상기 기관상에 금속배선 저항 혹은 실리콘 박막으로 형성된 저항기를 이용하여 구성되어 있는 것을 특징으로 하는 화상표시장치.

청구항 13

제 1 항에 있어서,

상기 전류제한수단은, 상기 기준 전류원이 발생하는 기준전류의 전류치 정보를 기억하는 기억수단을 구비하며, 상기 기억수단은 상기 시간변조회로에 의해 리셋되는 것을 특징으로 하는 화상표시장치.

청구항 14

제 1 항에 있어서,

상기 전류제한수단은, 상기 기준 전류원이 발생하는 기준전류의 전류치 정보를 기억하는 기억수단을 구비하며, 상기 전류제한수단은, 적어도 1개의 박막트랜지스터로 구성되고, 상기 기억수단은 제2 커패시터로 구성되며, 상기 기준 전류원이 발생한 기준전류가 상기 박막트랜지스터를 흐를 때의 상기 박막트랜지스터의 게이트전압을 상기 제2 커패시터가 기억하는 것을 특징으로 하는 화상표시장치.

청구항 15

제 14 항에 있어서,

상기 제2 커패시터의 전압이 상기 시간변조회로에 의해서 리셋되며, 상기 리셋에 의해 상기 박막트랜지스터의 드레인-소스전극간이 차단상태가 되는 것을 특징으로 하는 화상표시장치.

청구항 16

제 14 항에 있어서,

상기 시간변조회로는, 상기 삼각파 소인전압이 미리 기억되어 있던 상기 아날로그 전압신호와 일치하였을 때에 상기 제2 커패시터의 전압을 리셋하는 회로에 의해 구성된 것을 특징으로 하는 화상표시장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0057] 본 발명은 화상표시장치에 관한 것으로, 특히, 본 발명은 화소에 발광소자가 있는 화상표시장치에 관한 것이다.
- [0058] 화소에 발광소자를 사용한 화상표시장치로서, 일렉트로루미네센스(이하, EL이라 한다)소자를 사용한 EL 디스플레이가 보고되어 있다.
- [0059] 또한, 액티브 매트릭스형의 EL 디스플레이에서는, 신호와 전류를 전달하는 배선을 매트릭스 모양으로 배선하여, 화소에는 EL소자 외에, 액티브소자인 박막트랜지스터(이하 TFT라고 한다)로 형성한 화소회로를 내장하고 있다.
- [0060] 화소회로가 EL소자의 발광강도를 제어하는 방법으로서, 화소회로가 EL소자로 공급하는 전압을 제어하는 방법과 전류를 제어하는 방법이 있지만, 전류로 제어하는 경우, (1) 전류에 비례하여 EL소자의 발광강도가 변화하므로, 제어하기 쉽다. (2) 전원배선에 의한 전압강하를 받기 어렵다. (3) EL소자의 열화의 영향을 받기 어렵다. 라는 이점을 얻을 수 있다. 전류에 의해 EL소자의 발광강도를 제어하는 방법으로서, IEEE, IDEM98, 페이지875-878의 도면 7, 8에 보고되어 있다.
- [0061] EL소자를 사용한 종래의 화소를 도14에 나타낸다. 화소(150)는 화소회로와 EL소자(156)에 의해 구성되고, 화소회로는 TFT(151~154), 커패시터(155)에 의해 구성되어 있다. 표시신호인 아날로그 전류(IDADA)를 화소회로에 기록할 때에는 TFT(151, 153)를 온(ON)으로 한다. 그러면, TFT(151, 152)를 통해서 EL소자(156)에 전류(IDATA)가 흐르고, 커패시터(155)에는 TFT(152)가 전류(IDATA)를 흘리는데 필요한 게이트-소스전극간 전압(V)이 기억된다.

기억한 전류를 EL소자(156)에 재현할 때에는, TFT(154)를 온으로 하여, TFT(152)에 전류를 공급한다. 그러면, 커패시터(155)에는 전압(V)이 기억되어 있는 것에 의해, TFT(154)를 흐르는 전류, 즉 EL소자(156)를 흐르는 전류는 전류(IDATA)로 제한된다. EL소자(156)의 전류와 발광강도는 비례하기 때문에, 표시신호인 아날로그 전류(IDADA)에 따라서 EL소자의 발광강도를 제어할 수 있다. 전류량에 비례하여 발광강도를 변화하는 EL소자로서 유기EL 다이오드가 알려져 있다. 이와 같은 화소를 2차원적으로 배열하여, 순서대로 전류(IDATA)를 기록하는 것에 의해 화상을 표시할 수 있다.

발명이 이루고자 하는 기술적 과제

- [0062] 도14와 같이 하여, 표시신호를 아날로그 전류로서 화소에 기록하는 경우, 배선(161)을 통해서 복수의 화소에 순서대로 공급하게 되지만, 배선(161)에는 교차하는 신호선이나, 인접하는 배선, EL소자의 전극 등 디스플레이를 구성하는 부품과의 사이에 발생하는 부하용량(162)이 있다. 화소가 배열된 표시영역의 외부의 전류구동회로(157)에서, 소정 화소의 EL소자까지 전류신호를 전달하기 위해서는 이 부하용량(162)을 충전하는 것을 피할 수 없다.
- [0063] 부하용량(162)을 충전하는 시간은 $C(\text{용량}) \times V(\text{전압}) = I(\text{전류}) \times t(\text{시간})$ 의 관계로부터, 전류에 반비례한다. 그 때문에, 화소가 밝은 표시를 하는 경우에 비교해, 화소가 어두운 표시를 하는 경우, EL소자에 흐르는 전류가 적게 되기 위해 부하용량의 충전시간이 길게 된다. 예컨대, 가장 밝은 표시 때의 부하용량의 충전시간이 $1\mu s$ 이었다고 하면, 1/10의 밝기를 표시할 때는 충전시간이 $10\mu s$, 1/100의 밝기를 표시할 때는 충전시간이 $100\mu s$ 가 된다.
- [0064] 한편, 화소가 배열된 표시영역의 외부의 구동회로에서 소정 화소의 EL소자까지 전류신호를 전달하는 시간은 길더라도 1라인 기간 이내에 완료할 필요가 있다. 1라인 기간은 횡1열로 나란히 있는 화소에 표시정보를 기록하는 시간에 상당하며, QVGA(320화소×240화소)의 해상도에서는 약 $60\mu s$, VGA(640화소×480화소)의 해상도에서는 $30\mu s$, XGA(1024화소×768화소)의 해상도에서는 약 $20\mu s$ 로 해상도의 증가에 따라 감소한다.
- [0065] 다계조(多階調)를 표시하는 것이 어렵다. 또, 1라인 기간이 짧게 되는 해상도가 높은 EL 디스플레이를 구성하는 것이 곤란하게 된다.
- [0066] 본 발명에서는, 화소가 밝게 표시될 때의 비교적 큰 전류를 기준전류로서 화소에 기록하고, 이 기준전류를 기준으로 하여 복수의 휘도계조를 발생한다.

발명의 구성 및 작용

- [0067] 본 발명의 화상표시장치는, 화소회로에 소정의 구동전류를 발생하는 전류제한수단과, 소정의 구동전류를 발광소자에 공급하는 시간을 변조하는 시간변조회로를 구비하고 있다.
- [0068] 또한, 본 발명의 화상표시장치에서는, 상기 시간변조회로는 아날로그 전압신호나 디지털신호에 의해서 변조된다.
- [0069] 또한, 본 발명의 화상표시장치는, 화소회로에 소정의 구동전류를 발생하는 전류제한수단과, 소정의 구동전류를 기준으로 하여 복수치의 전류를 발생하는 전류발생회로를 구비하고 있다.
- [0070] 또한, 본 발명의 화상표시장치에서는, 전류발생회로에서 발생하는 전류치는 표시신호인 아날로그 전압신호에 의해 제어된다.
- [0071] 또한, 본 발명의 화상표시장치에서는, 전류제한수단이 발생하는 전류는 발광소자를 흐르는 최대 전류이다.
- [0072] 또한, 본 발명의 화상표시장치에서는, 화소회로의 외부에 소정의 구동전류인 기준전류를 발생하는 기준 전류원을 구비하며, 상기 전류제한수단은 상기 기준 전류원이 발생하는 기준전류에 비례한 전류를 발생하는 것을 특징으로 하는 화상표시장치에 관한 것이다.
- [0073] (1) 본 발명의 제1 실시예의 화소 및 그 주변의 회로도를 도1에 나타낸다. 화상을 표시하는 표시영역(11)에는 2차원적으로 화소(12)가 복수 배열되어 있다. 화소(12)는 TFT(13~18), 커패시터(19, 20)로 구성되는 화소회로와, EL소자(21)로 구성되어 있다. EL소자(21)의 음극은 공통전극(29)에 접속되어 있다. TFT(13~18)는 모두 n채널형의 박막트랜지스터이다. 표시영역(11)에는 표시신호를 포함한 아날로그 전압신호를 전달하는 신호선(D1, D2), 기준이 되는 전류 및 EL소자(21)에 흘리는 전류를 공급하는 배선(E1, E2)과, 화소(12)의 화소회로를 제어하는 신호선(W1, W2, P1, P2, L1, L2, R1, R2)이 매트릭스 모양으로 배선되어 있다.
- [0074] 표시영역의 외부에는 기준 전류원(22)이 있으며, 기준 전류원(22)은 TFT(23, 24), 저항기(25)가 지면 횡방향으로

로 복수 배열로 하여 구성되며, 기준전류와 전원전류를 절환하는 신호선(S_{pow}), EL소자(21)에 전류를 공급하는 전원(26), 기준전류를 발생하기 위한 전원(27)과, 배선(E1, E2)에 접속하고 있다. 전원(27)의 음극은 접지전극(28)에 접속하고 있다. 접지전극(28)과 공통전극(29)은 전기적으로 접속하고 있다.

[0075] 도2에 본 발명의 실시예의 구성도를 나타낸다. 유리기관(1)의 표면에는 표시영역(11)이 있으며, 복수의 화소(12)가 형성되어 있다.

[0076] 도2의 본 발명의 실시예의 구성도에 있어서, 본 발명의 제1 실시예에서는, 유리기관(1)의 표면에는 신호선(L1~Ln, W1~Wn, P1~Pn, R1~Rn), 신호선(D1~Dm), 배선(E1~Em)과, 신호선(L1~Ln, W1~Wn, P1~Pn, R1~Rn)의 제어신호를 발생하는 주사회로(2), 신호선(D1~Dm)의 신호를 발생하는 신호회로(3), 배선(E1, E2)에 전류를 발생하는 기준 전류원(22)이 배치되어 있다. 주사회로(2), 신호회로(3), 기준 전류원(22)은 각각 TFT로 유리기관(1) 위에 형성하든지, 혹은 반도체 LSI를 설치하는 것에 의해 구성된다. 주사회로(2)는 표시영역(11)의 양측에 배치함으로써, 신호선(L1~Ln, W1~Wn, P1~Pn, R1~Rn)으로의 신호의 공급능력을 높일 수 있다.

[0077] 또, 신호회로(3)와 기준 전류원(22)은 표시영역에 대하여 지면 상하방향 어느쪽의 변에 배치하더라도 괜찮다. 주사회로(2)는 신호선(L1~Ln, W1~Wn, P1~Pn, R1~Rn)에 2치(2치值)(2개의 값)의 디지털신호를 발생하는 논리회로이다. 신호회로(3)는 D1~Dm에 표시신호인 아날로그 전압신호를 발생하는 아날로그 회로이다. 도2에는 기재하고 있지 않지만, 표시영역(11)을 덮도록 공통전극(29)이 형성되어 있으며, 화소(12)의 EL소자(21)의 음극에 접속하고 있다. 화소(12)의 EL소자(21)의 발광은 유리기관(1)에서 유리기관의 배면방향으로 투과하여, 도2의 도면의 배면에서 표시화상을 볼 수 있다. 공통전극(29)을 투명하게 한 경우는, 도2의 도면의 정면에서도 표시화상을 볼 수 있다. EL소자에는 유기EL 다이오드를 사용할 수 있다. 또한, EL소자(21)의 각각에, 빨강, 초록, 파랑의 발광 재료를 이용함으로써, 컬러표시를 할 수도 있다.

[0078] 그런데, 도1에서는 표시영역(11)에 화소(12)를 2×2의 4개 밖에 기술하고 있지 않지만, 실용적으로는 더욱 많이 있으며, 컬러VGA(640화소×RGB 3색×480화소)의 해상도의 경우, 지면 횡방향의 화소수는 m=1920이 되며, 지면 종방향의 화소수는 n=480이 된다. 마찬가지로 신호선(D1~Dm), 배선(E1~Em)은 1920개, 신호선(L1~Ln, W1~Wn, P1~Pn, R1~Rn)은 480개가 된다.

[0079] 도3(A)에 본 발명의 제1 실시예의 화소의 구동전압파형, 동작전압파형 및 동작전류파형을 나타낸다. 또한, 도3(B)는 1 프레임 기간에서의 도3(A)의 파형의 타이밍차트를 나타낸다.

[0080] 도3(A)의 횡축은 시간이다. 파선의 부분에서는 시간의 연속성은 없고, 각 기간 A1, A2, B1, B2, C의 순서는 교체 가능한 것을 의미하고 있다. S_{pow}, L1, R1, P1, W1, D1은 각 신호선에 입력하는 전압을 종축에 나타내고 있다. a, b는 각 노드에서 발생하는 전압을 종축에 나타내고 있다. ILED는 EL소자(21)에 흐르는 전류를 종축에 나타내고 있다. 어느 것이나 도면 상방향이 +방향(플러스 방향)이다. S_{pow}, L1, R1, P1, W1의 신호는 각각 H레벨과 L레벨인 2치(2치值)의 논리전압이고, D1의 신호는 아날로그 전압이다. H레벨은 화소(12)내의 TFT를 모두 온으로 하는 전압보다도 높은 전압이고, L레벨은 화소(12)내의 TFT를 모두 오프(OFF)로 하는 전압보다도 낮은 전압이다. 도3(A)의 사선부분은 복수의 값을 취하든지, 혹은 동작에 관계가 없는 것을 나타내고 있다. 또, 도3(A)의 L1, R1, P1, W1, D1의 기호의 숫자 "1"은 1열번째, 1행번째의 화소(12)에 공급하는 신호를 의미하는 숫자이므로, 다른 화소의 경우에는 대응하는 열과 행으로 숫자는 변경된다.

[0081] 도3(B)의 타이밍차트는 종축을 표시영역(11)의 라인번호를, 횡축에 1 프레임 기간 내의 시간을 나타내고 있다. 여기서, 라인번호는 표시영역의 상측에서 몇번째 행의 화소(12)인지를 나타내고 있다.

[0082] 1 프레임 기간은, 화소에 표시신호를 기록하는 기간 A, 화소에 기준전류를 기록하는 기간 B, EL소자가 발광하여 화상을 표시하는 기간 C로 분리되어 있다. 또한 기간 A는, 자기의 화소에 표시신호를 기록하는 기간 A1과 자기 이외의 화소에 표시신호를 기록하는 기간 A2로 분리되며, 기간 B는 자기의 화소에 기준신호를 기록하는 기간 B1과 자기 이외의 화소에 전기기준전류를 기록하는 기간 B2로 분리되어 있다. 기간 A에 있어서 기간 A1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 A의 마지막에서 n번 라인으로 할당된다. 기간 A1 이후의 나머지의 시간은 기간 A2이다. 마찬가지로, 기간 B에 있어서 기간 B1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 B의 마지막에서 n번 라인으로 할당된다. 기간 B1 이후의 나머지의 시간은 기간 B2이다.

[0083] 기간 A1에서는, 화소회로의 TFT(13~15)와 커패시터(19)가 동작한다. 신호선(D1)에는 표시신호인 아날로그 전압신호(Vdata)를 공급하면, 접속하는 커패시터(19)의 일단에도 동일한 전압이 공급된다. 처음에 P1을 H레벨로 하면, TFT(15)를 통해서 노드 b에 전압이 공급된다. 다음에 W1을 H레벨로 하면, TFT(13)가 온이 되어 노드 b도 H

레벨이 된다. 그후, P1을 L레벨로 하면, TFT(14)를 통해서 전류가 흘러, 노드 a와 노드 b에는 TFT(14)의 드레인 전극-소스전극 사이의 온/오프가 마침 절환할 때의 게이트전극-소스전극 사이의 전압인 문턱치전압(Vth)이 잔류하여, 커패시터(19)의 다른 일단에 인가된다. 마지막으로, W1을 L레벨로 하면, 노드 a는 노드 b와 분리되어 커패시터(19)는 Vdata-Vth의 전압을 기억한다.

- [0084] 기간 A2에서는, 다른 라인의 화소에 기록을 하고 있으므로, L1, R1, P1, W1은 변화하지 않는다. 이때, 신호선(D1)의 전압은 변화하지만, TFT(13)가 오프이기 때문에 커패시터(19)가 기억한 Vdata-Vth의 전압은 보존되어 있다.
- [0085] 기간 B에 있어서, S_{pow}를 L레벨에 유지하면, 기준 전류원(22)의 TFT(23)는 오프이므로, 배선(E1)에는 저항기(25)를 통해서 전원(27)에서 전류가 공급된다. 배선(E1)을 흐르는 전류치(iref)는 전원(27)의 전압을 충분히 높게 함으로써, $iref \approx V_x/R_x$ (V_x: 전원(27)의 전압, R_x: 저항기(25)의 저항치)의 정전류를 얻을 수 있다. 저항기(25)는 박막트랜지스터의 소스전극과 드레인전극에 사용되는 폴리실리콘막과, 게이트전극에 사용되는 금속배선을 가늘고 길게 가공함으로써 형성할 수 있다. 또, 전원(27)의 고전압이 E1, E2에 발생하는 것을 방지하기 위해서, 보호다이오드 회로로서 TFT(24)를 설치하고 있다.
- [0086] 기간 B1에서는, 화소회로의 TFT(16~18)와 커패시터(20)가 동작한다. 기간 B1에서는 L1과 R1을 H레벨로 하여, TFT(16, 17)를 온으로 한다. 그러면, TFT(18)에는 기준 전류원(22)이 발생하는 정전류(iref)가 흐른다. 이때 TFT(18)는 포화영역에서 동작하며, TFT(18)의 게이트-소스전극 사이에는 TFT(18)가 드레인-소스전극 사이에 전류(iref)를 흘리는데 필요한 전압(Vref)이 발생하여 커패시터(20)에 인가된다. 그후, L1과 R1이 L레벨이 되어 TFT(16, 17)가 오프가 되면 TFT(18)를 흐르는 전류는 0이 되지만, 커패시터(20)에는 전압(Vref)을 기억하고 있다.
- [0087] 기간 B2에서는, 다른 라인의 화소에 전류(iref)를 기록하고 있지만, 제어신호(L1, R1)가 L레벨이므로, TFT(16, 17)가 오프상태를 유지하고, 커패시터(20)의 전압은 보존되어 있다.
- [0088] 기간 C에서는, S_{pow}를 H레벨로 하기 때문에 TFT(23)가 온이 되고, 기준 전류원(22)은 동작하지 않으며, 기준 전류원(22)을 패스하여 전원(26)에서 배선(E1, E2)으로 전류를 공급한다. 또한, L1을 H레벨로 함으로써, TFT(16)를 통해서 TFT(18)에 전원(26)으로부터의 전류가 공급된다. 이때, 모든 화소회로에서는, TFT(18)는 커패시터(20)가 기억한 전압(Vref)에 의해 정전류(iref)를 발생하고, EL소자(21)에는 iref가 흘러, EL소자(21)는 균일한 강도로 발광한다(EL소자: 온).
- [0089] 한편, 신호선(D1)에는 표시신호인 아날로그 전압의 취득범위의 최저 전압에서 최고 전압으로 변화하는 삼각파를 입력한다. 기간 C에서 시간이 경과하면, 신호선(D1)의 전압은 삼각파에 따라 서서히 상승하기 때문에, 화소(12)의 노드 a의 전압도 상승한다. 신호선(D1)의 전압과, 각 화소(12)에 기간 A1일 때에 기록한 전압(Vdata)이 동일하게 되었을 때, 노드 a의 전압이 TFT(14)의 문턱치전압(Vth)으로 되어, TFT(14)는 오프에서 온으로 변화하며, 커패시터(20)의 전하가 TFT(14)를 통해서 방전되어, 노드 b의 전위는 L레벨이 된다. 그러면 Iref를 흘리고 있는 TFT(18)는 오프가 되고, TFT(18)를 흐르는 전류가 0이 되어 EL소자(21)는 소등한다(EL소자: 오프).
- [0090] 이 EL소자(21)의 온과 오프시간의 비율은 표시신호로서 각 화소(12)의 커패시터(19)에 기록된 전압(Vdata)에 의해 0%에서 100%까지 변화할 수 있다. 온시의 발광강도는 Iref에 의해 일정하게 유지되고 있으므로, 화소(12)의 평균휘도는 이 온/오프시간의 비율에 의해 제어된다. 또한, 이 삼각파의 경사각도에 변화를 줌으로써 아날로그 신호전압(Vdata)-평균휘도의 관계에 대하여 감마(gamma)보정을 할 수도 있다.
- [0091] 또한, 도시된 삼각파 대신에, 시간경과에 대하여 전압이 불연속으로 증가하는 파형을 이용해도 좋다. 예컨대, 계단모양으로 증가하는 파형을 사용할 수 있다. 이 삼각파 또는 이것에 대신하는 전압신호는 그 시간 경과에 따른 전압변화에 의해 각 화소의 발광소자의 전류공급을 멈추는 타이밍을 정한다.
- [0092] 따라서, 표시신호인 아날로그 신호전압(Vdata)에 의해 각 화소의 평균휘도를 다단계로 제어할 수 있으므로, 본 발명의 제1 실시예에 의해 계조가 있는 화상을 표시할 수 있다.
- [0093] 또한, 화소(12)에 공급하는 전류신호는, 최대의 휘도로 EL소자(21)를 발광하는 정전류(iref)뿐이고, 배선(E1)이 가지고 있는 부하용량을 고속으로 충전할 수 있다. 또한, 화소를 어렵게 점등하는 것은 아날로그 신호전압(Vdata)에 의해 EL소자의 발광시간을 짧게 제어하는 것에 의해 실현하고 있다.
- [0094] 따라서 본 발명의 제1 실시예에 의해, 다계조인 EL 디스플레이와, 해상도가 높은 EL 디스플레이를 구성할 수 있다.

- [0095] (2) 도4에 본 발명의 제2 실시예의 화소 및 그 주변의 회로도를 나타낸다. 화상을 표시하는 표시영역(11)에는 2차원적으로 화소(12)가 복수 배열되어 있다. 본 발명의 제2 실시예에서는, 화소(12)는 TFT(31~37), 커패시터(38, 39)로 구성되는 화소회로와, EL소자(21)로 구성되어 있다. EL소자(21)의 음극은 공통전극(29)으로 접속되어 있다. TFT(31~37)는 모두 p채널형의 박막트랜지스터이다.
- [0096] 표시영역(11)에는 표시신호를 포함하는 아날로그 전압신호를 전달하는 신호선(D1, D2), 기준이 되는 전류를 공급하는 배선(E1, E2)과, 화소(12)의 화소회로를 제어하는 신호선(W1, W2, P1, P2, R1, R2)이 매트릭스 모양으로 배선되어 있다. 또한, EL소자(21)에 전류를 공급하는 전원(26)과, 전원전류의 공급을 제어하는 신호선(S_pow)이 모든 화소(12)에 접속하고 있다.
- [0097] 표시영역의 외부에는 기준 전류원(40)이 있으며, 기준 전류원(40)은 정전류를 발생하기 위한 저항기(41)와, 배선(E1, E2)에 높은 마이너스 전압이 발생하는 것을 방지하기 위한 보호다이오드인 TFT(42)가 지면 횡방향으로 복수 배열하여 구성되어 있으며, 기준전류를 발생하기 위한 전원(27)과, 정전류를 공급하는 배선(E1, E2)에 접속하고 있다. 전원(27)의 양극은 접지전극(28)에 접속하고 있다. 접지전극(28)과 공통전극(29)은 전기적으로 접속하고 있다.
- [0098] 도2에 본 발명의 실시예의 구성도를 나타낸다. 유리기관(1)의 표면에는 표시영역(11)이 있으며, 복수의 화소(12)가 형성되어 있다.
- [0099] 도2의 본 발명의 실시예의 구성도에 있어서, 본 발명의 제2의 실시예에서는, 유리기관(1)의 표면에는 신호선(W1~Wn, P1~Pn, R1~Rn), 신호선(D1~Dm), 배선(E1~Em)과, 신호선(P1~Pn, W1~Wn, R1~Rn)의 제어신호를 발생하는 주사회로(2), 신호선(D1~Dm)의 신호를 발생하는 신호회로(3), 배선(E1, E2)에 전류를 발생하는 기준 전류원(40)이 배치되어 있다. 주사회로(2), 신호회로(3), 기준 전류원(40)은 각각 TFT로 유리기관(1) 위에 형성하든지, 혹은 반도체 LSI를 설치하는 것에 의해 구성된다. 주사회로(2)는 표시영역(11)의 양측에 배치함으로써, 신호선(P1~Pn, W1~Wn, R1~Rn)으로의 신호의 공급능력을 높일 수 있다. 또한, 신호회로(3)와 기준 전류원(40)은 표시영역에 대하여 지면 상하방향 어느쪽의 변에 배치하더라도 괜찮다. 주사회로(2)는 신호선(P1~Pn, W1~Wn, R1~Rn)에 2치의 디지털신호를 발생하는 논리회로이다. 신호회로(3)는 D1~Dm에 표시신호인 아날로그 전압신호를 발생하는 아날로그 회로이다. 도2에는 기재하고 있지 않지만, 표시영역(11)을 덮도록 공통전극(29)이 형성되어 있으며, 화소(12)의 EL소자(21)의 음극에 접속하고 있다. 화소(12)의 EL소자(21)의 발광은 유리기관(1)에서 유리기관의 배면방향으로 투과하여, 도2의 도면의 배면에서 표시화상을 볼 수 있다. 공통전극(29)을 투명하게 한 경우는, 도2의 도면의 정면에서도 표시화상을 볼 수 있다. EL소자에는 유기EL 다이오드를 사용할 수 있다. 또, EL소자(21)의 각각에, 빨강, 초록, 파랑의 발광재료를 이용함으로써, 컬러표시를 할 수도 있다. 또한, 본 발명의 제2 실시예에서는 도2의 신호선(L1~Lm)은 불필요하다.
- [0100] 그런데, 도4에서는 표시영역(11)에 화소(12)를 2×2의 4개 밖에 기술하고 있지 않지만, 실용적으로는 더욱 많이 있으며, 컬러VGA(640화소×RGB 3색×480화소)의 해상도의 경우, 지면 횡방향의 화소수는 m=1920이 되며, 지면 종방향의 화소수는 n=480이 된다. 마찬가지로 신호선(D1~Dm), 배선(E1~Em)은 1920개, 신호선(P1~Pn, W1~Wn, R1~Rn)은 480개가 된다.
- [0101] 본 발명의 제2 실시예가 본 발명의 제1 실시예와 다른 점은, 화소를 구성하는 박막트랜지스터가 p채널형인 점, 배선(E1, E2)에서 EL소자(21)에 전원을 공급하는 선이 분리하여, 배선(E1, E2)은 기준이 되는 전류만을 흘리는 구성으로 되어 있는 점, 기준 전류원(40)과 구성이 다른 기준 전류원(40)으로 된 점이다.
- [0102] 본 발명의 제2 실시예에서는, 화소의 구동전압과형, 동작전압과형, 동작전류과형은 본 발명의 제1 실시예와 마찬가지로 도3에 따른다. 단, 본 발명의 제1 실시예를 구성하는 박막트랜지스터는 n채널형이었지만, 본 발명의 제2 실시예를 구성하는 박막트랜지스터는 p채널형이므로, 모든 과형의 극성이 역방향으로 되어, 도면 상방향이 -방향(마이너스 방향)이 되고, H레벨과 L레벨의 전압관계도 역전한다. 또, 배선(E1, E2)에서 EL소자(21)에 전원을 공급하는 선이 분리하였기 때문에, 도3의 L1, L2 신호는 불필요하다.
- [0103] 기준 전류원(40)에서는, 전원(27)의 전압을 충분히 높게 함으로써, $i_{ref} \approx V_x/R_x$ (V_x : 전원(27)의 전압, R_x : 저항기(41)의 저항치)의 정전류를 얻을 수 있다. 저항기(25)는 박막트랜지스터의 소스전극과 드레인전극에 사용되는 폴리실리콘막과, 게이트전극에 사용되는 금속배선을 가늘고 길게 가공함으로써 형성할 수 있다.
- [0104] 기간 A에 있어서, TFT(31~33)와 커패시터(38)가 동작하여, 커패시터(38)에 표시데이터를 포함하는 아날로그 전압을 기억한다.

- [0105] 시간 B에 있어서, TFT(34~37)와 커패시터(39)가 동작하여, 커패시터(39)에 TFT(34)가 드레인전극-소스전극 사이에 전류(Iref)를 흘리는데 필요한 게이트전극과 소스전극 사이의 전압(Vref)을 기억하고 있다.
- [0106] 시간 C에서는, 신호선(D1)에 삼각파를 입력하고, 각 화소(12)의 커패시터(38)가 기억한 아날로그 전압에 따라 전압(Vdata)에 의해 0%에서 100%까지 변화할 수 있다. 온시의 발광강도는 iref에 의해 일정하게 유지되고 있으므로, 화소(12)의 평균휘도는 이 온/오프시간의 비율에 의해서 제어된다.
- [0107] 따라서, 표시신호인 아날로그 신호전압(Vdata)에 의해 각 화소의 평균휘도는 다단계로 제어할 수 있으므로, 본 발명의 제2의 실시예에 의해 계조가 있는 화상을 표시할 수 있다.
- [0108] 또한, 화소(12)에 공급하는 전류신호는 최대의 휘도로 EL소자(21)를 발광하는 정전류(iref)뿐이고, 배선(E1)이 가지고 있는 부하용량을 고속으로 충전할 수 있다. 또한, 화소를 어둡게 점등하는 것은, 아날로그 신호전압(Vdata)에 의해 EL소자의 발광시간을 짧게 제어하는 것에 의해 실현하고 있다.
- [0109] 따라서 본 발명의 제2의 실시예에 의해, 다계조인 EL 디스플레이와, 해상도가 높은 EL 디스플레이를 구성할 수 있다.
- [0110] (3) 도5에 본 발명의 제3 실시예의 화소 및 그 주변의 회로도를 나타낸다. 화상을 표시하는 표시영역(11)에는 2차원적으로 화소(12)가 복수 배열되어 있다. 화소(12)는 TFT(51~56), 커패시터(57, 58)로 구성되는 화소회로와, EL소자(21)로 구성되어 있다. EL소자(21)의 음극은 공통전극(29)에 접속되어 있다. TFT(51~56)는 모두 n채널형의 박막트랜지스터이다. TFT(56)의 소스전극과 커패시터(57)의 일단은 각각 접지전극(59, 60)에 접속하고 있으며, 접지전극(59, 60)은 접지배선을 설치하여 접지전위에 고정되어 있든지, 혹은 접지전극(59, 60)은 공통전극(29)과 접속하고 있다.
- [0111] 표시영역(11)에는 표시신호를 포함하는 아날로그 전압신호를 전달하는 신호선(D1, D2), 기준이 되는 전류 및 EL소자(21)에 흘리는 전류를 공급하는 배선(E1, E2)과, 화소(12)의 화소회로를 제어하는 신호선(W1, W2, L1, L2, R1, R2)이 매트릭스 모양으로 배선되어 있다.
- [0112] 표시영역의 외부에는 기준 전류원(22)이 있으며, 기준 전류원(22)은 TFT(23, 24), 저항기(25)가 지면 횡방향으로 복수 배열하여 구성되어 있으며, 기준전류와 전원전류를 절환하는 신호선(S_pow), EL소자(21)에 전류를 공급하는 전원(26), 기준전류를 발생하기 위한 전원(27)과, 전류를 공급하는 배선(E1, E2)에 접속하고 있다. 전원(27)의 음극은 공통전극(28)에 접속하고 있다. 접지전극(28)과 공통전극(29)은 전기적으로 접속하고 있다.
- [0113] 도2에 본 발명의 실시예의 구성도를 나타낸다. 유리기관(1)의 표면에는 표시영역(11)이 있으며, 복수의 화소(12)가 형성되어 있다.
- [0114] 도2의 본 발명의 실시예의 구성도에 있어서, 본 발명의 제3 실시예에서는, 유리기관(1)의 표면에는 신호선(L1~Ln, W1~Wn, R1~Rn), 신호선(D1~Dm), 배선(E1~Em)과, 신호선(L1~Ln, W1~Wn, R1~Rn)의 제어신호를 발생하는 주사회로(2), 신호선(D1~Dm)의 신호를 발생하는 신호회로(3), 배선(E1, E2)에 전류를 공급하는 기준 전류원(22)이 배치되어 있다. 주사회로(2), 신호회로(3), 기준 전류원(22)은 각각 TFT로 유리기관(1) 위에 형성하든지, 혹은 반도체 LSI를 설치하는 것에 의해 구성된다. 주사회로(2)는 표시영역(11)의 양측에 배치함으로써, 신호선(L1~Ln, W1~Wn, R1~Rn)으로의 신호의 공급능력을 높일 수 있다. 또한, 신호회로(3)와 기준 전류원(22)은 표시영역에 대하여 지면 상하방향 어느쪽의 변에 배치하더라도 괜찮다. 주사회로(2)는 신호선(L1~Ln, W1~Wn, R1~Rn)에 2치의 디지털신호를 발생하는 논리회로이다. 신호회로(3)는 D1~Dm에 표시신호인 디지털신호를 발생하는 논리회로이다. 도2에는 기재하고 있지 않지만, 표시영역(11)을 덮도록 공통전극(29)이 형성되어 있으며, 화소(12)의 EL소자(21)의 음극에 접속하고 있다. 화소(12)의 EL소자(21)의 발광은 유리기관(1)에서 유리기관의 배면방향으로 투과하여, 도2의 도면의 배면에서 표시화상을 볼 수 있다. 공통전극(29)을 투명하게 한 경우는, 도2의 도면의 정면에서도 표시화상을 볼 수 있다. EL소자에는 유기EL 다이오드를 사용할 수 있다.
- [0115] 또한, EL소자(21)의 각각에, 빨강, 초록, 파랑의 발광재료를 이용함으로써, 컬러표시를 할 수도 있다. 또, 본 발명의 제4 실시예에서는 도2의 신호선(P1~Pm)은 불필요하다.
- [0116] 그런데, 도5에서는 표시영역(11)에 화소(12)를 2×2의 4개 밖에 기술하지 않고 있지만, 실용적으로는 더욱 많이 있으며, 컬러VGA(640화소×RGB 3색×480화소)의 해상도의 경우, 지면 횡방향의 화소수는 m=1920이 되며, 지면 종방향의 화소수는 n=480이 된다. 마찬가지로 신호선(D1~Dm), 배선(E1~Em)은 1920개, 신호선(L1~Ln, W1~Wn, R1~Rn)은 480개가 된다.
- [0117] 도6(A)에 본 발명의 제3 실시예의 화소의 구동전압과형, 동작전압과형, 및 동작전류과형을 나타낸다. 또, 도

6(B)는 1 프레임 기간에서의 도6(A)의 파형의 타이밍챗트를 나타낸다.

- [0118] 도6(A)의 횡축은 시간이다. 파선의 부분에서는 시간의 연속성은 없고, 각 기간 B1, B2, A1, A2, C의 순서는 교체 가능한 것을 의미하고 있다. S_pow, L1, R1, W1은 각 신호선에 입력하는 전압을 종축에 나타내고 있다. a, b는 각 노드에서 발생하는 전압을 종축에 나타내고 있다. ILED는 EL소자(21)에 흐르는 전류를 종축에 나타내고 있다. 어느것이나 도면 상방향이 +방향이다. S_pow, L1, R1, W1, D1의 신호는 각각 H레벨이나 L레벨인 2치의 논리전압이다. H레벨은 화소(12)내의 TFT를 모두 온으로 하는 전압보다도 높은 전압이고, L레벨은 화소(12)내의 TFT를 모두 오프로 하는 전압보다도 낮은 전압이다. 도6(A)의 사선부분은 복수의 값을 취하든지, 혹은 동작에 관계가 없는 것을 나타내고 있다. 또, 도6(A)의 D1, L1, R1, W1의 기호의 숫자 "1"은 1열번째, 1행번째의 화소(12)에 공급하는 신호를 의미하는 숫자이므로, 다른 화소의 경우에는 대응하는 열과 행으로 숫자는 변경된다.
- [0119] 도6(B)의 타이밍챗트는 종축을 표시영역(11)의 라인번호를, 횡축에 1 프레임 기간 내의 시간을 나타내고 있다. 여기서, 라인번호는 표시영역의 상측에서 몇번째 행의 화소(12)인지를 나타내고 있다.
- [0120] 1 프레임 기간은, 화소에 기준전류를 기록하는 기간 B, 화소에 표시신호를 기록하는 기간 A, EL소자가 발광하여 화상을 표시하는 기간 C로 분리되어 있다. 기간 B는, 자기의 화소에 기준전류를 기록하는 기간 B1과 자기 이외의 화소에 기준전류를 기록하는 기간 B2로 분리되며, 기간 A는 자기의 화소에 표시신호를 기록하는 기간 A1과 자기 이외의 화소에 표시신호를 기록하는 기간 A2로 분리되어 있다. 기간 A에 있어서 기간 A1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 A의 마지막에서 n번 라인으로 할당된다. 기간 A1 이후의 나머지의 시간은 기간 A2이다. 마찬가지로, 기간 B에 있어서 기간 B1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 B의 마지막에서 n번 라인으로 할당된다. 기간 B1 이후의 나머지의 시간은 기간 B2이다.
- [0121] 기간 A와 기간 C는 각각 쌍으로 되어 복수회 반복된다. 반복되는 회수는 표시신호의 비트수에 의해 결정된다. 비트수란 표시신호를 2진수로 나타내는데 필요하게 되는 자리수로 예컨대, 표시신호가 8계조일 때 3비트, 64계조일 때 6비트가 된다.
- [0122] 도6에서는 표시신호가 8계조로 3비트인 경우이며, 기간 A의 각각에서, 표시신호인 디지털신호(DATA)의 각 비트에 대응한 2치의 전압신호(b2~b0)를 신호선(D1)에 공급한다. 기간 C의 시간 폭은 직전의 기간 A의 비트의 가중값에 대응한 길이로 되어 있으며, 3비트인 경우, 4:2:1로 되어 있다.
- [0123] 기간 B에 있어서, S_pow는 L레벨이고, 기준 전류원(22)의 TFT(23)는 오프이므로, 배선(E1)에는 저항기(25)를 통해 전원(27)에서 전류가 공급된다. 배선(E1)을 흐르는 전류치(iref)는 전원(27)의 전압을 충분히 높게 함으로써, $iref = Vx/Rx$ (Vx: 전원(27)의 전압, Rx: 저항기(25)의 저항치)의 기준전류를 얻을 수 있다.
- [0124] 저항기(25)는 박막트랜지스터의 소스전극과 드레인전극에 사용되는 폴리실리콘막과, 게이트전극에 사용되는 금속배선을 가늘고 길게 가공함으로써 형성할 수 있다. 또한, 전원(27)의 고전압이 E1, E2에 발생하는 것을 방지하기 위해서, 보호다이오드 회로로서 TFT(24)를 설치하고 있다.
- [0125] 기간 B1에서는, 화소회로의 TFT(53~57)와 커패시터(58)가 동작한다. 기간 B1에서는 L1과 R1을 온으로 하여, TFT(54~56)를 온으로 한다. 그러면, TFT(53)에는 기준 전류원(22)이 발생하는 정전류(iref)가 흐른다. 이때 TFT(53)는 포화영역에서 동작하며, TFT(53)의 게이트-소스전극 사이에는 TFT(53)가 드레인-소스전극 사이에 전류(iref)를 흘리는데 필요한 전압(Vref)이 발생하여, 커패시터(58)에 인가된다. 그후, L1과 R1이 L레벨로 되어, TFT(54~56)가 오프가 되면 TFT(53)를 흐르는 전류는 0이 되지만, 커패시터(58)는 전압(Vref)을 기억하고 있다.
- [0126] 기간 B2에서는, 다른 라인의 화소에 전류(iref)를 기록하고 있지만, 제어신호(L1, R1)가 L레벨이므로, TFT(54~57)가 오프상태를 유지하며, 커패시터(58)의 전압(Vref)은 보존되어 있다.
- [0127] 기간 A1에서는, 화소회로의 TFT(51, 52)와 커패시터(57)가 동작한다. 신호선(D1)에 디지털신호(DATA)의 각 비트 데이터에 대응한 2치의 전압(bx)을 공급하여, TFT(51)의 게이트전극이 접속하는 W1에 H레벨의 펄스를 공급하면, 커패시터(57)에 디지털 전압신호(bx)가 인가된다. 디지털 전압신호(bx)는 H레벨과 L레벨인 2치의 전압이다. W1이 L레벨로 된 후도 커패시터(57)에 의해 디지털 전압신호(bx)는 기억된다. TFT(52)의 온/오프상태는 커패시터(57)의 디지털 전압신호(bx)에 의해 제어되며, bx=H레벨인 경우는, TFT(52)는 온, bx=L레벨인 경우는, TFT(52)는 오프가 된다. 또한, bx는 1 프레임 기간 내에 여러개 있는 기간 A1에 있어서, 디지털신호(DATA)의 각 비트 데이터(b2, b1, b0)가 순서대로 공급되는 것을 의미한다.
- [0128] 기간 A2에서는, 다른 라인의 화소에 디지털 전압신호의 기록을 하고 있으므로, W1은 변화하지 않는다. 이때, 신호선(D1)의 전압은 변화하지만, TFT(51)가 오프이므로, 커패시터(19)가 기억한 디지털 전압신호(DATA)는 보존되

어 있다.

- [0129] 기간 C에서는, S_pow를 H레벨로 함으로써, TFT(23)가 온이 되기 때문에 기준 전류원(22)은 동작하지 않으며, 기준 전류원(22)을 패스하여 전원(26)에서 배선(E1, E2)으로 전류를 공급한다. 또, L1이 H레벨로 되기 때문에, TFT(55)가 온이 된다.
- [0130] 커패시터(57)가 기억한 디지털 전압신호(bx)가 H레벨인 경우, TFT(52)가 온 이므로, TFT(55, 53, 52)를 통해서 배선(E1)에서 EL소자(21)로 전류가 흐른다. 이때 TFT(53)는 커패시터(58)가 기억한 전압에 의해 정전류(iref)를 발생하고, EL소자(21)에는 iref가 흘러, EL소자(21)는 균일한 강도로 발광한다(EL소자: 온).
- [0131] 커패시터(57)가 기억한 디지털 전압신호(bx)가 L레벨인 경우, TFT(52)가 오프이므로, TFT(52)에서 전류가 차단 되어 EL소자(21)를 흐르는 전류는 0이고, EL소자는 발광하지 않는다(EL소자: 오프).
- [0132] 따라서, 신호선(D1)에 입력하는 디지털 전압신호(bx)에 의해, EL소자(21)의 온/오프를 제어할 수 있다.
- [0133] 1 프레임 기간에 있어서 기간 A와 기간 C는 3회 반복되며, 각각의 기간 A에서, 신호선(D1)에는 디지털 전압신호 (b2~b0)가 입력되고, 그 직후의 기간 C에서 EL소자(21)는 입력한 디지털 전압신호(b2~b0)에 따라 온/오프가 제어된다. 기간 C는 각 비트의 가중값에 의해서 시간 폭이 변화되고 있으므로, 1 프레임 기간 합계의 EL소자(21)의 발광시간은 디지털신호(DATA)에 비례한 8단계의 길이가 된다. 그 결과, 1 프레임 기간에서의 EL소자(21)의 평균휘도는 표시신호인 디지털 표시신호(DATA)에 비례하여 8계조로 변화한다. 따라서, 표시신호인 디지털신호 (DATA)에 의해 각 화소의 평균휘도를 다단계로 제어할 수 있으므로, 본 발명의 제3 실시예에 의해, 계조가 있는 화상을 표시할 수 있다.
- [0134] 또한, 1 프레임 기간에서 기간 A와 기간 C의 반복 회수를 많이 함으로써, 더욱 다계조의 화상을 표시할 수 있다.
- [0135] 또한, 본 발명의 제3 실시예는, 본 발명의 제1 실시예에서 구조를 변경하여 제2의 실시예로 한 것과 동일하게 하여 p채널로 구성할 수도 있는 것은 분명하다.
- [0136] 또한, 화소(12)에 공급하는 전류신호는 최대의 휘도로 EL소자(21)를 발광하는 정전류(iref)뿐이고, 배선(E1)이 가지고 있는 부하용량을 고속으로 충전할 수 있다. 또한, 화소를 어렵게 점등하는 것은 아날로그 신호전압 (Vdata)에 의해서 EL소자의 발광시간을 짧게 제어하는 것에 의해 실현하고 있다.
- [0137] 따라서 본 발명의 제3 실시예에 의해, 다계조인 EL 디스플레이와, 해상도가 높은 EL 디스플레이를 구성할 수 있다.
- [0138] (4) 도7에 본 발명의 제4 실시예의 화소 및 그 주변의 회로도를 나타낸다. 화상을 표시하는 표시영역(11)에는 2 차원적으로 화소(12)가 복수 배열되어 있다. 화소(12)는 TFT(71~77), 커패시터(78~80), 저항기(82)로 구성되는 화소회로와, EL소자(21)로 구성되어 있다. EL소자(21)의 음극은 공통전극(29)에 접속되어 있다. TFT(71~77)는 모두 n채널형의 박막트랜지스터이다. TFT(74)의 소스전극은 접지전극(81)에 접속하고 있으며, 접지배선을 설치 하여 접지전위에 고정되어 있든지, 혹은 공통전극(28)과 접속하고 있다. 저항기(82)는 EL소자(21)와 같은 정도의 저항치를 가진 저항기이며, 게이트 배선에 사용하는 금속막을 가늘고 길게 가공하여 형성하든지, 박막트랜지 스텐터의 소스전극과 드레인전극에 사용되는 폴리실리콘막으로 형성하든지, 혹은, EL소자(21)와 같은 EL소자를 이용하여, 배선을 오버랩시켜 외부에서 발광이 보이지 않도록 한 더미의 EL소자로 형성한다.
- [0139] 표시영역(11)에는 표시신호를 포함하는 아날로그 전압신호를 전달하는 신호선(Dp1, Dp2, Dn1, Dn2), 기준이 되는 전류 및 EL소자(21)에 흐리는 전류를 공급하는 배선(E1, E2)과, 화소(12)의 화소회로를 제어하는 신호선(W1, W2, L1, L2, R1, R2)이 매트릭스 모양으로 배선되어 있다.
- [0140] 표시영역의 외부에는 기준 전류원(22)이 있으며, 기준 전류원(22)은 TFT(23, 24), 저항기(25)가 지면 횡방향으로 복수 배열하여 구성되어 있으며, 기준전류와 전원전류를 절환하는 신호선(S_pow), EL소자(21)에 전류를 공급 하는 전원(26), 기준전류를 발생하기 위한 전원(27)과, 전류를 공급하는 배선(E1, E2)에 접속하고 있다. 전원 (27)의 음극은 공통전극(28)에 접속하고 있다. 공통전극(28)과 공통전극(29)은 전기적으로 접속하고 있다.
- [0141] 도2에 본 발명의 실시예의 구성도를 나타낸다. 유리기관(1)의 표면에는 표시영역(11)이 있으며, 복수의 화소 (12)가 형성되어 있다.
- [0142] 도2의 본 발명의 실시예의 구성도에 있어서, 본 발명의 제4 실시예에서는, 유리기관(1)의 표면에는 신호선 (L1~Ln, W1~Wn, R1~Rn), 신호선(Dp1~Dpm, Dn1~Dnm), 배선(E1~Em)과, 신호선(L1~Ln, W1~Wn, R1~Rn)의 제어신호

를 발생하는 주사회로(2), 신호선(Dp1~Dpm, Dn1~Dnm)(도면 내에는 D1~Dm으로 기재)의 신호를 발생하는 신호회로(3), 배선(E1~Em)에 전류를 공급하는 기준 전류원(22)이 배치되어 있다. 주사회로(2), 신호회로(3), 기준 전류원(22)은 각각 TFT로 유리기관(1) 위에 형성하든지, 혹은 반도체 LSI를 설치하는 것에 의해 구성된다. 주사회로(2)는 표시영역(11)의 양측에 배치함으로써, 신호선(L1~Ln, W1~Wn, R1~Rn)으로의 신호의 공급능력을 높일 수 있다. 또한, 신호회로(3)와 기준 전류원(22)은 표시영역에 대하여 지면 상하방향 어느쪽의 변에 배치하더라도 괜찮다. 주사회로(2)는 신호선(L1~Ln, W1~Wn, R1~Rn)에 2치의 디지털신호를 발생하는 논리회로이다. 신호회로(3)는 신호선(Dp1~Dpm, Dn1~Dnm)에 표시신호인 아날로그 전압신호를 발생하는 아날로그 회로이다. 도2에는 기재하고 있지 않지만, 표시영역(11)을 덮도록 공통전극(29)이 형성되어 있으며, 화소(12)의 EL소자(21)의 음극에 접속하고 있다. 화소(12)의 EL소자(21)의 발광은 유리기관(1)에서 유리기관의 배면방향으로 투과하여, 도2의 도면의 배면에서 표시화상을 볼 수 있다. 공통전극(29)을 투명하게 한 경우는, 도2의 도면의 정면에서도 표시화상을 볼 수 있다. EL소자에는 유기EL 다이오드를 사용할 수 있다. 또한, EL소자(21)의 각각에, 빨강, 초록, 파랑의 발광재료를 이용함으로써, 컬러표시를 할 수도 있다. 또한, 본 발명의 제4 실시예에서는 도2의 신호선(P1~Pm)은 불필요하다.

[0143] 그런데, 도7에서는 표시영역(11)에 화소(12)를 2×2의 4개 밖에 기술하고 있지 않지만, 실용적으로는 더욱 많이 있으며, 컬러VGA(640화소×RGB 3색×480화소)의 해상도의 경우, 지면 횡방향의 화소수는 m=1920이 되며, 지면 종방향의 화소수는 n=480이 된다. 마찬가지로 신호선(D1~Dm), 배선(E1~Em)은 1920개, 신호선(L1~Ln, W1~Wn, R1~Rn)은 480개가 된다.

[0144] 도8(A)에 본 발명의 제4 실시예의 화소의 구동전압파형, 동작전압파형, 및 동작전류파형을 나타낸다. 또한, 도8(B)는 1 프레임 기간에서의 도8(A)의 파형의 타이밍차트를 나타낸다.

[0145] 도8(A)의 횡축은 시간이다. 파선의 부분에서는 시간의 연속성은 없고, 각 기간 A1, A2, B1, B2, C의 순서는 교체 가능한 것을 의미하고 있다. S_pow, L1, R1, W1, Dp1, Dn1은 각 신호선에 입력하는 전압을 종축에 나타내고 있다. VC78, VC79는 커패시터(78, 79)의 양단에 걸리는 전압을 각각 종축에 나타내고 있다. IREF는 TFT(75)를, ILED는 TFT(73) 및 EL소자(21)를, IBYP는 TFT(74)를 흐르는 전류를 각각 종축에 나타내고 있다. 어느것이나 도면 상방향이 +방향이다. S_pow, L1, R1, W1의 신호는 각각 H레벨이나 L레벨인 2치의 논리전압이며, Dp1, Dn1의 신호는 아날로그 전압이다. H레벨은 화소(12)내의 TFT를 모두 온으로 하는 전압보다도 높은 전압이고, L레벨은 화소(12)내의 TFT를 모두 오프로 하는 전압보다도 낮은 전압이다. 도8(A)의 사선부분은 복수의 값을 취하든지, 혹은 동작에 관계가 없는 것을 나타내고 있다. 또, 도8(A)의 Dp1, Dn1, L1, R1, W1의 기호의 숫자 "1"은 1열번째, 1행번째의 화소(12)에 공급하는 신호를 의미하는 숫자이므로, 다른 화소의 경우에는 대응하는 열과 행으로 숫자는 변경된다.

[0146] 도8(B)의 타이밍차트는 종축에 표시영역(11)의 라인번호를, 횡축에 1 프레임 기간 내의 시간을 나타내고 있다. 여기서, 라인번호는 표시영역의 상측에서 몇번째 행의 화소(12)인지를 나타내고 있다.

[0147] 1 프레임 기간은, 화소에 표시신호를 기록하는 기간 A, 화소에 기준전류를 기록하는 기간 B, EL소자가 발광하여 화상을 표시하는 기간 C로 분리되어 있다. 또한, 기간 A는 자기의 화소에 표시신호를 기록하는 기간 A1과 자기 이외의 화소에 표시신호를 기록하는 기간 A2로 분리되며, 기간 B는 자기의 화소에 기준전류를 기록하는 기간 B1과 자기 이외의 화소에 기준전류를 기록하는 기간 B2로 분리되어 있다. 기간 A에서 기간 A1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 A의 마지막에서 n번 라인으로 할당된다. 기간 A1 이후의 나머지의 시간은 기간 A2이다. 마찬가지로, 기간 B에 있어서 기간 B1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 B의 마지막에서 n번 라인으로 할당된다. 기간 B1 이후의 나머지의 시간은 기간 B2이다.

[0148] 기간 A1에서는, 화소회로의 TFT(71~74)와 커패시터(78, 79)가 동작한다. 신호선(Dp1, Dn2)에는 표시신호인 아날로그 전압신호(Vdata1, Vdata2)를 공급하여, TFT(71, 72)의 게이트전극이 접속하는 W1에 H레벨의 펄스를 공급하면, 커패시터(78, 79)에 동일한 전압이 각각 공급되어, VC78=Vdata1, VC79=Vdata2가 된다. W1이 L레벨이 된 후에도 커패시터(78, 79)에 의해서 아날로그 전압신호(Vdata1, Vdata2)는 기억되어 있다.

[0149] 기간 A2에서는, 다른 라인의 화소에 표시신호의 기록을 하고 있으므로, 제어신호(W1)는 변화하지 않는다. 이때, 신호선(Dp1, Dn1)의 전압은 변화하지만, TFT(71, 72)가 오프이기 때문에 커패시터(78, 79)가 기억한 아날로그 전압신호(Vdata1, Vdata2)는 보존되어 있다.

[0150] 기간 B에 있어서, S_pow는 L레벨이며, 기준 전류원(22)의 TFT(23)는 오프이므로, 배선(E1)에는 저항기(25)를 통해서 전원(27)에서 전류가 공급된다. 배선(E1)을 흐르는 전류치(iref)는, 전원(27)의 전압을 충분히 높게 함으

로써, $i_{ref} = V_x/R_x$ (V_x :전원(27)의 전압, R_x :저항기(25)의 저항치)의 기준전류를 얻을 수 있다. 저항기(25)는 박막트랜지스터의 소스전극과 드레인전극에 사용되는 폴리실리콘막과, 게이트전극에 사용되는 금속배선을 가늘고 길게 가공함으로써 형성할 수 있다. 또한, 전원(27)의 고전압이 E1, E2에 발생하는 것을 방지하기 위해서, 보호다이오드 회로로서 TFT(24)를 설치하고 있다.

- [0151] 기간 B1에서는, 화소회로의 TFT(75~77)와 커패시터(80)가 동작한다. 기간 B1에서는 L1과 R1을 H레벨로 하므로 TFT(76, 77)가 온이 된다. 그러면, TFT(75)에는 기준 전류원(22)이 발생하는 정전류(i_{ref})가 흐른다. 이때 TFT(75)는 포화영역에서 동작하며, TFT(75)의 게이트-소스전극 사이에는 TFT(75)가 드레인-소스전극 사이에 전류(i_{ref})를 흘리는데 필요한 전압(V_{ref})이 발생하여, 이 전압이 커패시터(80)에 인가된다. 그후, L1과 R1을 L레벨로 하면, TFT(76, 77)가 오프가 되어, TFT(75)를 흐르는 전류는 0이 되지만, 커패시터(80)는 TFT(75)가 전압(V_{ref})을 기억하고 있다.
- [0152] 기간 B2에서는, 다른 라인의 화소에 전류(i_{ref})를 기록하고 있지만, 제어신호(L1, R1)가 L레벨이기 때문에, TFT(76, 77)가 오프상태를 유지하며, 커패시터(20)의 전압은 보존되어 있다.
- [0153] 기간 C에서는, S_{pow}가 H레벨을 하기 때문에, TFT(23)가 온이 되기 위해 기준 전류원(22)은 동작하지 않고, 기준 전류원(22)을 패스하여 전원(26)에서 배선(E1, E2)으로 전류를 공급한다. 또한, L1을 H레벨로 하기 때문에, TFT(77)가 온이 되며, 배선(E1)의 전류는, TFT(77, 75)를 지나, TFT(73, 74)로 분류되어, 한쪽은 전류(ILED)로서 EL소자(21)를 통해 접지전극(28)으로, 다른 한쪽은 전류(IBYP)로서 저항기(82)를 통해 접지전극(81)에 흐른다.
- [0154] 이때 ILED= i_1 , IBYP= i_2 의 전류가 흘러, i_1 과 i_2 는 Vdata1과 Vdata2에 의존한다. TFT(73, 74)는 아날로그 전압신호(Vdata1, Vdata2)를 TFT(73, 74)를 선형영역에서 구동하는 것 같은 높은 전압범위로 공급함으로써, 아날로그 전압신호(Vdata1, Vdata2)에 의해서 저항치가 변화하는 가변저항으로서 동작한다. 그러면, 도9에 나타내는 바와 같이 i_1 과 i_2 는 Vdata1과 Vdata2에 의해 변화한다. 도9는 Vdata1과 Vdata2의 차전류에 대한 전류 i_1 과 i_2 를 나타낸 그래프이다. Vdata1-Vdata2가 커지면, TFT(73)의 저항치가 TFT(74)의 저항치에 비해 상대적으로 작게 되어, i_1 이 증가한다. Vdata1-Vdata2가 작게 되면, TFT(74)의 저항치가 TFT(73)의 저항치에 비해 상대적으로 작게 되어, i_2 가 증가한다. 단, Vdata1-Vdata2의 값에 관계없이, $i_1+i_2=i_{ref}$ 가 되며 일정하다.
- [0155] EL소자(21)의 발광강도는 전류(i_1)에 비례하고, 발광시간은 L1에 의해 일정하게 유지되고 있으므로, 1 프레임 기간의 화소(12)의 평균휘도는 전류(i_1)에 비례한다.
- [0156] 따라서, 도9의 그래프에 의거하여 표시신호인 아날로그 전압신호(Vdata1, Vdata2)를 신호선(Dp1, Dn1)에 공급함으로써, 각 화소의 평균휘도를 다단계로 제어할 수 있기 때문에, 본 발명의 제4 실시예에 의해 계조가 있는 화상을 표시할 수 있다.
- [0157] 또한, 화소(12)에 공급하는 전류신호는 최대의 휘도로 EL소자(21)를 발광하는 정전류(i_{ref})뿐이고, 배선(E1)이 가지고 있는 부하용량을 고속으로 충전할 수 있다. 또한, 화소를 어렵게 점등하는 것은 아날로그 신호전압(Vdata1, Vdata2)에 의해 화소 내에서 i_{ref} 보다 적은 전류를 발생하여 EL소자에 공급하는 것으로 실현하고 있다.
- [0158] 따라서 본 발명의 제4 실시예에 의해, 다계조인 EL 디스플레이와, 해상도가 높은 EL 디스플레이를 구성할 수 있다.
- [0159] (5) 도10에 본 발명의 제5 실시예의 화소 및 그 주변의 회로도를 나타낸다. 화상을 표시하는 표시영역(11)에는 2차원적으로 화소(12)가 복수 배열되어 있다. 화소(12)는 TFT(91~102), 커패시터(103~106)로 구성되는 화소회로와, EL소자(21)로 구성되어 있다. EL소자(21)의 양극은 공통전극(29)에 접속되어 있다. TFT(71~77)는 모두 n채널형의 박막트랜지스터이다.
- [0160] TFT(94~97, 100)의 소스전극과 커패시터(103~105)의 일단은 모두 접지전극(108)에 접속하고 있으며, 접지전극(108)은 접지배선을 설치하여 접지전위에 고정되어 있다.
- [0161] TFT(100)와 TFT(97~99)는 상당히 얇은 특성의 박막트랜지스터로 형성되어 있으며, 또, TFT(97)는 채널폭이 TFT(106)의 채널폭의 4/7, TFT(98)는 2/7, TFT(99)는 1/7이 되도록 형성되어 있다.
- [0162] 표시영역(11)에는 표시신호를 포함하는 디지털신호를 전달하는 3개의 신호선 버스(Dbus1, Dbus2), 기준이 되는 전류를 공급하는 배선(E1, E2)과, 화소(12)의 화소회로를 제어하는 신호선(W1, W2, L1, L2, R1, R2)이 매트릭스

모양으로 배선되어 있다. 신호선 버스(Dbus1, Dbus2)는 각각 b2, b1, b0의 신호선으로 구성되어 있다.

- [0163] 표시영역의 외부에는 기준 전류원(111)이 있으며, 기준 전류원(111)은 TFT(113), 저항기(112)가 지면 횡방향으로 복수 배열하여 구성되어 있으며, 기준전류를 발생하기 위한 전원(27)과, 전류를 공급하는 배선(E1, E2)에 접속하고 있다. EL소자(21)에 전류를 공급하는 전원(26)의 음극은 접지전극(108), 양극은 공통전극(29)에 접속하고 있다.
- [0164] 도2에 본 발명의 실시예의 구성도를 나타낸다. 유리기관(1)의 표면에는 표시영역(11)이 있으며, 복수의 화소(12)가 형성되어 있다.
- [0165] 도2의 본 발명의 실시예의 구성도에 있어서, 본 발명의 제5 실시예에서는, 유리기관(1)의 표면에는 신호선(L1~Ln, W1~Wn, R1~Rn), 신호선(Dbus1~Dbusm), 배선(E1~Em)과, 신호선(L1~Ln, W1~Wn, R1~Rn)의 제어신호를 발생하는 주사회로(2), 신호선(Dbus1~Dbusm)(도면 내에서는 D1~Dm으로 기재)의 신호를 발생하는 신호회로(3), 배선(E1, E2)에 전류를 발생하는 기준 전류원(111)이 배치되어 있다. 주사회로(2), 신호회로(3), 기준 전류원(111)은 각각 TFT로 유리기관(1) 위에 형성하든지, 혹은 반도체 LSI를 설치하는 것에 의해 구성된다. 주사회로(2)는 표시영역(11)의 양측에 배치함으로써, 신호선(L1~Ln, W1~Wn, R1~Rn)으로의 신호의 공급능력을 높일 수 있다. 또, 신호회로(3)와 기준 전류원(111)은 표시영역에 대하여 지면 상하방향 어느쪽의 변에 배치하더라도 괜찮다. 주사회로(2)는 신호선(L1~Ln, W1~Wn, R1~Rn)에 2치의 디지털신호를 발생하는 논리회로이다. 신호회로(3)는 신호선(Dbus1~Dbusm)에 표시신호인 디지털신호를 발생하는 논리회로이다. 도2에는 기재하고 있지 않지만, 표시영역(11)을 덮도록 공통전극(29)이 형성되어 있으며, 화소(12)의 EL소자(21)의 양극에 접속하고 있다. 화소(12)의 EL소자(21)의 발광은 유리기관(1)에서 유리기관의 배면방향으로 투과하여, 도2의 도면의 배면에서 표시화상을 볼 수 있다. 공통전극(29)을 투명하게 한 경우는, 도2의 도면의 정면에서도 표시화상을 볼 수 있다. EL소자에는 유기EL 다이오드를 사용할 수 있다. 또한, EL소자(21)의 각각에, 빨강, 초록, 파랑의 발광재료를 이용함으로써, 컬러표시를 할 수도 있다. 또한, 본 발명의 제5 실시예에서는 도2의 신호선(P1~Pm)은 불필요하다.
- [0166] 그런데, 도10에서는 표시영역(11)에 화소(12)를 2×2의 4개 밖에 기술하고 있지 않지만, 실용적으로는 더욱 많이 있으며, 컬러VGA(640화소×RGB 3색×480화소)의 해상도의 경우, 지면 횡방향의 화소수는 m=1920이 되며, 지면 종방향의 화소수는 n=480이 된다. 마찬가지로 신호선(Dbus1~Dbusm), 배선(E1~Em)은 1920개, 신호선(L1~Ln, W1~Wn, R1~Rn)은 480개가 된다.
- [0167] 도11(A)에 본 발명의 제5 실시예의 화소의 구동전압과형, 동작전압과형, 및 동작전류과형을 나타낸다. 또한, 도11(B)은 1 프레임 기간에서의 도11(A)의 과형의 타이밍차트를 나타낸다. 도11(A)의 횡축은 시간이다.
- [0168] 과선의 부분에서는 시간의 연속성은 없고, 각 기간 A1, A2의 순서는 교체 가능한 것을 의미하고 있다. L1, R1, W1, Dbus1은 각 신호선에 입력하는 전압을 종축에 나타내고 있다. VC는 커패시터(103-105)가 기억하는 디지털신호, b는 노드 b에서 발생하는 전압을 종축에 나타내고 있다. IREF는 TFT(100), ILED는 EL소자(21)에 흐르는 전류를 종축에 나타내고 있다. 어느것이나 도면 상방향이 +방향이다. L1, R1, W1, Dbus1의 신호는 각각 H레벨이나 L레벨인 2치의 논리전압이다. H레벨은 화소(12)내의 TFT를 모두 온으로 하는 전압보다도 높은 전압이고, L레벨은 화소(12)내의 TFT를 모두 오프로 하는 전압보다도 낮은 전압이다. 도6(A)의 사선부분은 복수의 값을 취하든지, 혹은 그 몫의 값이 동작에 관계가 없는 것을 나타내고 있다. 또, 도6(A)의 Dbus1, L1, R1, W1의 기호의 숫자 "1"은 1열번째, 1행번째의 화소(12)에 공급하는 신호를 의미하는 숫자이므로, 다른 화소의 경우에는 대응하는 열과 행으로 숫자는 변경된다.
- [0169] 도11(B)의 타이밍차트는 종축을 표시영역(11)의 라인번호를, 횡축에 1 프레임 기간 내의 시간을 나타내고 있다. 여기서, 라인번호는 표시영역의 상측에서 몇번째 행의 화소(12)인지를 나타내고 있다.
- [0170] 1 프레임 기간은 기간 A로 점유되며, 기간 A는 자기의 화소에 표시신호와 기준전류를 기록하는 기간 A1과 자기 이외의 화소에 기록하는 기간 A2로 분리되어 있다. 기간 A에 있어서 기간 A1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 A의 마지막에서 n번 라인으로 할당된다. 기간 A에서의 기간 A1 이외의 시간은 기간 A2이다.
- [0171] 기간 A에서, 배선(E1)에는 기준 전류원(111)의 저항기(112)를 통해서 전원(27)에서 전류가 공급된다. 배선(E1)을 흐르는 전류치(iref)는 전원(27)의 전압을 충분히 높게 함으로써, $iref \approx Vx/Rx$ (Vx:전원(27)의 전압, Rx:저항기(111)의 저항치)의 정전류를 얻을 수 있다. 저항기(111)는 박막트랜지스터의 소스전극과 드레인전극에 사용되는 폴리실리콘막과, 게이트전극에 사용되는 금속배선을 가늘고 길게 가공함으로써 형성할 수 있다. 또, 전원(27)의 고전압이 E1, E2에 발생하는 것을 방지하기 위해서, 보호다이오드 회로로서 TFT(113)를 설치하고 있다.

- [0172] 기간 A1에 있어서, 신호선 버스(Dbus1)의 b2~b0에 표시신호인 3비트의 디지털 전압신호(DATA)를 공급하여, TFT(91~93)의 게이트전극이 접속하는 W1에 H레벨의 펄스를 공급하면, 커패시터(103~105)에 디지털 전압신호(DATA)의 각 비트의 전압이 인가된다. W1이 L레벨이 된 후도 커패시터(103~105)는 디지털 전압신호(DATA)를 기억하고 있다. TFT(94~96)의 온/오프상태는 커패시터(103~105)의 전압에 의해서 제어되며, H레벨의 경우는 온, L레벨의 경우는 오프가 된다.
- [0173] 또, 기간 A1에서는 L1과 R1에 H레벨의 펄스를 공급하여, TFT(101, 102)를 온으로 한다. 그러면, TFT(100)에는 기준 전류원(111)이 발생하는 정전류(iref)가 흐른다. 이때 TFT(100)는 포화영역에서 동작하며, TFT(100)의 게이트-소스전극 사이에는 TFT(100)가 드레인-소스전극 사이에 전류(iref)를 흘리는데 필요한 전압(Vref)이 발생하여, 이 전압이 커패시터(106)에 인가된다. 그후, L1과 R1을 L레벨로 하면, TFT(101, 102)가 오프가 되기 때문에 TFT(100)를 흐르는 전류는 0이 되지만, 커패시터(106)는 전압(Vref)을 기억하고 있다.
- [0174] 기간 A2에서는, 다른 라인의 화소에 표시신호와 전류(iref)의 기록을 하고 있으므로 W1, L1, R1은 L레벨이며, TFT(91~93)가 오프이기 때문에 커패시터(103~105)가 기억한 디지털신호(DATA)는 보존되어 있다. 또, TFT(101, 102)가 오프이기 때문에, 커패시터(106)의 전압(Vref)은 보존되어 있다.
- [0175] 상술한 바와 같이, TFT(106)와 TFT(97~99)는 상당히 닮은 특성의 박막트랜지스터로 형성되어 있으며, 또, TFT(97)는 채널폭이 TFT(100)의 채널폭의 4/7, TFT(98)는 2/7, TFT(99)는 1/7로 되어 있으므로, 커패시터(106)가 보존하고 있는 전압(Vref)이 TFT(97~99)의 게이트전극에 인가되는 것에 의해, TFT(94)가 온일 때 TFT(97)에는 $(4/7) \times iref$ 가, TFT(95)가 온일 때 TFT(98)에는 $(2/7) \times iref$ 가, TFT(95)가 온일 때 TFT(97)에는 $(1/7) \times iref$ 가 각각 흐른다.
- [0176] 이들의 전류의 합계가 EL소자를 흐르는 전류(ILED)가 되므로, EL소자(21)에는 커패시터(103~105)가 기억하고 있는 디지털신호(DATA)에 비례한 8단계의 전류($0/7, 1/7, 2/7, 3/7, 4/7, 5/7, 6/7, 7/7$) $\times iref$ 의 전류가 흐른다.
- [0177] EL소자(21)의 발광강도는 전류(ILED)에 비례하고, 발광시간은 1 프레임 기간 이며 일정하게 유지되고 있으므로, 1 프레임 기간의 화소(12)의 평균휘도는 전류(ILED)에 비례한다. 따라서, 표시신호인 디지털 전압신호(DATA)를 신호선 버스(Dbus)에 공급함으로써 각 화소의 평균휘도를 다단계로 제어할 수 있으므로, 본 발명의 제5 실시예에 의해 계조가 있는 화상을 표시할 수 있다.
- [0178] 또한, 신호선 버스(D1, D2)의 갯수를 늘려, 채널폭이 다른 TFT인 TFT(97~99)와 그 부속회로의 병렬수를 늘림으로써, 더욱 다계조의 화상을 표시할 수 있다.
- [0179] 또한, 화소(12)에 공급하는 전류신호는 최대의 휘도로 EL소자(21)를 발광하는 정전류(iref)뿐이고, 배선(E1)이 가지고 있는 부하용량을 고속으로 충전할 수 있다. 또한, 화소를 어렵게 점등하는 것은 디지털신호(DATA)에 의해서 화소내에서 iref보다 적은 전류를 발생하여 EL소자에 공급하는 것으로 실현하고 있다.
- [0180] 따라서 본 발명의 제5 실시예에 의해, 다계조인 EL 디스플레이와, 해상도가 높은 EL 디스플레이를 구성할 수 있다.
- [0181] (6) 도12에 본 발명의 제6 실시예의 화소 및 그 주변의 회로도를 나타낸다. 화상을 표시하는 표시영역(11)에는 2차원적으로 화소(12)가 복수 배열되어 있다. 화소(12)는 TFT(121~127), 커패시터(128, 129)로 구성되는 화소회로와, EL소자(21)로 구성되어 있다. EL소자(21)의 음극은 공통전극(29)에 접속되어 있다. TFT(122)는 p채널형, 그 이외는 n채널형의 박막트랜지스터이며, n채널형의 TFT(121)와 p채널형의 TFT(122)에 의해 상보형 인버터회로가 구성되어 있다. TFT(121)의 소스전극은 접지전극(130)에, TFT(124)의 소스전극은 접지전극(131)에 접속하고 있으며, 접지전극(130, 131)은 접지배선을 설치하여 접지전위에 고정되어 있든지, 혹은 공통전극(29)과 접속하고 있다. 표시영역(11)에는 표시신호를 포함하는 아날로그 전압신호를 전달하는 신호선(D1, D2), 기준이 되는 전류 및 EL소자(21)에 흐르는 전류를 공급하는 배선(E1~Em)과, 화소(12)의 화소회로를 제어하는 신호선(W1, W2, L1, L2, R1, R2)이 매트릭스 모양으로 배선되어 있다.
- [0182] 표시영역의 외부에는 기준 전류원(22)이 있으며, 기준 전류원(22)은 TFT(23, 24), 저항기(25)가 지면 횡방향으로 복수 배열하여 구성되어 있으며, 기준전류와 전원전류를 절환하는 신호선(S_pow), EL소자(21)에 전류를 공급하는 전원(26), 기준전류를 발생하기 위한 전원(27)과, 전류를 공급하는 배선(E1, E2)에 접속하고 있다. 전원(27)의 음극은 공통전극(28)에 접속하고 있다. 공통전극(28)과 공통전극(29)은 전기적으로 접속하고 있다.
- [0183] 도2에 본 발명의 실시예의 구성도를 나타낸다. 유리기판(1)의 표면에는 표시영역(11)이 있으며, 복수의 화소(12)가 형성되어 있다.

- [0184] 도2의 본 발명의 실시예의 구성도에 있어서, 본 발명의 제6 실시예에서는, 유리기관(1)의 표면에는 신호선(L1~Ln, W1~Wn, R1~Rn), 신호선(D1~Dm), 배선(E1, E2)과, 신호선(L1~Ln, W1~Wn, R1~Rn)의 제어신호를 발생하는 주사회로(2), 신호선(D1~Dm)의 신호를 발생하는 신호회로(3), 배선(E1~Em)에 전류를 발생하는 기준 전류원(22)이 배치되어 있다. 주사회로(2), 신호회로(3), 기준 전류원(22)은 각각 TFT로 유리기관(1) 위에 형성하든지, 혹은 반도체 LSI를 설치하는 것에 의해 구성된다. 주사회로(2)는 표시영역(11)의 양측에 배치함으로써, 신호선(L1~Ln, W1~Wn, R1~Rn)으로의 신호의 공급능력을 높일 수 있다. 또, 신호회로(3)와 기준 전류원(22)은 표시영역에 대하여 지면 상하방향 어느쪽의 변에 배치하더라도 괜찮다. 주사회로(2)는 신호선(L1~Ln, W1~Wn, R1~Rn)에 2치의 디지털신호를 발생하는 논리회로이다. 신호회로(3)는 신호선(D1~Dm)에 표시신호인 아날로그 전압신호를 발생하는 아날로그 회로이다. 도2에는 기재하고 있지 않지만, 표시영역(11)을 덮도록 공통전극(29)이 형성되어 있으며, 화소(12)의 EL소자(21)의 음극에 접속하고 있다. 화소(12)의 EL소자(21)의 발광은 유리기관(1)에서 유리기관의 배면방향으로 투과하여, 도2의 도면의 배면에서 표시화상을 볼 수 있다. 공통전극(29)을 투명하게 한 경우는, 도2의 도면의 정면에서도 표시화상을 볼 수 있다. EL소자에는 유기EL 다이오드를 사용할 수 있다. 또, EL소자(21)의 각각에, 빨강, 초록, 파랑의 발광재료를 이용함으로써, 컬러표시를 할 수도 있다. 또한, 본 발명의 제4 실시예에서는 도2의 신호선(P1~Pm)은 불필요하다.
- [0185] 그런데, 도12에서는 표시영역(11)에 화소(12)를 2×2의 4개 밖에 기술하고 있지 않지만, 실용적으로는 더욱 많이 있으며, 컬러VGA(640화소×RGB 3색×480화소)의 해상도의 경우, 지면 횡방향의 화소수는 m=1920이 되며, 지면 종방향의 화소수는 n=480이 된다. 마찬가지로 신호선(D1~Dm), 배선(E1~Em)은 1920개, 신호선(L1~Ln, W1~Wn, R1~Rn)은 480개가 된다.
- [0186] 도13(A)에 본 발명의 제6 실시예의 화소의 구동전압파형, 동작전압파형, 및 동작전류파형을 나타낸다. 또, 도13(B)는 1 프레임 기간에서의 도13(A)의 파형의 타이밍차트를 나타낸다. 도13(A)의 횡축은 시간이다.
- [0187] 파선의 부분에서는 시간의 연속성은 없고, 각 기간 A1, A2, C의 순서는 교체 가능한 것을 의미하고 있다. S_{pow}, L1, W1, R1, D1은 각 신호선에 입력하는 전압을 종축에 나타내고 있다. a, b는 각 노드에서 발생하는 전압을 종축에 나타내고 있다. VC는 커패시터(129)의 양단에 걸리는 전압을 종축에 나타내고 있다. ILED는 EL소자(21)에 흐르는 전류를 종축에 나타내고 있다. 어느것이나 도면 상방향이 +방향이다. S_{pow}, L1, W1, R1의 신호는 각각 H레벨이나 L레벨인 2치의 논리전압이고, D1의 신호는 아날로그 전압이다. H레벨은 화소(12)내의 TFT를 모두 온으로 하는 전압보다도 높은 전압이고, L레벨은 화소(12)내의 TFT를 모두 오프로 하는 전압보다도 낮은 전압이다. 도8(A)의 사선부분은 복수의 값을 취하든지, 혹은 동작에 관계가 없는 것을 나타내고 있다. 또한, 도8(A)의 D1, L1, W1, R1의 기호의 숫자 "1"은 1열번째, 1행번째의 화소(12)에 공급하는 신호를 의미하는 숫자이므로, 다른 화소의 경우에는 대응하는 열과 행으로 숫자는 변경된다.
- [0188] 도13(B)의 타이밍차트는 종축을 표시영역(11)의 라인번호를, 횡축에 1 프레임 기간 내의 시간을 나타내고 있다. 여기서, 라인번호는 표시영역의 상측에서 몇번째 행의 화소(12)인지를 나타내고 있다.
- [0189] 1 프레임 기간은 화소에 표시신호 및 기준전류를 기록하는 기간 A, EL소자가 발광하여 화상을 표시하는 기간 C로 분리되어 있다. 또한 기간 A는 자기의 화소에 표시신호와 기준전류를 기록하는 기간 A1과 자기 이외의 화소에 기록하는 기간 A2로 분리되어 있다. 기간 A에 있어서 기간 A1이 1번 라인부터 순서대로 2번 라인, 3번 라인으로 할당되고, 기간 A의 마지막에서 n번 라인으로 할당된다. 기간 A1 이후의 나머지의 시간은 기간 A2이다.
- [0190] 기간 A에 있어서, S_{pow}는 L레벨이며, 기준 전류원(22)의 TFT(23)는 오프이므로, 배선(E1)에는 저항기(25)를 통해서 전원(27)에서 전류가 공급된다. 배선(E1)을 흐르는 전류치(iref)는 전원(27)의 전압을 충분히 높게 함으로써, iref ≒ Vx/Rx(Vx:전원(27)의 전압, Rx:저항기(25)의 저항치)의 정전류를 얻을 수 있다. 저항기(25)는 박막 트랜지스터의 소스전극과 드레인전극에 사용되는 폴리실리콘막과, 게이트전극에 사용되는 금속배선을 가늘고 길게 가공함으로써 형성할 수 있다. 또한, 전원(27)의 고전압이 E1, E2에 발생하는 것을 방지하기 위해서, 보호다이오드 회로로서 TFT(24)를 설치하고 있다.
- [0191] 기간 A1에서는, 처음에 L1을 H레벨로 하여, R1에 H레벨의 펄스를 공급한다. 그러면 TFT(124~126)가 온이 되어, TFT(127)에는 기준 전류원(22)이 발생하는 정전류(iref)가 흐른다. 이때 TFT(127)는 포화영역에서 동작하며, TFT(127)의 게이트전극-소스전극 사이에는 TFT(127)가 드레인전극-소스전극 사이에 전류(iref)를 흘리는데 필요한 전압 Vref가 발생하여, 이 전압이 커패시터(129)에 인가된다. 이후, R1이 L레벨이 되며, TFT(124, 125)가 오프로 되어도, 커패시터(129)는 전압(Vref)을 기억하고 있다.
- [0192] 계속해서, L1이 H레벨인 상태에서 W1에 H레벨의 펄스를 공급한다. 그러면, TFT(123)가 온으로 되어, TFT(121,

122)로 구성하는 인버터회로의 입력과 출력인 노드 a-b 사이가 셧되어, 양 노드 모두 인버터회로의 문턱치전압(Vres)이 되며, 전압(Vres)은 커패시터(128)의 일단에 인가된다.

[0193] 한편, 신호선(D1)에는 표시신호인 아날로그 전압신호(Vdata)를 공급하면, 접속하는 커패시터(128)의 다른 일단에도 전압(Vdata)가 인가된다.

[0194] 마지막으로 W1을 L레벨로 하면 TFT(123)가 오프로 되어 노드 a는 노드 b와 분리되어, 커패시터(128)는 "Vdata-Vres"의 전압을 기억한다.

[0195] 기간 A2에서는, 다른 라인의 화소에 표시신호 및 기준전류를 기록하고 있지만, L1, R1, W1이 L레벨이기 때문에, TFT(123~126)가 오프 상태를 유지하며, 커패시터(129, 130)의 전압(Vref, Vres)은 보존되어 있다.

[0196] 기간 C에서는, S_pow를 H레벨로 하기 때문에, TFT(23)가 온이 되기 위해 기준 전류원(22)은 동작하지 않고, 기준 전류원(22)을 패스하여 전원(26)에서 배선(E1, E2)에 직접 전류를 공급한다. 또 L1을 H레벨로 하기 때문에, TFT(126)를 통해서 TFT(127)에 전원(26)에서의 전류가 공급된다. 한편, 신호선(D1)에는 표시신호인 아날로그 전압의 취득범위의 최저 전압에서 최고 전압으로 변화하는 삼각파를 입력한다.

[0197] 기간 C의 처음에서는, 신호선(D1)의 전압은 상기 최저 전압이며, 노드 a의 전압은 인버터의 문턱치전압(Vres)보다도 낮은 전압으로 되기 때문에, 인버터를 구성하는 TFT(122)는 온, TFT(121)는 오프가 된다. 그러면, 배선(E1)에서의 전류는 TFT(126, 127, 122)를 통해서 EL소자(21)에 공급되어 EL소자(21)는 발광한다. 이때, TFT(127)는 커패시터(129)가 기억한 전압(Vref)에 의해 정전류(iref)를 발생하고, EL소자(21)에는 iref가 흘러, EL소자(21)는 균일한 강도로 발광한다(EL소자: 온).

[0198] 기간 C에 있어서 시간이 경과하면, 신호선(D1)의 전압은 삼각파에 따라 서서히 상승하기 때문에, 노드 a의 전압도 상승한다. 신호선(D1)의 전압과, 각 화소(12)에 기간 A1일 때에 기록한 전압(Vdata)이 정확히 동일하게 되었을 때, 노드 a의 전압이 정확히 인버터의 문턱치전압(Vres)으로 되어, TFT(122)는 온에서 오프로, TFT(121)는 오프에서 온으로 변화하여, 노드 b는 0V가 되며, EL소자(21)는 소등한다(EL소자: 오프).

[0199] 이 EL소자(21)의 온과 오프시간의 비율은 표시신호로서 각 화소(12)의 커패시터(128)에 기록된 전압(Vdata)에 의해 0%에서 100%까지 변화할 수 있다. 온시의 발광강도는 iref에 의해 일정하게 유지되고 있으므로, 화소(12)의 평균휘도는 이 온/오프의 시간비율에 의해서 제어된다. 또한, 이 삼각파의 경사각도에 변화를 줌으로써 아날로그 신호전압(Vdata)-평균휘도의 관계에 대하여 감마보정을 할 수 있다.

[0200] 따라서, 표시신호인 아날로그 전압신호 Vdata에 의해 각 화소의 평균휘도를 다단계로 제어할 수가 있으므로, 본 발명의 제6 실시예에 의해 계조가 있는 화상을 표시할 수 있다.

[0201] 또한, 화소(12)에 공급하는 전류신호는 최대의 휘도로 EL소자(21)를 발광하는 정전류(iref)뿐이며, 배선(E1)이 가지고 있는 부하용량을 고속으로 충전할 수 있다. 또한, 화소를 어렵게 점등하는 것은 아날로그 신호전압(Vdata)에 의해 EL소자의 발광시간을 짧게 제어하는 것에 의해 실현하고 있다.

[0202] 따라서 본 발명의 제1 실시예에 의해, 다계조인 EL 디스플레이와, 해상도가 높은 EL 디스플레이를 구성할 수 있다.

발명의 효과

[0203] 본 발명에서는, 화소를 밝게 표시할 때의 비교적 큰 전류를 기준전류로서 화소에 기록하고 있으므로, 전류를 공급하는 배선의 부하용량을 고속으로 충전할 수 있고, 해상도가 높은 화상표시장치를 실현할 수 있다.

[0204] 또한, 이 기준전류를 기준으로 하여 시간변조회로와 전류발생회로에 의해 화소에 다단계의 밝기를 발생시킬 수 있으므로, 다계조 표시가 가능한 화상표시장치를 실현할 수 있다.

도면의 간단한 설명

[0001] 도1은 본 발명의 제1 실시예의 화소 및 그 주변의 회로를 나타낸 도면,

[0002] 도2는 본 발명의 실시예의 구성을 나타낸 도면,

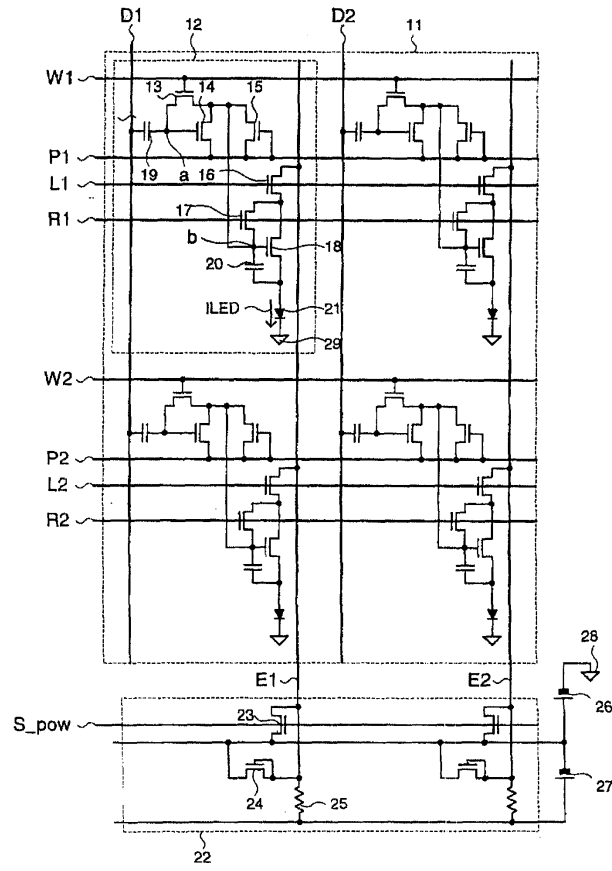
[0003] 도3은 본 발명의 제1 실시예의 화소의 구동전압파형, 동작전압파형, 동작전류파형 및 그들의 1 프레임 기간에서의 타이밍차트를 나타낸 도면,

- [0004] 도4는 본 발명의 제2 실시예의 화소 및 그 주변의 회로를 나타낸 도면,
- [0005] 도5는 본 발명의 제3 실시예의 화소 및 그 주변의 회로를 나타낸 도면,
- [0006] 도6은 본 발명의 제3 실시예의 화소의 구동전압파형, 동작전압파형, 동작전류파형 및 그들의 1 프레임 기간에서의 타이밍차트를 나타낸 도면,
- [0007] 도7은 본 발명의 제4 실시예의 화소 및 그 주변의 회로를 나타낸 도면,
- [0008] 도8은 본 발명의 제4 실시예의 화소의 구동전압파형, 동작전압파형, 동작전류파형 및 그들의 1 프레임 기간에서의 타이밍차트를 나타낸 도면,
- [0009] 도9는 Vdata1과 Vdata2의 차(差)전류에 대한 전류(i1, i2)를 나타낸 그래프,
- [0010] 도10은 본 발명의 제5 실시예의 화소 및 그 주변의 회로를 나타낸 도면,
- [0011] 도11은 본 발명의 제5 실시예의 화소의 구동전압파형, 동작전압파형, 동작전류파형 및 그들의 1 프레임 기간에서의 타이밍차트를 나타낸 도면,
- [0012] 도12는 본 발명의 제6 실시예의 화소 및 그 주변의 회로를 나타낸 도면,
- [0013] 도13은 본 발명의 제6 실시예의 화소의 구동전압파형, 동작전압파형, 동작전류파형 및 그들의 1 프레임 기간에서의 타이밍차트를 나타낸 도면,
- [0014] 도14는 EL소자를 사용한 종래의 화소의 회로를 나타낸 도면이다.
- [0015] (부호의 설명)
- [0016] 1 유리기판
- [0017] 2 주사회로
- [0018] 3 신호회로
- [0019] 11~18 TFT
- [0020] 19~20 커패시터
- [0021] 21 EL소자
- [0022] 22 기준 전류원
- [0023] 23 TFT
- [0024] 24 TFT(보호다이오드)
- [0025] 25 저항기
- [0026] 26~27 전원
- [0027] 28 접지전극
- [0028] 29 공통전극
- [0029] 31~37 TFT
- [0030] 38~39 커패시터
- [0031] 40 기준 전류원
- [0032] 41 저항기
- [0033] 42 TFT(보호다이오드)
- [0034] 51~56 TFT
- [0035] 57~58 커패시터
- [0036] 59~60 접지전극

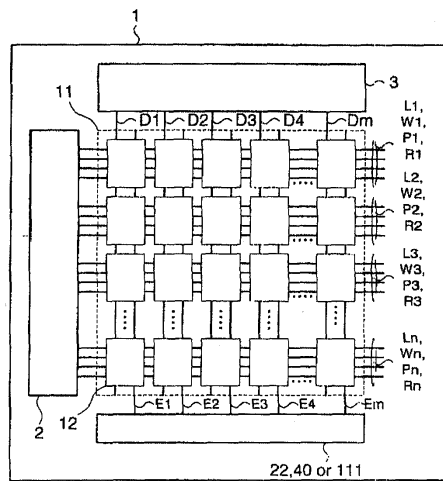
[0037]	71~77	TFT
[0038]	78~80	커패시터
[0039]	81	접지전극
[0040]	82	저항기
[0041]	91~102	TFT
[0042]	103~106	커패시터
[0043]	108	접지전극
[0044]	111	기준 전류원
[0045]	112	저항기
[0046]	113	TFT(보호다이오드)
[0047]	121~127	TFT
[0048]	128~129	커패시터
[0049]	130~131	접지전극
[0050]	150	화소
[0051]	151~154	TFT
[0052]	155	커패시터
[0053]	156	EL소자
[0054]	157	전류구동회로
[0055]	161	배선
[0056]	162	부하용량

도면

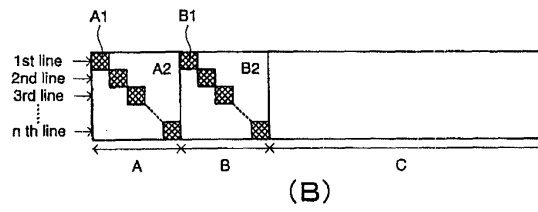
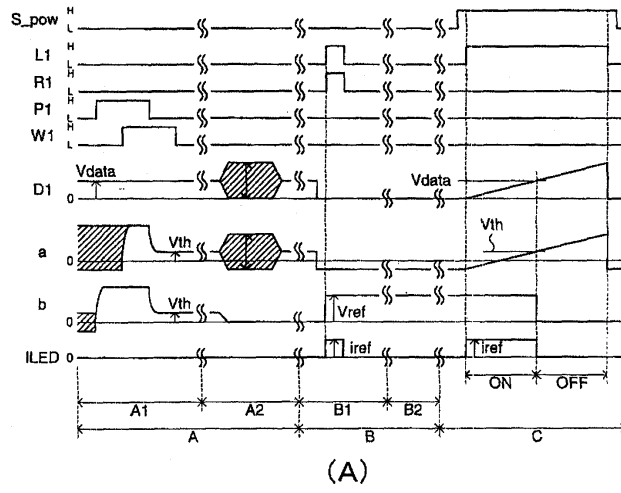
도면1



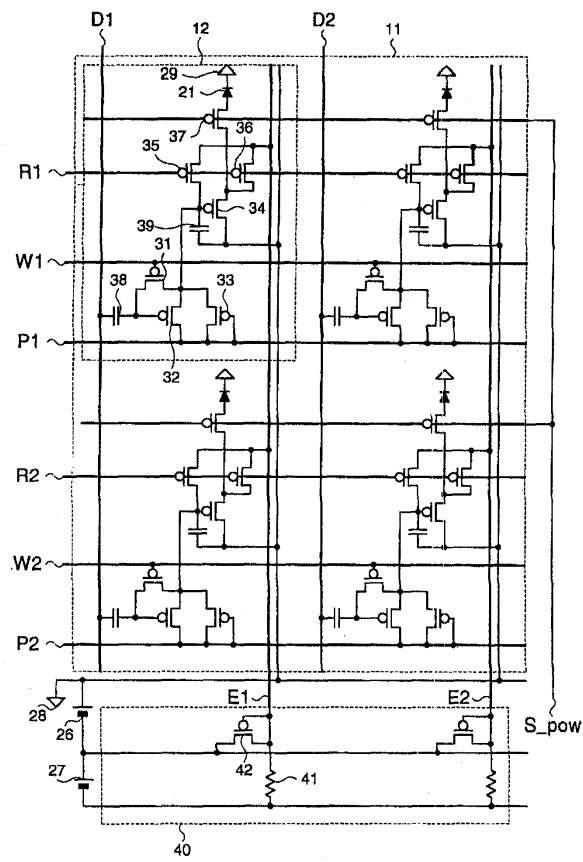
도면2



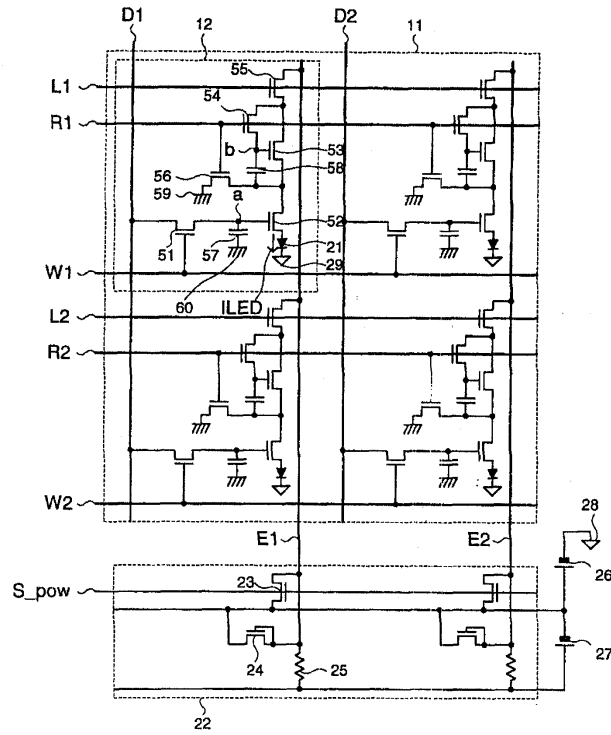
도면3



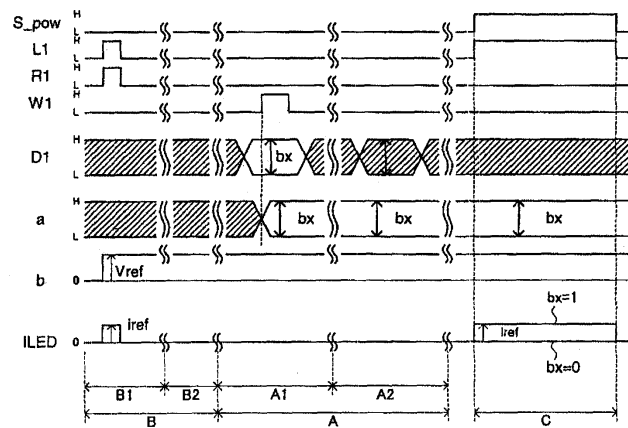
도면4



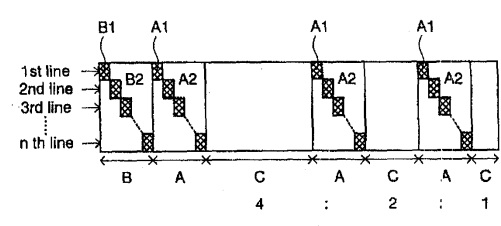
도면5



도면6

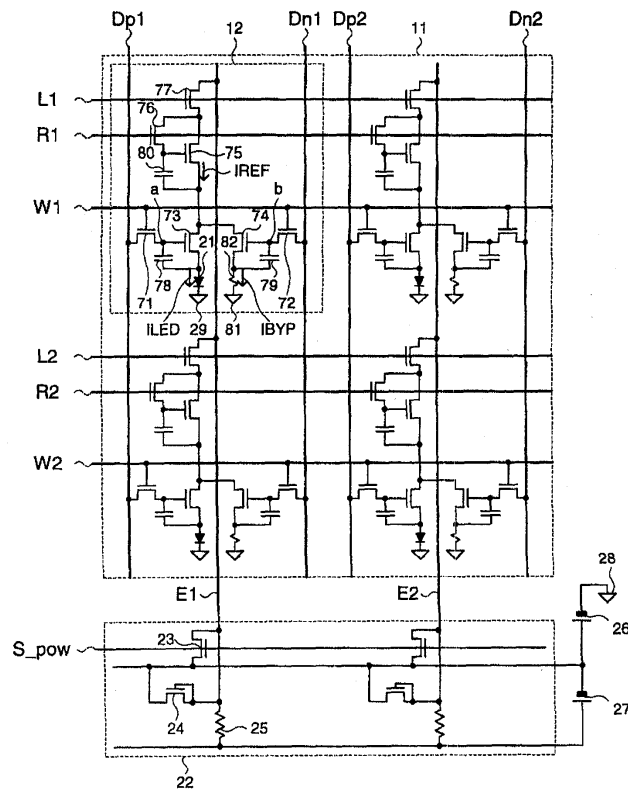


(A)

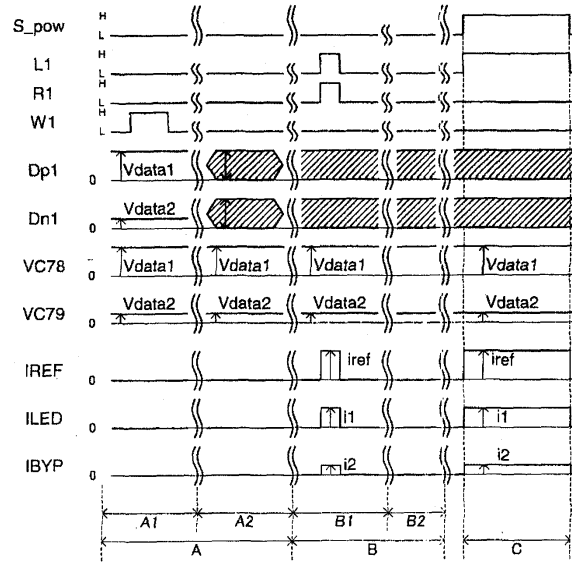


(B)

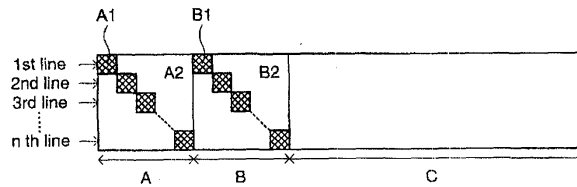
도면7



도면8

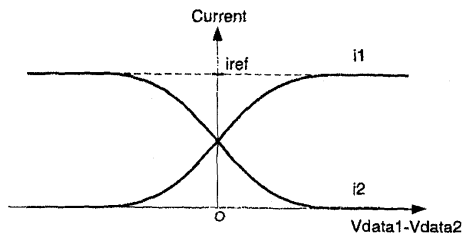


(A)

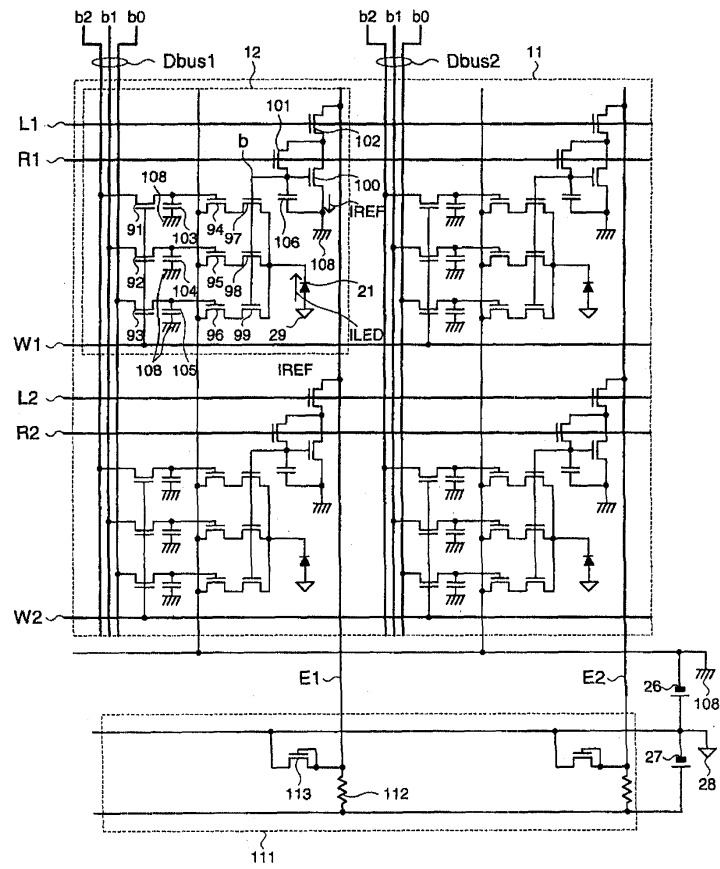


(B)

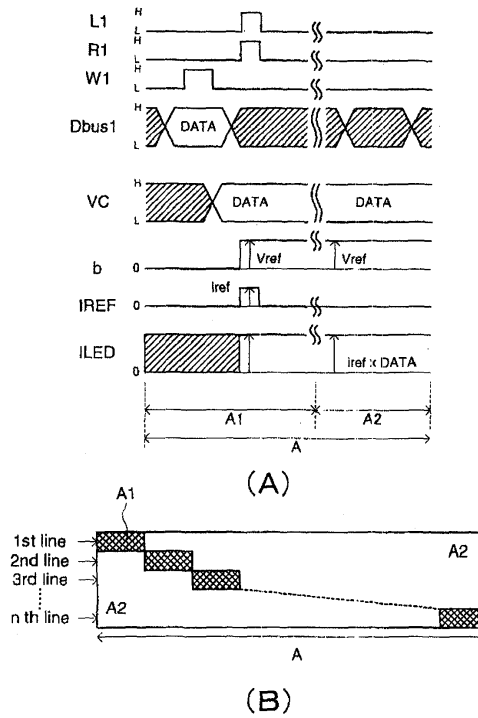
도면9



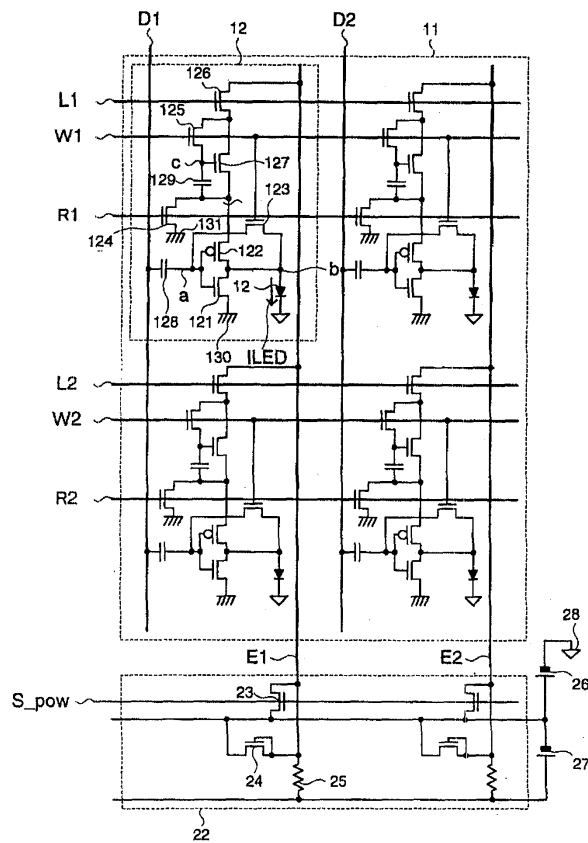
도면10



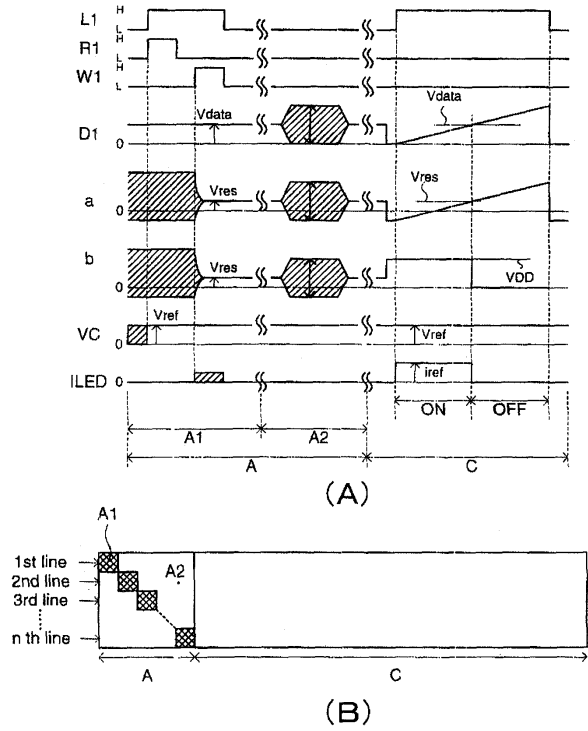
도면11



도면12



도면13



도면14

