



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월20일
(11) 등록번호 10-0805610
(24) 등록일자 2008년02월13일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)
H05B 33/12 (2006.01) G11C 7/00 (2006.01)

(21) 출원번호 10-2006-0083143

(22) 출원일자 2006년08월30일

심사청구일자 2006년08월30일

(56) 선행기술조사문헌

JP09116874 A

(뒷면에 계속)

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김도익

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

류도형

경기도 수원시 팔달구 영통동 1028-2 303호

(74) 대리인

신영무

전체 청구항 수 : 총 12 항

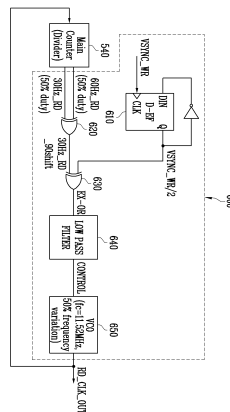
심사관 : 김남인

(54) 유기 전계발광 표시장치 및 그 구동방법

(57) 요약

본 발명의 실시예에 의한 유기 전계발광 표시장치는, 디지털 방식을 구동되는 유기 전계발광 표시장치에 있어서, 주사선들로 주사신호를 순차적으로 공급하는 주사 구동부와; 데이터들 각각으로 제 1데이터신호 또는 제 2데이터신호를 공급하는 데이터 구동부와; 상기 주사신호가 공급될 때 선택되며 상기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 다수의 화소가 구비된 화소부와; 상기 주사 구동부 및 데이터 구동부를 제어하고, 상기 데이터 구동부에 소정의 데이터를 공급하는 타이밍 제어부와; 상기 타이밍 제어부에 구비되는 2개의 프레임 메모리에 대해 쓰기(Write)의 완료시점과 읽기(Read)의 시작시점을 일치시키도록 내부 수직 동기신호(Vsync)와 외부 수직 동기신호의 위상차를 일치시키는 수직 동기신호 동기화 회로가 포함됨을 특징으로 한다.

대표도 - 도6



(56) 선행기술조사문헌

JP09116875 A

JP09163182 A

JP10307562 A

KR1020000002532 A

KR1020000070478 A

특허청구의 범위

청구항 1

디지털 방식을 구동되는 유기 전계발광 표시장치에 있어서,

주사선들로 주사신호를 순차적으로 공급하는 주사 구동부와;

데이터들 각각으로 제 1데이터신호 또는 제 2데이터신호를 공급하는 데이터 구동부와;

상기 주사신호가 공급될 때 선택되며 상기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 다수의 화소가 구비된 화소부와;

상기 주사 구동부 및 데이터 구동부를 제어하고, 상기 데이터 구동부에 소정의 데이터를 공급하는 타이밍 제어부와;

상기 타이밍 제어부에 구비되는 2개의 프레임 메모리에 대해 쓰기(Write)의 완료시점과 읽기(Read)의 시작시점을 일치시키도록 내부 수직 동기신호와 외부 수직 동기신호의 위상차를 일치시키는 수직 동기신호 동기화 회로가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 2

제 1항에 있어서,

상기 타이밍 제어부는,

외부로부터 외부 수직 동기신호 및 외부 데이터(Data)를 전달받아 상기 외부 데이터(Data)를 제 1 또는 제 2프레임 메모리에 저장하는 쓰기(Write) 메모리 제어단과;

내부 수직 동기신호에 동기되어 제 2 또는 제 1프레임 메모리에 기 저장된 데이터를 읽어 이를 상기 데이터 구동부에 전달하는 읽기(Read) 메모리 제어단과;

상기 외부 데이터의 읽기 및 쓰기 동작을 교대로 수행하는 제 1 및 제 2프레임 메모리가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 3

제 2항에 있어서,

상기 제 1프레임 메모리가 쓰기 동작을 수행할 때는 상기 제 2프레임 메모리가 읽기 동작을 수행하고, 상기 제 1프레임 메모리가 읽기 동작을 수행할 때는 제 2프레임 메모리는 쓰기 동작을 수행함을 특징으로 하는 유기 전계발광 표시장치.

청구항 4

제 2항에 있어서,

상기 읽기 메모리 제어단은 메인 카운터로서 상기 데이터 구동부 또는 주사 구동부에 메인 클럭을 제공함을 특징으로 하는 유기 전계발광 표시장치.

청구항 5

제 4항에 있어서,

상기 메인 클럭에 의해 상기 메인 클럭에 동기되는 내부 수직 동기신호가 생성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 6

제 2항에 있어서,

상기 읽기 메모리 제어단은 내부 수직 동기신호 및 상기 내부 수직 동기신호를 1/2분주한 신호를 상기 수직 동기신호 동기화 회로에 제공함을 특징으로 하는 유기 전계발광 표시장치.

청구항 7

제 1항에 있어서,

상기 수직 동기신호 동기화 회로는, 외부 수직 동기신호 및 내부 수직 동기신호의 위상차를 비교하여 상기 외부 수직 동기신호와 위상차가 일치하는 내부 수직 동기신호를 생성토록 메인 클럭의 주파수를 조절하고, 상기 주파수가 조절된 메인 클럭을 상기 읽기 메모리 제어단으로 피드백함을 특징으로 하는 유기 전계발광 표시장치.

청구항 8

제 1항에 있어서,

상기 수직 동기신호 동기화 회로는,

외부 수직 동기신호를 입력받아 이를 1/2 분주하여 출력하는 D-플립플롭과;

상기 타이밍 제어부로부터 내부 수직 동기 신호 및 1/2 분주된 내부 수직 동기신호를 입력받아 90도 쉬프트되어 1/2 분주된 내부 수직 동기신호를 출력하는 제 1 논리적 배타합(EX-OR) 게이트와;

상기 제 1 EX-OR 게이트의 출력신호 및 상기 D-플립플롭의 출력신호의 위상을 비교하는 제 2 논리적 배타합(EX-OR) 게이트와;

상기 제 2 EX-OR 게이트의 출력신호의 직류(DC) 성분만을 출력하는 필터와;

상기 제 2 EX-OR 게이트의 결과에 따라 발진 주파수가 조절되고, 주파수가 조절된 메인 클럭을 상기 타이밍 제어부로 피드백하는 전압제어발진기가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 9

디지털 구동 방식의 유기 전계발광 표시장치에서 외부 수직 동기신호와 내부 수직 동기신호의 위상차를 일치시키는 유기 전계발광 표시장치의 구동방법에 있어서,

상기 외부 수직 동기신호를 입력받아 이를 1/2 분주하여 듀티(duty)비 50%이고 주파수가 상기 외부 수직 동기신호의 1/2인 신호(제 1출력신호)가 출력되는 단계와;

상기 내부 수직 동기 신호 및 1/2 분주된 내부 수직 동기신호를 입력받아 상기 내부 수직 동기 신호 및 1/2 분주된 내부 수직 동기신호의 위상을 비교하여 90도 쉬프트되어 1/2 분주된 내부 수직 동기신호(제 2출력신호)가 출력되는 단계와;

상기 제 1출력신호 및 제 2출력신호의 위상 비교가 수행되는 단계와;

상기 제 1출력신호 및 제 2출력신호의 위상차가 일치하도록 메인 클럭의 주파수를 조절하는 단계가 포함됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 10

제 9항에 있어서,

상기 제 1출력신호의 위상이 제 2출력신호의 위상에 앞서는 경우 메인 클럭(RD_CLK_OUT) 주파수가 높아지도록 조절됨을 통해 상기 제 1출력신호 및 제 2출력신호의 위상차가 일치됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 11

제 9항에 있어서,

상기 제 2출력신호의 위상이 제 1출력신호의 위상에 앞서는 경우 메인 클럭(RD_CLK_OUT) 주파수가 낮아지도록 조절됨을 통해 제 1출력신호 및 제 2출력신호의 위상차가 일치됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 12

제 9항에 있어서,

상기 제 1출력신호 및 제 2출력신호의 위상 비교가 수행된 이후 필터를 거쳐 직류 전압으로 필터링되는 단계가 더 포함됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 디지털 구동 방식의 유기 전계발광 표시장치에 관한 것이다.
- <17> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 전계발광 표시장치(Organic Light Emitting Display) 등이 있다.
- <18> 평판표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)들을 이용하여 화상을 표시한다. 이러한, 유기 전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.
- <19> 도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도이다.
- <20> 도 1을 참조하면, 종래의 유기전계발광 표시장치의 화소(4)는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)를 제어하기 위한 화소회로(2)를 구비한다.
- <21> 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(2)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(2)로부터 공급되는 전류에 대응되어 소정 휘도의 빛을 생성한다.
- <22> 화소회로(2)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터신호에 대응되어 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다. 이를 위해, 화소회로(2)는 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된 제 2트랜지스터(M2)와, 제 2트랜지스터(M2), 데이터선(Dm) 및 주사선(Sn)의 사이에 접속된 제 1트랜지스터(M1)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된 스토리지 커패시터(Cst)를 구비한다.
- <23> 제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 스토리지 커패시터(Cst)의 일측단자에 접속된다. 여기서, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다. 주사선(Sn) 및 데이터선(Dm)에 접속된 제 1트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온되어 데이터선(Dm)으로부터 공급되는 데이터신호를 스토리지 커패시터(Cst)로 공급한다. 이때, 스토리지 커패시터(Cst)는 데이터신호에 대응되는 전압을 충전한다.
- <24> 제 2트랜지스터(M2)의 게이트전극은 스토리지 커패시터(Cst)의 일측단자에 접속되고, 제 1전극은 스토리지 커패시터(Cst)의 다른측단자 및 제 1전원(ELVDD)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 이와 같은 제 2트랜지스터(M2)는 스토리지 커패시터(Cst)에 저장된 전압값에 대응하여 제 1전원(ELVDD)으로부터 유기 발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 이때, 유기 발광 다이오드(OLED)는 제 2트랜지스터(M2)로부터 공급되는 전류량에 대응되는 빛을 생성한다.
- <25> 하지만, 이와 같은 종래의 유기전계발광 표시장치의 화소들은 스토리지 커패시터(Cst)에 저장된 전압을 이용하여 계조를 표시하기 때문에 원하는 계조를 정확히 표현하는데 어려움이 있다.(아날로그 구동) 실제로, 스토리지 커패시터(Cst)에 저장될 수 있는 일정전압을 이용하여 다수의 계조를 표현해야 하기 때문에 인접 계조간의 밝기차가 정확히 표현되기 곤란하다.
- <26> 그리고, 종래의 유기전계발광 표시장치들에 포함되는 제 2트랜지스터(M2)는 공정편차에 의하여 화소들(4)마다

문턱전압 및 전자 이동도 등이 상이하게 설정된다. 이와 같이 화소들(4) 마다 제 2트랜지스터(M2)의 문턱전압 및 전자 이동도의 편차가 발생되면 동일한 계조 전압에 대하여 서로 다른 계조의 빛이 생성되고, 이에 따라 균 일한 휘도의 영상을 표시할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<27> 본 발명은 디지털 구동 방식의 유기 전계발광 표시장치에 있어서, 교대로 쓰기(Write) 및 읽기(Read) 동작을 수 행하는 2개의 프레임 메모리에 대해 상기 쓰기와 읽기의 시작과 완료 시점을 서로 일치시키기 위해 외부 수직 동기화 신호(Vsync)와 내부 수직 동기화 신호를 일치시키는 유기 전계발광 표시 장치 및 그 구동방법을 제공함 에 목적이 있다.

발명의 구성 및 작용

<28> 상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 유기 전계발광 표시장치는, 디지털 방식을 구동되는 유 기 전계발광 표시장치에 있어서, 주사선들로 주사신호를 순차적으로 공급하는 주사 구동부와; 데이터들 각각으 로 제 1데이터신호 또는 제 2데이터신호를 공급하는 데이터 구동부와; 상기 주사신호가 공급될 때 선택되며 상 기 제 1데이터신호 또는 제 2데이터신호를 공급받아 발광여부가 제어되는 다수의 화소가 구비된 화소부와; 상기 주사 구동부 및 데이터 구동부를 제어하고, 상기 데이터 구동부에 소정의 데이터를 공급하는 타이밍 제어부와; 상기 타이밍 제어부에 구비되는 2개의 프레임 메모리에 대해 쓰기(Write)의 완료시점과 읽기(Read)의 시작시점 을 일치시키도록 내부 수직 동기신호(Vsync)와 외부 수직 동기신호의 위상차를 일치시키는 수직 동기신호 동기 화 회로가 포함됨을 특징으로 한다.

<29> 또한, 본 발명에 의한 유기 전계발광 표시장치의 구동방법은, 디지털 구동 방식의 유기 전계발광 표시장치에서 외부 수직 동기신호와 내부 수직 동기신호의 위상차를 일치시키는 유기 전계발광 표시장치의 구동방법에 있어서, 상기 외부 수직 동기신호를 입력받아 이를 1/2 분주하여 듀티(duty)비 50%이고 주파수가 상기 외부 수 직 동기신호의 1/2인 신호(제 1출력신호)가 출력되는 단계와; 상기 내부 수직 동기 신호 및 1/2 분주된 내부 수 직 동기신호를 입력받아 상기 두 신호의 위상 비교를 하여 90도 쉬프트되어 1/2 분주된 내부 수직 동기신호(제 2출력신호)가 출력되는 단계와; 상기 출력된 2개 신호의 위상 비교가 수행되는 단계와; 상기 출력된 2개 신호의 위상차가 일치하도록 메인 클럭의 주파수를 조절하는 단계가 포함됨을 특징으로 한다.

<30> 본 발명의 실시예에 의한 디지털 구동 방식의 유기 전계발광 표시장치의 설명에 앞서 일반적인 디지털 구동 방 식 유기 전계발광 표시장치를 먼저 설명하도록 한다.

<31> 도 2는 일반적인 디지털 구동 방식의 유기 전계발광 표시장치의 구성 블록도이다.

<32> 도 2를 참조하면, 일반적인 디지털 구동 방식의 유기 전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들 (D1 내지 Dm)과 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동 부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사 구동부(10) 및 데이터 구동부 (20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

<33> 타이밍 제어부(50)는 외부로부터 공급되는 수직 동기신호(Vsync)에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(2 0)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(10)로 공급된다.

<34> 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(20)로 공급한다.

<35> 데이터 구동부(20)는 한 프레임에 포함된 복수의 서브 프레임 기간마다 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 여기서, 데이터신호는 화소(40)가 발광할 수 있는 제 1데이터신호와 화소(40)가 발광되지 않는 제 2 데이터신호로 나누어진다. 즉, 데이터 구동부(20)는 각각의 서브 프레임 기간에서 주사신호가 공급될 때마다 화소(40)의 발광여부를 제어하는 제 1데이터신호 및/또는 제 2데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

<36> 주사 구동부(10)는 각각의 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 공급되면 화소(40)들이 라인별로 선택된다. 이때, 주사신호에 의하여 선택된 화소(40) 들은 데이터선들(D1 내지 Dm)로부터 제 1데이터신호 또는 제 2데이터신호를 공급받는다.

<37> 화소부(30)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(40) 각각은 주사신호가 공급될 때 데이터신호(제 1데이터

신호 또는 제 2데이터신호)를 공급받고, 공급받은 데이터신호에 대응하여 각각의 서브 프레임 기간 동안 발광 또는 비발광된다. 예를 들어, 주사신호가 공급될 때 제 1데이터신호를 공급받은 화소(40)는 해당 서브 프레임 기간 동안 발광되고, 제 2데이터신호를 공급받은 화소(40)는 해당 서브 프레임 기간 동안 비발광된다. 이 때, 상기 화소(40)는 앞서 도 1에서 설명한 화소 구조와 동일할 수 있다.

- <38> 상기 디지털 구동에 있어서 하나의 프레임(1F)은 복수의 서브 프레임(일 예로 SF1 ~ SF8)으로 나뉘어 구동된다. 여기서, 각각의 서브 프레임(SF1 ~ SF8)은 주사신호를 순차적으로 공급하기 위한 주사기간, 주사기간 동안 제 1 데이터신호를 공급받은 화소들(40)이 발광되는 발광기간 및 화소들(40)이 비발광 상태로 전환되는 리셋기간으로 나뉘어 구동된다.
- <39> 또한, 상기 서브 프레임(SF1 ~ SF8) 각각에서 발광기간은 상이하게 설정된다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우 한 프레임에 8개의 서브필드(SF1 내지 SF8)로 나뉘어지며, 8개의 서브 필드들(SF1 내지 SF8) 각각에서 발광기간은 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 즉, 각각의 서브 프레임에서 화소들(40)의 발광여부를 제어하여 소정 계조의 화상을 표시하게 되는 것으로, 상기 서브 프레임 기간 동안 상기 화소가 발광되는 시간의 합을 이용하여 한 프레임 기간 동안 소정의 계조를 표현한다.
- <40> 이와 같이 디지털 구동은 각 화소에 구비되는 구동 트랜지스터의 온 또는 오프 상태를 이용하여 계조를 표현하기 때문에 트랜지스터들의 불균일과 무관하게 균일한 휘도의 영상을 표시할 수 있으며, 시간을 분할하여 계조를 표현(디지털 구동)하기 때문에 일정 전압 범위를 이용하여 계조를 표현(아날로그 구동)하는 방식보다 좀더 정확한 계조를 표현할 수 있다.
- <41> 또한, 상기 타이밍 제어부(50)에는 2개의 프레임 메모리(미도시)가 구비되어 있으며, 이는 교대로 쓰기(Write) 및 읽기(Read) 동작을 수행한다. 즉, 한 프레임 메모리가 외부로부터 공급되는 데이터를 쓰는(Write) 동안 다른 프레임 메모리는 기 저장된 데이터를 읽어(Read) 상기 데이터 구동부(20)로 전송하는 것이다.
- <42> 이 때, 상기 외부 데이터는 상기 외부 수직 동기신호에 의해 동기되어 쓰기 동작을 수행하는 프레임 메모리에 저장되고, 상기 데이터 구동부(20)는 내부 수직 동기신호에 동기되어 읽기 동작을 수행하는 프레임 메모리로부터 기 저장된 데이터를 읽어 화소부(30)에 구비된 다수의 화소에 이를 전송한다. 이와 같은 쓰기 및 읽기 동작은 상기 2개의 프레임 메모리 간에 교대로 수행된다.
- <43> 그러나, 이와 같은 동작에 있어 상기 외부 수직 동기신호와 내부 수직 동기신호가 서로 동기되지 않아 위상이 다를 경우 상기 2개의 프레임 메모리에서 쓰기와 읽기의 시작과 완료 시점이 서로 상이하게 되어 화면의 일부가 맞지 않는 문제가 발생된다.
- <44> 도 3은 외부 수직 동기신호와 내부 수직 동기신호의 위상이 일치하지 않을 경우 발생하는 문제를 나타내는 도면이다.
- <45> 도 3에 도시된 바와 같이, 외부 수직 동기신호(Vsync)와 내부 수직 동기신호(Vsync)가 서로 동기되지 않아 위상차가 발생할 경우, 상기 내부 수직 동기신호의 하강 에지에서 각 프레임 메모리의 읽기/쓰기 동작이 전환되기 때문에 상기 2개의 프레임 메모리에서 쓰기와 읽기의 시작과 완료 시점이 서로 상이하게 되어 화면의 일부가 맞지 않게 된다.
- <46> 즉, 정상적으로는 상기 외부 수직 동기신호에 동기되어 외부 데이터에 대한 쓰기(Write) 동작이 수행되는 제 1 프레임 메모리(Memory 1)는 N 프레임 기간에 대해 모든 데이터의 쓰기 동작이 완료된 이후 N+1 프레임에서 읽기(Read) 동작으로 전환되어야 하나, 도시된 바와 같이 내부 수직 동기신호가 외부 수직 동기신호와 동기되지 않아 위상차가 발생되면, 쓰기(Write) 동작이 수행되는 제 1 프레임 메모리(Memory 1)가 N 프레임 기간 중 읽기(Read) 동작으로 전환되고, 이에 N 프레임 기간 동안 읽기 동작이 수행되어야 할 제 2 프레임 메모리(Memory 2)는 상기 내부 수직 동기신호에 의해 N 프레임 기간 중 쓰기 동작으로 전환되어 이에 따라 상기 프레임에 해당하는 화면의 일부가 맞지 않게 되는 문제가 발생된다.
- <47> 이와 같은 문제는 도시된 바와 같이 상기 외부 수직 동기신호와 내부 수직 동기신호가 동기화 되지 않을 경우 각 프레임 별로 지속적으로 발생된다.
- <48> 본 발명의 실시예는 이와 같은 문제를 극복하기 위해 도출된 것으로, 타이밍 제어부와 연결되는 수직 동기신호 동기화 회로가 구비됨으로써, 교대로 쓰기(Write) 및 읽기(Read) 동작을 수행하는 2개의 프레임 메모리에 대해 상기 쓰기와 읽기의 시작과 완료 시점을 서로 일치시킬 수 있음을 특징으로 한다.

- <49> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.
- <50> 도 4는 본 발명의 실시예에 의한 유기 전계발광 표시장치의 구성 블록도이다.
- <51> 도 4를 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는, 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 복수의 화소들(400)을 포함하는 화소부(300)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(100)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(200)와, 주사 구동부(100) 및 데이터 구동부(200)를 제어하기 위한 타이밍 제어부(500) 및 상기 타이밍 제어부에 구비되는 2개의 프레임 메모리에 대해 쓰기(Write)의 완료시점과 읽기(Read)의 시작시점을 일치시키도록 내부 수직 동기신호(Vsync)와 외부 수직 동기신호의 위상차를 일치시키는 수직 동기신호 동기화 회로(600)가 포함되어 구성된다.
- <52> 여기서, 상기 타이밍 제어부(500)는 외부로부터 공급되는 수직 동기신호(Vsync)에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성하며, 상기 데이터 구동제어신호(DCS)는 데이터 구동부(200)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(100)로 공급된다. 또한, 상기 외부 수직 동기 신호에 동기되어 외부로부터 공급되는 데이터(Data)를 데이터 구동부(200)로 공급한다.
- <53> 또한, 상기 타이밍 제어부(500)에는 2개의 프레임 메모리(미도시)가 구비되어 있으며, 이는 교대로 쓰기(Write) 및 읽기(Read) 동작을 수행한다. 즉, 한 프레임 메모리가 외부로부터 공급되는 데이터를 쓰는(Write) 동안 다른 프레임 메모리는 기 저장된 데이터를 읽어(Read) 상기 데이터 구동부(200)로 전송하는 것이다.
- <54> 이 때, 상기 외부 데이터는 상기 외부 수직 동기신호에 의해 동기되어 쓰기 동작을 수행하는 프레임 메모리에 저장되고, 상기 데이터 구동부(200)는 내부 수직 동기신호에 동기되어 읽기 동작을 수행하는 프레임 메모리로부터 기 저장된 데이터를 읽어 화소부(300)에 구비된 다수의 화소(400)에 이를 전송한다. 이와 같은 쓰기 및 읽기 동작은 상기 2개의 프레임 메모리 간에 교대로 수행된다.
- <55> 종래의 경우 앞서 설명한 바와 같이 상기 외부 수직 동기신호와 내부 수직 동기신호가 서로 동기되지 않아 위상이 다를 경우 상기 2개의 프레임 메모리에서 쓰기와 읽기의 시작과 완료 시점이 서로 상이하게 되어 화면의 일부가 맞지 않는 문제가 발생되었으나, 본 발명의 실시예에서는 이러한 문제를 극복하기 위해 상기 내부 수직 동기신호를 외부 수직 동기신호와 동기시켜 위상차를 일치시키는 수직 동기신호 동기화 회로(600)가 구비됨을 특징으로 한다.
- <56> 상기 타이밍 제어부(500) 및 수직 동기신호 동기화 회로(600)의 구체적인 구성 및 동작은 도 5 내지 도 7을 통해 보다 상세히 설명하도록 한다.
- <57> 또한, 상기 데이터 구동부(200)는 한 프레임에 포함된 복수의 서브 프레임 기간마다 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 여기서, 데이터신호는 화소(400)가 발광할 수 있는 제 1데이터신호와 화소(400)가 발광되지 않는 제 2데이터신호로 나누어진다. 즉, 데이터 구동부(200)는 각각의 서브 프레임 기간에서 주사신호가 공급될 때마다 화소(400)의 발광여부를 제어하는 제 1데이터신호 및/또는 제 2데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.
- <58> 주사 구동부(100)는 각각의 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 공급되면 화소(400)들이 라인별로 선택된다. 이때, 주사신호에 의하여 선택된 화소(400)들은 데이터선들(D1 내지 Dm)로부터 제 1데이터신호 또는 제 2데이터신호를 공급받는다.
- <59> 화소부(300)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(400)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(400) 각각은 주사신호가 공급될 때 데이터신호(제 1데이터신호 또는 제 2데이터신호)를 공급받고, 공급받은 데이터신호에 대응하여 각각의 서브 프레임 기간 동안 발광 또는 비발광된다. 예를 들어, 주사신호가 공급될 때 제 1데이터신호를 공급받은 화소(400)는 해당 서브 프레임 기간 동안 발광되고, 제 2데이터신호를 공급받은 화소(400)는 해당 서브 프레임 기간 동안 비발광된다. 이 때, 상기 화소(400)는 앞서 도 1에서 설명한 화소 구조와 동일할 수 있다.
- <60> 도 5는 도 4에 도시된 타이밍 제어부의 구성을 보다 구체적으로 도시된 도면이다.
- <61> 도 5를 참조하면, 상기 타이밍 제어부(500)는 외부로부터 외부 수직 동기신호(Vsync) 및 외부 데이터(Data)를 전달받아 상기 외부 데이터(Data)를 제 1프레임 메모리(520)에 저장하는 쓰기(Write) 메모리 제어단(510)과, 내부 수직 동기신호(Vsync)에 동기되어 제 2프레임 메모리(530)에 기 저장된 데이터를 읽어 이를 데이터 구동회로(도 4의 200)에 전달하는 읽기(Read) 메모리 제어단(540)과, 상기 외부 데이터의 읽기 및 쓰기 동작을 교대로

수행하는 제 1 및 제 2프레임 메모리(520, 530)가 포함되어 구성된다.

- <62> 상기 쓰기 메모리 제어단(510)은 외부로부터 외부 수직 동기신호 및 상기 외부 수직 동기신호에 동기되어 입력되는 외부 데이터를 전달받아 상기 외부 데이터를 쓰기 동작이 수행되는 프레임 메모리에 저장하는 역할을 한다.
- <63> 이 때, 상기 프레임 메모리는 제 1 또는 제 2프레임 메모리(520, 530)가 될 수 있는 것으로, 상기 제 1프레임 메모리(520)가 쓰기 동작을 수행할 때는 상기 제 2프레임 메모리(530)가 읽기 동작을 수행하고, 반대로 제 1프레임 메모리(520)가 읽기 동작을 수행할 때는 제 2프레임 메모리(530)는 쓰기 동작을 수행한다.
- <64> 즉, 상기 쓰기 메모리 제어단(510)은 쓰기 동작을 수행하는 프레임 메모리에 상기 외부 데이터 및 상기 외부 동기신호에 의해 생성되는 쓰기 어드레스 신호(WR ADD)를 제공하며, 이에 따라 상기 프레임 메모리에는 상기 외부 동기신호에 동기되어 순차적으로 한 프레임에 해당하는 데이터가 저장된다.
- <65> 또한, 상기 읽기 메모리 제어단(540)은 내부 수직 동기신호에 의해 생성되는 읽기 어드레스 신호(RD ADD)를 읽기 동작이 수행되는 프레임 메모리 즉, 이전 프레임에 쓰기 동작이 수행되어 데이터가 기 저장된 프레임 메모리에 제공하여 상기 프레임 메모리로부터 상기 기 저장된 데이터를 읽어 이를 데이터 구동회로에 전달한다.
- <66> 이 때, 상기 읽기 메모리 제어단(540)은 메인 카운터로서 패널의 구동회로에 메인 클럭을 제공하는 역할을 하며, 상기 내부 수직 동기신호는 상기 메인 클럭에 의해 생성된다.
- <67> 단, 본 발명의 경우 상기 내부 수직 동기신호는 수직 동기신호 동기화 회로(600)를 통해 상기 외부 수직 동기신호의 위상과 동기화된 신호 즉, 상기 외부 수직 동기신호와 위상차가 없는 신호임을 특징으로 한다.
- <68> 이를 위해 상기 읽기 메모리 제어단(540)은 내부에서 생성되는 내부 수직 동기신호 및 상기 내부 수직 동기신호를 1/2분주한 신호를 상기 수직 동기신호 동기화 회로(600)에 제공하고, 이를 외부 수직 동기화 신호와 위상 비교하여 상기 외부 수직 동기신호와 위상차가 일치하는 내부 수직 동기신호를 생성토록 메인 클럭의 주파수를 조절하여 상기 주파수가 조절된 메인 클럭을 다시 상기 읽기 메모리 제어단(540)으로 피드백 한다.
- <69> 이에 따라 상기 읽기 메모리 제어단(540)에서 프레임 메모리에 저장된 데이터를 읽는데 사용되는 내부 수직 동기신호는 상기 쓰기 메모리 제어단(510)에서 프레임 메모리에 데이터를 쓰는데 사용되는 외부 수직 동기신호와 위상차가 없기 때문에 앞서 언급한 문제 즉, 상기 2개의 프레임 메모리에서 쓰기와 읽기의 시작과 완료 시점이 서로 상이하게 되어 화면의 일부가 맞지 않게 되는 문제를 극복할 수 있게 되는 것이다.
- <70> 도 6은 도 4에 도시된 수직 동기신호 동기화 회로의 구성을 나타내는 블록도이고, 도 7은 도 6에 도시된 수직 동기신호 동기화 회로의 구동 파형도이다.
- <71> 도 6 및 도 7을 참조하면, 상기 수직 동기신호 동기화 회로(600)는, 외부 수직 동기신호를 입력받아 이를 1/2분주하여 출력하는 D-플립플롭(610)과, 상기 읽기 메모리 제어단(540)으로부터 내부 수직 동기 신호 및 1/2분주된 내부 수직 동기신호를 입력받아 90도 쉬프트되어 1/2분주된 내부 수직 동기신호를 출력하는 제 1 논리적 배타합(EX-OR) 게이트(620)와, 상기 제 1 EX-OR 게이트(620)의 출력신호 및 상기 D-플립플롭의 출력신호(610)의 위상을 비교하는 제 2 논리적 배타합(EX-OR) 게이트(630)와; 상기 제 2 EX-OR 게이트(630)의 출력신호의 직류(DC) 성분만을 출력하는 필터(640)와; 상기 제 2 EX-OR 게이트(630)의 결과에 따라 발진 주파수가 조절되는 진압제어발진기(VCO)(650)가 포함되어 구성된다.
- <72> 앞서 설명한 바와 같이 외부 데이터는 외부 수직 동기신호(VSYNC_WR)에 동기되어 상기 타이밍 제어부의 쓰기 메모리 제어단(도 5의 510)에 입력되며, 이에 상기 타이밍 제어부의 읽기 메모리 제어단(540)은 상기 외부 수직 동기신호(VSYNC_WR)와 동일한 타이밍에 동기되어 읽기 동작이 수행되는 프레임 메모리로부터 기 저장된 데이터를 읽고 이를 각 화소에 전송할 필요가 있다.
- <73> 이를 위해서 본 발명은 상기 수직 동기신호 동기화 회로(600)를 통해 외부에서 입력되는 외부 수직 동기신호(VSYNC_WR)와, 타이밍 제어부 내의 메인 카운터(Main Counter) 즉, 읽기 메모리 제어부(540)에서 생성되는 내부 수직 동기신호(일 예로 60Hz_RD)를 서로 위상 비교하고, 그 위상이 서로 일치하도록 메인 클럭 주파수를 조절하여 두 신호의 위상을 맞추는 방법을 사용한다.
- <74> 상기 수직 동기신호 동기화 회로(600)의 구체적인 동작을 도 6 및 도 7을 참조하여 설명하면 다음과 같다.
- <75> 외부 수직 동기신호(VSYNC_WR)를 입력받는 D-플립플롭(610)을 통해 상기 신호를 1/2분주하여 듀티(duty)비 50%이고 일 예로 주파수가 30Hz인 신호(VSYNC_WR/2)를 출력한다.

- <76> 또한, 읽기 메모리 제어단(540)으로부터 출력되는 내부 수직 동기 신호(60Hz_RD) 및 1/2 분주된 내부 수직 동기 신호(30Hz_RD)를 입력받는 제 1 EX-OR 게이트(620)를 통해 상기 두 신호의 위상 비교를 하여 90도 쉬프트되어 1/2 분주된 내부 수직 동기신호(30Hz_RD_90shift)를 출력한다.
- <77> 상기 입력되는 두 신호를 EX-OR 게이트를 사용하여 비교할 경우 두 신호의 90도 위상 차에서 phase locking 되므로, 30Hz_RD를 90도 shift하여 얻은 30Hz_RD_90shift가 출력되는 것이다.
- <78> 이에 상기 D-플립플롭(610)의 출력신호(VSYNC_WR/2) 및 제 1 EX-OR 게이트(620)의 출력신호(30Hz_RD_90shift)는 제 2 EX-OR 게이트(630)에 입력되어 위상 비교가 수행된다.
- <79> 이에 상기 VSYNC_WR/2와 30Hz_RD_90shift가 서로 위상이 일치하면 위상비교를 하는 제 2 EX-OR 게이트(630)의 출력에서 A(low 구간)와 B(high 구간)의 비율이 50%가 되며, VSYNC_WR/2의 위상이 앞서면 A < B가 되고, 30Hz_RD의 신호가 위상이 앞서면 A > B가 된다. 또한, 상기 제 2 EX-OR 게이트(630)에 연결되어 구비된 필터(일 예로 low pass 필터)(640)는 상기 제 2 EX-OR 게이트(630) 출력신호의 직류(DC) 성분만을 필터링하여 이를 출력한다.
- <80> 이에 따라 상기 VSYNC_WR/2의 위상이 30Hz_RD_90shift의 위상에 앞서면 전압제어발진기(VCO)(650)의 주파수 제어 전압 입력이 상승하여 메인 클럭(RD_CLK_OUT) 주파수를 올려서 두 신호의 위상차를 일치시킨다.
- <81> 반대로 30Hz_RD의 위상이 앞서면 상기 VCO(650)의 주파수 제어 전압이 하강하여 메인 클럭(RD_CLK_OUT) 주파수는 낮추어서 두 신호의 위상차를 일치시킨다.
- <82> 이에 주파수가 조절된 메인 클럭이 피드백되어 상기 타이밍 제어부의 메인 카운터(Main Counter) 즉, 읽기 메모리 제어단(540)에 입력됨으로써, 상기 외부 수직 동기신호와 위상차가 없는 내부 수직 동기신호가 생성되며, 상기 내부 수직 동기신호에 의해 읽기 동작이 수행되므로, 상기 2개의 프레임 메모리에서 쓰기과 읽기의 시작과 완료 시점이 서로 상이하게 되어 화면의 일부가 맞지 않게 되는 문제를 극복할 수 있게 되는 것이다.
- <83> 도 8은 외부 수직 동기신호와 내부 수직 동기신호의 위상이 일치하는 경우를 나타내는 도면이다.
- <84> 도 8에 도시된 바와 같이, 외부 수직 동기신호(Vsync)와 내부 수직 동기신호(Vsync)가 서로 동기되어 위상차가 없는 경우, 상기 외부 수직 동기신호와 동일한 타이밍을 갖는 내부 수직 동기신호의 하강 에지에서 각 프레임 메모리의 읽기/쓰기 동작이 전환되기 때문에 상기 2개의 프레임 메모리에서 쓰기과 읽기의 시작과 완료 시점이 서로 일치되며, 이에 따라 각 프레임별로 나타내는 화면이 이상 없이 디스플레이 될 수 있다.
- <85> 즉, 상기 외부 수직 동기신호에 동기되어 외부 데이터에 대한 쓰기(Write) 동작이 수행되는 제 1프레임 메모리(Memory 1)는 N 프레임 기간에 대해 모든 데이터의 쓰기 동작이 완료된 이후 N+1 프레임에서 읽기(Read) 동작으로 전환되고, 이와 마찬가지로 상기 외부 수직 동기신호와 동일한 타이밍을 갖는 내부 동기신호에 동기되어 기 저장된 데이터에 대한 읽기(Read) 동작이 수행되는 제 2프레임 메모리(Memory 2)는 N 프레임 기간에 대해 모든 데이터의 읽기 동작이 완료된 이후 N+1 프레임에서 쓰기(Write) 동작으로 전환된다.

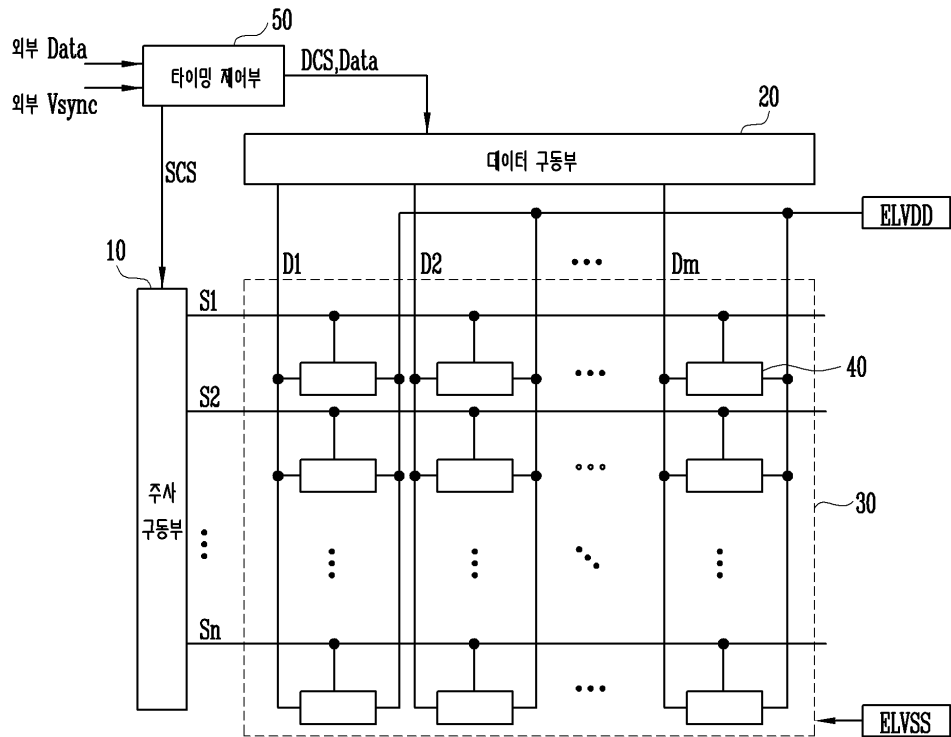
발명의 효과

- <86> 이와 같은 본 발명에 의하면, 교대로 쓰기(Write) 및 읽기(Read) 동작을 수행하는 2개의 프레임 메모리에 대해 상기 쓰기과 읽기의 시작과 완료 시점을 서로 일치시킴으로써, 화면의 일부가 맞지 않는 문제를 극복할 수 있다는 장점이 있다.
- <87> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정하여져야만 한다.

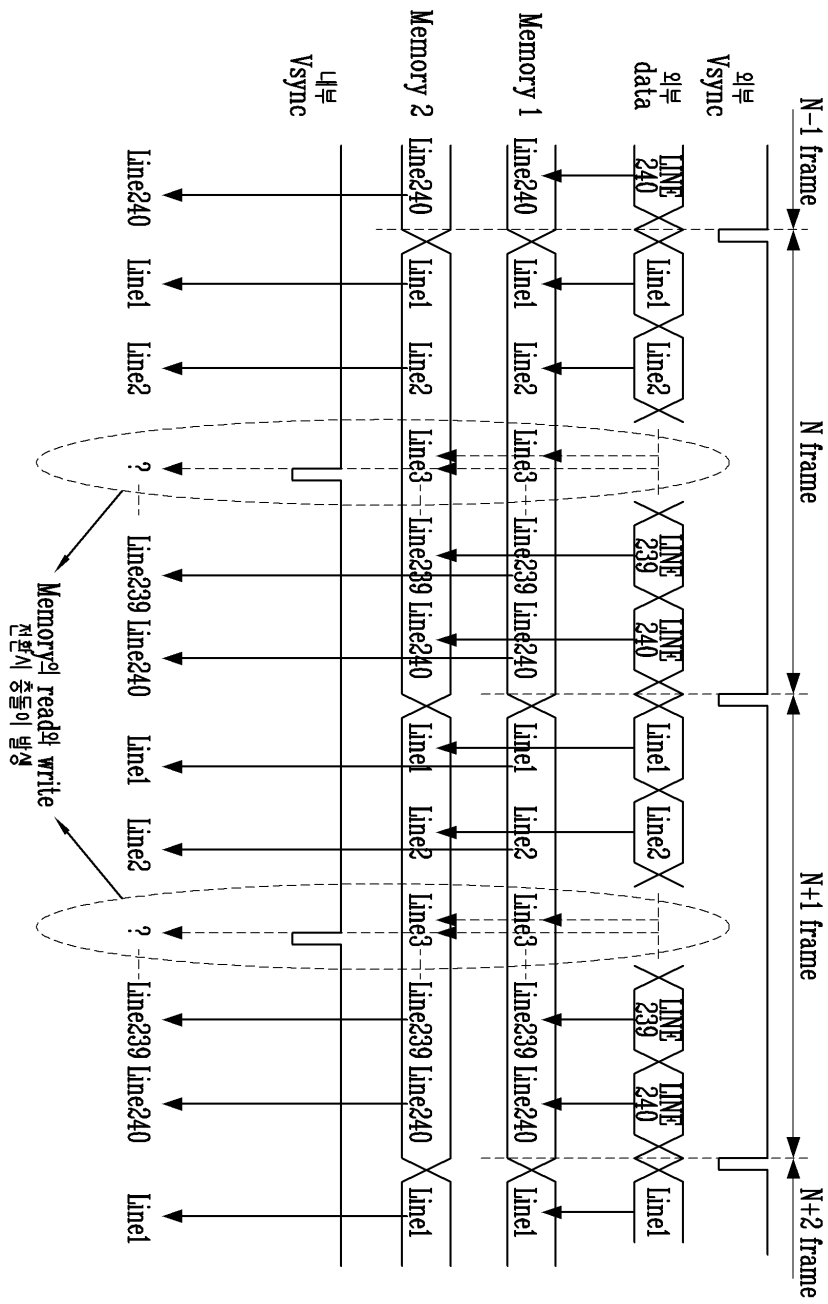
도면의 간단한 설명

- <1> 도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도.
- <2> 도 2는 일반적인 디지털 구동 방식의 유기 전계발광 표시장치의 구성 블록도.
- <3> 도 3은 외부 수직 동기신호와 내부 수직 동기신호의 위상이 일치하지 않을 경우 발생하는 문제를 나타내는 도면.

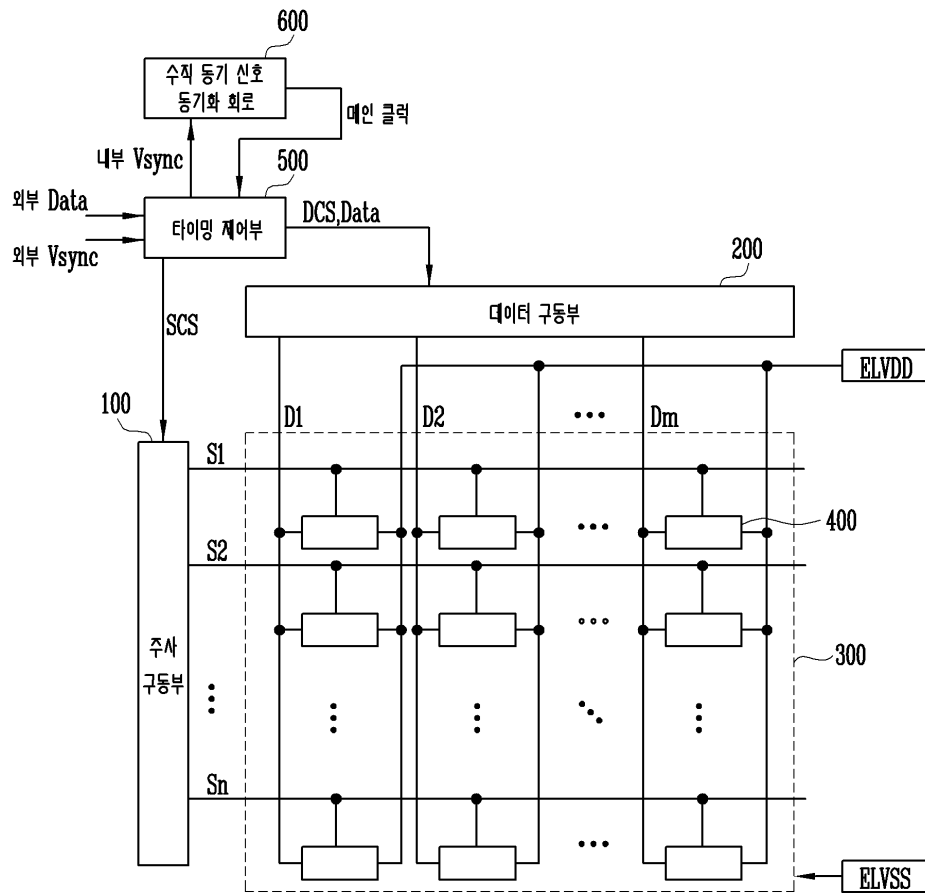
도면2



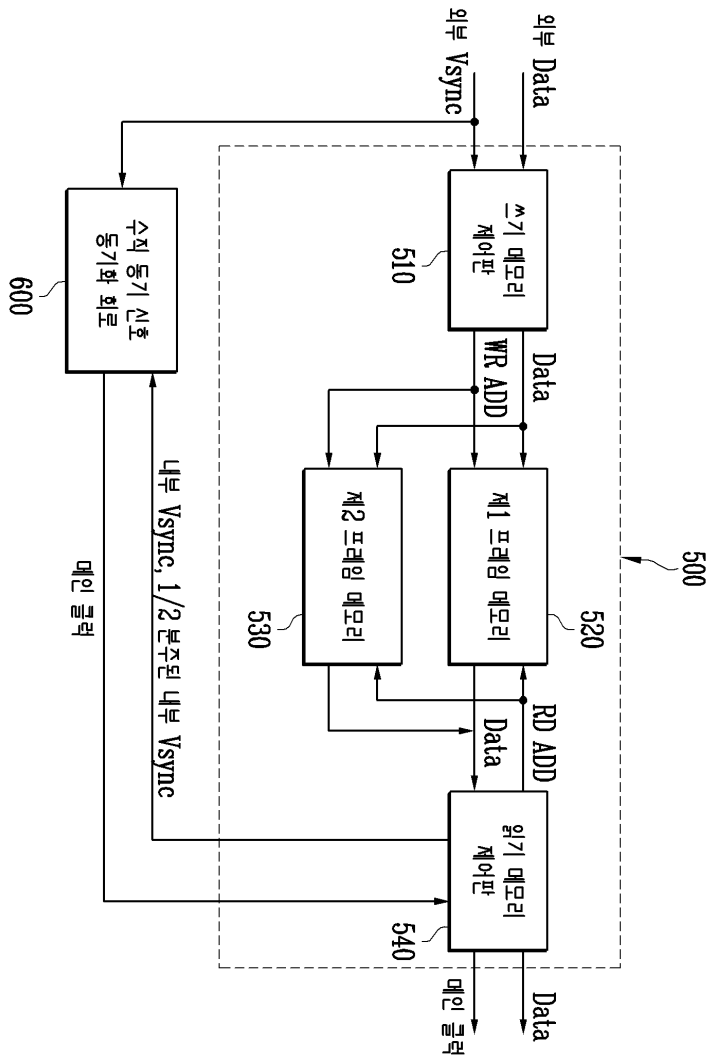
도면3



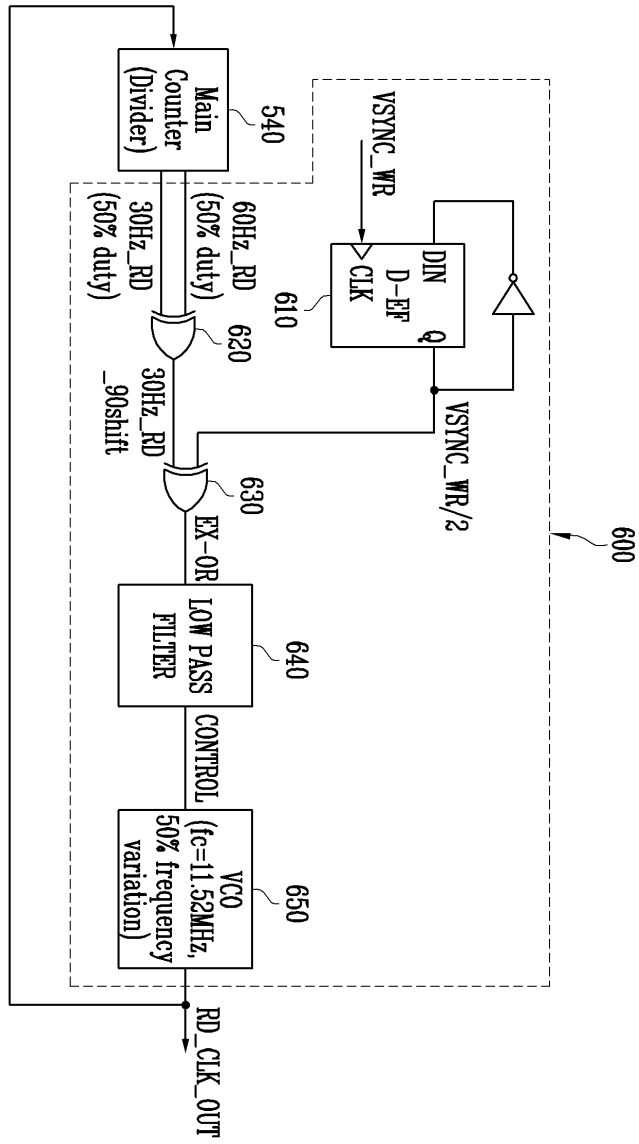
도면4



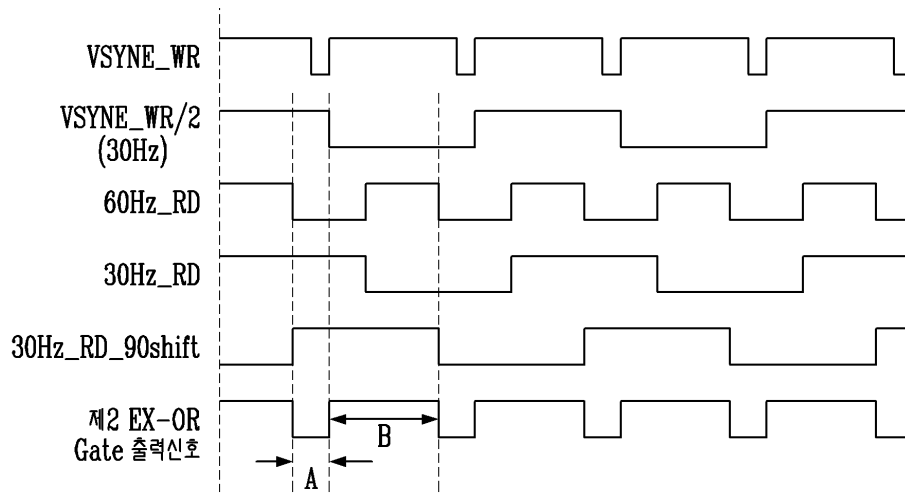
도면5

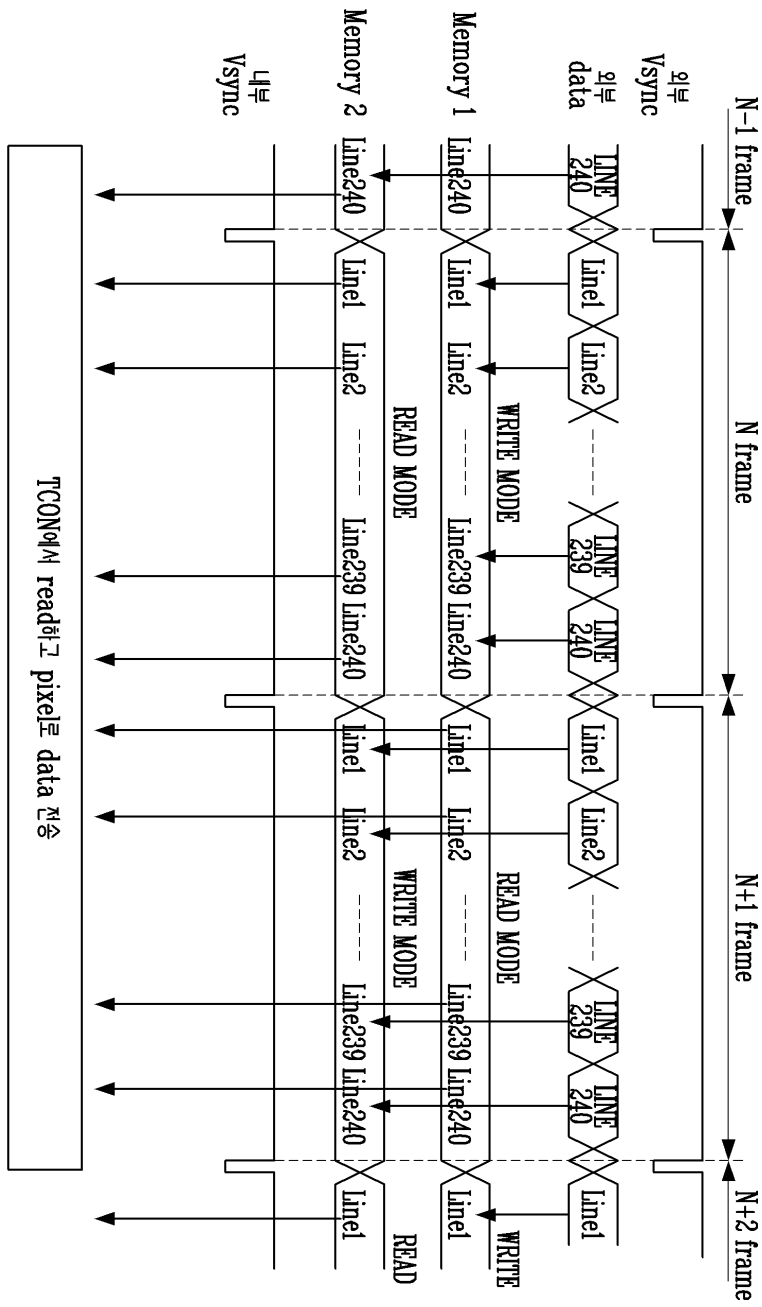


도면6



도면7





도면8

专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	KR100805610B1	公开(公告)日	2008-02-20
申请号	KR1020060083143	申请日	2006-08-30
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DOIK KIM 김도익 DOHYUNG RYU 류도형		
发明人	김도익 류도형		
IPC分类号	G09G3/30 G09G3/20 H05B33/12 G11C7/00		
CPC分类号	G09G3/3291 G09G3/3266 G09G2360/18 G09G5/399 G09G2320/0233 G09G3/3225 G09G3/2096 G09G3/2022		
代理人(译)	Sinyoungmu		
外部链接	Espacenet		

摘要(译)

提供OLED装置及其驱动方法，以匹配帧存储器的读取和写入操作中的开始时间和结束时间。OLED（有机发光显示器）装置包括扫描和数据驱动器（100,200），像素单元（400），定时控制器（500）和垂直同步电路（600）。扫描驱动器将扫描信号提供给扫描线。数据驱动器提供第一和第二数据信号。像素单元包括多个像素，其通过接收第一和第二数据信号来控制，并且在提供扫描信号时被选择。时序控制器控制扫描和数据驱动程序，并将数据提供给数据驱动程序。垂直同步电路匹配内部和外部垂直同步信号的相位差，以便在安装定时控制器上的两个帧存储器的读和写操作中匹配开始时间和结束时间。

