

기관 상의 화소 영역 각각에 형성된 트랜지스터;

상기 트랜지스터가 형성될 때 상기 화소 영역에 형성되며 서로 대향되도록 위치된 제1 전극층 및 제2 전극층;

상기 트랜지스터 및 상기 제2 전극층 상에 형성된 제3 절연막;

상기 제3 절연막 상에 형성되며, 정전압원과 접속되는 도전층;

상기 도전층 상에 형성된 제4 절연막; 및

상기 제4 절연막 상에 상기 제1 전극층 및 상기 제2 전극층과 중첩되도록 형성된 유기 발광다이오드를 구비하는 유기 발광 표시장치.

청구항 2.

제1 항에 있어서,

상기 기관과 상기 제1 전극층 사이에 형성되며 상기 제2 전극층과 접속되는 반도체층;

상기 반도체층과 상기 제1 전극층 사이에 형성된 제1 절연막; 및

상기 제1 전극층과 상기 제2 전극층 사이에 형성된 제2 절연막을 더 구비하며,

상기 반도체층, 상기 제1 절연막 및 상기 제1 전극층은 제1 커패시터로 이용되고, 상기 제1 전극층, 상기 제2 절연막 및 상기 제2 전극층은 제2 커패시터로 이용되는 유기 발광표시장치.

청구항 3.

제2 항에 있어서,

상기 반도체층은 상기 트랜지스터의 반도체층과 동일한 재료로 형성된 유기 발광표시장치.

청구항 4.

제2 항에 있어서,

상기 제1 전극층은 상기 트랜지스터의 게이트 전극과 동일한 재료로 형성된 유기 발광표시장치.

청구항 5.

제2 항에 있어서,

상기 제2 전극층은 상기 트랜지스터의 소스 및 드레인 전극과 동일한 재료로 형성된 유기 발광표시장치.

청구항 6.

제1 항에 있어서,

상기 도전층은 상기 유기 발광다이오드의 제1 전극에 접속되는 화소회로와 접속된 제1 전원(ELVDD), 또는 상기 유기 발광다이오드의 제2 전극에 접속된 제2 전원(ELVSS)에 접속되는 유기 발광표시장치.

청구항 7.

제1 항에 있어서,

상기 유기 발광다이오드는

상기 제4 절연막 상에 형성된 유기 발광다이오드의 제1 전극;

상기 제1 전극 상에 형성된 발광층; 및

상기 발광층 상에 형성된 유기 발광다이오드의 제2 전극을 구비하는 유기 발광표시장치.

청구항 8.

기판 상의 화소 영역 각각에 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성될 때 상기 화소 영역에 서로 대향되도록 제1 전극층 및 제2 전극층을 형성하는 단계;

상기 트랜지스터 및 상기 제2 전극층 상에 제3 절연막을 형성하는 단계;

상기 제3 절연막 상에 정전압원과 접속되도록 도전층을 형성하는 단계;

상기 도전층 상에 제4 절연막을 형성하는 단계; 및

상기 제4 절연막 상에 상기 제1 전극층 및 상기 제2 전극층과 중첩되도록 유기 발광다이오드를 형성하는 단계를 포함하는 유기 발광표시장치의 제조방법.

청구항 9.

제8 항에 있어서,

상기 기판과 상기 제1 전극층 사이에 상기 제2 전극층과 접속되도록 반도체층을 형성하는 단계;

상기 반도체층과 상기 제1 전극층 사이에 제1 절연막을 형성하는 단계; 및

상기 제1 전극층과 상기 제2 전극층 사이에 제2 절연막을 형성하는 단계를 더 포함하는 유기 발광표시장치의 제조방법.

청구항 10.

제9 항에 있어서,

상기 반도체층은 상기 트랜지스터의 반도체층과 동일한 재료로 형성하는 유기 발광표시장치의 제조방법.

청구항 11.

제9 항에 있어서,

상기 제1 전극층은 상기 트랜지스터의 게이트 전극과 동일한 재료로 형성하는 유기 발광표시장치의 제조방법.

청구항 12.

제9 항에 있어서,

상기 제2 전극층은 상기 트랜지스터의 소스 및 드레인 전극과 동일한 재료로 형성하는 유기 발광표시장치의 제조방법.

청구항 13.

제8 항에 있어서,

상기 도전층은 상기 유기 발광다이오드의 제1 전극에 접속되는 화소회로와 접속된 제1 전원(ELVDD), 또는 상기 유기 발광다이오드의 제2 전극에 접속된 제2 전원(ELVSS)에 접속되도록 형성하는 유기 발광표시장치의 제조방법.

청구항 14.

제8 항에 있어서,

상기 유기 발광다이오드를 형성하는 단계는

상기 제4 절연막 상에 유기 발광다이오드의 제1 전극을 형성하는 단계;

상기 제1 전극 상에 발광층을 형성하는 단계; 및

상기 발광층 상에 유기 발광다이오드의 제2 전극을 형성하는 단계를 포함하는 유기 발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광표시장치 및 그 제조방법에 관한 것으로, 특히 화소의 구동 전류를 안정화할 수 있도록 한 유기 발광표시장치 및 그 제조방법에 관한 것이다.

최근, 음극선관과 비교하여 무게가 가볍고 부피가 작은 각종 평판 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나고 응답속도가 빠른 발광 표시장치가 주목받고 있다.

이러한 발광 표시장치로는 유기 발광 소자를 이용한 유기 발광 표시장치와 무기 발광 소자를 이용한 무기 발광 표시장치가 있다. 유기 발광 소자는 유기 발광 다이오드(Organic Light Emitting Diode, OLED)로도 호칭되며, 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기 발광층을 포함한다. 무기 발광 소자는 발광 다이오드(Light Emitting Diode, LED)로도 호칭되며, 유기 발광 다이오드와 달리 무기물인 발광층, 일례로 PN 접합된 반도체로 이루어진 발광층을 포함한다.

도 1은 일반적인 유기 발광표시장치의 화소를 나타내는 회로도이다. 편의상, 도 1에서는 제 n 주사선 및 제 m 데이터선에 접속된 화소를 도시하기로 한다.

도 1을 참조하면, 일반적인 유기 발광표시장치의 화소는 유기 발광다이오드(OLED)와 제 n 주사선(S_n), 제 m 데이터선(D_m), 제1 전원(ELVDD) 및 유기 발광다이오드(OLED)에 접속되는 화소회로(110)를 구비한다.

유기 발광다이오드(OLED)의 제1 전극은 화소회로(110)에 접속되고, 제2 전극은 제2 전원(ELVSS)에 접속된다.

화소회로(110)는 제1 트랜지스터(M1), 제2 트랜지스터(M2) 및 저장용 커패시터(Cst)를 구비한다.

제1 트랜지스터(M1)의 제1 전극은 제 m 데이터선(D_m)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 전극과 제2 전극은 서로 다른 전극이다. 예를 들어, 제1 전극이 소스전극이면 제2 전극은 드레인 전극이다. 그리고, 제1 트랜지스터(M1)의 게이트 전극은 제 n 주사선(S_n)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 제 n 주사선(S_n)으로 주사신호가 공급될 때 턴-온되어 제 m 데이터선(D_m)으로 공급되는 데이터신호를 제1 노드(N1)로 공급한다.

제2 트랜지스터(M2)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제2 전극은 유기 발광다이오드(OLED)의 제1 전극에 접속된다. 그리고, 제2 트랜지스터(M2)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압에 대응하여 제1 전원(ELVDD)으로부터 유기 발광다이오드(OLED)의 제1 전극으로 흐르는 전류를 제어한다.

저장용 커패시터(Cst)의 일측단자는 제1 노드(N1)에 접속되고, 다른측단자는 제1 전원(ELVDD) 및 제2 트랜지스터(M2)의 제1 전극에 접속된다. 이와 같은 저장용 커패시터(Cst)는 제 n 주사선(S_n)에 주사신호가 공급될 때 제1 노드(N1)로 공급되는 데이터신호에 대응되는 전압을 저장하고, 저장된 전압을 한 프레임 동안 유지한다.

이와 같이 구성된 화소의 동작과정을 상세히 설명하면, 우선 제 n 주사선(S_n)에 주사신호가 공급되면 제1 트랜지스터(M1)가 턴-온된다. 제1 트랜지스터(M1)가 턴-온되면 제 m 데이터선(D_m)으로 공급되는 데이터신호가 제1 트랜지스터(M1)를 경유하여 제1 노드(N1)로 공급된다. 제1 노드(N1)에 데이터신호가 공급되면 저장용 커패시터(Cst)에는 데이터 신호에 대응되는 전압이 충전된다. 그러면, 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압(즉, 데이터신호에 대응되는 전압)에 대응하여 제1 전원(ELVDD)으로부터 유기 발광다이오드(OLED)로 흐르는 전류를 제어한다. 이에 따라, 유기 발광다이오드(OLED)는 데이터신호에 대응되는 빛을 생성한다.

이때, 유기 발광다이오드(OLED)에 흐르는 전류는 제2 트랜지스터(M2)의 문턱전압(V_{th})에 의해 영향을 받는다. 즉, 유기 발광다이오드(OLED)에는 제1 노드(N1)에 공급되는 전압과 제2 트랜지스터(M2)의 문턱전압의 차에 대응되는 전류가 흐른다. 여기서, 각각의 화소에서 유기 발광다이오드(OLED)에 흐르는 전류를 제어하는 제2 트랜지스터(M2)들은 공정편차 등에 의하여 서로 다른 문턱전압을 가질 수 있다. 이 경우, 각각의 화소 내에 구비된 유기 발광다이오드(OLED)들은 동일한 계조의 데이터신호가 공급될 때에도 서로 다른 밝기의 빛을 생성할 수 있다. 즉, 일반적인 유기 발광표시장치에서는 이와 같은 화소간 불균일 현상에 따른 화질저하가 발생할 수 있다.

한편, 전술한 바와 같이 유기 발광다이오드(OLED)에는 제2 트랜지스터(M2)의 게이트 전극에 공급되는 전압에 대응되는 전류가 흐른다. 그러므로, 화소의 구동전류를 안정화시키기 위해서는 제2 트랜지스터(M2)의 게이트 전극에 공급되는 전압을 안정화시킬 필요가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 트랜지스터의 문턱전압에 의한 영향을 제거하여 균일한 영상을 표시할 수 있도록 한 유기 발광표시장치 및 그 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 화소의 구동전류를 안정화할 수 있도록 한 유기 발광표시장치 및 그 제조방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제1 측면은 기판 상의 화소 영역 각각에 형성된 트랜지스터와, 상기 트랜지스터가 형성될 때 상기 화소 영역에 형성되며 서로 대향되도록 위치된 제1 전극층 및 제2 전극층과, 상기 트랜지스터 및 상기

제2 전극층 상에 형성된 제3 절연막과, 상기 제3 절연막 상에 형성되며, 정전압원과 접속되는 도전층과, 상기 도전층 상에 형성된 제4 절연막 및 상기 제4 절연막 상에 상기 제1 전극층 및 상기 제2 전극층과 중첩되도록 형성된 유기 발광다이오드를 구비하는 유기 발광표시장치를 제공한다.

바람직하게, 상기 기관과 상기 제1 전극층 사이에 형성되며 상기 제2 전극층과 접속되는 반도체층과, 상기 반도체층과 상기 제1 전극층 사이에 형성된 제1 절연막 및 상기 제1 전극층과 상기 제2 전극층 사이에 형성된 제2 절연막을 더 구비하며, 상기 반도체층, 상기 제1 절연막 및 상기 제1 전극층은 제1 커패시터로 이용되고, 상기 제1 전극층, 상기 제2 절연막 및 상기 제2 전극층은 제2 커패시터로 이용된다. 상기 반도체층은 상기 트랜지스터의 반도체층과 동일한 재료로 형성된다. 상기 제1 전극층은 상기 트랜지스터의 게이트 전극과 동일한 재료로 형성된다. 상기 제2 전극층은 상기 트랜지스터의 소스 및 드레인 전극과 동일한 재료로 형성된다. 상기 도전층은 상기 유기 발광다이오드의 제1 전극에 접속되는 화소회로와 접속된 제1 전원(ELVDD), 또는 상기 유기 발광다이오드의 제2 전극에 접속된 제2 전원(ELVSS)에 접속된다. 상기 유기 발광다이오드는 상기 제4 절연막 상에 형성된 유기 발광다이오드의 제1 전극과, 상기 제1 전극 상에 형성된 발광층 및 상기 발광층 상에 형성된 유기 발광다이오드의 제2 전극을 구비한다.

본 발명의 제2 측면은 기관 상의 화소 영역 각각에 트랜지스터를 형성하는 단계와, 상기 트랜지스터가 형성될 때 상기 화소 영역에 서로 대향되도록 제1 전극층 및 제2 전극층을 형성하는 단계와, 상기 트랜지스터 및 상기 제2 전극층 상에 제3 절연막을 형성하는 단계와, 상기 제3 절연막 상에 정전압원과 접속되도록 도전층을 형성하는 단계와, 상기 도전층 상에 제4 절연막을 형성하는 단계 및 상기 제4 절연막 상에 상기 제1 전극층 및 상기 제2 전극층과 중첩되도록 유기 발광다이오드를 형성하는 단계를 포함하는 유기 발광표시장치의 제조방법을 제공한다.

바람직하게, 상기 기관과 상기 제1 전극층 사이에 상기 제2 전극층과 접속되도록 반도체층을 형성하는 단계와, 상기 반도체층과 상기 제1 전극층 사이에 제1 절연막을 형성하는 단계 및 상기 제1 전극층과 상기 제2 전극층 사이에 제2 절연막을 형성하는 단계를 더 포함한다. 상기 반도체층은 상기 트랜지스터의 반도체층과 동일한 재료로 형성한다. 상기 제1 전극층은 상기 트랜지스터의 게이트 전극과 동일한 재료로 형성한다. 상기 제2 전극층은 상기 트랜지스터의 소스 및 드레인 전극과 동일한 재료로 형성한다. 상기 도전층은 상기 유기 발광다이오드의 제1 전극에 접속되는 화소회로와 접속된 제1 전원(ELVDD), 또는 상기 유기 발광다이오드의 제2 전극에 접속된 제2 전원(ELVSS)에 접속되도록 형성한다. 상기 유기 발광다이오드를 형성하는 단계는 상기 제4 절연막 상에 유기 발광다이오드의 제1 전극을 형성하는 단계 상기 제1 전극 상에 발광층을 형성하는 단계 및 상기 발광층 상에 유기 발광다이오드의 제2 전극을 형성하는 단계를 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시예가 첨부된 도 2 내지 도 8c를 참조하여 자세히 설명하면 다음과 같다.

도 2는 본 발명의 제1 실시예에 의한 유기 발광표시장치의 화소를 나타내는 회로도이다. 편의상, 도 2에서는 제n 주사선, 제n 발광제어선 및 제m 데이터선에 접속된 화소를 도시하기로 한다. 여기서, 트랜지스터들(M1 내지 M5)이 모두 P타입으로 도시되었지만 본 발명이 이에 한정되는 것은 아니다.

도 2를 참조하면, 본 제1 실시예에 의한 유기 발광표시장치의 화소는 유기 발광다이오드(OLED)와 제n 주사선(Sn), 제n 발광제어선(En), 제m 데이터선(Dm), 제1 전원(ELVDD) 및 유기 발광다이오드(OLED)에 접속된 화소회로(210)를 구비한다.

유기 발광다이오드(OLED)의 제1 전극은 화소회로(210)에 접속되고, 제2 전극은 제2 전원(ELVSS)에 접속된다.

화소회로(210)는 제1 내지 제5 트랜지스터(M1 내지 M5), 저장용 커패시터(Cst) 및 보상용 커패시터(Cvth)를 구비한다.

제1 트랜지스터(M1)의 제1 전극은 제m 데이터선(Dm)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 그리고, 제1 트랜지스터(M1)의 게이트 전극은 제n 주사선(Sn)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 제n 주사선(Sn)에 주사신호가 공급될 때 턴-온되어 제m 데이터선(Dm)으로 공급되는 데이터신호를 제1 노드(N1)로 공급한다.

제3 트랜지스터(M3)의 제1 전극은 제1 전원(ELVDD) 및 저장용 커패시터(Cst)의 일측단자에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 그리고 제3 트랜지스터(M3)의 게이트 전극은 제n-1 주사선(Sn-1)에 접속된다. 이와 같은 제3 트랜지스터(M3)는 제n-1 주사선(Sn-1)에 주사신호가 공급될 때 턴-온되어 제1 전원(ELVDD)로부터 공급되는 전압을 제1 노드(N1)로 공급한다.

제4 트랜지스터(M4)의 제1 전극은 제2 트랜지스터(M2)의 제2 전극에 접속되고, 제2 전극은 제2 노드(N2)에 접속된다. 그리고, 제4 트랜지스터(M4)의 게이트 전극은 제n-1 주사선(Sn-1)에 접속된다. 이와 같은 제4 트랜지스터(M4)는 제n-1 주사선(Sn-1)에 주사신호가 공급될 때 턴-온되어 제2 트랜지스터(M2)의 제2 전극을 제2 노드(N2)에 접속시킴으로써, 제2 트랜지스터(M2)를 다이오드 연결시킨다.

저장용 커패시터(Cst)의 일측단자는 제1 전원(ELVDD) 및 제3 트랜지스터(M3)의 제1 전극에 접속된다. 그리고, 저장용 커패시터(Cst)의 다른측단자는 제1 노드(N1)에 접속된다. 이와 같은 저장용 커패시터(Cst)는 제n 주사선(Sn)에 주사신호가 공급될 때 제1 노드(N1)로 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압을 한 프레임 동안 유지한다.

보상용 커패시터(Cvth)의 일측단자는 제1 노드(N1)에 접속되고, 다른측단자는 제2 노드(N2)에 접속된다. 이와 같은 보상용 커패시터(Cvth)는 제n-1 주사선(Sn-1)에 주사신호가 공급될 때 제2 트랜지스터(M2)의 문턱전압(Vth)에 대응하는 전압을 저장한다.

제2 트랜지스터(M2)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제2 전극은 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)의 제1 전극에 접속된다. 그리고, 제2 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압에 대응하여 제1 전원(ELVDD)으로부터 제5 트랜지스터(M5)의 제1 전극으로 흐르는 전류를 제어한다.

제5 트랜지스터(M5)의 제1 전극은 제2 트랜지스터(M2)의 제2 전극에 접속되고, 제2 전극은 유기 발광다이오드(OLED)의 제1 전극에 접속된다. 그리고, 제5 트랜지스터(M5)의 게이트 전극은 제n 발광제어선(En)에 접속된다. 이와 같은 제5 트랜지스터(M5)는 제n 발광제어선(En)으로 공급되는 발광 제어신호에 대응하여 제2 트랜지스터(M2)로부터 유기 발광다이오드(OLED)로 공급되는 전류의 공급시점을 제어한다.

전술한 본 제1 실시예에 의한 유기 발광표시장치의 화소에서는, 제2 트랜지스터(M2)의 문턱전압에 대응하는 전압을 보상용 커패시터(Cvth)에 저장하여 이를 제2 트랜지스터(M2)의 게이트 전극에 공급한다. 이로 인하여, 제2 트랜지스터(M2)의 문턱전압에 의한 영향이 제거된다. 따라서, 유기 발광표시장치는 균일한 영상을 표시할 수 있다.

도 3은 도 2에 도시된 화소회로를 제어하기 위한 제어신호를 나타내는 파형도이다. 도 2 및 도 3을 결부하여, 도 2에 도시된 화소의 동작과정을 상세히 설명하기로 한다.

도 3을 참조하면, 우선 T1기간 동안 제n-1 주사선(Sn-1)에 주사신호(SS)가 공급되고, 제n 발광 제어선(En)에 발광 제어신호(EMI)가 공급된다. 제n 발광 제어선(En)에 발광 제어신호(EMI)가 공급되면 제5 트랜지스터(M5)가 턴-오프된다. 그리고, 제n-1 주사선(Sn-1)에 주사신호가 공급되면 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)가 턴-온된다. 제3 트랜지스터(M3)가 턴-온되면 제1 노드(N1)로 제1 전원(ELVDD)의 전압이 인가된다. 그리고, 제4 트랜지스터(M4)가 턴-온되면 제2 트랜지스터(M2)가 다이오드 형태로 접속된다. 이 경우, 제2 노드(N2)에는 제1 전원(ELVDD)의 전압과 제2 트랜지스터(M2)의 문턱전압의 차전압에 해당되는 전압이 인가된다. 이에 따라 보상용 커패시터(Cvth)에는 제1 노드(N1)와 제2 노드(N2)의 차전압에 대응하는 제2 트랜지스터(M2)의 문턱전압(Vth)이 저장된다.

이후, T2기간 동안 제n 주사선(Sn)에 주사신호(SS)가 공급된다. 제n 주사선(Sn)에 주사신호(SS)가 공급되면 제1 트랜지스터(M1)가 턴-온된다. 제1 트랜지스터(M1)가 턴-온되면 제m 데이터선(Dm)으로 공급되는 데이터신호가 제1 트랜지스터(M1)를 경유하여 제1 노드(N1)로 공급된다. 제1 노드(N1)에 데이터신호가 공급되면 저장용 커패시터(Cst)에는 데이터신호에 대응되는 전압이 충전된다. 이때, 제2 트랜지스터(M2)의 게이트 전극에는 저장용 커패시터(Cst)에 충전된 전압 및 보상용 커패시터(Cvth)에 충전된 전압이 합쳐져 공급된다. 그러면, 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압에 대응하여 제1 전원(ELVDD)으로부터 제5 트랜지스터(M5)로 흐르는 전류를 제어한다.

이후, 제n 발광 제어선(En)으로 발광 제어신호(EMI)가 공급되지 않으면 제5 트랜지스터(M5)가 턴-온되어 제2 트랜지스터(M2)로부터 공급되는 전류를 유기 발광다이오드(OLED)로 공급한다. 이에 따라, 유기 발광다이오드(OLED)에서 데이터신호에 대응되는 빛이 생성된다. 즉, 본 발명의 제1 실시예에서는 화소들 각각에 구비된 제2 트랜지스터(M2)의 문턱전압을 보상함으로써 균일한 영상을 표시할 수 있다.

도 4는 도 2에 도시된 화소를 전면 발광구조로 형성하는 경우의 커패시터들 및 유기 발광다이오드를 나타내는 단면도이다.

도 4를 참조하면, 본 실시예에 의한 화소는 기판(410) 상에 형성되어 적어도 하나의 커패시터(Cst 및/또는 Cvth)를 형성하는 반도체층(415), 제1 전극층(425) 및 제2 전극층(435)과, 제2 전극층(435)과 중첩되도록 형성된 유기 발광다이오드(OLED)를 구비한다. 여기서, 반도체층(415)과 제1 전극층(425)이 저장용 커패시터(Cst)를 형성하면 제1 전극층(425)과 제2 전극층(435)은 보상용 커패시터(Cvth)를 형성하고, 반도체층(415)과 제1 전극층(425)이 보상용 커패시터(Cvth)를 형성하면 제1 전극층(425)과 제2 전극층(435)은 저장용 커패시터(Cst)를 형성할 수 있다. 이와 같은 반도체층(415), 제1 전극층(425) 및 제2 전극층(435)은 기판(410) 상에 제1 내지 제5 트랜지스터(M1 내지 M5) 트랜지스터 중 적어도 하나의 트랜지스터가 형성될 때 함께 형성될 수 있다.

여기서, 화소는 기판(410) 상에 형성된 반도체층(415), 제1 전극층(425) 및 제2 전극층(435)이 저장용 커패시터(Cst) 및 보상용 커패시터(Cvth)를 형성하도록 반도체층(415)과 제1 전극층(425) 사이에 형성된 제1 절연막(420)과 제1 전극층(425)과 제2 전극층(435) 사이에 형성된 제2 절연막(430)을 더 구비한다.

반도체층(415)은 다결정-실리콘(Poly-Si) 등으로 형성될 수 있다. 이와 같은 반도체층(415)은 공정의 편의를 위하여 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 반도체층과 동일한 재료로 형성될 수 있다. 예를 들어, 반도체층(415)은 제2 트랜지스터(M2)의 채널을 형성하는 반도체층과 동일한 재료로 형성될 수 있다.

제1 전극층(425)은 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 게이트 전극과 동일한 재료로 형성될 수 있다. 예를 들어, 제1 전극층(425)은 제2 트랜지스터(M2)의 게이트 전극과 동일한 재료로 형성될 수 있다.

제2 전극층(435)은 콘택홀을 통해 반도체층(415)과 접속되도록 형성된다. 이와 같은 제2 전극층(435)은 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 소스 및 드레인 전극과 동일한 재료로 형성될 수 있다. 예를 들어, 제2 금속층(435)은 제2 트랜지스터(M2)의 소스 및 드레인 전극과 동일한 재료로 형성될 수 있다. 여기서, 설명의 편의를 위하여 제1 전극층(425) 및 제2 전극층(435)의 재료를 구체적으로 언급하였으나 실제로 제1 전극층(425) 및 제2 전극층(435)은 그 재료가 한정되는 것은 아니며 도전성을 지니는 다양한 물질로 형성될 수 있다.

제2 전극층(435) 상에는 제2 전극층(435)과 유기 발광다이오드(OLED) 사이에 전류가 흐르는 것을 방지하도록 제3 절연막(440)이 형성된다.

그리고, 제3 절연막(440) 상에는 유기 발광다이오드(OLED)가 형성된다. 유기 발광다이오드(OLED)는 제1 전극(455), 발광층(Emission Material Layer, EML)(460) 및 제2 전극(465)을 구비한다.

유기 발광다이오드(OLED)의 제1 전극(455)은 도전성 물질, 예를 들어 금속 등으로 형성되며 외부로부터 제1 전원(ELVDD)을 공급받는다. 이와 같은 제1 전극(455)은 발광층(460)에 정공(hole)을 공급한다. 제2 전극(465)은 도전성 물질, 예를 들어 금속 등으로 형성되며 외부로부터 제2 전원(ELVSS)을 공급받는다. 이와 같은 제2 전극(465)은 발광층(460)에 전자(electron)를 공급한다. 제1 전극(455) 및 제2 전극(465)으로부터 공급된 정공과 전자는 발광층(460)에서 결합하여 빛을 생성한다. 이외에도 제1 전극(455) 및 제2 전극(465) 사이에는 정공주입층(Hole Injection Layer, HIL), 정공수송층(Hole Transport Layer, HTL), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL) 등이 더 구비될 수도 있다.

이때, 저장용 커패시터(Cst) 및 보상용 커패시터(Cvth)의 제2 전극층(435)과 유기 발광다이오드(OLED)의 제1 전극(455)이 서로 중첩되어 형성됨으로써 이들 사이에는 기생용량(Cp)이 생성된다.

여기서, 기생용량(Cp)은 도 5에 도시된 바와 같이 제2 노드(N2)와 유기 발광다이오드(OLED)의 제1 전극 사이에 형성된다. 이와 같은 기생용량(Cp)은 화소의 구동 전류를 불안정하게 할 수 있다.

이를 좀 더 구체적으로 상술하면, 기생용량(Cp)은 우선, 외부로부터 전원과 함께 공급되는 노이즈를 커플링 작용을 통해 제2 노드(N2)로 전달한다. 이에 의하여, 제2 트랜지스터(M2)를 경유하여 제1 전원(ELVDD)으로부터 제5 트랜지스터(M5)의 제1 전극으로 흐르는 전류의 양이 변화된다. 제5 트랜지스터(M5)는 유기 발광다이오드(OLED)로 공급되는 전류의 공급시점만을 제어하므로, 제5 트랜지스터(M5)의 제1 전극에 공급된 전류는 기생용량(Cp)에 의하여 변화된 그대로 유기 발광다이오드(OLED)로 공급된다. 그러면, 유기 발광다이오드(OLED)는 변화된 전류에 대응하여 발광한다.

또한, 기생용량(Cp)은 유기 발광다이오드(OLED)의 문턱전압(Vth) 편차에 따른 스윙폭을 제2 노드(N2)에 전달한다. 여기서, 유기 발광다이오드(OLED)는 자체적으로 문턱전압(Vth)에 따른 스윙폭을 가진다. 예를 들어, 250cd/m²을 만족하는 전류가 흐를 때, 레드(RED) 유기 발광다이오드(OLED)는 약 300mV의 양단 전압간 편차를 가질 수 있다. 또한, 그린(GREEN) 유기 발광다이오드(OLED)의 경우는 약 400mV의 편차를 가질 수 있고, 블루(BLUE) 유기 발광다이오드(OLED)의 경우는 약 200mV의 편차를 가질 수 있다. 기생용량(Cp)은 이러한 편차에 의한 스윙폭을 제2 노드(N2)에 전달하여, 제2 트랜지스터(M2)를 경유하여 제1 전원(ELVDD)으로부터 제5 트랜지스터(M5)의 제1 전극으로 흐르는 전류의 양을 변화시킨다.

그리고, 기생용량(Cp)은 유기 발광다이오드(OLED)의 수명 감소로 인한 스윙폭도 제2 노드(N2)에 전달한다. 여기서, 유기 발광다이오드(OLED)는 수명이 감소하면, 같은 전류를 흘리기 위해 요구되는 양단 전압이 증가하게 된다. 이에 의하여, 유기 발광다이오드(OLED)의 제1 전극에 공급되는 전압의 스윙폭이 커지게 된다. 기생용량(Cp)은 이러한 편차에 의한 스윙폭을 제2 노드(N2)로 전달하여, 제2 트랜지스터(M2)를 경유하여 제1 전원(ELVDD)으로부터 제5 트랜지스터(M5)의 제1 전극으로 흐르는 전류의 양을 변화시킨다. 또한, 레드, 그린 및 블루 유기 발광다이오드(OLED)는 그 수명의 감소 정도가 서로 다르기 때문에 수명감소에 의한 스윙폭이 제2 노드(N2)에 전달될 경우 색좌표가 틀어질 수도 있다. 또한, 전술한 유기 발광다이오드(OLED) 고유의 특성인 문턱전압(Vth) 편차와 수명 감소로 인한 스윙폭의 증가는 이미지-스티킹(image-sticking) 현상을 심화시킬 수 있다.

이를 방지하기 위하여, 본 발명의 제2 실시예에서는 도 6과 같이 커패시터들(Cst, Cvth)과 유기 발광다이오드(OLED) 사이에 정전압원(V_{DC})과 접속되는 도전층을 더 형성한다.

도 6을 참조하면, 본 발명의 제2 실시예에 의한 화소는 기관(410) 상에 형성되어 적어도 하나의 커패시터(Cst 및/또는 Cvth)를 형성하는 반도체층(415), 제1 전극층(425) 및 제2 전극층(435)과, 제2 전극층(435)과 중첩되도록 형성된 유기 발광다이오드(OLED) 및 제2 전극층(435)과 유기 발광다이오드(OLED) 사이에 형성된 도전층(445)을 구비한다. 이때, 반도체층(415)과 제1 전극층(425)이 저장용 커패시터(Cst)를 형성하면 제1 전극층(425)과 제2 전극층(435)은 보상용 커패시터(Cvth)를 형성하고, 반도체층(415)과 제1 전극층(425)이 보상용 커패시터(Cvth)를 형성하면 제1 전극층(425)과 제2 전극층(435)은 저장용 커패시터(Cst)를 형성할 수 있다.

여기서, 본 실시예에 의한 화소는 기관(410) 상에 형성된 반도체층(415), 제1 전극층(425) 및 제2 전극층(435)이 저장용 커패시터(Cst) 및 보상용 커패시터(Cvth)를 형성하도록 반도체층(415)과 제1 전극층(425) 사이에 형성된 제1 절연막(420)과 제1 전극층(425)과 제2 전극층(435) 사이에 형성된 제2 절연막(430)을 더 구비한다.

반도체층(415)은 다결정-실리콘(Poly-Si) 등으로 형성될 수 있다. 이와 같은 반도체층(415)은 공정의 편의를 위하여 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 반도체층과 동일한 재료로 형성될 수 있다. 예를 들어, 반도체층(415)은 제2 트랜지스터(M2)의 채널을 형성하는 반도체층과 동일한 재료로 형성될 수 있다.

제1 전극층(425)은 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 게이트 전극과 동일한 재료로 형성될 수 있다. 예를 들어, 제1 전극층(425)은 제2 트랜지스터(M2)의 게이트 전극과 동일한 재료로 형성될 수 있다.

제2 전극층(435)은 콘택홀을 통해 반도체층(415)과 접속되도록 형성된다. 이와 같은 제2 전극층(435)은 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 소스 및 드레인 전극과 동일한 재료로 형성될 수 있다. 예를 들어, 제2 전극층(435)은 제2 트랜지스터(M2)의 소스 및 드레인 전극과 동일한 재료로 형성될 수 있다. 여기서, 설명의 편의를 위하여 제1 전극층(425) 및 제2 전극층(435)의 재료를 구체적으로 언급하였으나 실제로 제1 전극층(425) 및 제2 전극층(435)은 그 재료가 한정되는 것은 아니며 도전성을 지니는 다양한 물질, 예를 들어 금속 등으로 형성될 수 있다.

제2 전극층(435) 상에는 제2 전극층(435)과 도전층(445) 사이에 전류가 흐르는 것을 방지할 수 있도록 제3 절연막(440)이 형성된다.

제3 절연막(440) 상에는 도전층(445)이 형성된다. 이와 같은 도전층(445)은 금속과 같이 도전성을 갖는 물질로 형성된다. 이와 같은 도전층(445)은 정전압원(V_{DC})과 접속되도록 형성된다. 예를 들어, 도전층(445)은 제1 전원(ELVDD) 또는 제2 전원(ELVSS)과 접속되도록 형성될 수 있다.

도전층(445) 상에는 도전층(445)과 유기 발광다이오드(OLED) 사이에 전류가 흐르는 것을 방지할 수 있도록 제4 절연막(450)이 형성된다.

그리고, 제4 절연막(450) 상에는 유기 발광다이오드(OLED)가 형성된다. 유기 발광다이오드(OLED)는 제1 전극(455), 발광층(460) 및 제2 전극(465)을 구비한다.

유기 발광다이오드(OLED)의 제1 전극(455)은 도전성 물질, 예를 들어 금속 등으로 형성되며 외부로부터 제1 전원(ELVDD)을 공급받는다. 이와 같은 제1 전극(455)은 발광층(460)에 정공(hole)을 공급한다. 제2 전극(465)은 도전성 물질, 예를 들어 금속 등으로 형성되며 외부로부터 제2 전원(ELVSS)을 공급받는다. 이와 같은 제2 전극(465)은 발광층(460)에 전자(electron)를 공급한다. 제1 전극(455) 및 제2 전극(465)으로부터 공급된 정공과 전자는 발광층(460)에서 결합하여 빛을 생성한다.

이때, 제2 전극층(435)과 도전층(445)이 서로 중첩되어 형성됨으로써 이들 사이에는 제1 기생용량(Cp1)이 생성된다. 그리고, 도전층(445)과 유기 발광다이오드(OLED)의 제1 전극(455)도 서로 중첩되어 형성되므로 이들 사이에 제2 기생용량(Cp2)이 생성된다. 이와 같은 제1 기생용량(Cp1) 및 제2 기생용량(Cp2)은 도전층(445)을 통하여 정전압원(V_{DC})과 접속된다.

여기서, 제1 기생용량(Cp1) 및 제2 기생용량(Cp2)은 도 7에 도시된 바와 같이 제2 노드(N2)와 유기 발광다이오드(OLED)의 제1 전극 사이에 형성된다. 그리고, 이들의 공통노드(즉, 제3 노드(N3))는 정전압원(V_{DC})에 접속된다. 이에 의하여 화소의 구동전류를 안정화시킬 수 있다.

이를 좀 더 구체적으로 상술하면, 우선 외부로부터 전원과 함께 공급되는 노이즈는 제1 기생용량(Cp1) 또는 제2 기생용량(Cp2)의 커플링 작용에 의하여 제3 노드(N3)로 전달된다. 이와 같은 노이즈는 제3 노드(N3)가 정전압원(V_{DC})에 접속되어 있으므로 정전압원(V_{DC})을 통해 바이패스(bypass) 된다. 따라서, 제2 노드(N2)에는 노이즈와 관계없이 안정적인 전압이 공급된다. 이에 의하여, 제2 트랜지스터(M2) 및 제5 트랜지스터(M5)를 경유하여 제1 전원(ELVDD)으로부터 유기 발광다이오드(OLED)로 공급되는 화소의 구동전류가 안정화된다.

또한, 유기 발광다이오드(OLED)의 문턱전압 편차에 따른 스윙폭은 제2 기생용량(Cp2)의 커플링 작용에 의하여 제3 노드(N3)로 전달된다. 이와 같은 유기 발광다이오드(OLED)의 문턱전압 편차에 따른 스윙폭은 제3 노드(N3)가 정전압원(V_{DC})에 접속되어 있으므로 정전압원(V_{DC})을 통해 바이패스 된다. 따라서, 제2 노드(N2)에는 유기 발광다이오드(OLED)의 문턱전압 편차에 따른 스윙폭과 관계없이 안정적인 전압이 공급된다.

그리고, 유기 발광다이오드(OLED)의 수명 감소로 인한 스윙폭도 제3 노드(N3)로 전달된다. 이와 같은 유기 발광다이오드(OLED)의 수명 감소로 인한 스윙폭도 제3 노드(N3)가 정전압원(V_{DC})에 접속되어 있으므로 정전압원(V_{DC})을 통해 바이패스 된다. 따라서, 제2 노드(N2)에는 유기 발광다이오드(OLED)의 수명 감소로 인한 스윙폭과 관계없이 안정적인 전압이 공급된다. 이에 의하여, 이미지 스티킹 현상도 방지할 수 있다.

도 8a 내지 도 8c는 도 6에 도시된 커패시터들, 정전압원과 접속되는 도전층 및 유기 발광다이오드의 형성단계를 나타내는 도면이다.

도 8a 내지 도 8c를 참조하면, 도 6에 도시된 커패시터들(Cst, Cvth), 정전압원(V_{DC})과 접속되는 도전층(445) 및 유기 발광다이오드(OLED)를 제조하기 위해서는 우선, 기판(410) 상에 반도체층(415)을 형성한다. 여기서, 반도체층(415)은 다결정-실리콘(Poly-Si) 등으로 형성될 수 있다. 이와 같은 반도체층(415)은 공정의 편의를 위하여 화소회로(410) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 반도체층과 동일한 재료로 형성될 수 있다. 예를 들어, 반도체층(415)은 제2 트랜지스터(M2)의 채널을 형성하는 반도체층과 동일한 재료로 형성될 수 있다.

반도체층(415)이 형성되면, 반도체층(415) 상에 제1 절연막(420)을 형성한다. 이와 같은 제1 절연막(420)은 반도체층(415)과 제1 전극층(425) 사이에 전류가 흐르지 못하도록 한다.

제1 절연막(420)이 형성되면, 제1 절연막(420) 상에 제1 전극층(425)을 형성한다. 여기서, 제1 전극층(425)은 화소회로(210) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 게이트 전극과 동일한 재료로 형성될 수 있다. 예를 들어, 제1 전극층(425)은 제2 트랜지스터(M2)의 게이트 전극과 동일한 재료로 형성될 수 있다.

제1 전극층(425)이 형성되면, 제1 전극층(425) 상에 제2 절연막(430)을 형성한다. 이와 같은 제2 절연막(430)은 제1 전극층(425)과 제2 전극층(435) 사이에 전류가 흐르지 못하도록 한다.

제2 절연막(430)이 형성되면, 제2 절연막(430) 상에 제2 전극층(435)을 형성한다. 여기서, 제2 전극층(435)은 컨택홀을 통해 반도체층(415)과 접속되도록 형성된다. 이와 같은 제2 전극층(435)은 화소회로(410) 내에 구비된 트랜지스터들(M1 내지 M5) 중 적어도 어느 하나의 소스 및 드레인 전극과 동일한 재료로 형성될 수 있다. 예를 들어, 제2 전극층(435)은 제2 트랜지스터(M2)의 소스 및 드레인 전극과 동일한 재료로 형성될 수 있다. 여기서, 설명의 편의를 위하여 제1 전극층(425) 및 제2 전극층(435)의 재료를 구체적으로 언급하였으나 실제로 제1 전극층(425) 및 제2 전극층(435)은 그 재료가 한정되는 것은 아니며 도전성을 지니는 다양한 물질로 형성될 수 있다.

이와 같은 반도체층(415), 제1 절연막(420), 제1 전극층(425), 제2 절연막(430) 및 제2 전극층(435)은 적어도 하나의 트랜지스터가 형성될 때 형성되며, 저장용 커패시터(Cst) 및 보상용 커패시터(Cvth)를 형성한다.(도 8a)

제2 전극층(435)이 형성되면, 제2 전극층(435) 상에 제3 절연막(440)을 형성한다. 제3 절연막(440)은 저장용 커패시터(Cst) 및 보상용 커패시터(Cvth)와 도전층(445) 사이에 전류가 흐르지 못하도록 한다.

제3 절연막(440)이 형성되면, 제3 절연막(440) 상에 도전층(445)을 형성한다. 이와 같은 도전층(445)은 도전성을 갖는 물질로 형성되며 정전압원(V_{DC})과 접속되도록 형성된다. 여기서, 정전압원(V_{DC})은 일정한 직류전원(DC)을 공급하는 전압원으로써, 제1 전원(ELVDD) 또는 제2 전원(ELVSS) 등이 될 수 있다. 이때, 도전층(445)과 제2 전극층(435) 사이에는 제1 기생용량($Cp1$)이 형성되며, 제1 기생용량($Cp1$)의 일측은 정전압원(V_{DC})에 접속된다.(도 8b)

도전층(445)이 형성되면, 도전층(445) 상에 제4 절연막(450)을 형성한다. 제4 절연막(450)은 도전층(445)과 유기 발광다이오드(OLED) 사이에 전류가 흐르지 못하도록 한다.

제4 절연막(450)이 형성되면, 제4 절연막(450) 상에 유기 발광다이오드(OLED)의 제1 전극(455)을 형성한다. 여기서, 유기 발광다이오드(OLED)의 제1 전극(455)은 도전성 물질로 형성되며, 외부로부터 제1 전원(ELVDD)을 공급받는다. 이때, 도전층(445)과 유기 발광다이오드(OLED)의 제1 전극(455) 사이에는 제2 기생용량($Cp2$)이 형성되며, 제2 기생용량($Cp2$)의 일측은 정전압원(V_{DC})에 접속된다.

유기 발광다이오드(OLED)의 제1 전극(455)이 형성되면, 제1 전극(455) 상에 발광층(460)을 형성한다. 여기서, 발광층(460)은 유기물질로 형성될 수 있다. 유기 발광다이오드(OLED)의 제1 전극(455) 및 제2 전극(465)으로부터 공급된 정공과 전자는 이와 같은 발광층(460)에서 결합하여 빛을 생성한다.

발광층(460)이 형성되면, 발광층(460) 상에 유기 발광다이오드(OLED)의 제2 전극(465)을 형성한다. 여기서, 유기 발광다이오드(OLED)의 제2 전극(465)은 도전성 물질로 형성되며, 외부로부터 제2 전원(ELVSS)을 공급받는다.

이와 같은 유기 발광다이오드(OLED)의 제1 전극(455), 발광층(460) 및 제2 전극(465)은 유기 발광다이오드(OLED)를 형성한다.(도 8c)

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기 발광표시장치 및 그 제조방법에 의하면, 트랜지스터의 문턱전압을 보상하여 균일한 영상을 표시할 수 있다. 또한, 저장용 커패시터 및 보상용 커패시터와 유기 발광다이오드 사이에 정전압원과 접속되는 도전층을 형성함으로써 이들 사이에 형성되는 기생용량에 의한 영향을 제거할 수 있다. 즉, 본 발명에서는 기생용량에 의

해 전달되는 노이즈, 유기 발광다이오드의 문턱전압 편차 및 수명감소에 의해 증가된 스윙폭 등이 정전압원을 통해 바이패스되도록 함으로써 이들이 화소의 구동전류에 미치는 영향을 제거한다. 이에 의하여, 화소의 구동전류를 안정화시킬 수 있다.

도면의 간단한 설명

도 1은 일반적인 유기 발광표시장치의 화소를 나타내는 회로도이다.

도 2는 본 발명의 제1 실시예에 의한 유기 발광표시장치의 화소를 나타내는 회로도이다.

도 3은 도 2에 도시된 화소회로를 제어하기 위한 제어신호를 나타내는 파형도이다.

도 4는 도 2에 도시된 화소를 전면 발광구조로 형성하는 경우의 커패시터들 및 유기 발광다이오드를 나타내는 단면도이다.

도 5는 도 4에 도시된 기생용량에 의한 영향을 설명하기 위한 회로도이다.

도 6은 본 발명의 제2 실시예에 의한 커패시터들, 도전층 및 유기 발광다이오드를 나타내는 단면도이다.

도 7은 도 6에 도시된 기생용량들 및 도전층에 의한 영향을 설명하기 위한 회로도이다.

도 8a 내지 도 8c는 도 6에 도시된 커패시터들, 정전압원과 접속되는 도전층 및 유기 발광다이오드의 형성단계를 나타내는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

110, 210: 화소회로 410: 기판

415: 반도체층 420: 제1 절연막

425: 제1 전극층 430: 제2 절연막

435: 제2 전극층 440: 제3 절연막

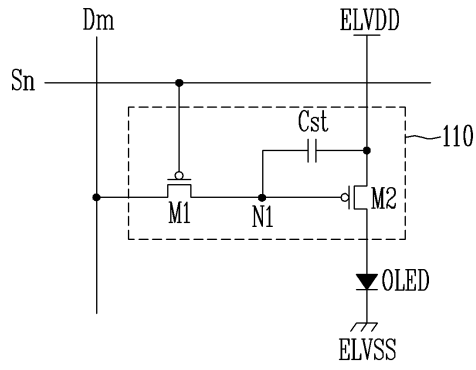
445: 도전층 450: 제4 절연막

455: 유기 발광다이오드의 제1 전극 460: 발광층

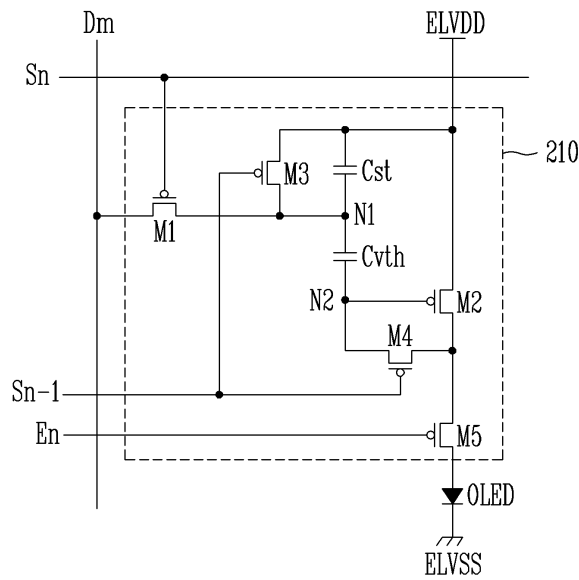
465: 유기 발광다이오드의 제2 전극

도면

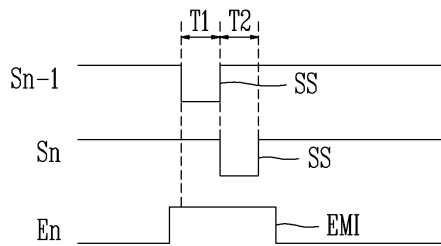
도면1



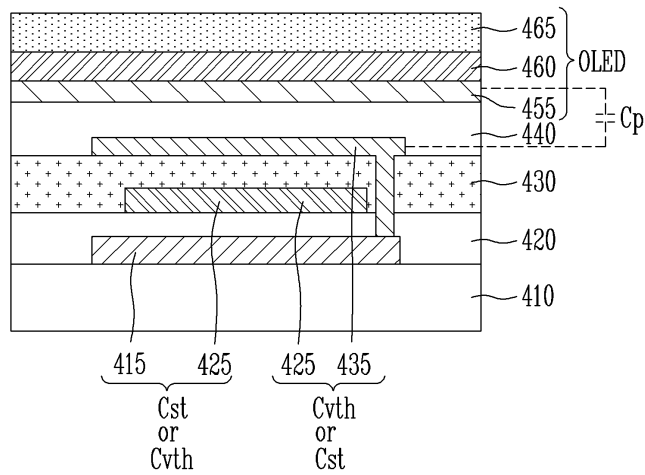
도면2



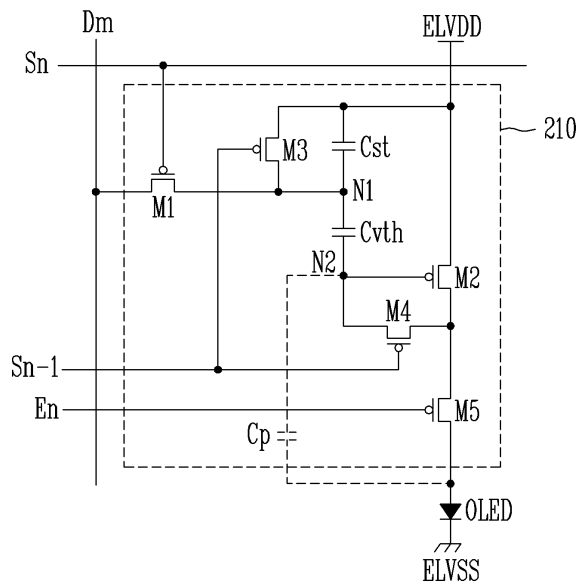
도면3



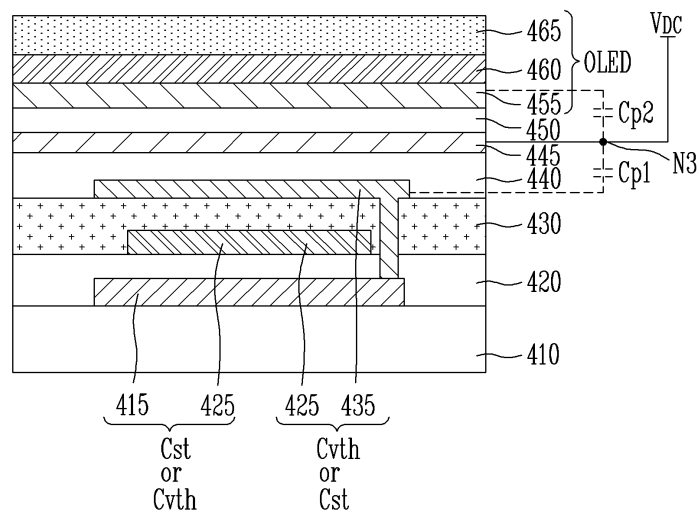
도면4



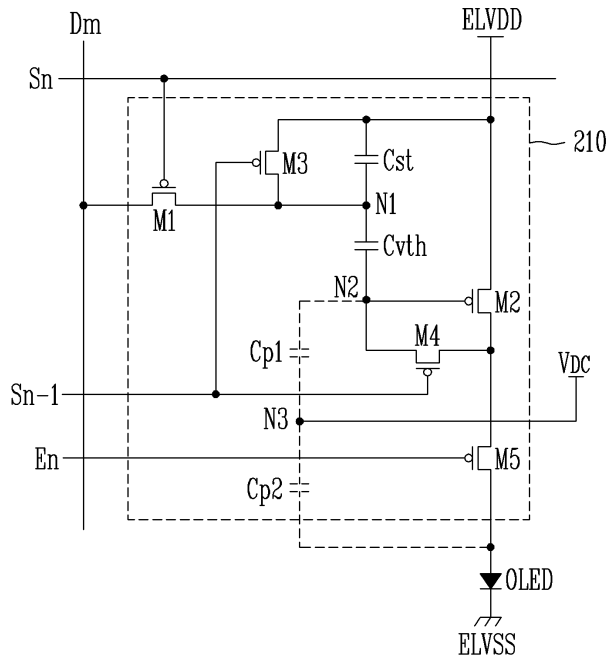
도면5



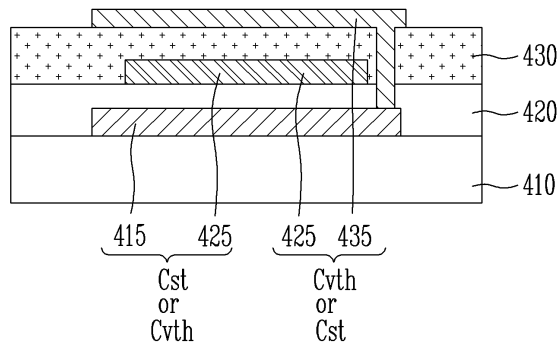
도면6



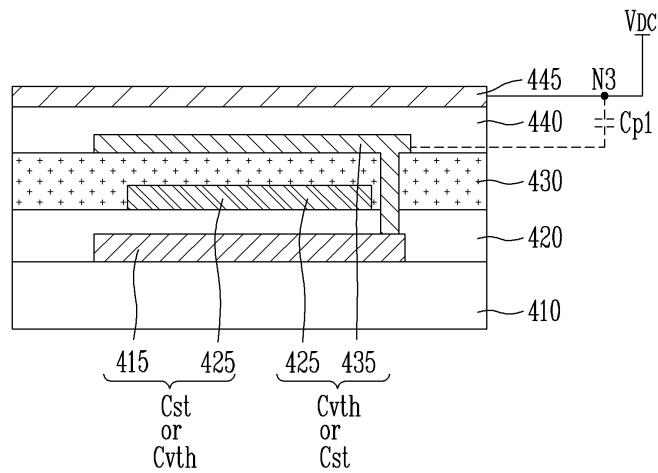
도면7



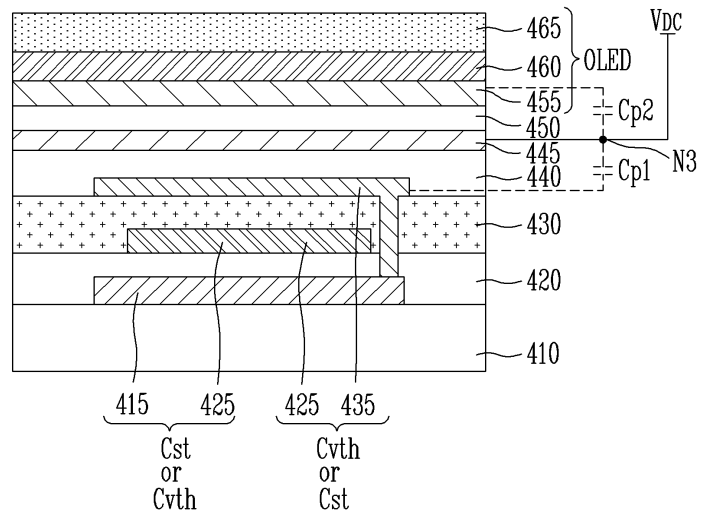
도면8a



도면8b



도면8c



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR100719707B1	公开(公告)日	2007-05-17
申请号	KR1020050080278	申请日	2005-08-30
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	TAEGYU KIM		
发明人	TAEGYU KIM		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L51/5012 H01L51/5203 H01L51/56 H01L2924/12044		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070024778A		
外部链接	Espacenet		

摘要(译)

用途：提供有机发光显示装置及其制造方法，以通过补偿晶体管的阈值电压来显示均匀的图像。

