



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01) G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월09일 10-0666644 2007년01월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0086436 2005년09월15일 2005년09월15일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	박용성 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인	박상수

심사관 : 최정윤

전체 청구항 수 : 총 19 항

(54) 유기 전계발광 표시장치의 데이터 구동장치

(57) 요약

SOP(System On Panel)용으로 사용되는 유기 전계발광 표시장치의 데이터 구동장치에 대하여 개시한다. 데이터 구동장치는 입력되는 디지털 영상 데이터를 입력받아 소정의 데이터전압으로 변환하여 데이터라인으로 인가하는 디지털-아날로그 변환기를 포함한다. 상기 디지털-아날로그 변환기는 데이터전압이 인가되기 전에 미리 프리차지전압을 데이터라인에 저장하는 프리차지부를 가진다. 상기 프리차지부는 다수의 기준전압 중 선택된 인접한 2개의 기준전압 중 높은 기준전압 또는 낮은 기준전압을 프리차지전압으로 인가하는 프리차지 트랜지스터를 가진다. 상기 프리차지전압이 인가되는 동안 선택된 인접한 2개의 기준전압은 오픈되어 데이터전압이 인가되지 않는다. 따라서, 데이터라인 차징속도가 빠르게 되고, 짧은 시간에 정확하게 데이터전압을 저장할 수 있게 된다.

대표도

도 3

특허청구의 범위

청구항 1.

디지털 영상 데이터를 인가받아 아날로그 데이터전압으로 변환하여 이를 데이터라인에 공급하는 디지털-아날로그 변환기를 포함하는 유기 전계발광 표시장치의 데이터 구동장치에 있어서,

상기 디지털-아날로그 변환기는,

$n+m$ 비트의 디지털 데이터 중 상위 n 비트 값에 따라 로우 또는 하이 레벨의 신호를 출력하는 2^n 개의 낸드 게이트를 포함하는 상위 n 비트(n 은 2이상의 정수) 디코더;

상기 상위 n 비트 디코더에서 출력되는 신호에 따라 2^n+1 의 기준전압 중 인접한 2개의 기준전압을 선택하는 기준전압 선택부;

상기 $n+m$ 비트의 디지털 데이터 중 하위 m 비트 값에 따라 로우 또는 하이 레벨의 신호를 출력하는 2^m 개의 낸드 게이트를 포함하는 하위 m 비트(m 은 2이상의 정수) 디코더;

상기 하위 m 비트 디코더에서 출력되는 신호에 따라 상기 기준전압 선택부에서 선택된 인접한 2개의 기준전압 범위 내에서 소정의 데이터전압을 상기 데이터라인에 공급하는 데이터전압 선택부; 및

상기 데이터전압이 공급되기 전에 상기 선택된 인접한 2개의 기준전압 중 어느 하나의 전압을 데이터라인에 미리 저장하는 프리차징부를 포함하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 2.

제 1 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 낮은 기준전압 라인과 상기 데이터전압 선택부의 출력단 사이에 연결되고, 게이트 단자로 인가되는 프리차지신호에 따라 온/오프 동작을 수행하는 프리차지 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 3.

제 2 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 낮은 기준전압 이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 1 트랜지스터; 및

상기 선택된 인접한 2개의 기준전압 중 높은 기준전압이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 상기 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 4.

제 3 항에 있어서,

상기 프리차지 트랜지스터가 턴온되는 동안 상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 오프되는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 5.

제 4 항에 있어서,

상기 프리차징부에 포함되는 트랜지스터들은 P타입 MOSFET인 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 6.

제 1 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 높은 기준전압 라인과 상기 데이터전압 선택부의 출력단 사이에 연결되고, 게이트 단자로 인가되는 프리차지신호에 따라 온/오프 동작을 수행하는 프리차지 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 7.

제 6 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 낮은 기준전압 이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 1 트랜지스터; 및

상기 선택된 인접한 2개의 기준전압 중 높은 기준전압이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 상기 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 8.

제 7 항에 있어서,

상기 프리차지 트랜지스터가 턴온되는 동안 상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 오프되는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 9.

제 8 항에 있어서,

상기 프리차징부에 포함되는 트랜지스터들은 P타입 MOSFET인 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 10.

소정의 영상을 표시하는 다수의 화소들에 데이터라인을 통하여 데이터전압을 인가하는 유기 전계발광 표시장치의 데이터 구동장치에 있어서,

스타트펄스를 입력받아 클럭신호 및 반전된 클럭신호에 동기하여 스캐닝신호를 출력하는 시프트 레지스터;

상기 스캐닝신호에 동기되어 입력되는 n+ m비트의 디지털 데이터를 샘플링하기 위한 샘플링 래치부;

상기 샘플링된 n+ m비트의 디지털 데이터를 일정기간 유지하기 위한 홀딩 래치부;

상기 홀딩 래치부에서 출력되는 $n+m$ 비트의 디지털 데이터에 따라 소정의 데이터전압을 출력하는 디지털-아날로그 변환기; 및

제어신호에 따라 상기 데이터전압을 해당하는 데이터라인으로 전달하기 위한 멀티플렉스부를 포함하며,

상기 디지털-아날로그 변환기는 상기 디멀티플렉스부에 인가되는 상기 제어신호의 초기에 상기 데이터라인으로 프리차지 전압을 인가하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 11.

제 10 항에 있어서,

상기 데이터라인에 프리차지전압이 인가되는 동안 상기 데이터전압은 차단되는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 12.

제 11 항에 있어서,

상기 디지털-아날로그 변환기는,

상기 $n+m$ 비트의 디지털 데이터 중 상위 n 비트 값에 따라 로우 또는 하이 레벨의 신호를 출력하는 2^n 개의 낸드 게이트를 포함하는 상위 n 비트(n 은 2이상의 정수) 디코더;

상기 상위 n 비트 디코더에서 출력되는 신호에 따라 2^{n+1} 의 기준전압 중 인접한 2개의 기준전압을 선택하여 출력하는 기준전압 선택부;

상기 $n+m$ 비트의 디지털 데이터 중 하위 m 비트 값에 따라 로우 또는 하이 레벨의 신호를 출력하는 2^m 개의 낸드 게이트를 포함하는 하위 m 비트(m 은 2이상의 정수) 디코더;

상기 하위 m 비트 디코더에서 출력되는 신호에 따라 상기 기준전압 선택부에서 선택된 인접한 2개의 기준전압 범위 내에서 소정의 데이터전압을 상기 데이터라인에 저장하는 데이터전압 선택부; 및

상기 데이터전압이 저장되기 전에 상기 선택된 인접한 2개의 기준전압 중 어느 하나의 전압을 데이터라인에 미리 저장하는 프리차지부를 포함하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 13.

제 12 항에 있어서,

상기 프리차지부는 상기 선택된 인접한 2개의 기준전압 중 낮은 기준전압 라인과 상기 데이터전압 선택부의 출력단 사이에 연결되고, 게이트 단자로 인가되는 프리차지신호에 따라 온/오프 동작을 수행하는 프리차지 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 14.

제 13 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 낮은 기준전압 이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 1 트랜지스터; 및

상기 선택된 인접한 2개의 기준전압 중 높은 기준전압이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 상기 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 15.

제 14 항에 있어서,

상기 프리차징부에 포함되는 트랜지스터들은 P타입 MOSFET인 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 16.

제 12 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 높은 기준전압 라인과 상기 데이터전압 선택부의 출력단 사이에 연결되고, 게이트 단자로 인가되는 프리차지신호에 따라 온/오프 동작을 수행하는 프리차지 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 17.

제 16 항에 있어서,

상기 프리차징부는 상기 선택된 인접한 2개의 기준전압 중 낮은 기준전압 이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 1 트랜지스터; 및

상기 선택된 인접한 2개의 기준전압 중 높은 기준전압이 상기 데이터전압 선택부로 인가되는 라인 사이에 연결되고, 게이트 단자로 인가되는 상기 반전된 프리차지신호에 따라 온/오프 동작을 수행하는 제 2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 18.

제 17 항에 있어서,

상기 프리차징부에 포함되는 트랜지스터들은 P타입 MOSFET인 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

청구항 19.

제 10 항에 있어서,

상기 데이터 구동장치는,

상기 홀딩 래치부에서 출력되는 상기 n+ m비트의 디지털 데이터의 레벨을 일정 레벨까지 시프트하기 위한 레벨 시프터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로서, 더 구체적으로는 다수의 화소들에 데이터전압을 인가하는 SOP (System On Panel)형태의 유기 전계발광 표시장치의 데이터 구동장치에 관한 것이다.

평판표시장치는 음극선관을 이용한 표시장치보다 무게와 크기를 줄일 수 있는 장점으로 인하여 많은 연구 개발이 이루어져 왔고, 이러한 결과 액정표시장치(Liquid Crystal Display : LCD), 전계방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 유기전계발광표시장치(Organic Electroluminescent(EL) Display Device: 이하, '유기 EL 표시장치'라고 함.)등이 개발, 실용화되고 있다. 이 중 PDP는 대형화면 구성이 가능하지만 발광효율과 휘도가 낮아 소비전력이 크다는 문제점이 있고, LCD는 응답속도가 느리고, 백라이트에 의해 발광되기 때문에 소비전력이 크다는 문제가 있다.

이와 달리 유기 EL 표시장치는 유기물질을 이용하여 발광시키는 것으로써, LCD와 비교하여 시야각이 넓고, 응답속도가 빠르며, 자발광소자로서 콘트라스트(contrast)가 좋고, 시인성이 우수하다. 또한, 백라이트가 불필요함으로 소비전력이 적고, 박형화 경량화가 가능하다.

EL 표시패널은 소정의 영상을 디스플레이 하는 다수의 화소들로 이루어져 있다. 상기 다수의 화소들을 활성화시키기 위하여 주사 구동부에서 주사신호를 인가하고, 상기 선택된 화소에 데이터 구동부에서 데이터 신호를 인가한다. 또한, 상기 데이터 신호의 정확한 프로그래밍과 발광시간을 제어하기 위하여 발광제어 구동부에서 각 화소에 발광제어 신호를 인가한다.

상기와 같이 EL 표시패널을 구동하기 위한 다양한 신호들을 인가하는 주사 구동부, 데이터 구동부 및 발광제어 구동부는 다양한 방식으로 각 EL 표시패널에 전기적으로 연결될 수 있다.

예를 들면, 각 EL 표시패널에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또한, 각 EL 표시패널에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있는데, 이를 COF(chip on flexible board, chip on film) 방식이라 한다. 이와는 달리 EL 표시패널의 유리 기판 위에 직접 장착될 수도 있는데, 이를 COG(chip on glass) 방식이라 한다.

상기와 같은 방법은 각 구동부를 따로 설계하여 전기적으로 연결하기 때문에 비용이 많이 들고, 모듈의 간소화 추세에 따르지 못한다는 문제가 있다. 따라서 최근에는 EL 표시패널 내부에 화소부, 주사/발광제어 구동부 또는/및 데이터 구동부를 설계하여 EL 표시패널 하나에 모든 시스템을 구축하려는 노력을 하고 있다. 이를 SOP(System On Panel)라 한다.

그러나 상기와 같이 SOP 타입의 유기 EL 표시장치를 개발하기 위해서는 EL 표시패널 내부에서 데이터 구동부 또는 주사/발광제어 구동부의 구동 주파수와 전자 이동도 등과 같은 여러 가지 환경 및 조건들이 맞아야 한다.

특히, 데이터 구동부의 경우 EL 표시패널 내에서 빠르게 동작하여야 한다. 따라서, EL 표시패널 내에 최적으로 설계되고, 빠르게 동작할 수 있는 데이터 구동부가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 EL 표시패널 내부에 SOP 타입으로 설계되어 각 화소들에 데이터 신호를 빠르고, 정확하게 인가하는 유기 전계발광 표시장치의 데이터 구동부를 설계하는데 있다.

발명의 구성

상기 목적을 달성하기 위한 유기 전계발광 표시장치의 데이터 구동장치는 디지털 영상 데이터를 인가받아 아날로그 데이터 전압으로 변환하여 이를 데이터라인에 공급하는 디지털-아날로그 변환기를 포함하는 유기 전계발광 표시장치의 데이터 구동장치에 있어서, 상기 디지털-아날로그 변환기는,

$n+m$ 비트의 디지털 데이터 중 상위 n 비트 값에 따라 로우 또는 하이 레벨의 신호를 출력하는 2^n 개의 낸드 게이트를 포함하는 상위 n 비트(n 은 2이상의 정수) 디코더; 상기 상위 n 비트 디코더에서 출력되는 신호에 따라 2^{n+1} 의 기준전압 중 인접한 2개의 기준전압을 선택하는 기준전압 선택부; 상기 $n+m$ 비트의 디지털 데이터 중 하위 m 비트 값에 따라 로우 또는 하이 레벨의 신호를 출력하는 2^m 개의 낸드 게이트를 포함하는 하위 m 비트(m 은 2이상의 정수) 디코더; 상기 하위 m 비트 디코더에서 출력되는 신호에 따라 상기 기준전압 선택부에서 선택된 인접한 2개의 기준전압 범위 내에서 소정의 데이터전압을 상기 데이터라인에 공급하는 데이터전압 선택부; 및 상기 데이터전압이 공급되기 전에 상기 선택된 인접한 2개의 기준전압 중 어느 하나의 전압을 데이터라인에 미리 저장하는 프리차징부를 포함한다.

또한, 상기 목적은 소정의 영상을 표시하는 다수의 화소들에 데이터라인을 통하여 데이터전압을 인가하는 유기 전계발광 표시장치의 데이터 구동장치에 있어서, 스타트펄스를 입력받아 클럭신호 및 반전된 클럭신호에 동기하여 스캐닝신호를 출력하는 시프트 레지스터; 상기 스캐닝신호에 동기되어 입력되는 $n+m$ 비트의 디지털 데이터를 샘플링하기 위한 샘플링 래치부; 상기 샘플링된 $n+m$ 비트의 디지털 데이터를 일정기간 유지하기 위한 홀딩 래치부; 상기 홀딩 래치부에서 출력되는 $n+m$ 비트의 디지털 데이터에 따라 소정의 데이터전압을 출력하는 디지털-아날로그 변환기; 및 제어신호에 따라 상기 데이터전압을 해당하는 데이터라인으로 전달하기 위한 멀티플렉스부를 포함하며, 상기 디지털-아날로그 변환기는 상기 멀티플렉스부에 인가되는 상기 제어신호의 초기에 상기 데이터라인으로 프리차지전압을 인가하는 것을 특징으로 하는 유기 전계발광 표시장치의 데이터 구동장치에 의하여도 달성될 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

실시예 1

도 1은 본 발명의 제 1 실시예에 따른 유기 전계발광 표시장치를 나타내는 블록도이다.

도 1을 참조하면, 유기 전계발광 표시장치는 표시화소부(10), 주사 구동부(20), 데이터 구동부(30) 및 타이밍 제어부(40)로 구성된다. 즉, 상기 표시화소부(10), 주사 구동부(20), 데이터 구동부(30) 및 타이밍 제어부(40)는 하나의 표시패널(100)에 모두 포함된다.

이와 같이 상기 표시패널(100)에 형성되는 주사 구동부(20), 데이터 구동부(30), 타이밍 제어부(40) 및 다수의 화소들(P11-Pnm)를 구성하는 박막 트랜지스터(Thin Film Transistor: TFT)는 빠른 응답속도 및 균일성을 위하여 박막 트랜지스터의 채널로 폴리 실리콘을 갖는다. 이때 폴리 실리콘은 비정질 실리콘 층을 유리 기판 상에 형성한 후 저온 폴리 실리콘(Low Temperature Poly Silicon : LTPS)공정을 거쳐 폴리 실리콘으로 결정화시킨다.

이와 같은 LTPS 공정으로 형성된 폴리 실리콘을 이용하여 다수의 박막트랜지스터들을 형성하고, 상기 다수의 트랜지스터를 이용하여 EL 표시패널 내부에 레드, 그린, 블루 부화소들로 구성된 표시화소부(10)와 상기 각 화소들을 선택하기 위한 신호를 생성하는 주사 구동부(20), 각 화소들에 데이터 신호를 인가하는 데이터 구동부(30) 및 상기 주사 구동부(20) 및 데이터 구동부(30)의 동작을 제어하고, 상기 데이터 구동부(30)에 디지털 데이터를 전달하는 타이밍 제어부(40)를 형성한다.

상기 표시화소부(10)는 다수의 데이터선(D1-Dm), 다수의 주사선(S1-Sn) 및 이 선들이 교차하는 영역에 형성된 다수의 화소(P11 내지 Pnm)를 구비한다.

상기 다수의 데이터선(D1-Dm)은 상기 데이터 구동부(30)와 전기적으로 연결되어 수직방향으로 연장되며, 각 화소들에 해당 데이터 신호를 전달한다.

상기 다수의 주사선(S1-Sn)은 상기 주사 구동부(20)와 전기적으로 연결되어 상기 데이터선들과 교차되어 수평방향으로 연장되며, 각 화소들에 주사신호를 전달한다.

상기 각 화소들(P11 내지 Pnm)은 레드, 그린, 블루 3개의 부화소가 반복적으로 행과 열로 배열된다. 각 레드, 그린, 블루 부화소들은 실제 빛을 발광하는 유기 발광층의 유기 물질만 다를 뿐 배선 레이아웃이나 구동회로부의 회로 연결 관계는 모두 동일하다. 따라서 각 화소는 인가되는 데이터 신호에 해당하는 휘도로 레드, 그린, 블루 빛을 발광하고, 이들 3색의 조합으로 하나의 칼라를 표현한다.

주사 구동부(20)는 다수의 주사선(S1-Sn)과 연결되며, 상기 표시화소부(10)에 순차적으로 주사신호를 인가하여 각 화소들(P11-Pnm)을 순차적으로 선택한다.

데이터 구동부(30)는 다수의 데이터선(D1-Dm)과 연결되며, 상기 주사신호에 의해 선택된 화소에 해당 데이터신호를 인가한다. 상기 데이터 구동부(30)에 대하여는 뒤에 자세히 설명하기로 한다.

타이밍 제어부(40)는 외부 CPU(미도시)로부터 레드, 그린, 블루 데이터와 수직 동기신호(Vsync) 및 수평 동기신호(Hsync)를 입력받아 상기 주사 구동부(20)와 데이터 구동부(30)의 동작을 제어하는 제어신호를 인가하고, 상기 데이터 구동부(30)에 디지털 데이터를 인가한다.

이하, 상기 데이터 구동부에 대하여 자세히 설명하기로 한다. 여기서, 데이터 구동부는 데이터 구동장치로 명명하기로 한다.

도 2는 본 발명의 제 1 실시예에 따른 유기 전계발광 표시장치의 데이터 구동장치를 나타낸 블록도이다.

도 2를 참조하면, 본 발명의 제 1 실시예에 따른 데이터 구동장치(30)는 시프트 레지스터(31), 샘플링 래치부(33), 홀딩 래치부(34), 레벨 시프터(35), 디지털-아날로그 변환기(37) 및 디멀티플렉스부(39)를 포함한다.

시프트 레지스터(31)는 타이밍 제어부(40)에서 공급되는 수평 스타트펄스(Hsp), 수평 클럭펄스(H_{CLK}) 및 반전된 수평 클럭펄스(H_{CLKB})를 입력받는다. 이후, 상기 시프트 레지스터(31)는 상기 수평 스타트펄스(Hsp)에 응답하여 상기 수평 클럭펄스(H_{CLK})의 주기에 동기 하여 수평 스캐닝신호를 출력한다.

샘플링 래치부(33)는 상기 시프트 레지스터(31)에서 출력되는 수평 스캐닝신호에 동기되어 상기 타이밍 제어부(40)에서 인가하는 레드, 그린, 블루 디지털 데이터를 샘플링 한다. 여기서, 본 발명의 실시예에서는 설명의 편의를 위하여 디지털 데이터를 6bit로 한정하여 설명하였지만, 이에 한정되지 않고 7bit, 8bit 등 다양하게 설정할 수 있다.

홀딩 래치부(34)는 상기 샘플링 래치부(33)에서 샘플링된 디지털 데이터를 일정구간까지 유지하는 역할을 수행한다.

레벨 시프터(35)는 상기 홀딩 래치부(34)에서 출력되는 디지털 데이터의 레벨을 일정 레벨까지 시프트 시킨다. 상기 레벨 시프터(35)에 의해 레벨이 조정된 디지털 데이터는 아날로그 신호로 변환되기 위해 디지털-아날로그 변환기로 인가된다.

디지털-아날로그 변환기(이하, 'D/A 변환기'라 한다. : 37)는 상기 레벨 시프터(35)에서 레벨 시프트 된 디지털 데이터에 따라 해당하는 아날로그 전압을 선택하여 출력한다.

일반적으로, 각 D/A 변환기(37)는 각 데이터 라인마다 하나씩 구비되어 아날로그 데이터 신호를 출력하여야 한다. 그러나, 디스플레이의 해상도, 동작속도 및 레이아웃 면적 등을 고려하여 SOP 타입의 데이터 구동장치의 경우, 디멀티플렉스를 두어 하나의 D/A 변환기에서 출력되는 신호를 여러 개의 데이터 라인으로 데이터신호를 전달하게 된다.

즉, 디멀티플렉스부(39)는 다수개의 1:3 디멀티플렉스를 가진다. 디멀티플렉스는 상기 D/A 변환기(37)로부터 순차적으로 인가되는 데이터신호를 주사신호 인가 전의 블랭킹 타임 때 각 데이터 라인에 저장한다. 이를 데이터 라인 차징(Data Line Charging)이라 한다. 각 데이터 라인에 저장된 데이터전압은 해당 주사신호가 인가되고, 각 화소는 인가되어 해당 데이터 전압에 따라 소정의 빛을 발광한다.

그러나, 고속으로 동작하는 데이터 구동장치 및 주사 구동장치 때문에 상기 블랭킹 타임이 짧아지고, 이로 인해 데이터라인 차징시간이 짧아져 각 데이터 라인에 정확한 데이터 신호를 저장할 수가 없게 되는 문제점이 발생한다.

특히, 이전 프레임에서 화이트값에 해당하는 데이터 전압 저장한 후, 다음 프레임에서 블랙값에 해당하는 데이터 전압을 저장하거나 그 반대의 경우 데이터 라인을 차징하는 시간은 더 많이 소요된다. 이 경우 정확한 계조 표시가 어려워져 잘못된 빛을 발광하게 되는 문제점이 발생한다.

이에 따라, 데이터 라인에 미리 프리차징 전압을 인가하여 데이터 라인 차징 속도를 빠르게 하는 D/A 변환기가 요구된다.

이하, 상기 D/A 변환기(37)에 대하여는 도 3 및 도 4를 참조하여 자세히 살펴보기로 한다.

도 3은 본 발명의 제 1 실시예에 따른 데이터 구동장치의 D/A 변환기를 상세히 나타낸 회로도이다.

도 3을 참조하면, D/A 변환기는 상위 3비트 디코더(37_1), 기준전압 선택부(37_3), 하위 3비트 디코더(37_5), 데이터전압 선택부(37_7) 및 프리차징부(37_9)로 구성된다.

상위 3비트 디코더(37_1)는 8개의 낸드 게이트 NAND1 내지 NAND8 로 구성된다. 각 낸드 게이트는 6비트의 디지털 데이터 중 상위 3비트의 디지털 데이터 신호가 입력되는 6개의 라인 D0, D0B, D1, D1B, D2, D2B 중 3개의 라인과 중복되지 않게 연결된다. 즉, 제 1 낸드 게이트 NAND1는 3개의 라인 D0, D1, D2와 연결되어 상위 3비트가 '111'일 때 로우 신호를 발생한다. 제 2 낸드 게이트 NAND2는 3개의 라인 D0, D1, D2B와 연결되어 상위 3비트가 '110'일 때 로우 신호를 발생한다. 이와 같이 연결되어 제 3, 제 4, 제 5, 제 6, 제 7 낸드 게이트 NAND3 내지 NAND7은 각각 '101', '100', '011', '010', '001'의 상위 3비트가 입력될 때 로우신호를 발생한다. 마지막으로 제 8 낸드 게이트 NAND8은 3개의 라인 D0B, D1B, D2B와 연결되어 상위 3비트가 '000'일 때 로우 신호를 발생한다.

기준전압 선택부(37_3)는 2개의 박막 트랜지스터로 구성된 8개의 스위칭부(37_3_1 내지 37_3_8)로 구성된다. 각 스위칭부(37_3_1 내지 37_3_8)는 9개의 기준전압 V0 내지 V8 중 인접한 2개의 기준전압과 연결되어, 상기 각 낸드 게이트(NAND1 내지 NAND8)에서 출력되는 신호의 레벨상태에 온/오프 동작을 수행하여 인접한 2개의 기준전압을 출력하거나 차단한다.

상세히 설명하면, 제 1 스위칭부(37_3_1)는 2개의 트랜지스터 M11, M12로 구성되며, 트랜지스터 M11은 기준전압 V8과 연결되고, 트랜지스터 M12는 기준전압 V7과 연결된다. 각 트랜지스터 M11, M12의 게이트 단자는 상기 제 1 낸드 게이트 NAND1의 출력라인에 공통으로 연결되어 제 1 낸드 게이트 NAND1의 출력신호 레벨상태에 따라 온/오프 동작을 수행한다.

제 2 스위칭부(37_3_2)는 2개의 트랜지스터 M21, M22로 구성되며, 트랜지스터 M21은 기준전압 V7과 연결되고, 트랜지스터 M22는 기준전압 V6과 연결된다. 각 트랜지스터 M21, M22의 게이트 단자는 상기 제 2 낸드 게이트 NAND2의 출력라인에 공통으로 연결되어 제 2 낸드 게이트 NAND2의 출력신호 레벨상태에 따라 온/오프 동작을 수행한다.

상기와 같이 제 3 스위칭부(37_3_3)는 기준전압 V6과 기준전압 V5를 선택하고, 제 4 스위칭부(37_3_4)는 기준전압 V5와 기준전압 V4를 선택하고, 제 5 스위칭부(37_3_5)는 기준전압 V4와 기준전압 V3을 선택하고, 제 6 스위칭부(37_3_6)는 기준전압 V3과 기준전압 V2를 선택하고, 제 7 스위칭부(37_3_7)는 기준전압 V2와 기준전압 V1을 선택하며, 제 8 스위칭부(37_3_8)는 기준전압 V1과 기준전압 V0을 선택한다.

위와 같이 기준전압 선택부(37_3)에서 선택된 2개의 인접한 기준전압은 각각 후술할 데이터전압 선택부(37_7)의 양단에 인가된다.

하위 3비트 디코더(37_5)는 8개의 낸드 게이트 NAND9 내지 NAND16 로 구성된다. 각 낸드 게이트는 상기 6비트의 디지털 데이터 중 하위 3비트의 디지털 데이터 신호가 입력되는 6개의 라인 D3, D3B, D4, D4B, D5, D5B 중 3개의 라인과 중복되지 않게 연결된다. 즉, 제 9 낸드 게이트 NAND9는 3개의 라인 D3, D4, D5와 연결되어 하위 3비트가 '111'일 때 로우 신호를 발생한다. 제 10 낸드 게이트 NAND10은 3개의 라인 D3, D4, D5B와 연결되어 하위 3비트가 '110'일 때 로우 신호를 발생한다. 이와 같이 제 11, 제 12, 제 13, 제 14, 제 15 낸드 게이트 NAND11 내지 NAND15는 각각 '101', '100', '011', '010', '001'의 하위 3비트가 입력될 때 로우 신호를 발생한다. 마지막으로 제 16 낸드 게이트 NAND16은 3개의 라인 D3B, D4B, D5B와 연결되어 하위 3비트가 '000'일 때 로우 신호를 발생한다.

데이터전압 선택부(37_7)는 직렬로 연결된 8개의 저항 R1 내지 R8과 상기 각 저항이 연결된 노드와 출력단 Vout 사이에 각각 연결된 8개의 트랜지스터 M1 내지 M8로 구성된다. 상기 상위 3비트 디코더(37_1)와 기준전압 선택부(37_3)에 의해 선택된 인접한 2개의 기준전압은 각각 상기 데이터전압 선택부(37_7) 양 끝단의 저항 R1 및 R8에 인가된다. 직렬로 연결된 저항 R1 내지 R8은 일반적으로 동일한 저항 값을 가지는 것이 바람직하다. 이 경우 저항이 연결된 각 노드 N1 내지 N8의 전압은 높은 기준전압에서 1/8만큼 씩의 전압강하가 생기게 된다.

상기 데이터전압 선택부(37_7)의 각 트랜지스터 M1 내지 M8의 게이트 단자는 상기 하위 3비트 디코더(37_7)의 각 낸드 게이트 NAND9 내지 NAND16의 출력단과 연결된다. 따라서, 상기 각 낸드 게이트 NAND9 내지 NAND16의 출력신호 레벨상태에 따라 상기 각 트랜지스터 M1 내지 M8은 온/오프 동작을 수행한다. 예를 들어, 하위 3비트의 데이터가 '010'일 때, 제 14 낸드 게이트 NAND14는 상기 트랜지스터 M6의 게이트 단자에 로우 레벨의 제어신호를 인가하여 상기 트랜지스터 M6가 턴온된다. 따라서, 인접한 2개의 기준전압 중 높은 기준전압에서 5/8만큼의 전압이 강하된 전압(최종 데이터 전압)을 출력단 Vout으로 출력한다.

상기 데이터전압 선택부(37_7)에서 출력된 데이터전압은 디멀티플렉스(39)에 의해 해당하는 데이터 라인에 저장된다.

프리차징부(37_9)는 3개의 트랜지스터 MPB1, MPB2, MP로 구성된다. 트랜지스터 MPB1은 높은 기준전압 라인과 데이터전압 선택부(37_7)의 제 1 저항 R1사이에 연결되어 반전된 프리차징신호 Cpre_B에 의해 온/오프 동작을 수행한다. 또한, 트랜지스터 MPB2는 낮은 기준전압 라인과 데이터전압 선택부(37_7)의 제 8 저항 R8 사이에 연결되어 상기 반전된 프리차징신호 Cpre_B에 의해 온/오프 동작을 수행한다. 따라서, 상기 트랜지스터들 MPB1, MPB2는 동시에 온/오프 동작을 수행하여 인접한 2개의 기준전압을 데이터전압 선택부(37_9)로 인가하거나 차단하게 된다.

트랜지스터 MP는 낮은 기준전압 라인과 데이터전압 선택부(37_7)의 출력단 Vout 사이에 연결되고, 게이트 단자로 인가되는 프리차징신호 Cpre에 의해 온/오프 동작을 수행한다.

상기 프리차징부(37_9)의 동작을 설명하면, 각 화소로 주사신호가 인가되기 전의 블랭킹 타임동안, 디멀티플렉스의 제어신호가 로우레벨로 되었을 때, 먼저, 로우레벨의 프리차징신호 Cpre와 하이레벨의 반전된 프리차징신호 Cpre_B가 인가된다. 이때, 트랜지스터 MPB1과 트랜지스터 MPB2는 오프되고, 트랜지스터 MP는 턴온된다. 따라서, 낮은 기준전압이 디멀티플렉스를 통하여 데이터라인에 미리 저장된다.

이후, 하이레벨의 프리차징신호 Cpre와 로우레벨의 반전된 프리차징신호 Cpre_B가 인가된다. 이때, 트랜지스터 MPB1과 트랜지스터 MPB2는 턴온되고, 트랜지스터 MP는 오프된다. 따라서, 해당하는 데이터전압이 디멀티플렉스를 통하여 데이터라인에 저장된다.

이와 같은 방법으로 데이터라인에 데이터전압을 저장하는 이유는 다음과 같다. 데이터전압을 디멀티플렉스를 통하여 데이터라인에 저장되는 시간은 매우 짧은 시간(약 10us)이다. 특히, 화이트레벨의 전압에서 블랙레벨의 전압을 데이터 라인에 저장하거나 반대로 블랙레벨의 전압에서 화이트레벨의 전압을 데이터 라인에 저장할 때, 짧은 데이터라인 차징시간동안 충분히 데이터전압을 저장할 수가 없게 된다. 따라서, 정확한 계조표현이 어려워지고, 이에 따른 콘트라스트비도 나쁘게 된다.

따라서, 상기 본 발명의 제 1 실시예와 같이 데이터전압이 데이터 라인에 저장되기 전에 선택된 인접한 2개의 기준전압 중 낮은 기준전압(이를, '프리차징 전압'이라한다.)을 미리 데이터라인에 저장함으로써 데이터전압이 저장되는 시간을 줄여 빠르고 정확한 계조 표현을 할 수 있다.

이와 같은 방법으로 데이터 라인에 데이터전압을 저장함으로써, 데이터 라인에 데이터전압을 저장하는 속도가 빠르게 되고, 블랙레벨에서 화이트레벨로 데이터전압이 바뀌거나, 화이트레벨에서 블랙레벨로 데이터전압이 바뀌는 경우에 정확한 계조표현을 하여 잘못된 영상이 디스플레이 되는 에러(error)율을 줄일 수 있다. 또한, 데이터라인에 프리차지전압을 저장할 시간동안 2개의 트랜지스터 MPB1, MPB2가 오프되어 선택된 인접한 2개의 기준전압이 오픈 상태가 되어 프리차지할 동안 전력소비가 줄어든다.

실시예 2

도 4는 본 발명의 제 2 실시예에 따른 데이터 구동장치의 D/A 변환기를 상세히 나타낸 회로도이다.

본 발명의 제 2 실시예에 따른 D/A 변환기는 도 3의 D/A 변환기와 동일한 상위 3비트 디코더(37_1), 기준전압 선택부(37_3), 하위 3비트 디코더(37_5) 및 데이터전압 선택부(37_7)를 가진다.

다만, 프리차징부(37_9')가 다르게 구성된다. 따라서, 상기 상위 3비트 디코더(37_1), 기준전압 선택부(37_3), 하위 3비트 디코더(37_5) 및 데이터전압 선택부(37_7)에 대하여는 도 3을 참조하여 당업자가 용이하게 이해할 수 있기 때문에 그 설명을 생략하기로 하고, 도 3과 다른 프리차징부에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 제 2 실시예에 따른 D/A 변환기의 프리차징부(37_9')는 3개의 트랜지스터 MPB1, MPB2, MP'로 구성된다. 트랜지스터 MPB1은 높은 기준전압 라인과 데이터전압 선택부(37_7)의 제 1 저항 R1사이에 연결되어 반전된 프리차징신호 Cpre_B에 의해 온/오프 동작을 수행한다. 또한, 트랜지스터 MPB2는 낮은 기준전압 라인과 데이터전압 선택부(37_7)의 제 8 저항 R8 사이에 연결되어 상기 반전된 프리차징신호 Cpre_B에 의해 온/오프 동작을 수행한다. 따라서, 상기 트랜지스터들 MPB1, MPB2는 동시에 온/오프 동작을 수행하여 인접한 2개의 기준전압을 데이터전압 선택부(37_9)로 인가하거나 차단하게 된다.

트랜지스터 MP'는 높은 기준전압 라인과 데이터전압 선택부(37_7)의 출력단 Vout 사이에 연결되고, 게이트 단자로 인가되는 프리차징신호 Cpre에 의해 온/오프 동작을 수행한다.

상기 프리차징부(37_9')의 동작을 설명하면, 각 화소로 주사신호가 인가되기 전의 블랭킹 타임동안, 디멀티플렉스의 제어신호가 로우레벨로 되었을 때, 먼저, 로우레벨의 프리차징신호 Cpre와 하이레벨의 반전된 프리차징신호 Cpre_B가 인가된다. 이때, 트랜지스터 MPB1과 트랜지스터 MPB2는 오프되고, 트랜지스터 MP'는 턴온된다. 따라서, 높은 기준전압이 디멀티플렉스를 통하여 데이터라인에 미리 저장된다.

이후, 하이레벨의 프리차징신호 Cpre와 로우레벨의 반전된 프리차징신호 Cpre_B가 인가된다. 이때, 트랜지스터 MPB1과 트랜지스터 MPB2는 턴온되고, 트랜지스터 MP'는 오프된다. 따라서, 해당하는 데이터전압이 디멀티플렉스를 통하여 데이터라인에 저장된다.

따라서, 상기 본 발명의 제 2 실시예와 같이 데이터전압이 데이터 라인에 저장되기 전에 선택된 인접한 2개의 기준전압 중 높은 기준전압을 미리 데이터라인에 저장함으로써 데이터전압이 저장되는 시간을 줄여 빠르고 정확한 계조 표현을 할 수 있다.

상기 도 3과 도 4에서 나타난 트랜지스터들은 P타입의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)이다. 다만, 상기 트랜지스터가 P타입에 한정되는 것은 아니며, 당업자는 용이하게 N타입의 MOSFET을 이용하여 설계할 수 있다.

도 5는 본 발명의 제 1 실시예 및 제 3 실시예에 따른 데이터 구동부의 D/A 변환기의 동작을 나타내는 타이밍도이다.

설명 편의를 위하여 D/A 변환기로 인가되는 6비트의 디지털 데이터 D1은 '101011'이라고 가정하여 설명한다. 또한, 디멀티플렉스(39)는 로우레벨의 제어신호 C1에 의해 데이터 라인 Dm-2를 선택하는 것을 가정하여 설명한다.

도 3, 4 및 5를 참조하면, 이전 주사신호 Sn-1와 현재 주사신호 Sn 사이의 블랭킹 구간동안 디멀티플렉스의 제어신호들 C1, C2, C3이 순차적으로 인가된다.

먼저, 로우 레벨의 디멀티플렉스 제어신호 C1이 인가되는 동안 디지털 데이터 '101011'이 D/A 변환기로 인가된다. 이때, 상위 3비트 디코더(37_1)는 상위 3비트 '101'에 해당하는 제 3 낸드 게이트 NAND3이 선택되어 기준전압 선택부(37_3)의 제 3 스위칭부(37_3_3)에 로우레벨의 제어신호를 출력한다. 따라서, 높은 기준전압 V6과 낮은 기준전압 V5가 데이터전압 선택부의 양단에 인가된다. 이때, 하위 3비트의 데이터 '011'에 의해 하위 3비트 디코더(37_5)의 제 13 낸드 게이트 NAND13이 선택되어 로우레벨의 신호를 출력한다.

한편, 로우레벨의 디멀티플렉스 제어신호 C1이 인가되는 초기에 로우레벨의 프리차지신호 Cpre와 하이레벨의 반전된 프리차지신호 Cpre_B가 프리차지부(37_9(도 3의 경우) 또는 37_9'(도 4의 경우))에 인가된다. 따라서, 트랜지스터 MP(도 4의 경우는 트랜지스터 MP')가 턴온되어 낮은 기준전압 V5(도 4의 경우는 높은 기준전압 V6)이 데이터라인 Dm-2에 인가된다. 프리차지전압이 인가되는 동안 트랜지스터 MPB1 및 MPB2는 오프되기 때문에 선택된 기준전압 V6 및 V5는 오픈 상태가 되어 소비전력이 감소된다.

프리차지전압이 인가된 후 하이레벨의 프리차지신호 Cpre와 로우레벨의 반전된 프리차지신호 Cpre_B가 프리차지부(37_9)에 인가된다. 따라서, 트랜지스터 MP(도 4의 경우 트랜지스터 MP')는 오프되고, 트랜지스터 MPB1 및 MPB2가 턴온되어 데이터전압 선택부(37_7)의 양단에 선택된 기준전압 V6 및 V5이 인가되고, 하위 3비트 디코더(37_5)에 의해 선택된 제 13 낸드 게이트 NAND13은 데이터전압 선택부(37_7)의 트랜지스터 M5를 턴온시켜 노드 N5에 해당하는 데이터전압이 출력되어 데이터 라인 Dm-2에 저장된다.

이와 같은 방법으로 선택된 인접한 2개의 기준전압 중 어느 하나의 전압(프리차지 전압)을 미리 데이터라인에 저장한 후, 데이터전압을 데이터 라인에 저장함으로써, 데이터라인차징 속도가 빨라진다. 따라서, 블랙에서 화이트 화이트에서 블랙 레벨로 데이터가 바뀌는 경우 정확한 계조 표현이 가능하므로 에러(error)율을 줄일 수 있다.

다음으로 디멀티플렉스의 제어신호 C2 및 C3이 순차적으로 인가되는 동안 상기와 동일한 방법이 수행되므로 그 설명을 생략하기로 한다.

상기에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

예를 들어, 상기 제 1 및 제 2 실시예에서는 디지털 데이터를 6비트로 한정하였지만, 이는 당업자가 용이하게 8비트로 구현할 수도 있다. 이 경우 상위 4비트 디코더와 하위 4비트 디코더로 분리하여 계조표현이 가능하다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 데이터라인에 데이터전압을 빠르게 저장할 수 있는 SOP(System On Panel) 타입의 데이터 구동장치를 설계할 수 있다.

또한, 프리차지 전압을 이용하여 미리 데이터 라인에 저장함으로써, 데이터 라인 차징속도가 빨라진다.

또한, 블랙 레벨에서 화이트 레벨로 데이터가 바뀌거나, 화이트 레벨에서 블랙 레벨로 데이터가 바뀌는 경우 정확한 계조 표현이 가능하므로 에러(error)율을 줄일 수 있다.

또한, 데이터 라인을 프리차지할 동안 선택된 인접한 2개의 기준전압이 오픈 상태에 있기 때문에 프리차지하는 시간동안 소비전력이 줄어든다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 유기 전계발광 표시장치를 나타내는 블록도이다.

도 2는 본 발명의 제 1 실시예에 따른 유기 전계발광 표시장치의 데이터 구동장치를 나타낸 블록도이다.

도 3은 본 발명의 제 1 실시예에 따른 데이터 구동장치의 D/A 변환기를 상세히 나타낸 회로도이다.

도 4는 본 발명의 제 2 실시예에 따른 데이터 구동장치의 D/A 변환기를 상세히 나타낸 회로도이다.

도 5는 본 발명의 제 1 실시예 및 제 3 실시예에 따른 데이터 구동부의 D/A 변환기의 동작을 나타내는 타이밍도이다.

도면 주요부분에 대한 설명

10 : 화소표시부 20 : 주사 구동부

30 : 데이터 구동부 31 : 시프트 레지스터

33 : 샘플링 래치부 34 : 홀딩 래치부

35 : 레벨 시프터 37 : 디지털-아날로그 변환기

37_1 : 상위 3비트 디코더 37_3 : 기준전압 선택부

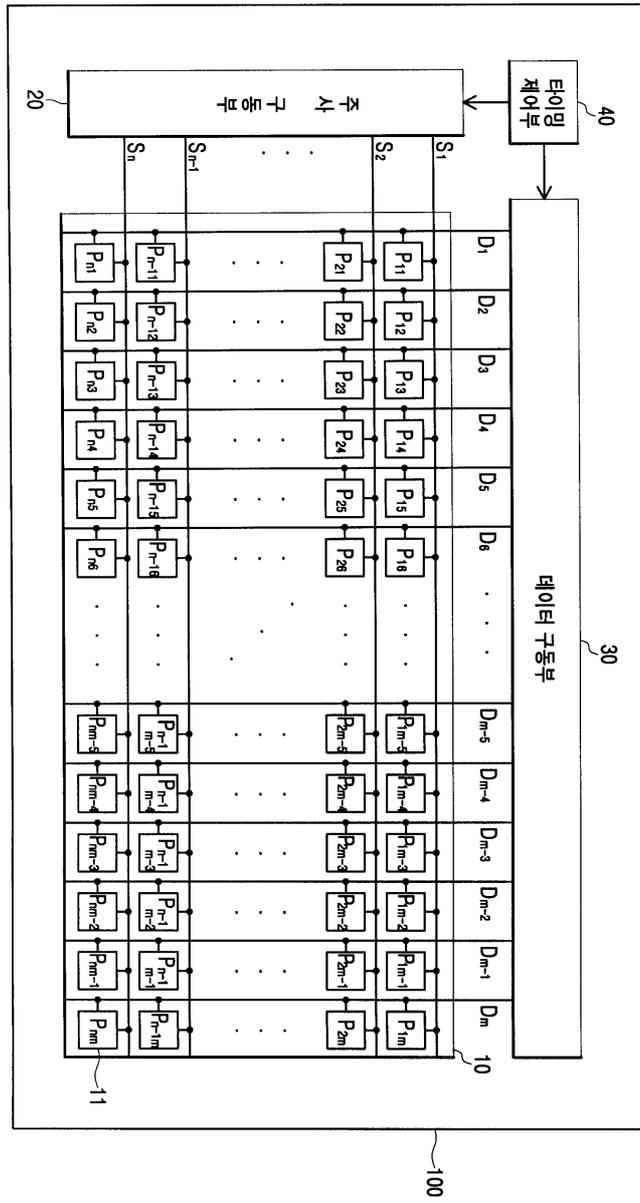
37_5 : 하위 3비트 디코더 37_7 : 데이터전압 선택부

37_9 : 프리차징부 39 : 디멀티플렉스부

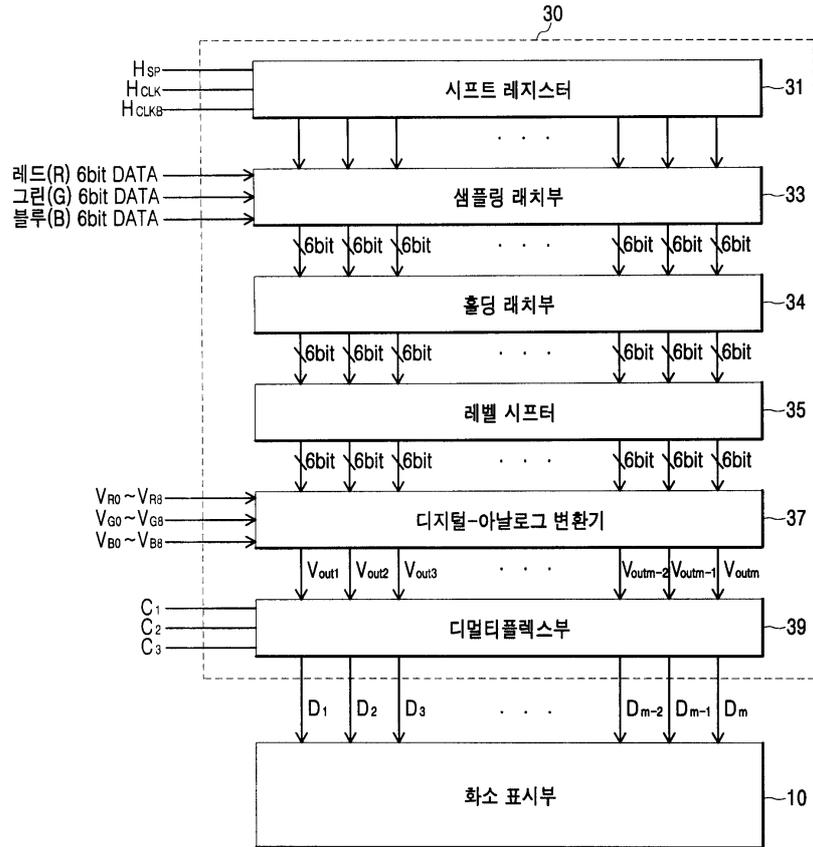
40 : 타이밍 제어부

도면

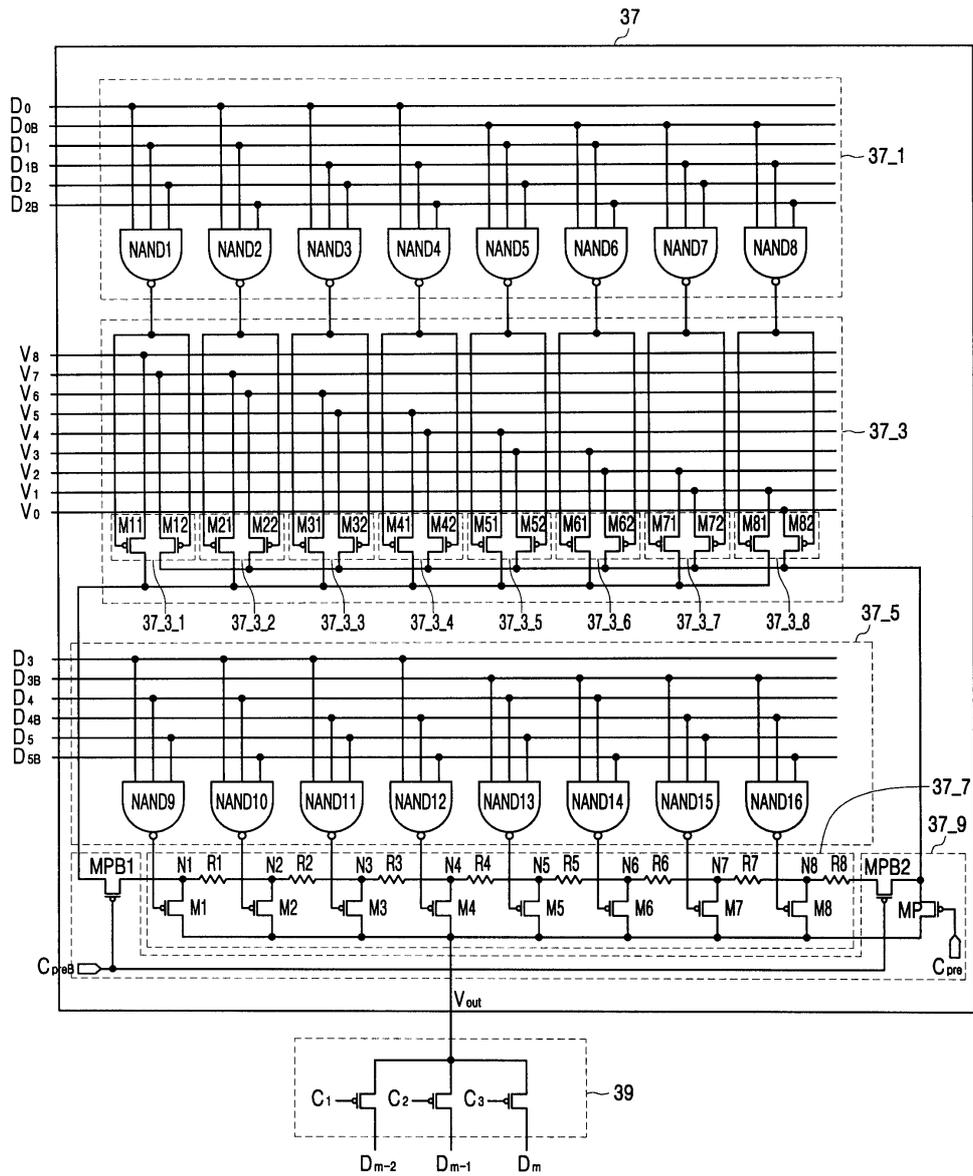
도면1



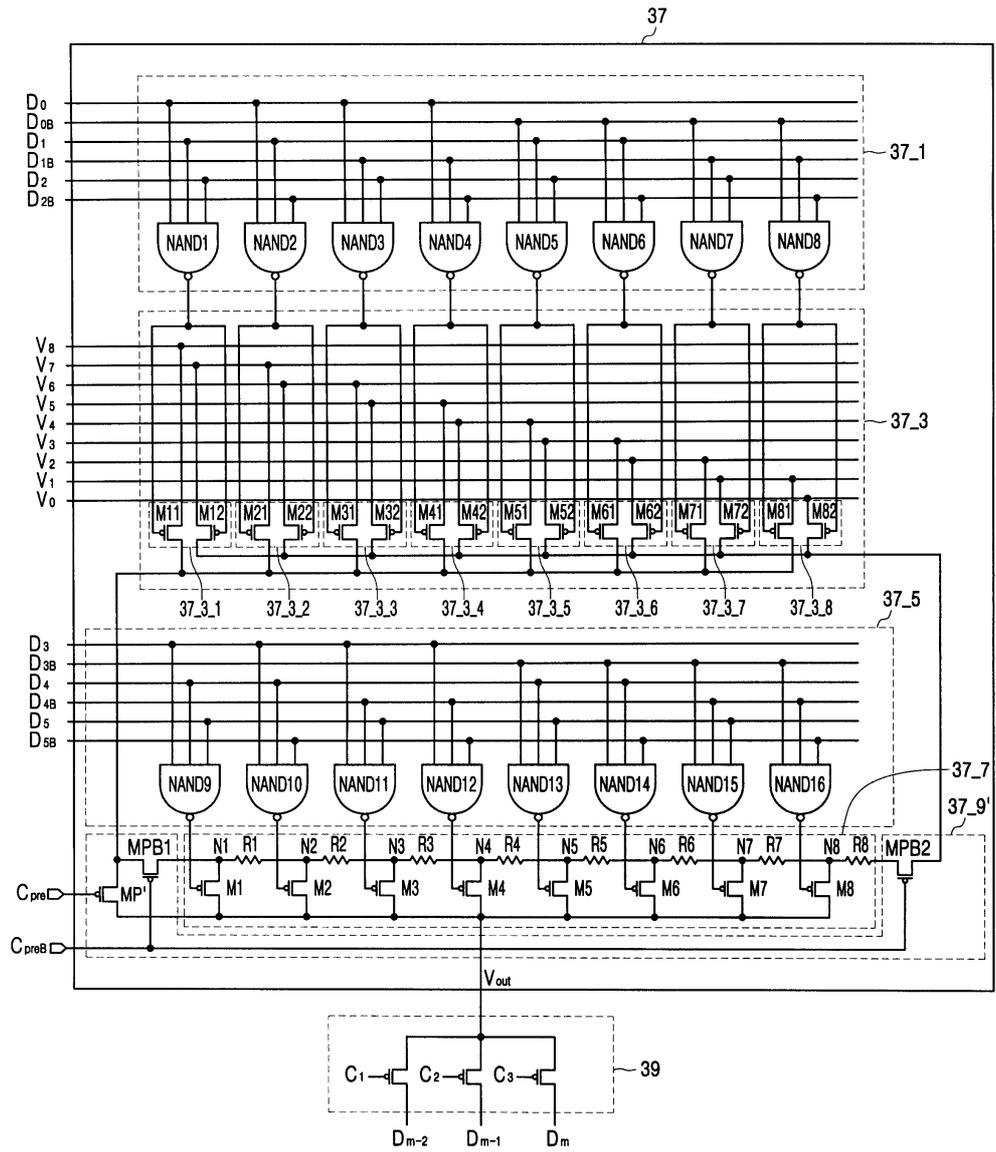
도면2



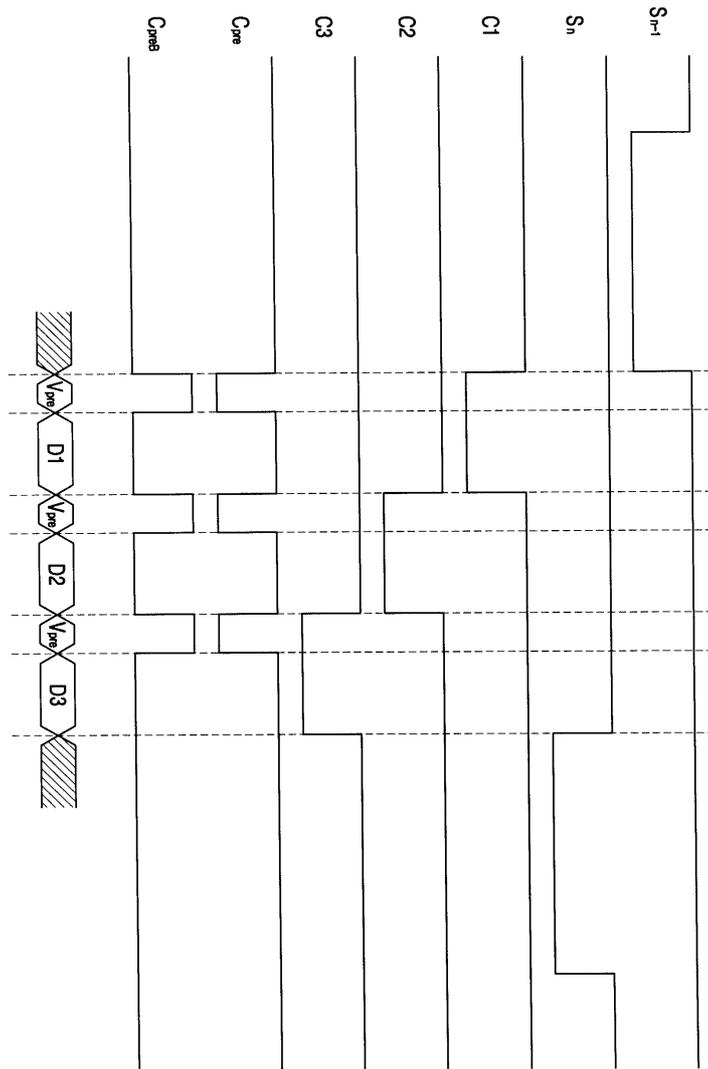
도면3



도면4



도면5



专利名称(译)	有机电致发光显示装置的数据驱动装置		
公开(公告)号	KR100666644B1	公开(公告)日	2007-01-09
申请号	KR1020050086436	申请日	2005-09-15
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK YONG SUNG		
发明人	PARK YONG SUNG		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3291 G09G2300/0828 G09G2310/0248		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供有机EL (电致发光) 显示装置的数据驱动装置, 以通过使用预充电电压在数据线上预存数据来增加数据线充电速度。有机EL显示装置的数据驱动装置包括DAC, 上n位解码器 (37_1), 参考电压选择器 (37_3), 下m位解码器 (37_5), 数据电压选择器 (37_7), 和预充电单元 (37_9)。上n位解码器包括 2^n 与非门, 其根据n + m位数字数据的高n位值输出低或高电平信号。参考电压选择器根据来自上部n位解码器的输出从 2^{n+1} 个参考电压中选择相邻的两个参考电压。较低的m位解码器包括 2^m 个与非门, 其根据n + m位数字数据的较低m位值输出低或高电平信号。数据电压选择器在所选参考电压的参考电压范围内将预定数据电压提供给数据线。在施加数据电压之前, 预充电单元在数据线上预先存储两个参考电压中的一个。

