



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0035419
(43) 공개일자 2012년04월16일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2010-0096913

(22) 출원일자 2010년10월05일

심사청구일자 2011년10월21일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이율규

경기도 용인시 기흥구 삼성2로 95 (농서동)

유춘기

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

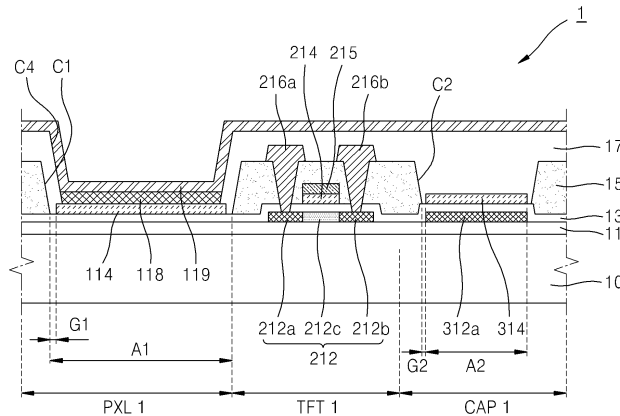
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 박막 트랜지스터의 활성층과 동일 평면에 형성되고 이온 불순물이 도핑된 반도체를 포함한 커패시터 하부 전극, 및 화소 전극, 및 게이트 전극과 동일 평면에 형성된 커패시터 상부 전극을 구비하고, 상기 화소 전극 및 커패시터 상부 전극 전체를 노출시키는 콘택홀을 형성함으로써, 개구율이 향상되고, 정전 용량을 증가시키며, 커패시터 배선의 신호 전달 품질을 향상시킬 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

대표도 - 도1



(72) 발명자

박선

경기도 용인시 기흥구 삼성2로 95 (농서동)

박종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

김대우

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관 상에 형성되고, 박막 트랜지스터의 활성층과, 상기 활성층과 동일층에 형성되고 이온 불순물이 도핑된 반도체 물질을 포함하는 커패시터의 하부 전극;

상기 활성층 및 하부 전극을 덮도록 상기 기관 상에 형성된 제1절연층;

상기 제1절연층 상에 형성되고, 투명도전물로 형성된 제1게이트 전극 및 금속으로 형성된 제2게이트 전극이 순차로 적층된 박막 트랜지스터의 게이트 전극;

상기 제1절연층 상에 형성되고 투명도전물로 형성된 화소 전극과, 상기 화소 전극과 동일층에 형성되고 투명도전물로 형성된 커패시터의 상부 전극;

상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극;

상기 제1절연층과 상기 소스 및 드레인 전극 사이에 형성되고, 상기 상부_전극 전체를 노출시키는 콘택홀을 포함하는 제2절연층;

상기 제2절연층 상에 형성되고 상기 화소 전극을 노출시키는 제3절연층;

상기 화소 전극 상에 위치하는 발광층; 및

상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1게이트 전극, 상기 화소 전극 및 상기 상부 전극은 동일한 투명도전물로 형성된 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 투명도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크 옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 상부 전극의 외측면과 상기 콘택홀 사이에 갭(gap)이 형성된 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 갭이 형성된 영역에 상기 제3절연층이 위치하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 커패시터의 배선이 위치하고, 상기 배선은 이온 불순물이 도핑된 반도체 물질을 포함하는 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서,

상기 하부 전극과 상기 배선의 연결부는 이온 불순물이 도핑된 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 제2절연층은 상기 화소 전극 전체를 노출시키는 콘택홀을 포함하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 화소 전극의 외측면과 상기 콘택홀 사이에 갭(gap)이 형성된 유기 발광 표시 장치.

청구항 10

제 8 항에 있어서,

상기 갭이 형성된 영역에 상기 제3절연층이 위치하는 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

제3절연층은 유기 절연물인 유기 발광 표시 장치.

청구항 12

제 1 항에 있어서,

상기 활성층은 이온 불순물이 도핑된 반도체 물질을 포함하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 반도체 물질은 비정질 실리콘 또는 결정질 실리콘을 포함하는 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서,

상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사 전극인 유기 발광 표시 장치.

청구항 15

제 1 항에 있어서,

상기 기판과 상기 제1절연층 사이에 상기 제1절연층과 굴절률이 다른 절연막이 하나 이상 위치하는 유기 발광 표시 장치.

청구항 16

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1마스크 공정;

상기 기판 상에 상기 활성층 및 하부 전극을 덮도록 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 화소 전극, 박막 트랜지스터의 게이트 전극, 및 커패시터의 상부 전극을 동시에 형성하는 제2마스크 공정;

제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 화소 전극, 상기 활성층의 소스 및 드레인 영역, 및 상기 상부 전극 전체를 노출시키는 콘택홀을 형성하는 제3마스크 공정;

상기 제3마스크 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접속하는 소스 및 드레인 전극을 형성하고, 상기 화소 전극 및 상부 전극 상의 제1금속을 제거하는 제4마스크 공정; 및

상기 제4마스크 공정 결과물 상에 제3절연층을 형성하고, 상기 제3절연층이 상기 화소 전극의 투명도전물을 개구시키는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제1마스크 공정에서, 상기 반도체층을 패터닝하여 상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 커패시터의 배선을 동시에 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 제2마스크 공정 후, 상기 소스 및 드레인 영역, 상기 배선에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 17 항에 있어서,

상기 제3마스크 공정에서, 상기 상부 전극의 외측면과 상기 상부 전극 전체를 노출시키는 콘택홀 사이에 갭(gap)을 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 16 항에 있어서,

제3 마스크 공정에서, 상기 제2절연층에 상기 화소 전극 전체를 노출시키도록 콘택홀을 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 화소 전극의 외측면과 상기 화소 전극 전체를 노출시키는 콘택홀 사이에 갭(gap)을 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제 16 항에 있어서,

상기 제4마스크 공정은 상기 제2금속을 식각하는 제1식각 공정, 상기 화소 전극 및 상부 전극 상의 제1금속을 제거하는 제2식각 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 23

제 16 항에 있어서,

상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각하는 유기 발광 표시 장치의 제조 방법.

청구항 24

제 16 항에 있어서,

상기 제4마스크 공정 후, 상기 하부 전극에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 25

제 16 항에 있어서,

상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성하는 유기 발광 디스플레이 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 표시 장치로서 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 제조 공정이 단순하고, 신호 전달 및 개구율이 우수한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 본 발명의 일 측면에 의하면, 기판 상에 형성되고, 박막 트랜지스터의 활성층과, 상기 활성층과 동일층에 형성되고 이온 불순물이 도핑된 반도체 물질을 포함하는 커패시터의 하부 전극; 상기 활성층 및 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층; 상기 제1절연층 상에 형성되고, 투명도전물로 형성된 제1게이트 전극 및 금속으로 형성된 제2게이트 전극이 순차로 적층된 박막 트랜지스터의 게이트 전극; 상기 제1절연층 상에 형성되고 투명도전물로 형성된 화소 전극과, 상기 화소 전극과 동일층에 형성되고 투명도전물로 형성된 커패시터의 상부 전극; 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극; 상기 제1절연층과 상기 소스 및 드레인 전극 사이에 형성되고, 상기 상부_전극 전체를 노출시키는 콘택홀을 포함하는 제2절연층; 상기 제2절연층 상에 형성되고 상기 화소 전극을 노출시키는 제3절연층; 상기 화소 전극 상에 위치하는 발광층; 및 상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

[0005] 본 발명의 다른 특징에 의하면, 상기 제1게이트 전극, 상기 화소 전극 및 상기 상부 전극은 동일한 투명도전물로 형성될 수 있다.

[0006] 본 발명의 또 다른 특징에 의하면, 상기 상부 전극의 외측면과 상기 콘택홀 사이에 갭(gap)이 형성될 수 있다.

[0007] 본 발명의 또 다른 특징에 의하면, 상기 갭이 형성된 영역에 상기 제3절연층이 위치할 수 있다.

[0008] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 커패시터의 배선이 위치하고, 상기 배선은 이온 불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0009] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극과 상기 배선의 연결부는 이온 불순물이 도핑될 수 있다.

[0010] 본 발명의 또 다른 특징에 의하면, 상기 연결부는 상기 상부 전극의 외측면과 상기 콘택홀 사이에 형성된 갭의 위치에 대응될 수 있다.

[0011] 본 발명의 또 다른 특징에 의하면, 상기 제2절연층은 상기 화소 전극 전체를 노출시키는 콘택홀을 포함할 수 있다.

[0012] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극의 외측면과 상기 콘택홀 사이에 갭(gap)이 형성될 수 있다.

[0013] 본 발명의 또 다른 특징에 의하면, 제3절연층은 유기 절연물일 수 있다.

[0014] 본 발명의 또 다른 특징에 의하면, 상기 활성층은 이온 불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0015] 본 발명의 또 다른 특징에 의하면, 상기 반도체 물질은 비정질 실리콘 또는 결정질 실리콘을 포함할 수 있다.

[0016] 본 발명의 또 다른 특징에 의하면, 상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사 전극일 수 있다.

[0017] 본 발명의 또 다른 특징에 의하면, 상기 기판과 상기 제1절연층 사이에 상기 제1절연층과 굴절률이 다른 절연막이 하나 이상 위치할 수 있다.

[0018] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1마스크 공정; 상기 기판 상에 상기 활성층 및 하부 전극을 덮도록 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 화소 전극, 박막 트랜지스터의 게이트 전극, 및 커패시터의 상부 전극을 동시에 형성하는 제2마스크 공정; 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 화소 전극, 상기 활성층의 소스 및 드레인 영역, 및 상기 상부 전극 전체를 노출시키는 콘택홀을 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접속하는 소스 및 드레인 전극을 형성하고, 상기 화소 전극 및 상부 전극 상의 제1금속을 제거하는 제4마스크 공정; 및 상기 제4마스크 공정 결과물 상에 제3절연층을 형성하고, 상기 제3절연층이 상기 화소 전극의 투명도전물을 개구시키는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.

발명의 효과

[0019] 상기와 같은 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0020] 첫째, 발광 영역의 면적이 증가함으로써 개구율이 향상된다.

[0021] 둘째, 커패시터 하부전극 및 배선부에 이온불순물이 도핑되지 않는 현상이 제거되어, 정전 용량이 증가하고, 커패시터 배선의 신호 전달 품질이 향상된다.

[0022] 셋째, 정전용량이 우수한 MIM CAP 구조를 제공한다.

[0023] 넷째, 5마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

도 2는 본 발명의 비교예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

도 3A는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 평면도이다.

도 3B는 본 발명의 비교예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 평면도이다.

도 4A는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 단면도이다.

도 4B는 본 발명의 비교예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 단면도이다.

도 5A는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도이다.

도 5B는 본 발명의 비교예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도이다.

도 6A는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 단면도이다.

도 6B는 본 발명의 비교예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 단면도이다.

도 7 내지 도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도들이다.

도 14 및 도 15는 본 발명의 비교예에 따른 유기 발광 표시 장치의 제조 방법의 일부를 개략적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

- [0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이고, 도 2는 본 발명의 비교예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- [0027] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기관(10) 상에는 발광층(118)이 구비된 픽셀 영역(PXL1), 박막 트랜지스터가 구비된 트랜지스터 영역(TFT1), 및 커패시터가 구비된 커패시터 영역(CAP1)이 형성된다.
- [0028] 도 2를 참조하면, 본 발명의 비교예에 따른 유기 발광 표시 장치(2)의 기관(10) 상에는 발광층(118)이 구비된 픽셀 영역(PXL2), 박막 트랜지스터가 구비된 트랜지스터 영역(TFT2), 및 커패시터가 구비된 커패시터 영역(CAP2)이 형성된다.
- [0029] 도 1을 참조하면, 본 발명의 실시예에 따른 트랜지스터 영역(TFT1)에는 기관(10) 및 버퍼층(11) 상에 박막 트랜지스터의 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있으며, 채널 영역(212c)과, 채널 영역(212c) 외측에 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)을 포함한다.
- [0030] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널 영역(212c)에 대응되는 위치에 투명도전층을 포함하는 제1게이트 전극(214) 및 제2게이트 전극(215)이 차례로 구비된다.
- [0031] 제1 및 제2 게이트 전극(214, 215) 상에는 층간 절연막인 제2절연층(15)을 사이에 두고 활성층(212)의 소스 및 드레인 영역(212a, 212b)에 접속하는 소스 및 드레인 전극(216a, 216b)이 구비된다.
- [0032] 제2절연층(15) 상에는 상기 소스 및 드레인 전극(216a, 216b)을 덮도록 제3절연층(17)이 구비된다. 제3절연층(17)은 유기 절연막으로 구비될 수 있다.
- [0033] 도 2를 참조하면, 본 발명의 비교예에 따른 트랜지스터 영역(TFT2)의 구성은 본 발명의 실시예에 따른 트랜지스터 영역(TFT1)의 구성과 동일하다.
- [0034] 다시 도 1을 참조하면, 본 발명의 실시예에 따른 픽셀 영역(PXL1)에는 기관(10), 버퍼층(11) 및 제1절연층(13) 상에 제1게이트 전극(214)과 동일한 투명도전층으로 형성된 제1화소 전극(114)이 형성된다. 투명도전층으로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0035] 제1화소 전극(114) 상에는 발광층(118)이 형성되고, 발광층(118)에서 방출된 광은 투명도전층으로 형성된 제1화소 전극(114)을 통하여 기관(10) 측으로 방출된다.
- [0036] 제1화소 전극 하부에 위치하는 버퍼층(11)과 제1절연층(13)은 굴절률이 서로 다른 물질이 교대로 구비되어, DBR(Distributed Brag Reflector)로 기능함으로써 발광층(118)에서 방출되는 빛의 광효율을 높일 수 있다. 이와 같은 버퍼층(11)과 제1절연층(13)으로는 SiO₂, SiN_x 등이 사용될 수 있다. 한편, 상기 도면에는 제1절연층(13)과 버퍼층(11)이 각각 하나의 층으로 형성된 것으로 도시되어 있으나 본 발명은 이에 한정되는 아니며, 제1절연층(13)과 버퍼층(11)은 각각 복수의 층으로 형성될 수 있다.
- [0037] 제1절연층(13) 상부 및 제1화소 전극(114) 외곽에는 제2절연층(15)이 형성되고, 제2절연층(15)에는 제1화소 전극(114) 전체를 노출시키는 제1콘택홀(C1)이 형성된다. 이때, 제1화소 전극(114)의 외측면과 제1콘택홀(C1) 사이에 소정의 제1갭(G1)이 형성될 수 있다. 제1갭(G1)이 형성된 영역에는 제3절연층(17)이 개재되어 있다. 제3절연층(17)을 유기절연물로 형성할 경우, 제1갭(G1)을 유기절연물이 적절히 메꾸으로써 대향 전극(119)과 제1화소 전극(114) 사이에 발생할 수 있는 쇼트를 방지할 수 있다.
- [0038] 한편, 상기 도면에는 제1갭(G1)에 위치하는 제3절연층(17)이 편평하게 형성된 제1절연층(11)의 상부 표면에 직접 접촉하는 것으로 도시되어 있으나, 본 발명은 이에 한정되는 것은 아니다. 즉, 제1갭(G1)을 형성하기 위하여 제2절연층(15)을 에칭할 시, 에칭액 및 에칭방법 등에 따라 제2절연층(15) 하부에 위치하는 제1절연층(13)이 영향을 받을 수 있다. 예를 들어, 제1절연층(13)이 오버(over) 에칭되어 언더컷(under-cut)이 나타날 수도 있다. 뿐만 아니라, 제1절연층(13) 하부에 위치하는 버퍼층(11)도 오버 에칭될 수 있다. 이때에도 제3절연층(17)이 오버 에칭된 영역을 메꾸으로써, 오버 에칭에 의한 영향을 최소화 할 수 있다.
- [0039] 제1절연층(13) 및 제1화소 전극(114) 상부에 제3절연층(17)이 형성되고, 제3절연층(17)에는 제1화소 전극(114) 상부를 노출시키는 개구(C4)가 형성된다. 상기 개구(C4) 내부에 발광층(118)이 구비된다.

- [0040] 발광층(118)은 저분자 유기물 또는 고분자 유기물일 수 있다. 발광층(118)이 저분자 유기물일 경우, 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0041] 한편, 발광층(118)이 고분자 유기물일 경우, 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0042] 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1화소 전극(114)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0043] 대향 전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0044] 대향 전극(119)이 반사 전극으로 구비됨으로써, 발광층(118)에서 방출된 빛은 대향 전극(119)에 반사되어 투명도전물로 구성된 제1화소 전극(114)을 투과하여 기관(10) 측으로 방출된다.
- [0045] 도 2를 참조하면, 본 발명의 비교예에 따른 픽셀 영역(PXL2)에는 기관(10), 버퍼층(11) 및 제1절연층(13) 상에 제1게이트 전극(214)과 동일한 투명도전물로 형성된 제1화소 전극(114)이 형성되고, 제1화소 전극(114) 상부 외곽에 제2게이트 전극(215)과 동일 금속으로 형성된 제2화소 전극(115)이 형성된다.
- [0046] 즉, 비교예에 따른 픽셀 영역(PXL2)에는 본 실시예에 따른 픽셀 영역(PXL1)과 달리 제1화소 전극(114) 상부 외곽에 제2화소 전극(115)이 일부 남아있기 때문에, 두 실시예의 픽셀 영역(PXL1, PXL2)의 개구율이 달라진다. 이를 도 3a 내지 4b를 참조하여 설명한다.
- [0047] 도 3a 및 4a는 각각 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 평면도 및 단면도이고, 도 3b 및 4b는 각각 본 발명의 비교예에 따른 유기 발광 표시 장치의 픽셀 영역을 개략적으로 도시한 평면도 및 단면도이다.
- [0048] 도 3a 및 4a를 참조하면, 본 실시예에서는 제2절연층(15)에 제1화소 전극(114) 전체를 노출시키는 제1콘택홀(C1)이 형성되고, 제1화소 전극(114)의 외측면과 제1콘택홀(C1) 사이에는 제1갭(G1)이 형성된다. 상술한 바와 같이, 발광층(118)은 제3절연층(17)의 개구(C4) 내부에 형성되고, 제3절연층(17)의 개구(C4)는 제2절연층(15)이 형성하는 제1콘택홀(C1)이 형성하는 영역(A1) 내부에 형성되기 때문에, 제1콘택홀(C1)이 형성하는 영역(A1)이 넓어지면 발광영역이 확장된다. 즉, 개구율이 커진다.
- [0049] 그러나, 도 3b 및 4b를 참조하면, 비교예에서는 제2화소 전극(115)이 제1화소 전극(114)의 상부 외곽에 남아있기 때문에, 제2절연층(15)에는 제1화소 전극(114) 전체가 아닌 제1화소 전극(114) 일부를 노출시키는 제1콘택홀(C1')이 형성된다. 제2절연층(15) 및 제1화소 전극(114) 상부에 제3절연층(17)이 형성되고, 제3절연층(17)에는 제1화소 전극(114) 상부를 노출시키는 개구(C4')가 형성되고, 상기 개구(C4') 내부에 발광층(118)이 구비된다. 비교예에 따른 제3절연층(17)의 개구(C4')는 제2절연층(15)이 형성하는 제1콘택홀(C1')이 형성하는 영역(A1') 내부에 형성된다. 따라서, 제1화소 전극(114)의 면적을 동일하게 유지할 경우, 제1콘택홀(C1')이 형성하는 영역(A1')이 전술한 유기 발광 표시 장치(1)의 제1콘택홀(C1)이 형성하는 영역(A1)의 면적보다 작아지므로, 비교예에 따른 픽셀 영역(PXL2)의 발광영역이 줄어든다. 즉, 개구율이 작아진다.
- [0050] 다시 도 1을 참조하면, 본 발명의 실시예에 따른 커패시터 영역(CAP1)에는 기관(10) 및 버퍼층(11) 상에, 박막 트랜지스터의 활성층(212)과 동일 재료로 형성된 커패시터의 하부 전극(312a), 상기 하부 전극(312a)을 덮는 제1절연층(13), 및 제1화소 전극(114)과 동일 재료로 형성된 투명도전물을 포함하는 커패시터의 상부 전극(314)이 차례로 구비된다.
- [0051] 커패시터의 하부 전극(312a)은 박막 트랜지스터의 활성층(212)의 소스 및 드레인 영역(212a, 212b)과 동일 재료로서, 이온 불순물이 도핑된 반도체를 포함할 수 있다. 만약, 하부 전극을 이온 불순물 도핑이 안된 진성 반도체

체로 형성할 경우, 커패시터는 상부 전극(314)과 함께 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 하부 전극을 본 실시예와 같이 이온 불순물이 도핑된 반도체로 형성할 경우, MOS CAP 구조보다 정전용량이 큰 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화시킬 수 있다. 따라서, MIM CAP 구조는 MOS CAP 구조보다 작은 면적으로도 동일한 정전용량을 구현할 수 있으므로, 커패시터의 면적을 줄일 수 있는 마진이 높아지는 만큼, 제1화소 전극(114)을 크게 형성하여 개구율을 높일 수 있다.

- [0052] 제1절연층(13) 상부 및 상부 전극(314) 외곽에는 제2절연층(15)이 형성되고, 제2절연층(15)에는 상부 전극(314) 전체를 노출시키는 제2콘택홀(C2)이 형성된다. 이때, 상부 전극(314)의 외측면과 제2콘택홀(C2) 사이에 소정의 제2갭(G2)이 형성될 수 있다. 제2갭(G2)이 형성된 영역에는 제3절연층(17)이 개재되어 있다. 이때, 제3절연층(17)이 유기절연물로 형성될 경우, 제2갭(G2)을 유기절연물이 적절히 메꿈으로써 하부 전극(312a)과 상부 전극(314) 사이에 발생할 수 있는 쇼트를 방지할 수 있다. 또한, 대향 전극(119)과 상부 전극(314) 사이에 유전율이 작은 유기절연물이 개재됨으로써, 대향 전극(119)과 상부 전극(314) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0053] 한편, 도 1에는 도시되지 않았으나, 하부 전극(312a)과 동일층에는 상기 하부 전극(312a)에 연결되는 커패시터의 배선(도 5A의 W1 참조)이 위치하고, 상기 배선(W1)은 하부 전극(312a)과 마찬가지로 이온 불순물이 도핑된 반도체를 포함할 수 있다.
- [0054] 다시, 도 2를 참조하면, 본 발명의 비교예에 따른 커패시터 영역(CAP2)에는 기관(10) 및 버퍼층(11) 상에, 박막 트랜지스터의 활성층(212)과 동일 재료로 형성된 하부 전극(312a), 하부 전극(312a)을 덮는 제1절연층(13), 및 제1화소 전극(114)과 동일 재료로 형성된 투명도전물을 포함하는 제1상부 전극(314)과 제2게이트 전극(215)과 동일 재료로 형성된 제2상부 전극(315)이 제1상부 전극(314) 외곽에 형성되어 있다.
- [0055] 즉, 비교예에 따른 커패시터 영역(CAP2)에는 본 실시예에 따른 커패시터 영역(CAP1)과 달리 제1상부 전극(314) 상부 외곽에 제2상부 전극(315)이 일부 남아있기 때문에, 두 실시예의 커패시터 영역(CAP1, CAP2)의 정전용량이 달라진다. 또한, 커패시터에 연결되는 배선의 신호 전달 품질이 달라진다. 이를 도 5a 내지 6b를 참조하여 설명한다.
- [0056] 도 5a 및 6a는 각각 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도 및 단면도이고, 도 5b 및 6b는 각각 본 발명의 비교예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도 및 단면도이다.
- [0057] 도 5a 및 6a를 참조하면, 본 실시예에서는 제2절연층(15)에 상부 전극(314) 전체를 노출시키는 제2콘택홀(C2)이 형성되고, 상부 전극(314)의 외측면과 제2콘택홀(C2) 사이에는 제2갭(G2)이 형성된다.
- [0058] 후술하겠지만, 하부 전극(312a)과, 하부 전극(312a)에 연결되는 배선부(W1)는 제2절연층(15)에 형성된 제2콘택홀(C2)이 형성하는 영역(A2)의 크기에 따라 이온 불순물이 도핑되는 영역이 달라지게 된다. 만약, 제2콘택홀(C2)에 의해 노출되는 상부 전극(314)의 크기가 하부 전극(312a)의 크기보다 작게 되면, 하부 전극(312a) 외곽부의 반도체층과, 하부 전극(312a)과 배선부(W1) 사이의 연결부에 이온 도핑이 안 되는 영역이 발생할 수 있다. 이 경우 커패시터 용량이 감소하거나 신호 전달 품질이 나빠질 수 있다.
- [0059] 그러나, 본 실시예에서는, 제2콘택홀(C2)에 의해 상부 전극(314) 전체가 노출되므로, 하부 전극(312a)과 배선부(W1)는 모두 이온 불순물로 도핑된다. 따라서, 하부전극(312a)과 배선부(W1)에 이온 도핑이 안 되는 영역이 발생하지 않기 때문에, 정전 용량을 크게 하고 신호 전달 품질을 향상시킬 수 있다.
- [0060] 그러나, 도 5b 및 6b를 참조하면, 비교예에 따른 커패시터 영역(CAP2)에는 제2상부전극(315)이 제1 상부 전극(314)의 상부 외곽에 남아있기 때문에, 제2절연층(15)에는 제1상부 전극(314) 전체가 아닌 제1상부 전극(314) 일부를 노출시키는 제2콘택홀(C2')이 형성된다. 따라서, 제2콘택홀(C2')이 형성하는 영역(A2')이 전술한 유기 발광 표시 장치(1)의 제2콘택홀(C2)이 형성하는 영역(A2)의 면적보다 작아지므로, 하부 전극(312a)에 이온 불순물이 도핑되는 영역이 줄어들 수 있다. 따라서, 정전 용량이 줄어들 수 있다. 특히, 배선부(W1)와 하부 전극(312a) 사이의 연결부에 이온 도핑이 안 되는 영역(312c)이 발생하여 커패시터 배선의 신호 전달 품질이 나빠질 수 있다.
- [0061] 이하, 도 7 내지 13을 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0062] 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0063] 도 7을 참조하면, 버퍼층(11)이 적층된 기관(10)에 박막 트랜지스터의 활성층(212), 및 커패시터 하부 전극(312c)이 형성된다. 한편, 상기 도면에는 도시되어 있지 않으나, 제1 마스크 공정 시, 하부 전극(312c)에 연결

되는 커패시터 배선도 하부 전극(312c)과 같이 형성된다.

- [0064] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 구비될 수 있고, 상기 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(11)이 더 구비될 수 있다.
- [0065] 상기 도면에는 도시되어 있지 않지만, 버퍼층(11) 상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 박막 트랜지스터의 활성층(212), 커패시터 하부 전극(312c), 및 커패시터 배선(미도시)이 동시에 형성된다.
- [0066] 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0067] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0068] 도 8은 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0069] 도 8을 참조하면, 도 7의 제1마스크 공정의 결과물 상에 제1절연층(13)이 적층되고, 제1절연층(13) 상에 투명도전물 및 금속을 포함하는 층들(미도시)이 순차로 적층된 후, 투명도전물 및 금속을 포함하는 층들이 동시에 패터닝된 것이다.
- [0070] 패터닝 결과, 제1절연층(13) 상의 픽셀 영역(PXL1)에는 투명도전물을 포함하는 제1화소 전극(114) 및 금속을 포함하는 제2화소 전극(115) 차례로 형성되고, 트랜지스터 영역(TFT1)에는 투명도전물을 포함하는 제1게이트 전극(214) 및 금속을 포함하는 제2게이트 전극(215) 차례로 형성되며, 커패시터 영역(CAP1)에는 투명도전물을 포함하는 커패시터 제1상부 전극(314) 및 금속을 포함하는 제2상부 전극(315)이 동시에 형성된다.
- [0071] 전술한 바와 같이 제1절연층(13)은 SiO₂, SiN_x 등을 단층 또는 복수층 포함할 수 있으며, 제1절연층(13)은 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전막 역할을 한다.
- [0072] 제1화소 전극(114), 제1게이트 전극(214) 및 커패시터 제1상부 전극(314)은 동일한 투명도전물로 형성된다.
- [0073] 제2화소 전극(115), 제2게이트 전극(215), 및 제2 상부 전극(315)은 동일한 금속 재료로 형성되며, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0074] 상기와 같은 구조물 위에 이온 불순물이 도핑된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm³ 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑(D1)한다.
- [0075] 이때, 제1 및 제2게이트 전극(214, 215)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑함으로써 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 및 제2게이트 전극(214, 215)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0076] 한편, 활성층(212)과 동일 재료로 형성된 커패시터 하부 전극(312c)은 제1 및 제2 상부전극(314, 315)가 차단 마스크 기능을 하기 때문에, 채널 영역(212c)과 마찬가지로 도핑되지 않는다. 그러나, 이때, 제1 및 제2 상부전극(314, 315)이 위치하지 않는 커패시터 배선부에는 이온 불순물이 도핑된다.
- [0077] 도 9는 제2마스크 공정 후 제1도핑 공정 시, 커패시터의 하부 전극에 연결되는 배선부(W1)에 이온 불순물이 도핑된 상태를 도시한 것이다.
- [0078] 상기 도면을 참조하면, 하부 전극(312c)은 제1 및 제2 상부전극(314, 315)에 의해 차단되어 도핑되지 않지만, 배선부(W1)는 이온 불순물로 도핑된다(312a).

- [0079] 도 10은 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0080] 도 10을 참조하면, 도 8의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제2절연층(15)을 패터닝하여 제1화소 전극(114) 전체를 노출시키는 제1콘택홀(C1), 커패시터의 제1 및 제2상부 전극(314, 315) 전체를 노출시키는 제2콘택홀(C2), 및 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 제3콘택홀(C3)이 형성된다.
- [0081] 제1콘택홀(C1)은 제1화소 전극(114) 전체를 노출시키도록 형성되며, 이때 제1화소 전극(114)의 외측면과 제1콘택홀(C1) 사이에 제1갭(G1)이 형성된다. 또한, 제2콘택홀(C2)은 커패시터의 제1 및 제2상부 전극(314, 315) 전체를 노출시키도록 형성되며, 이때 제1 및 제2상부 전극(314, 315)의 외측면과 제2콘택홀(C2) 사이에 제2갭(G2)이 형성된다.
- [0082] 전술한 바와 같이, 제2절연층(15)에 제1화소 전극(114) 전체를 노출시키도록 제1콘택홀(C1)이 형성되기 때문에, 발광영역을 확대할 수 있어 개구율을 증가시킬 수 있다.
- [0083] 도 11은 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0084] 도 11을 참조하면, 제2절연층(15) 상에 소스 및 드레인 전극(216a, 216b)이 형성된다. 소스 및 드레인 전극(216a, 216b)을 형성하는 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0085] 상기 도면에는 상세히 도시되지 않았으나, 소스 및 드레인 전극(216a, 216b)은 다음과 같은 공정에 의해 형성된다. 먼저, 도 10의 제3마스크 공정의 결과물 상에 소스 및 드레인 전극(216a, 216b)을 형성하는 금속을 증착한 후, 제4포토 마스크(미도시)를 이용하여 소스 및 드레인 전극(216a, 216b) 패턴만 남도록 패터닝 한다.
- [0086] 이때, 소스 및 드레인 전극(216a, 216b)을 형성하는 금속과, 제2화소 전극(115) 및 제2상부 전극(315)을 형성하는 금속이 동일 재료일 경우에는 동일한 식각액을 이용한 한번의 식각 공정으로 소스 및 드레인 전극(216a, 216b)을 패터닝할 수 있다. 만약, 소스 및 드레인 전극(216a, 216b)을 형성하는 금속과, 제2화소 전극(115) 및 제2상부 전극(315)을 형성하는 금속이 서로 다른 재료일 경우에는, 1차 식각액으로 소스 및 드레인 전극(216a, 216b)을 형성하는 금속을 식각하여 드레인 전극(216a, 216b) 패턴을 형성하고, 2차 식각액으로 제2화소 전극(115) 및 제2상부 전극(315)을 제거한다.
- [0087] 상술한 제4마스크 공정 및 식각 공정 후 형성된 구조물 상에 이온 불순물이 도핑된다. 이온 불순물은 B 또는 P 이온을 적절한 농도로 커패시터 하부 전극을 타겟으로 하여 도핑(D2)한다.
- [0088] 도 12는 제4마스크 공정 후 제2도핑 공정 시, 커패시터의 하부 전극(312a)에 이온 불순물이 도핑된 상태를 도시한 것이다.
- [0089] 상기 도면을 참조하면, 1차 도핑시 도핑되지 않았던 하부 전극(312c, 도 9참조)이, 2차 도핑 후 이온 불순물이 도핑된 하부 전극(312a)으로 바뀌므로써, 하부 전극(312a)의 도전성이 증가하였다. 이에 따라 커패시터의 하부 전극(312c), 제1절연층(13) 및 제1상부 전극(314)이 MIM CAP 구조를 형성하여, 커패시터의 정전용량을 증가시킬 수 있다.
- [0090] 또한, 제2절연층(15)에 상부 전극(314) 전체를 노출시키는 제2콘택홀(C2)이 형성되기 때문에, 상부 전극(314) 전체가 노출되어 하부 전극(312a)과 배선부(W1) 모두 이온 불순물로 도핑된다. 따라서, 정전 용량이 감소하거나 신호 전달 품질이 저하되는 문제를 방지할 수 있다.
- [0091] 도 14는 본 발명의 비교예에 따른 유기 발광 표시 장치의 제조 방법으로서, 제4마스크 공정을 개략적으로 도시한 단면도이다.
- [0092] 도 14를 참조하면, 제1콘택홀(C1') 및 제2콘택홀(C2')이 각각 제1화소 전극(114) 및 제1상부 전극(314) 전체를 노출시키지 못하고 일부만 노출시킨다. 그 결과 제1화소 전극(114) 및 제1상부 전극(314) 상부 외곽에 제2화소 전극(115) 및 제2상부 전극(315)이 일부 잔존한다. 이는 도면으로 도시되지 않았지만 제3마스크 공정에서 형성된 구조이다.
- [0093] 상기 구조물에 이온 불순물을 도핑하게 되면, 도 15에 도시된 것과 같이 제2상부 전극(315)에 의해 차단되지 않은 하부 전극 영역(312a)은 도핑되나, 제2상부 전극(315)에 차단된 하부 영역(312c)은 여전히 도핑되지 않고 남아있다. 도핑되지 않은 영역(312c)은 하부 전극에 포함되어 전체 커패시터의 정전 용량을 감소시키거나, 배선부

(W1')와의 신호 전달 품질을 저하시킬 수 있다.

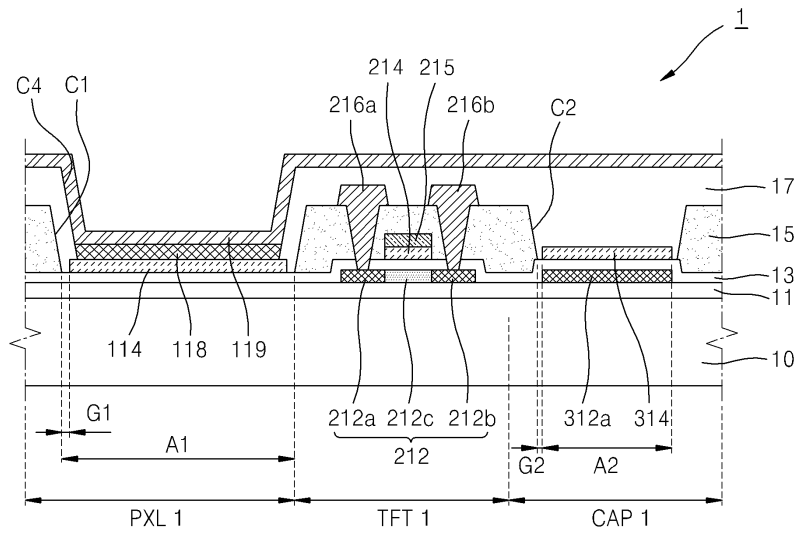
- [0094] 도 13은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0095] 도 13을 참조하면, 도 11의 제4마스크 공정의 결과물 상에 제3절연층(17)이 적층되고, 제3절연층(17)을 패터닝하여 제1화소 전극(114)의 상부를 노출시키는 개구(C4)가 형성된다.
- [0096] 상기 개구(C4)는 발광 영역을 정의해주는 역할 외에, 화소 전극(114, 115)의 가장자리와 대향 전극(119, 도 1 참조) 사이의 간격을 넓혀, 화소 전극(114, 115)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소 전극(114, 115)과 대향 전극(119)의 단락을 방지하는 역할을 한다.
- [0097] 한편, 상기 개구(C4)는 전술한 바와 같이 제2절연층(15)이 형성하는 제1콘택홀(C1)의 크기가 커짐에 따라 넓어지기 때문에, 넓어진 개구(C4) 내에 발광층(118, 도 1 참조)을 더 넓게 형성함으로써 발광영역이 확장되어 개구율을 증가시킬 수 있다.
- [0098] 상술한 바와 같은 본 발명의 실시예에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면, 제3마스크 공정에서 제2절연층(15)에 콘택홀을 형성할 시, 제1화소 전극(114) 및 제1상부 전극(314) 전체를 노출시키도록 제1 및 제2콘택홀(C1, C2)을 형성함으로써, 개구율 향상, 정전 용량 증가, 및 커패시터 배선의 신호 전달 품질 향상을 도모할 수 있다.
- [0099] 한편, 상기 실시예에서는 제1콘택홀(C1)과 제2콘택홀(C2)을 모두 각각 제1화소 전극(114) 및 제1상부 전극(314) 전체를 노출시키도록 형성하였으나, 본 발명은 이에 한정되지 않으며, 필요한 목적에 따라 제1콘택홀(C1) 및 제2콘택홀(C2) 중 하나만을 상기와 같은 구조로 형성할 수 있음은 물론이다.
- [0100] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

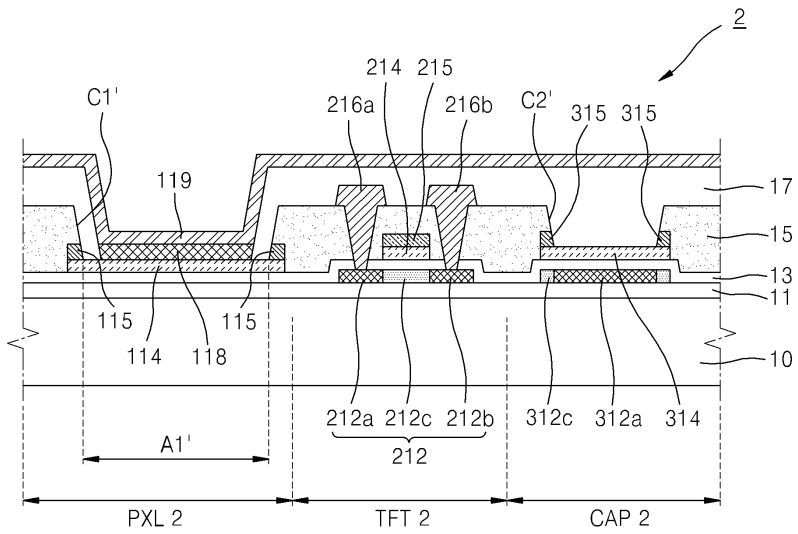
- [0101] 1, 2: 유기 발광 표시 장치
- 10: 기판
- 11: 버퍼층
- 13: 제1절연층
- 15: 제2절연층
- 17: 제3절연층
- 114: 제1화소 전극
- 115: 제2화소 전극
- 118: 발광층
- 119: 대향 전극
- 212: 활성층
- 212a: 소스 영역
- 212b: 드레인 영역
- 212c: 채널 영역
- 214: 제1게이트 전극
- 215: 제2게이트 전극
- 216a: 소스 전극
- 216b: 드레인 전극
- 312: 커패시터의 하부 전극
- 314: 커패시터의 제1상부 전극
- 315: 커패시터의 제2상부 전극
- PXL: 픽셀 영역
- TFT: 트랜지스터 영역
- CAP: 커패시터 영역
- C1, C2, C3: 제1~제3콘택홀
- G1: 제1겹
- G2: 제2겹

도면

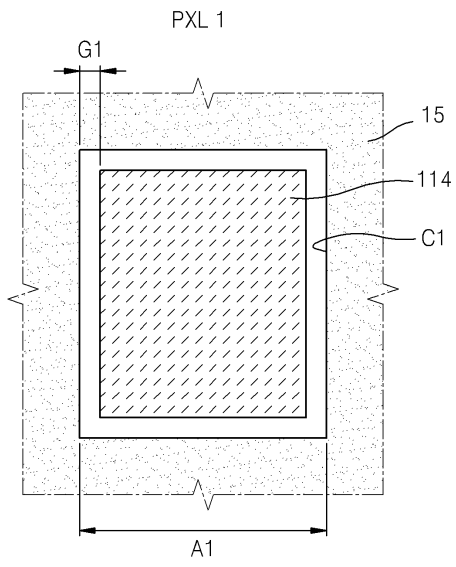
도면1



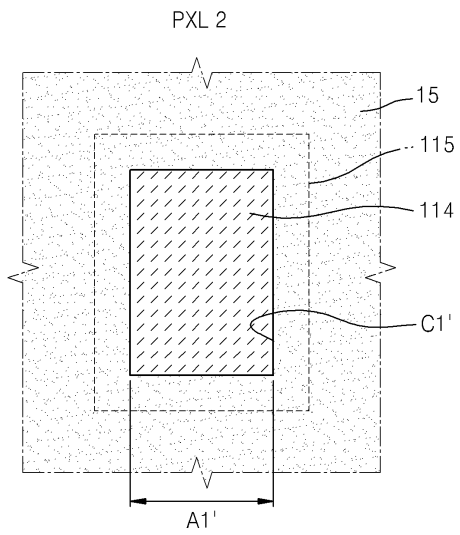
도면2



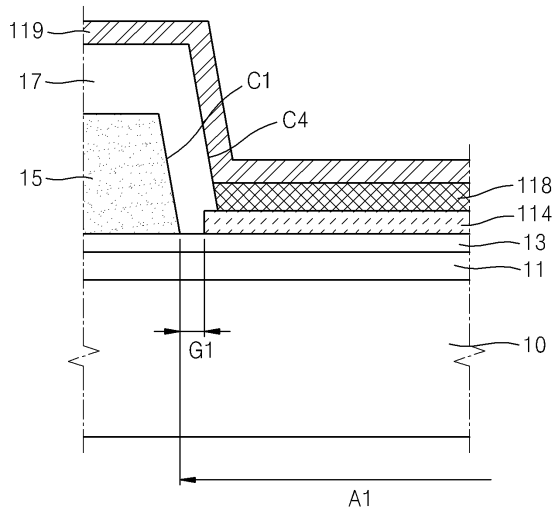
도면3a



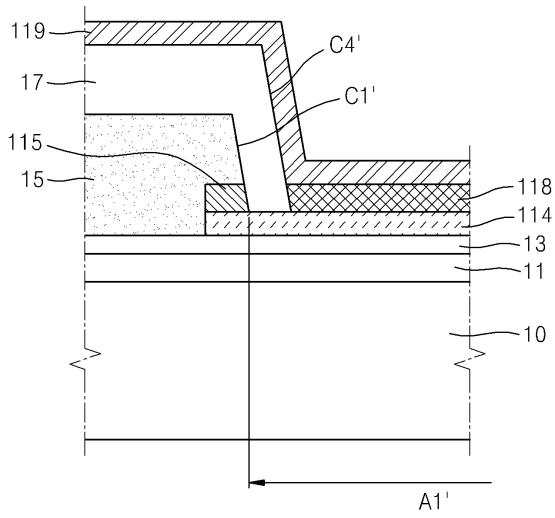
도면3b



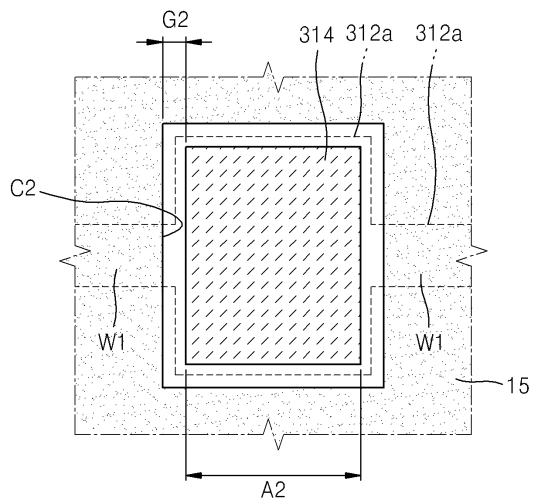
도면4a



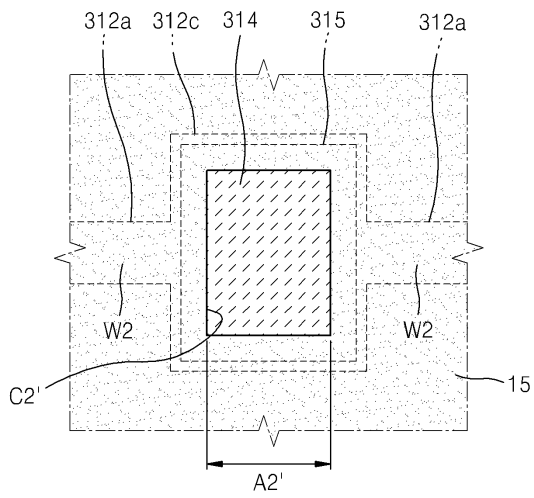
도면4b



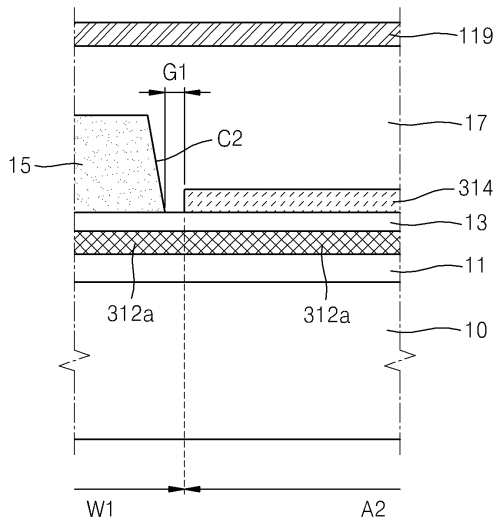
도면5a



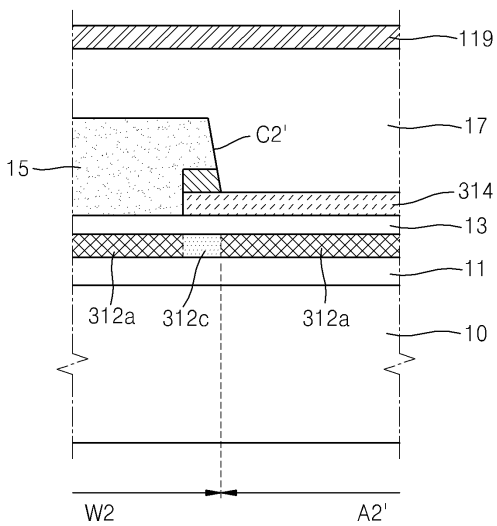
도면5b



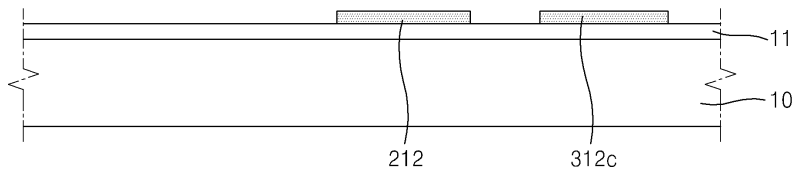
도면6a



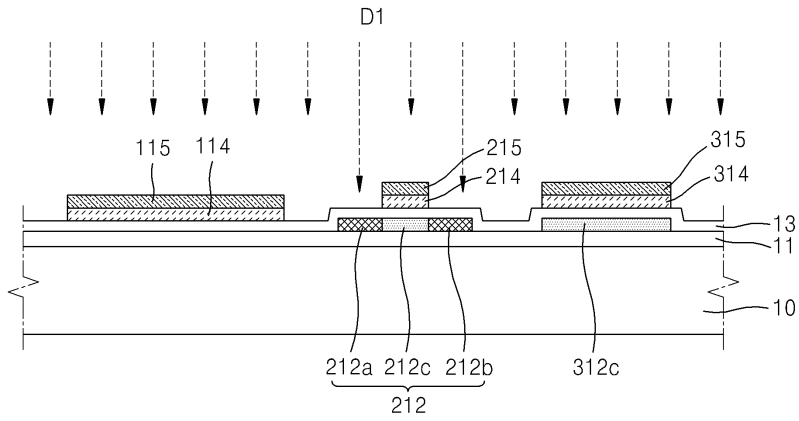
도면6b



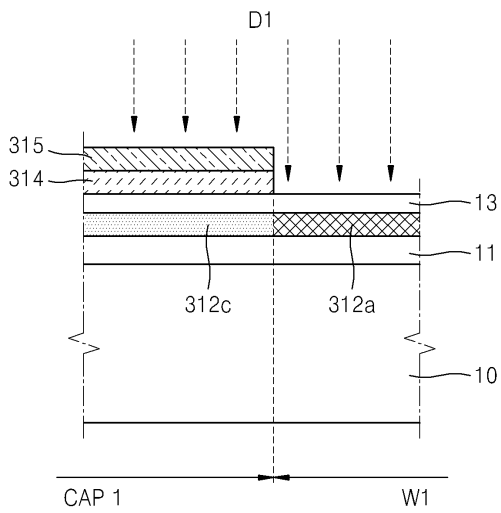
도면7



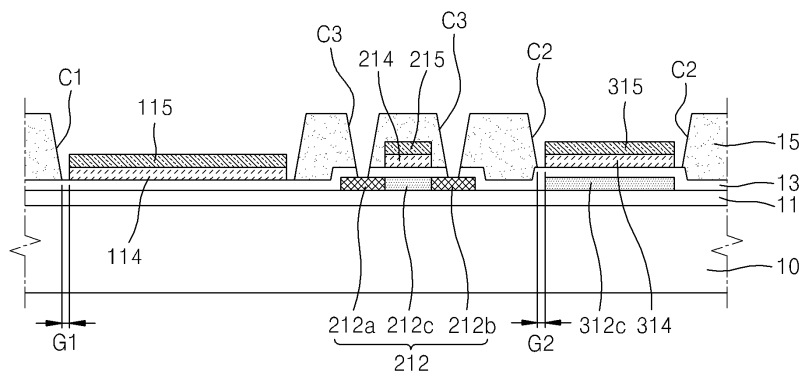
도면8



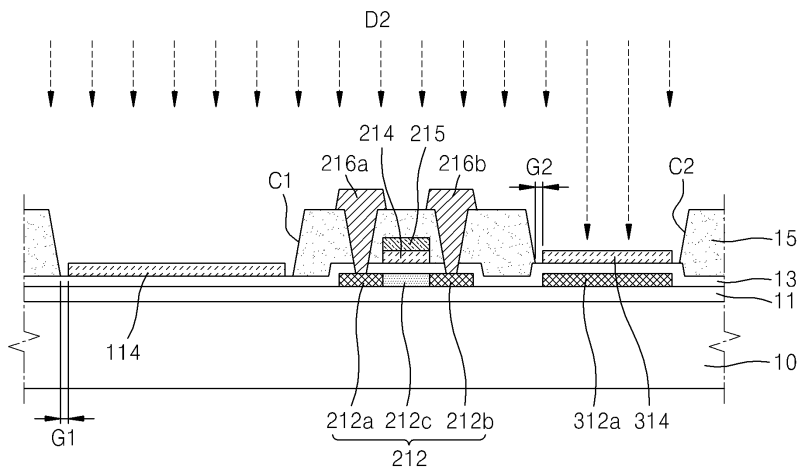
도면9



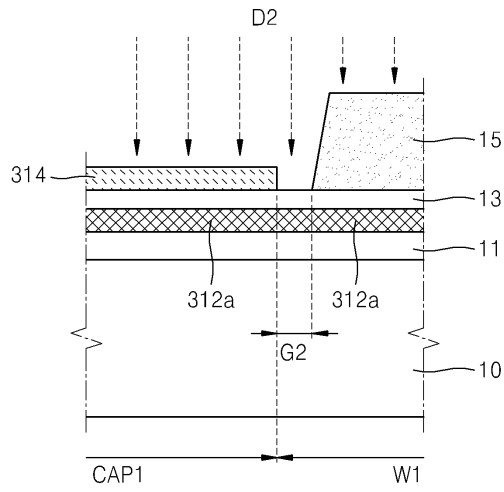
도면10



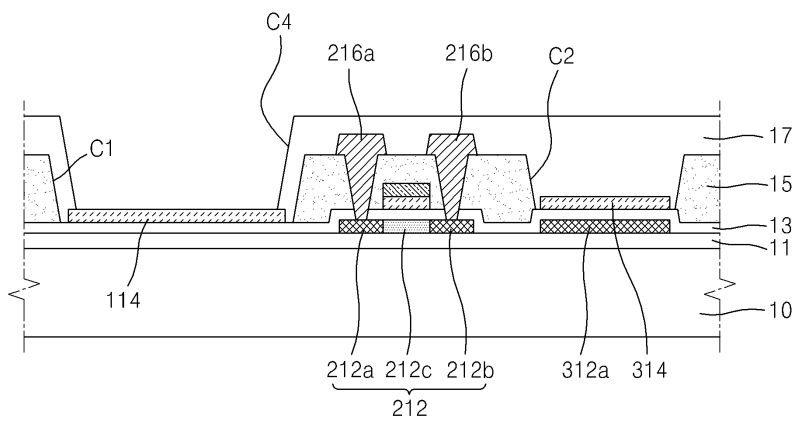
도면11



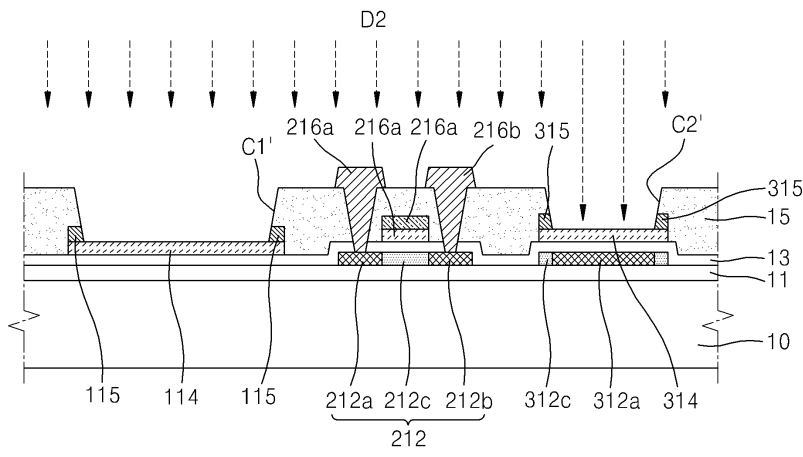
도면12



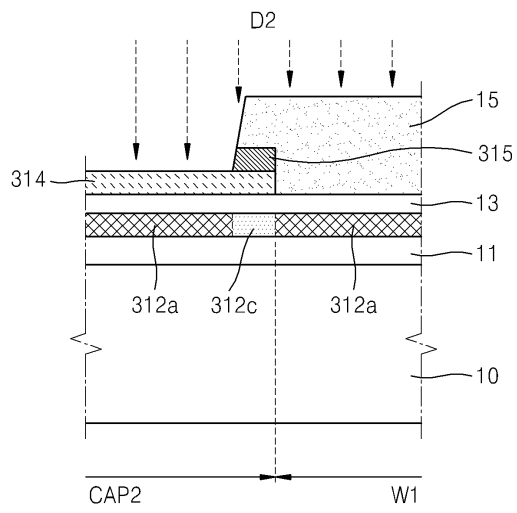
도면13



도면14



도면15



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020120035419A	公开(公告)日	2012-04-16
申请号	KR1020100096913	申请日	2010-10-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE YUL KYU 이율규 YOU CHUN GI 유춘기 PARK SUN 박선 PARK JONG HYUN 박종현 KIM DAE WOO 김대우		
发明人	이율규 유춘기 박선 박종현 김대우		
IPC分类号	H01L51/52		
CPC分类号	H01L27/3265 H01L27/3262 H01L27/1255 H01L29/4908 H01L27/3241		
其他公开文献	KR101372852B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，提供了一种半导体器件，包括：电容器下电极，形成在与薄膜晶体管的有源层相同的平面上，并且包括掺杂有离子杂质的半导体；以及电容器上电极，形成在与栅电极相同的平面上，本发明提供一种有机发光显示装置及其制造方法，其能够通过形成暴露整个像素电极和电容器上电极的接触孔来改善开口率，增加电容并改善电容器布线的信号传输质量。

