



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0016783
(43) 공개일자 2010년02월16일

(51) Int. Cl.

H05B 33/22 (2006.01) H05B 33/04 (2006.01)
H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0076402

(22) 출원일자 2008년08월05일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자

최희동
충남 서산시 음암면 탑곡리 3구 178번지

(74) 대리인
특허법인로얄

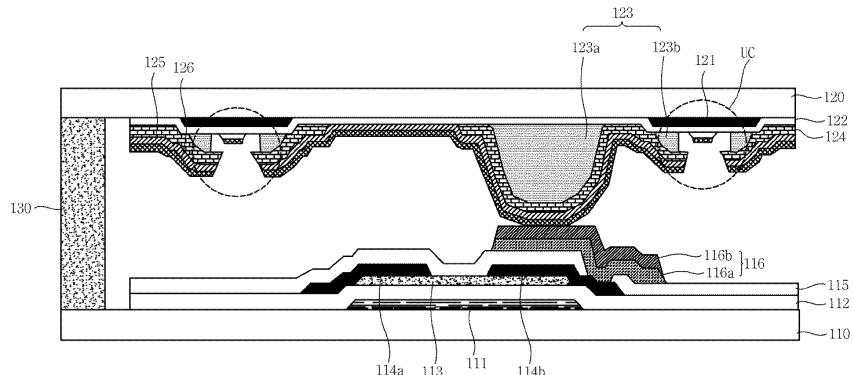
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치와 이의 제조방법

(57) 요 약

본 발명은, 제1기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터; 트랜지스터 상에 위치하며 소오스 또는 드레인에 연결된 콘택전극; 제2기판 상에 위치하는 제1전극; 제1전극 상에 위치하며 콘택전극에 대향하는 영역에서 돌출된 스페이서와, 스페이서 주변에 위치하는 희생층을 포함하는 유기층; 유기층 상에 위치하는 스페이서를 덮고 희생층을 통해 제1전극의 일부가 노출되도록 언더컷 패턴된 영역과 희생층과 스페이서 사이의 하부에 위치하는 제1전극의 다른 일부가 노출되도록 개구영역을 갖는 무기층; 언더컷 패턴된 영역에 의해 무기층 상에서 구분되도록 형성된 유기 발광층; 언더컷 패턴된 영역에 의해 유기 발광층 상에서 구분되도록 형성되며 스페이서에 의해 콘택전극과 전기적으로 연결되는 제2전극; 및 제1기판과 제2기판을 합착 밀봉하는 접착부재를 포함하는 유기전계발광표시장치를 제공한다.

대 표 도



특허청구의 범위

청구항 1

제1기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터;

상기 트랜지스터 상에 위치하며 상기 소오스 또는 상기 드레인에 연결된 콘택전극;

제2기판 상에 위치하는 제1전극;

상기 제1전극 상에 위치하며 상기 콘택전극에 대향하는 영역에서 돌출된 스페이서와, 상기 스페이서 주변에 위치하는 희생층을 포함하는 유기층;

상기 유기층 상에 위치하는 상기 스페이서를 덮고 상기 희생층을 통해 상기 제1전극의 일부가 노출되도록 언더컷 패턴된 영역과 상기 희생층과 상기 스페이서 사이의 하부에 위치하는 상기 제1전극의 다른 일부가 노출되도록 개구영역을 갖는 무기층;

상기 언더컷 패턴된 영역에 의해 상기 무기층 상에서 구분되도록 형성된 유기 발광층;

상기 언더컷 패턴된 영역에 의해 상기 유기 발광층 상에서 구분되도록 형성되며 상기 스페이서에 의해 상기 콘택전극과 전기적으로 연결되는 제2전극; 및

상기 제1기판과 상기 제2기판을 합착 밀봉하는 접착부재를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1전극의 상부 또는 하부에는,

보조전극이 위치하는 것을 포함하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 희생층의 높이는,

상기 무기층, 상기 유기 발광층 및 상기 제2전극보다 두꺼운 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 트랜지스터는,

상기 제1기판 상에 위치하는 상기 게이트와, 상기 게이트 상에 위치하는 제1절연막과, 상기 제1절연막 상에 위치하는 액티브층과, 상기 액티브층 상에 위치하는 상기 소오스 및 상기 드레인과 상기 소오스 및 상기 드레인 상에 위치하는 제2절연막을 포함하고,

상기 콘택전극은 상기 제2절연막 상에 위치하고 상기 소오스 또는 상기 드레인에 연결되며 적어도 하나의 층으로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1기판 상에 게이트, 소오스 및 드레인을 포함하는 트랜지스터를 형성하는 단계;

상기 트랜지스터 상에 상기 소오스 또는 상기 드레인에 연결된 콘택전극을 형성하는 단계;

제2기판 상에 제1전극을 형성하는 단계;

상기 제1전극 상에 상기 콘택전극에 대향하는 영역에서 돌출된 스페이서와, 상기 스페이서 주변에 위치하는 희생층을 포함하는 유기층을 형성하는 단계;

상기 유기층 상에 위치하는 상기 스페이서를 덮고 상기 희생층을 통해 상기 제1전극의 일부가 노출되도록 언더컷 패턴된 영역과 상기 희생층과 상기 스페이서 사이의 하부에 위치하는 상기 제1전극의 다른 일부가 노출되도록 개구영역을 갖는 무기층을 형성하는 단계;

상기 무기층 상에서 상호 구분되도록 유기 발광층을 형성하는 단계;

상기 유기 발광층 상에서 상호 구분되도록 제2전극을 형성하는 단계; 및

상기 제1기판과 상기 제2기판 사이에 접착부재를 형성하고 상기 제1기판과 상기 제2기판을 합착 밀봉하는 단계를 포함하며, 상기 제1기판과 상기 제2기판이 합착 밀봉됨에 따라 상기 제2전극은 상기 스페이서에 의해 상기 콘택전극과 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 6

제5항에 있어서,

상기 제1전극의 상부 또는 하부에,

보조전극을 형성하는 단계를 더 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제5항에 있어서,

상기 희생층의 높이는,

상기 무기층, 상기 유기 발광층 및 상기 제2전극보다 두껍게 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 8

제5항에 있어서,

상기 유기층 형성 단계에서는,

하프톤 마스크(HTM) 또는 그레이톤 마스크(GTM)를 이용하여

상기 스페이서와, 상기 희생층을 동시에 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 9

제5항에 있어서,

상기 제1전극은,

ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Aluminum) 중 어느 하나로 이루어진 애노드로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 10

제5항에 있어서,

상기 트랜지스터는,

상기 제1기판 상에 위치하는 상기 게이트와, 상기 게이트 상에 위치하는 제1절연막과, 상기 제1절연막 상에 위치하는 액티브층과, 상기 액티브층 상에 위치하는 상기 소오스 및 상기 드레인과 상기 소오스 및 상기 드레인 상에 위치하는 제2절연막을 포함하고,

상기 콘택전극은 상기 제2절연막 상에 위치하고 상기 소오스 또는 상기 드레인에 연결되며 적어도 하나의 충으로 위치하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 제조방법에 관한 것이다.

배경기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

[0003] 또한, 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0004] 이러한 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 종래 유기전계발광표시장치 중 일부는 트랜지스터와 유기 발광다이오드를 각각 제1기판과 제2기판에 형성하고 제1기판과 제2기판을 접착부재로 접착 밀봉한 구조가 있다. 이와 같은 구조는 제1기판 상에 형성된 트랜지스터와 제2기판 상에 위치하는 유기 발광다이오드 간의 전기적인 연결을 하기 위해 스페이서를 이용하였다. 이 구조의 경우 유기격벽에 의해 캐소드가 분리 형성된다.

[0006] 한편, 앞서 설명한 바와 같은 유기전계발광표시장치의 경우 유기 발광다이오드에 포함된 유기 발광층의 수명에 치명적인 영향을 줄 수 있는 아웃게싱(out-gassing)을 발생하는 두 개의 구조물이 있다. 첫 번째 구조물은 유기 물로 형성된 스페이서가 이에 해당된다. 비록, 스페이서는 개구영역 내에 위치하지 않지만 인접해 있는 유기 발광층에 직접적인 영향을 미칠 수 있어 아웃게싱 발생시 계면을 타고 유기 발광층에 확산되어 수명 저하를 일으킬 수 있다. 두 번째 구조물은 유기물로 형성된 격벽이 이에 해당된다. 유기격벽 역시 개구영역 내에 위치하지 않지만 패널 전체에 차지하고 있는 면적이 커서 스페이서와 같이 제품의 신뢰성 측면에 좋지 않은 영향을 일으킬 수 있다.

[0007] 따라서, 종래 유기전계발광표시장치는 구조물로부터 발생되는 아웃게싱을 최소화하여 유기 발광층의 수명 저하를 방지하고 제품의 신뢰성을 향상할 수 있는 방안이 마련되어야 할 것이다.

발명의 내용

해결 하고자하는 과제

[0008] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 패널 내에 형성된 구조물로부터 발생되는 아웃게싱을 최소화하여 유기 발광층의 수명 저하를 방지하고 제품의 신뢰성을 향상할 수 있는 유기전계발광표시장치와 이의 제조방법을 제공하는 것이다.

과제 해결수단

[0009] 상술한 과제 해결 수단으로 본 발명은, 제1기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터; 트랜지스터 상에 위치하며 소오스 또는 드레인에 연결된 콘택전극; 제2기판 상에 위치하는 제1전극; 제1전극 상에 위치하며 콘택전극에 대향하는 영역에서 돌출된 스페이서와, 스페이서 주변에 위치하는 희생층을 포함하는 유기층; 유기층 상에 위치하는 스페이서를 덮고 희생층을 통해 제1전극의 일부가 노출되도록 언더컷 패턴된 영역과 희생층과 스페이서 사이의 하부에 위치하는 제1전극의 다른 일부가 노출되도록 개구영역을 갖는 무기층; 언더컷 패턴된 영역에 의해 무기층 상에서 구분되도록 형성된 유기 발광층; 언더컷 패턴된 영역에 의해 유기 발광층 상에서 구분되도록 형성되며 스페이서에 의해 콘택전극과 전기적으로 연결되는 제2전극; 및 제1기판과 제2기판을 합착 밀봉하는 접착부재를 포함하는 유기전계발광표시장치를 제공한다.

[0010] 제1전극의 상부 또는 하부에는, 보조전극이 위치할 수 있다.

[0011] 희생층의 높이는, 무기층, 유기 발광층 및 제2전극보다 두꺼울 수 있다.

[0012] 트랜지스터는, 제1기판 상에 위치하는 게이트와, 게이트 상에 위치하는 제1절연막과, 제1절연막 상에 위치하는 액티브층과, 액티브층 상에 위치하는 소오스 및 드레인과 소오스 및 드레인 상에 위치하는 제2절연막을 포함하고, 콘택전극은 제2절연막 상에 위치하고 소오스 또는 드레인에 연결되며 적어도 하나의 층으로 위치할 수

있다.

- [0013] 한편, 다른 측면에서 본 발명의 실시예는, 제1기판 상에 게이트, 소오스 및 드레인을 포함하는 트랜지스터를 형성하는 단계; 트랜지스터 상에 소오스 또는 드레인에 연결된 콘택전극을 형성하는 단계; 제2기판 상에 제1전극을 형성하는 단계; 제1전극 상에 콘택전극에 대향하는 영역에서 돌출된 스페이서와, 스페이서 주변에 위치하는 희생층을 포함하는 유기층을 형성하는 단계; 유기층 상에 위치하는 스페이서를 덮고 희생층을 통해 제1전극의 일부가 노출되도록 언더컷 패턴된 영역과 희생층과 스페이서 사이의 하부에 위치하는 제1전극의 다른 일부가 노출되도록 개구영역을 갖는 무기층을 형성하는 단계; 무기층 상에서 상호 구분되도록 유기 발광층을 형성하는 단계; 유기 발광층 상에서 상호 구분되도록 제2전극을 형성하는 단계; 및 제1기판과 제2기판 사이에 접착부재를 형성하고 제1기판과 제2기판을 합착 밀봉하는 단계를 포함하며, 제1기판과 제2기판이 합착 밀봉됨에 따라 제2전극은 스페이서에 의해 콘택전극과 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- [0014] 제1전극의 상부 또는 하부에, 보조전극을 형성하는 단계를 더 포함할 수 있다.
- [0015] 희생층의 높이는, 무기층, 유기 발광층 및 제2전극보다 두껍게 형성할 수 있다.
- [0016] 유기층 형성 단계에서는, 하프톤 마스크(HTM) 또는 그레이톤 마스크(GTM)를 이용하여 스페이서와, 희생층을 동시에 형성할 수 있다.
- [0017] 제1전극은, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Aluminum) 중 어느 하나로 이루어진 애노드로 형성할 수 있다.
- [0018] 트랜지스터는, 제1기판 상에 위치하는 게이트와, 게이트 상에 위치하는 제1절연막과, 제1절연막 상에 위치하는 액티브층과, 액티브층 상에 위치하는 소오스 및 드레인과 소오스 및 드레인 상에 위치하는 제2절연막을 포함하고, 콘택전극은 제2절연막 상에 위치하고 소오스 또는 드레인에 연결되며 적어도 하나의 층으로 위치할 수 있다.

효과

- [0019] 본 발명의 실시예는, 패널 내에 형성된 구조물로부터 발생되는 아웃케싱을 최소화하여 유기 발광층의 수명 저하를 방지하고 제품의 신뢰성을 향상할 수 있는 유기전계발광표시장치와 이의 제조방법을 제공하는 효과가 있다. 또한, 본 발명의 실시예에 의하면, 무기층의 하부에 위치하는 희생층을 언더컷함으로써 공정의 효율성을 주는 효과가 있어 생산 수율을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0021] 도 1은 유기전계발광표시장치의 서브 픽셀 회로 구성 예시도이다.
- [0022] 도 1을 참조하면, 서브 픽셀은 스캔 배선(Scan)에 게이트가 연결되고 데이터 배선(Data)에 일단이 연결된 스위칭 트랜지스터(SWTFT)를 포함할 수 있다. 또한, 서브 픽셀은 스위칭 트랜지스터(SWTFT)의 타단에 게이트가 연결되고 제2전원배선(VSS)에 일단이 연결된 구동 트랜지스터(DRTFT)를 포함할 수 있다. 또한, 서브 픽셀은 구동 트랜지스터(DRTFT)의 게이트와 제2전원배선(VSS) 사이에 연결된 커패시터(CST)를 포함할 수 있다. 또한, 서브 픽셀은 제1전원배선(VDD)에 애노드가 연결되고 구동 트랜지스터(DRTFT)의 타단에 캐소드가 연결된 유기 발광다이오드(OLED)를 포함할 수 있다.
- [0023] 본 발명의 실시예에 따른 유기전계발광표시장치는 서브 픽셀에 포함된 스위칭 트랜지스터(SWTFT), 구동 트랜지스터(DRTFT) 및 커패시터(CST) 등이 제1기판 상에 위치하고, 유기 발광다이오드 등이 제2기판 상에 위치하는 구조로 형성될 수 있다.
- [0024] 이러한 서브 픽셀 구조는 데이터 구동부 및 스캔 구동부로부터 데이터 신호 및 스캔 신호 등이 공급되면, 유기 발광다이오드(OLED)의 캐소드와 구동 트랜지스터(DRTFT)의 소오스 또는 드레인을 연결하는 스페이서를 통해 구동전류가 흐름으로써 유기 발광다이오드(OLED)가 발광을 하게 되고 또한 영상을 표현할 수 있게 된다.
- [0025] 이하, 개략적인 단면도를 참조하여 설명을 더욱 자세히 한다.
- [0026] 도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 단면도이다.

- [0027] 도 2를 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 제1기판(110)과 제1기판(110)과 대향하는 제2기판(120)을 포함할 수 있다. 제1기판(110)과 제2기판(120)은 접착부재(130)에 의해 합착 밀봉될 수 있다.
- [0028] 제1기판(110) 및 제2기판(120)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택 할 수 있다.
- [0029] 제1기판(110) 및 제2기판(120)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- [0030] 제1기판(110) 상에는 스캔 배선, 데이터 배선 및 전원 배선에 각각 연결된 스위칭 트랜지스터, 구동 트랜지스터 및 커패시터 등이 위치할 수 있고, 제2기판(120) 상에는 유기 발광다이오드와 구동 트랜지스터의 소오스 또는 드레인과 연결되는 스페이서 등이 위치할 수 있다.
- [0031] 이하, 제1기판(110) 상에 위치하는 트랜지스터 등에 대해 더욱 자세히 설명한다.
- [0032] 제1기판(110) 상에는 게이트(111)가 위치할 수 있다. 게이트(111)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0033] 또한, 게이트(111)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(111)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0034] 게이트(111) 상에는 제1절연막(112)이 위치할 수 있다. 제1절연막(112)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- [0035] 제1절연막(112) 상에는 액티브층(113)이 위치할 수 있다. 액티브층(113)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 액티브층(113)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다. 또한, 액티브층(113)은 접촉 저항을 낮추기 위한 오미 콘택층을 포함할 수도 있다.
- [0036] 액티브층(113) 상에는 소오스(114a) 및 드레인(114b)이 위치할 수 있다. 소오스(114a) 및 드레인(114b)은 단일 층 또는 다중층으로 이루어질 수 있으며, 소오스(114a) 및 드레인(114b)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0037] 또한, 소오스(114a) 및 드레인(114b)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0038] 소오스(114a) 및 드레인(114b) 상에는 제2절연막(115)이 위치할 수 있다. 제2절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제2절연막(115)은 패시베이션막 또는 평탄화막일 수 있다.
- [0039] 제2절연막(115) 상에는 트랜지스터의 소오스(114a) 또는 드레인(114b)에 연결된 콘택전극(116)이 위치할 수 있다. 콘택전극(116)은 제1콘택전극(116a) 및 제2콘택전극(116b)와 같이 복층으로 위치할 수 있으나, 단층으로 위치할 수도 있다.
- [0040] 이상은 제1기판(110) 상에 위치하는 트랜지스터가 바탕 게이트형 인 것을 일례로 설명하였다. 그러나, 제1기판(110) 상에 위치하는 트랜지스터는 이에 한정되지 않고 탑 게이트형으로도 형성될 수 있다.
- [0041] 이하, 제2기판(120) 상에 위치하는 유기 발광다이오드 등에 대해 더욱 자세히 한다.
- [0042] 제2기판(120) 상에는 제1전극(122)이 위치할 수 있다. 제1전극(122)은 애노드로 선택될 수 있으며, 애노드로 선택된 제1전극(122)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Aluminum) 등과 같이 투명한 재료를 사용할 수 있다.
- [0043] 제1전극(122) 상에는 제1기판(110) 상에 위치하는 콘택전극(116)에 대향하는 영역에서 돌출된 스페이서(123a)와 스페이서(123a) 주변에 위치하는 희생층(123b)을 포함하는 유기층(123)이 위치할 수 있다. 유기층(123)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있

다. 여기서, 유기층(123)은 제1전극(122)의 일부를 노출하는 뱅크층 역할을 할 수 있다.

[0044] 한편, 제1전극(122)의 상부 또는 하부에는 보조전극(121)이 위치할 수 있는데, 보조전극(121)은 희생층(123b)이 위치하는 영역에 대응하는 영역에 위치할 수 있다. 보조전극(121)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나로 이루어질 수 있다.

[0045] 유기층(123) 상에는 스페이서(123a)를 덮고 희생층(123b)을 통해 제1전극(122)의 일부가 노출되도록 언더컷 패턴된 영역(UC)과 희생층(123b)과 스페이서(123a) 사이의 하부에 위치하는 제1전극(122)의 다른 일부가 노출되도록 개구영역을 갖는 무기층(124)이 위치할 수 있다. 무기층(124)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 등의 무기물을 포함할 수 있다.

[0046] 무기층(124) 상에는 유기 발광층(125)이 위치할 수 있다. 유기 발광층(125)은 적색, 청색 및 녹색을 발광하는 발광층을 포함할 수 있다. 이러한 발광층은 두 개 이상의 층으로 구성되어 백색을 발광할 수도 있다.

[0047] 유기 발광층(125)은 언더컷 패턴된 영역(UC)에 의해 무기층(124) 상에서 구분되도록 형성될 수 있다.

[0048] 유기 발광층(125) 상에는 돌출 형성된 스페이서(123a)에 의해 콘택전극(116)과 전기적으로 연결되는 제2전극(126)이 위치할 수 있다. 제2전극(126)은 알루미늄(Al), 알루미늄 합금(AlNd) 등과 같이 불투명한 재료를 사용할 수 있다. 제2전극(126)은 언더컷 패턴된 영역(UC)에 의해 유기 발광층(125) 상에서 구분되도록 형성될 수 있다.

[0049] 한편, 제2기판(120) 상에 언더컷 패턴된 영역(UC)을 형성하면, 종래와 같이 역테이퍼 형태의 격벽이나 마스크를 사용하지 않고도 유기 발광층(125)과 제2전극(126)이 각 서브 팩셀별로 구분되어 형성될 수 있다.

[0050] 그리고, 유기층(123) 상에 위치하는 스페이서(123a)와 희생층(123b)을 덮도록 무기층(124)을 형성하면, 유기 재료로부터 발생하는 아웃게싱(out-gassing) 문제를 최소화할 수 있어 유기 발광층(125)의 수명 저하를 방지하고 제품의 신뢰성을 향상할 수 있다.

[0051] 이하, 유기 발광다이오드의 계층 구조에 대해 더욱 자세히 설명한다.

[0052] 도 3은 유기 발광다이오드의 계층 구조 예시도이다.

[0053] 유기 발광다이오드는 제1전극(122), 유기 발광층(125) 및 제2전극(126)을 포함할 수 있다. 여기서, 유기 발광층(125)은 정공주입층(125a), 정공수송층(125b), 발광층(125c), 전자수송층(125d) 및 전자주입층(125e)을 포함할 수 있다.

[0054] 정공주입층(125a)은 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(cupper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0055] 정공수송층(125b)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0056] 발광층(125c)은 적색, 녹색 및 청색을 발광하는 물질을 포함할 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다.

[0057] 발광층(125c)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetone iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetone iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도편트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0058] 발광층(125c)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)₃(fac tris(2-phenylpyridine)iridium)을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq₃(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0059] 발광층(125c)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F₂ppy)2Irpic을 포함하는

도편트 물질을 포함하는 인광물질로 이루어질 수 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

- [0060] 전자수송층(125d)은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 및 SA1q로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0061] 전자주입층(125e)은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 또는 SA1q를 사용할 수 있으나 이에 한정되지 않는다.
- [0062] 여기서, 본 발명의 실시예는 도 3에 한정되는 것은 아니며, 정공주입층(125a), 정공수송층(125b), 전자수송층(125d) 및 전자주입층(125e) 중 적어도 어느 하나가 생략될 수도 있다.
- [0063] 이하, 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.
- [0064] 도 4 내지 도 8은 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 단면도이다.
- [0065] 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법은 다음과 같을 수 있다.
- [0066] 먼저, 도 4에 도시된 바와 같이, 제1기판(110) 상에 게이트(111), 소오스(114a) 및 드레인(114b)을 포함하는 트랜지스터를 형성하는 단계를 실시한다.
- [0067] 트랜지스터는 제1기판(110) 상에 위치하는 게이트(111)와, 게이트(111) 상에 위치하는 제1절연막(112)과, 제1절연막(112) 상에 위치하는 액티브층(113)과, 액티브층(113) 상에 위치하는 소오스(114a) 및 드레인(114b)과, 소오스(114a) 및 드레인(114b) 상에 위치하는 제2절연막(115)을 포함할 수 있다.
- [0068] 다음, 도 4에 도시된 바와 같이, 트랜지스터 상에 소오스(114a) 또는 드레인(114b)에 연결된 콘택전극(116)을 형성하는 단계를 실시한다.
- [0069] 콘택전극(116)은 트랜지스터의 제2절연막(115) 상에 위치하며, 소오스(114a) 또는 드레인(114b)에 연결될 수 있다. 콘택전극(116)은 제1콘택전극(116a) 및 제2콘택전극(116b)과 같이 적어도 하나의 층으로 형성될 수 있다.
- [0070] 다음, 도 5에 도시된 바와 같이, 제2기판(120) 상에 제1전극(122)을 형성하는 단계를 실시한다.
- [0071] 제2기판(120) 상에 형성된 제1전극(122)은 애노드로 선택할 수 있다. 제1전극(122)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Aluminum) 중 어느 하나로 이루어질 수 있으나 이에 한정되지 않는다.
- [0072] 한편, 제1전극(122) 형성하기 전후에는 보조전극(121)을 형성하는 단계를 더 실시할 수 있다. 보조전극(121)은 제1전극(122)의 상부 또는 하부에 형성할 수 있으며, 이후 형성할 희생층과 대응하는 영역에 형성할 수 있다. 보조전극(121)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나로 이루어질 수 있다. 보조전극(121) 패턴시 습식 식각(Wet Etching)을 사용할 수 있으나 이에 한정되지 않는다.
- [0073] 다음, 도 5에 도시된 바와 같이, 제1전극(122) 상에 콘택전극(116)에 대향하는 영역에서 돌출된 스페이서(123a)와, 스페이서(123a) 주변에 위치하는 희생층(123b)을 포함하는 유기층(123)을 형성하는 단계를 실시한다.
- [0074] 제1전극(122) 상에 위치하는 유기층(123)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다. 여기서, 유기층(123)은 제1전극(122)의 일부를 노출하는 뱅크층 역할을 할 수 있다.
- [0075] 유기층(123)은 식각에 의해 스페이서(123a)와 희생층(123b)으로 각각 형성될 수 있다. 그러나, 이와 달리 유기층(123) 형성 단계에서는 하프톤 마스크(HTM) 또는 그레이톤 마스크(GTM)를 이용하여 스페이서(123a)와 희생층(123b)을 동시에 형성할 수 있다.
- [0076] 희생층(123b)의 높이는, 이후 형성할 무기층, 유기 발광층 및 제2전극보다 두껍게 형성할 수 있다. 희생층(123b)의 높이를 무기층, 유기 발광층 및 제2전극보다 두껍게 형성하면, 유기 발광층과 제2전극 형성시 솟트(short)가 발생하지 않고 각각 구분되어 형성될 수 있다. 스페이서(123a)의 높이가 3 ~ 4 μm 라고 가정하면, 그 중간 정도인 2 μm 수준 또는 이하로 형성하면 유기 발광층과 제2전극 형성시 솟트(short)가 발생하지 않고 각각

구분되어 형성될 수 있다.

[0077] 다음, 도 6에 도시된 바와 같이, 유기층(123) 상에 위치하는 스페이서(123a)를 덮고 희생층(123b)을 통해 제1전극(122)의 일부가 노출되도록 언더컷 패턴된 영역(UC)과 희생층(123b)과 스페이서(123a) 사이의 하부에 위치하는 제1전극(122)의 다른 일부가 노출되도록 개구영역(OP)을 갖는 무기층(124)을 형성하는 단계를 실시한다.

[0078] 무기층(124)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 등의 무기물을 포함할 수 있다. 유기층(123) 상에 무기층(124) 형성 이후, 건식 식각(Dry Etching)을 사용하여 언더컷 패턴된 영역(UC)과 개구영역(OP)을 형성할 수 있으나 이에 한정되지 않는다.

[0079] 한편, 언더컷 패턴된 영역(UC) 형성 후, 스트립(strip) 또는 드라이 에싱(Dry ashing) 등을 하여 무기층(124)의 하부에 위치하는 희생층(123b)을 완전히 제거할 수도 있다.

[0080] 다음, 도 7에 도시된 바와 같이, 무기층(124) 상에서 상호 구분되도록 유기 발광층(125)을 형성하는 단계를 실시한다.

[0081] 무기층(124) 상에는 유기 발광층(125)을 형성하면, 유기 발광층(125)은 언더컷 패턴된 영역(UC)에 의해 무기층(124) 상에서 구분되도록 형성될 수 있다. 유기 발광층(125)은 적색, 청색 및 녹색을 발광하는 발광층을 포함할 수 있다. 이러한 발광층은 두 개 이상의 층으로 구성되어 백색을 발광할 수도 있다.

[0082] 다음, 도 7에 도시된 바와 같이, 유기 발광층 상에서 상호 구분되도록 제2전극을 형성하는 단계를 실시한다.

[0083] 유기 발광층(125) 상에는 제2전극(126)을 형성하면, 제2전극(126)은 언더컷 패턴된 영역(UC)에 의해 유기 발광층(125) 상에서 구분되도록 형성될 수 있다. 제2전극(126)은 알루미늄(AI), 알루미늄 합금(AlNd) 등과 같이 불투명한 재료를 사용할 수 있다.

[0084] 다음, 도 8에 도시된 바와 같이, 제1기판(110)과 제2기판(120) 사이에 접착부재(130)를 형성하고 제1기판(110)과 제2기판(120)을 합착 밀봉하는 단계를 실시한다.

[0085] 제1기판(110)과 제2기판(120) 사이에 접착부재(130)를 형성하고 제1기판(110)과 제2기판(120)을 합착 밀봉하면, 제2전극(126)은 돌출 형성된 스페이서(123a)에 의해 콘택전극(116)과 전기적으로 연결될 수 있다.

[0086] 이상 본 발명의 실시예는, 패널 내에 형성된 구조물로부터 발산되는 아웃게싱을 최소화하여 유기 발광층의 수명 저하를 방지하고 제품의 신뢰성을 향상할 수 있는 유기전계발광표시장치와 이의 제조방법을 제공하는 효과가 있다. 또한, 본 발명의 실시예에 의하면, 무기층의 하부에 위치하는 희생층을 언더컷함으로써 공정의 효율성을 주는 효과가 있어 생산 수율을 향상시킬 수 있는 효과가 있다.

[0087] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0088] 도 1은 유기전계발광표시장치의 서브 팩셀 회로 구성 예시도.

[0089] 도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 단면도.

[0090] 도 3은 유기 발광다이오드의 계층 구조 예시도.

[0091] 도 4 내지 도 8은 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 단면도.

[0092] <도면의 주요 부분에 관한 부호의 설명>

[0093] 110: 제1기판 111: 게이트

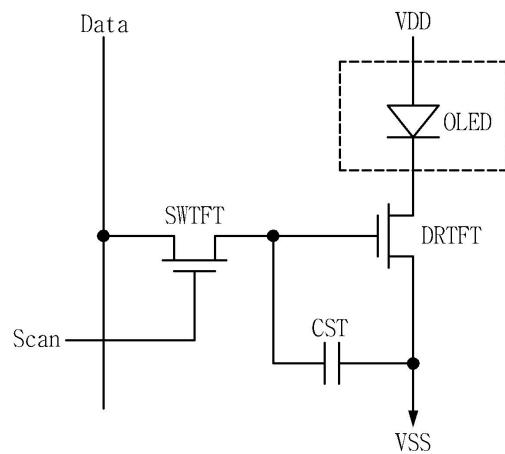
[0094] 114a: 소오스 114b: 드레인

[0095] 116: 콘택전극 120: 제2기판

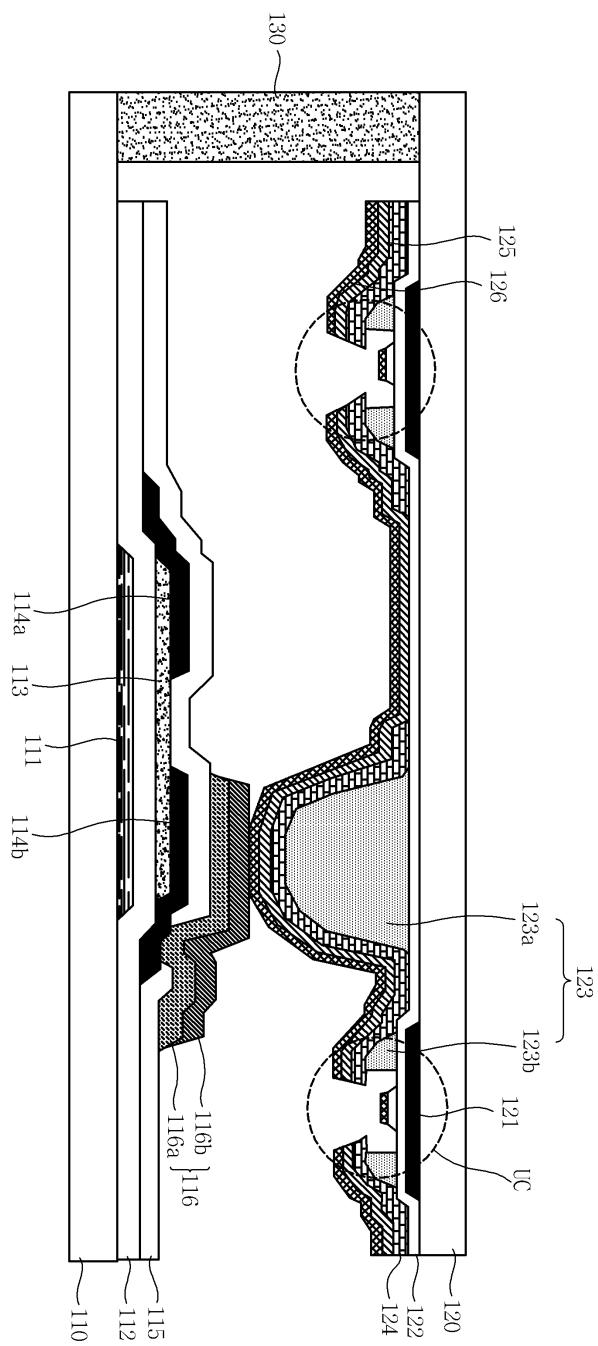
- | | | |
|--------|-------------|------------|
| [0096] | 122: 제1전극 | 123a: 스페이서 |
| [0097] | 123b: 희생층 | 124: 무기층 |
| [0098] | 125: 유기 발광층 | 126: 제2전극 |

도면

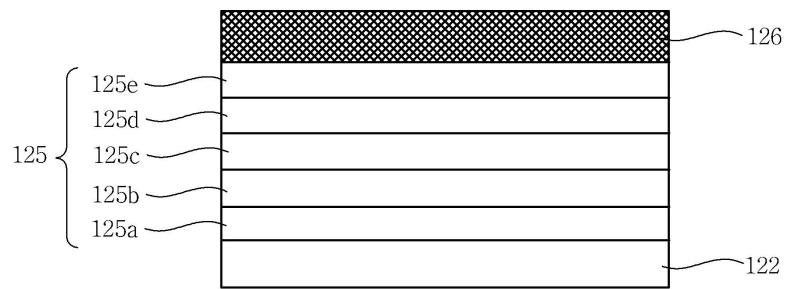
도면1



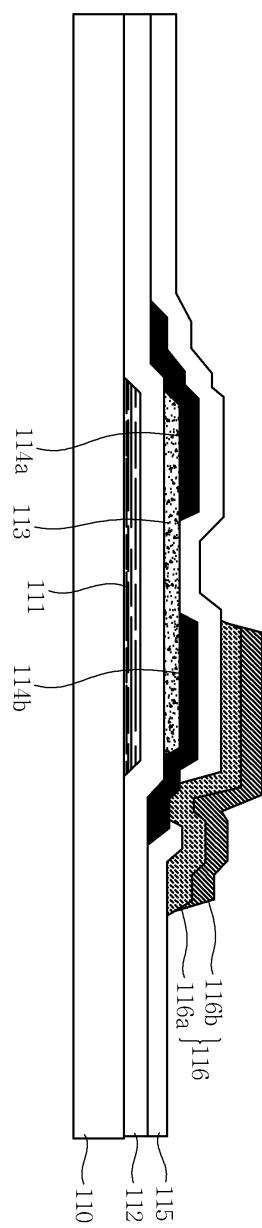
도면2



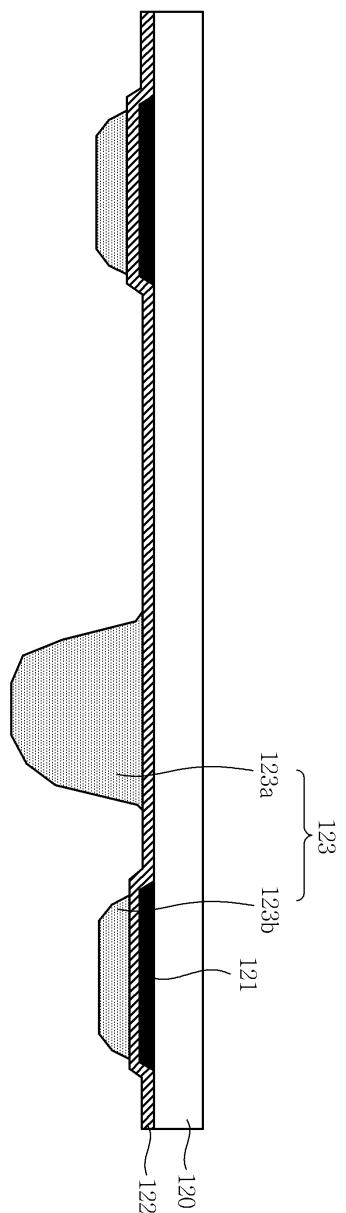
도면3



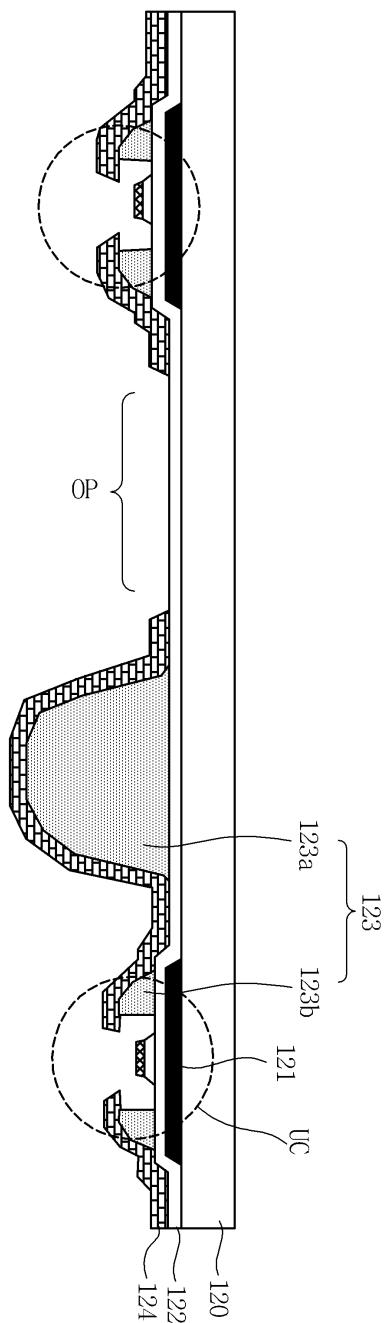
도면4



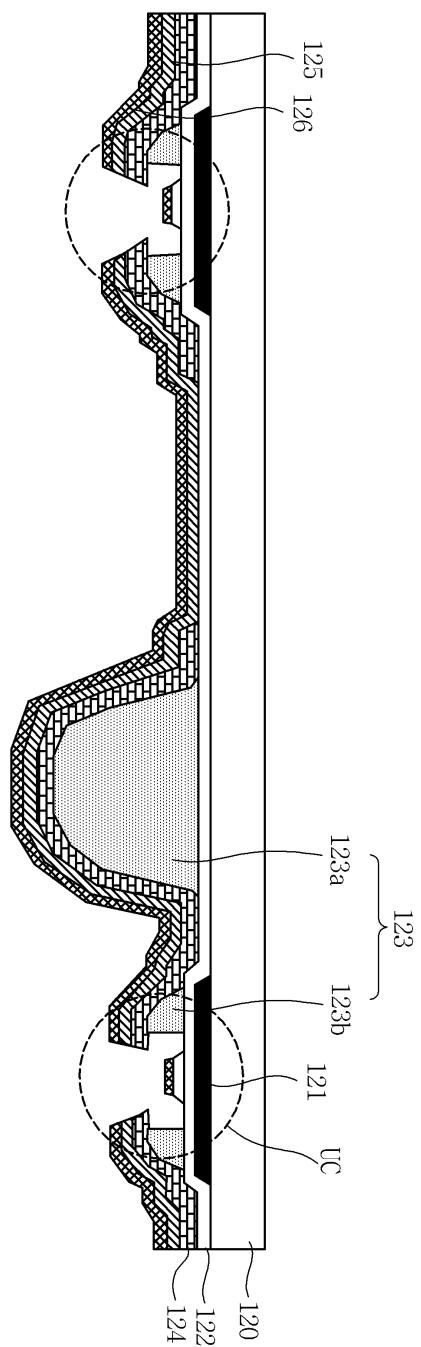
도면5



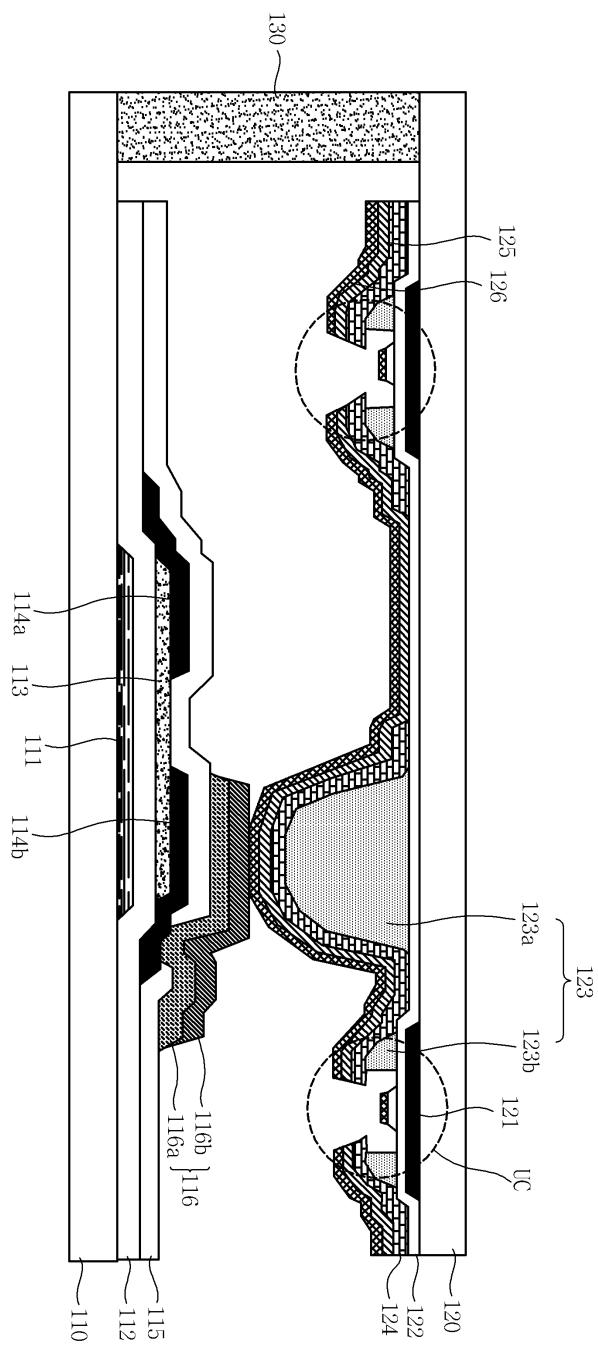
도면6



도면7



도면8



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020100016783A	公开(公告)日	2010-02-16
申请号	KR1020080076402	申请日	2008-08-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG 최희동		
发明人	최희동		
IPC分类号	H05B33/22 H05B33/04 H01L51/50		
CPC分类号	H01L51/0533 H01L51/442 H01L51/102 H01L51/5092 H01L51/5072 H01L51/5056		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光显示器及其制造方法，以通过最小化从面板内形成的结构发出的放气来防止有机发光层的预期寿命降低。组成：接触电极（116）连接到源或漏极。第一电极（122）位于第二基板上。间隔物（123a）位于第一电极上，并且在面对接触电极的区域上突出。无机层（124）包括：底切图案区域，其通过牺牲层暴露第一电极的一部分；以及开口区域，其在牺牲层和间隔物之间暴露第一电极的另一部分。有机发光层（125）通过底切图案区域分类在无机层上。COPYRIGHT KIPO 2010

