



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0035840
(43) 공개일자 2009년04월13일

(51) Int. Cl.

H05B 33/26 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2007-0100847

(22) 출원일자 2007년10월08일

심사청구일자 없음

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

김창남

서울 서초구 우면동 16번지 LG전자 전자기술원

김상균

서울 서초구 우면동 16번지 LG전자 전자기술원

(뒷면에 계속)

(74) 대리인

특허법인로알

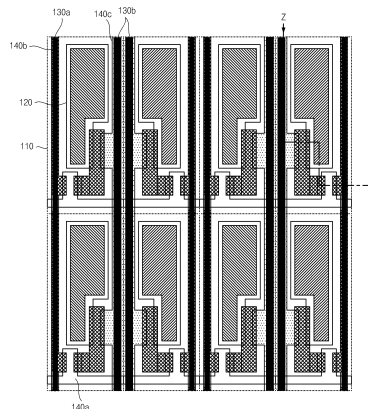
전체 청구항 수 : 총 9 항

(54) 유기전계발광표시장치

(57) 요약

본 발명은, 기판 상에 배치되며, 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터; 트랜지스터의 소오스 또는 드레인 전극 중 하나에 전기적으로 연결된 유기 발광다이오드; 트랜지스터의 소오스 또는 드레인 전극에 연결된 도전성 배선; 및 도전성 배선의 상부 또는 하부 중 하나 이상에 위치하는 금속성 보조전극을 포함하는 유기 전계발광표시장치를 제공한다.

대표도 - 도2



(72) 발명자

이호년

서울 서초구 우면동 16번지 LG전자 전자기술원

김성갑

서울 서초구 우면동 16번지 LG전자 전자기술원

김성중

서울 서초구 우면동 16번지 LG전자 전자기술원

성면창

서울 서초구 우면동 16번지 LG전자 전자기술원

강선길

서울 서초구 우면동 16번지 LG전자 전자기술원

김도열

서울 서초구 우면동 16번지 LG전자 전자기술원

최정환

서울 서초구 우면동 16번지 LG전자 전자기술원

특허청구의 범위

청구항 1

기관 상에 배치되며, 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터;
상기 트랜지스터의 상기 소오스 또는 상기 드레인 전극 중 하나에 전기적으로 연결된 유기 발광다이오드;
상기 트랜지스터의 상기 소오스 또는 상기 드레인 전극에 연장된 도전성 배선; 및
상기 도전성 배선의 상부 또는 하부 중 하나 이상에 위치하는 금속성 보조전극을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,
상기 금속성 보조전극의 폭은,
상기 도전성 배선의 폭보다 좁거나 같게 위치하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,
상기 도전성 배선은,
상기 금속성 보조전극을 덮도록 위치하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,
상기 도전성 배선은,
데이터 배선과 전원배선을 포함하는 유기전계발광표시장치.

청구항 5

제3항에 있어서,
상기 금속성 보조전극은,
일 측면이 노출된 유기전계발광표시장치.

청구항 6

제1항에 있어서,
상기 금속성 보조전극은,
단층 또는 복층으로 형성된 유기전계발광표시장치.

청구항 7

제1항에 있어서,
상기 금속성 보조전극은,
Cr, Mo, Al, Ag, Au, Cu, Ti 또는 이들의 합금을 포함하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,
상기 트랜지스터의 게이트는,

상기 소오스 또는 드레인 전극보다 상부에 위치하거나,
상기 소오스 또는 드레인 전극보다 하부에 위치하는 유기전계발광표시장치.

청구항 9

제1항에 있어서,
상기 트랜지스터는,
a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 중 하나인 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 유기전계발광표시장치에 관한 것이다.

배경기술

- <2> 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.
- <3> 또한, 유기전계발광소자는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식과 배면발광(Bottom-Emission) 방식 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.
- <4> 여기서, 능동매트릭스형을 채택한 유기전계발광표시장치의 서브 픽셀은 하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는데, 일반적으로 2T(트랜지스터)1C(커패시터) 이상의 회로 구조를 갖는다.
- <5> 여기서, 트랜지스터의 게이트, 소오스 및 드레인 전극은 기판 상에 박막 형태로 위치한다. 그리고, 이러한 트랜지스터는 구동 드라이버를 통해 스캔신호 및 데이터 신호 등을 공급받음으로써 구동을 하게 된다.
- <6> 한편, 종래 트랜지스터의 소오스 및 드레인 전극에 연장된 배선은 한가지의 금속을 사용하여 기판 상에 단일 층으로 형성되었다. 이와 같이 단일 층으로 형성된 배선은 소자 특성을 저하하게 됨은 물론 기생 저항에 의한 신호 전달의 어려움을 주므로 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

<7> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 소자 특성을 유지하면서도 저항을 줄일 수 있는 전극 및 배선 구조를 제공하여 유기전계발광표시장치의 표시품질을 향상시키는 것이다.

과제 해결수단

- <8> 상술한 과제 해결 수단으로 본 발명은, 기판 상에 배치되며, 게이트, 소오스 및 드레인 전극을 포함하는 트랜지스터; 트랜지스터의 소오스 또는 드레인 전극 중 하나에 전기적으로 연결된 유기 발광다이오드; 트랜지스터의 소오스 또는 드레인 전극에 연장된 도전성 배선; 및 도전성 배선의 상부 또는 하부 중 하나 이상에 위치하는 금속성 보조전극을 포함하는 유기전계발광표시장치를 제공한다.
- <9> 금속성 보조전극의 폭은, 도전성 배선의 폭보다 좁거나 같게 위치할 수 있다.
- <10> 도전성 배선은, 금속성 보조전극을 덮도록 위치할 수 있다.
- <11> 도전성 배선은, 데이터 배선과 전원배선을 포함할 수 있다.
- <12> 금속성 보조전극은, 일 측면이 이상이 노출될 수 있다.
- <13> 금속성 보조전극은, 단층 또는 복층으로 위치할 수 있다.
- <14> 금속성 보조전극은, Cr, Mo, Al, Ag, Au, Cu, Ti 또는 이들의 합금을 포함할 수 있다.

<15> 트랜지스터의 게이트는, 소오스 또는 드레인 전극보다 상부에 위치하거나, 소오스 또는 드레인 전극보다 하부에 위치할 수 있다.

<16> 트랜지스터는, a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 중 하나일 수 있다.

효 과

<17> 본 발명은, 소자 특성을 유지하면서도 저항을 줄일 수 있는 전극 및 배선 구조를 제공하여 유기전계발광표시장치의 표시품질을 향상시키는 효과를 나타낸다.

발명의 실시를 위한 구체적인 내용

<18> 발명의 실시를 위한 구체적인 내용은 이하의 첨부된 도면을 참조하여 하기와 같이 설명한다.

<19> 도 1은 유기전계발광표시장치의 서브 픽셀 회로 구성의 일 예시도 이다.

<20> 도 1에 도시된 바와 같이, 도 1에 도시된 서브 픽셀 회로는, 스캔 배선(SCAN)에 게이트가 연결되고 데이터 배선(DATA)에 제1전극이 연결된 제1트랜지스터(T1)를 포함할 수 있다. 또한, 제1트랜지스터(T1)의 제2전극에 게이트가 연결되고 제2전원 배선(GND)에 제2전극이 연결된 제2트랜지스터(T2)를 포함할 수 있다. 또한, 제2트랜지스터(T2)의 게이트에 일단이 연결되고 제2전원 배선(GND)에 타단이 연결된 커패시터(Cst)를 포함할 수 있다. 또한, 제1전원 배선(VDD)에 제1전극(예: 애노드)이 연결되고 제2트랜지스터(T2)의 제1전극에 제2전극(예: 캐소드)이 연결된 유기 발광다이오드(D)를 포함할 수 있다.

<21> 이와 같은 서브 픽셀 회로는 스캔 배선(SCAN)을 통해 스캔 신호가 공급되면 제1트랜지스터(T1)가 턴 온될 수 있다. 그리고 데이터 배선(DATA)을 통해 데이터 신호가 공급되면 턴 온된 제1트랜지스터(T1)를 통해 커패시터(Cst)에 데이터 전압이 저장될 수 있다. 그러면, 커패시터(Cst)에 저장된 데이터 전압에 의해 제2트랜지스터(T2)가 턴 온 됨과 아울러, 제1전원 배선(VDD)에 연결된 유기 발광다이오드(D)는 발광을 할 수 있다.

<22> 한편, 도 1에 도시된 서브 픽셀 회로 구성은 일 예시도 일뿐 이에 한정되지 않고, 제1 및 제2트랜지스터(T1, T2)를 보상하는 보상트랜지스터 등이 더 추가되어 다른 회로 구성을 가질 수도 있다.

<23> 이하, 도 2를 참조하여 도 1과 같은 서브 픽셀 회로 구성을 갖는 서브 픽셀의 평면 구조에 대해 더욱 자세히 설명한다.

<24> 도 2는 기판 상에 위치하는 서브 픽셀의 평면 구조도 이다.

<25> 도 2에 도시된 바와 같이, 기판(110) 상에는 매트릭스형태로 다수의 서브 픽셀(120)이 위치할 수 있다. 다수의 서브 픽셀(120)은, 기판(110) 방향 또는 기판(110)의 반대 방향 중 하나 이상의 방향으로 발광할 수 있다.

<26> 다수의 서브 픽셀(120)은 기판(110) 상에 위치하는 스캔 배선(140a)과 도전성 배선(140b, 140c)에 전기적으로 연결될 수 있다.

<27> 여기서, 도전성 배선(140b, 140c)은 다수의 서브 픽셀(120)에 포함된 트랜지스터의 소오스 전극 또는 드레인 전극 형성시 동일한 공정으로 형성될 수 있다.

<28> 그리하여, 소오스 전극 또는 드레인 전극은 다수의 서브 픽셀(120)에 데이터 신호를 공급하는 데이터 배선(140b)과 다수의 서브 픽셀(120)에 전원을 공급하는 전원배선(140c) 역할을 할 수 있다.

<29> 따라서, 데이터 배선(140b)과 전원배선(140c)의 상부 또는 하부 중 하나 이상에는 금속성 보조전극(130a, 130b)이 위치할 수 있다. 이에 따르면, 금속성 보조전극(130a, 130b)은 데이터 배선(140b)과 전원배선(140c)은 물론 소오스 전극 및 드레인 전극의 하부까지 위치할 수도 있다.

<30> 여기서, 금속성 보조전극(130a, 130b)의 폭은, 데이터 배선(140b) 및 전원배선(140c)의 폭보다 좁거나 같게 위치할 수 있다. 금속성 보조전극(130a, 130b)의 폭이 데이터 배선(140b) 및 전원배선(140c)의 폭보다 좁으면, 데이터 배선(140b) 및 전원배선(140c)을 다층으로 형성할 때 용이하다. 반면, 금속성 보조전극(130a, 130b)의 폭이 데이터 배선(140b) 및 전원배선(140c)의 폭과 같으면, 금속성 보조전극(130a, 130b)을 좁게 형성한 경우보다 배선 저항을 떨어뜨릴 수 있다. 여기서, 금속성 보조전극(130a, 130b)은 단층 또는 다층으로 위치할 수 있다. 금속성 보조전극(130a, 130b)이 다층으로 위치하게 되면, 배선 저항을 떨어뜨릴 수 있다.

<31> 이하, 도 3 내지 도 5를 참조하여 도전성 배선의 하부 또는 상부 중 하나 이상에 위치하는 금속성 보조전극의

구조에 대해 더욱 자세히 설명한다.

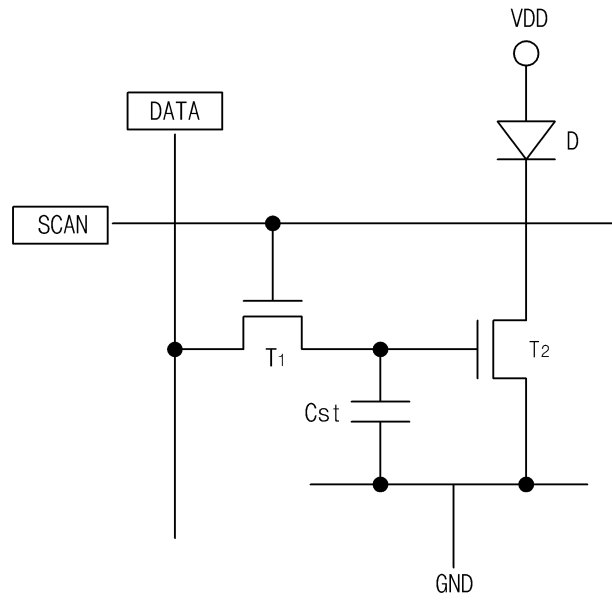
- <32> 도 3은 금속성 보조전극의 구조에 대한 제1예시도 이다.
- <33> 도 3에 도시된 구조는 소오스 전극 및 드레인 전극에 연장된 도전성 배선의 상부에 금속성 보조전극이 위치하는 것을 일례로 나타낸 도면이다.
- <34> 도 3에 도시된 바와 같이, 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- <35> 기판(110) 상에는 버퍼층(111)이 위치할 수 있다. 버퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 버퍼층(111)은 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 사용할 수 있다.
- <36> 버퍼층(111) 상에는 소오스 전극 및 드레인 전극(115a, 115b)이 위치할 수 있다. 소오스 전극 및 드레인 전극(115a, 115b)은 ITO(Indium Tin Oxide) 등과 같은 산화물 도전체로 형성될 수 있다.
- <37> 소오스 전극 및 드레인 전극(115a, 115b)에 연장된 도전성 배선(116a, 116b) 상에는 금속성 보조전극(130a, 130b)이 위치할 수 있다. 여기서, 금속성 보조전극(130a, 130b)은 소오스 전극 및 드레인 전극(115a, 115b)의 상부에 위치할 수 있다.
- <38> 금속성 보조전극(130a, 130b)은 알루미늄(Al), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 은(Ag), 구리(Cu), 타이타늄(Ti) 또는 이들의 합금 예를 들면, 타이타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등을 포함하여 형성될 수 있다.
- <39> 이와 같은 금속성 보조전극(130a, 130b)은 소오스 전극 및 드레인 전극(115a, 115b)의 배선 저항을 낮추어 전류 또는 전압 전송효율을 높일 수 있다.
- <40> 소오스 전극 및 드레인 전극(115a, 115b) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있다.
- <41> 반도체층(112) 상에는 층간절연막(113)이 위치할 수 있다. 층간절연막(113)이 무기막인 경우 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리이미드계 수지 또는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지를 포함할 수 있다.
- <42> 층간절연막(113) 상에는 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐 실리사이드(WSi₂) 중 어느 하나를 포함할 수 있다.
- <43> 게이트 전극(114) 상에는 게이트 절연막(115)이 위치할 수 있다. 게이트 절연막(115)은 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다. 게이트 절연막(115) 상에는 소오스 전극 또는 드레인 전극(115a, 115b)이 위치하는 영역의 일부를 노출하도록 콘택홀을 형성할 수 있다.
- <44> 이상 기판(110) 상에 위치하는 트랜지스터는 게이트 전극(114), 소오스 전극 및 드레인 전극(115a, 115b)을 포함하고 다수의 트랜지스터 및 커패시터를 갖는 트랜지스터 어레이는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. (단, 커패시터의 구조는 생략되었음) 그리고 여기서 형성된 트랜지스터는, a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나일 수 있다.
- <45> 한편, 소오스 전극 또는 드레인 전극(115a, 115b)이 위치하는 영역의 일부를 노출하도록 콘택홀을 통해 소오스 전극 또는 드레인 전극(115a, 115b)과 전기적으로 연결된 제1전극(116c)(예: 애노드)이 위치할 수 있다. 제1전극(116a)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함할 수 있다.
- <46> 제1전극(116c) 상에는 제1전극(116c)의 일부를 노출시키는 절연막(117)이 위치할 수 있다. 절연막(117)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.
- <47> 노출된 제1전극(116c) 상에는 유기발광층(118)이 위치하고 유기발광층(118) 상에는 제2전극(119)(예: 캐소드)이

위치할 수 있다. 제2전극(119)은 유기발광층(118)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.

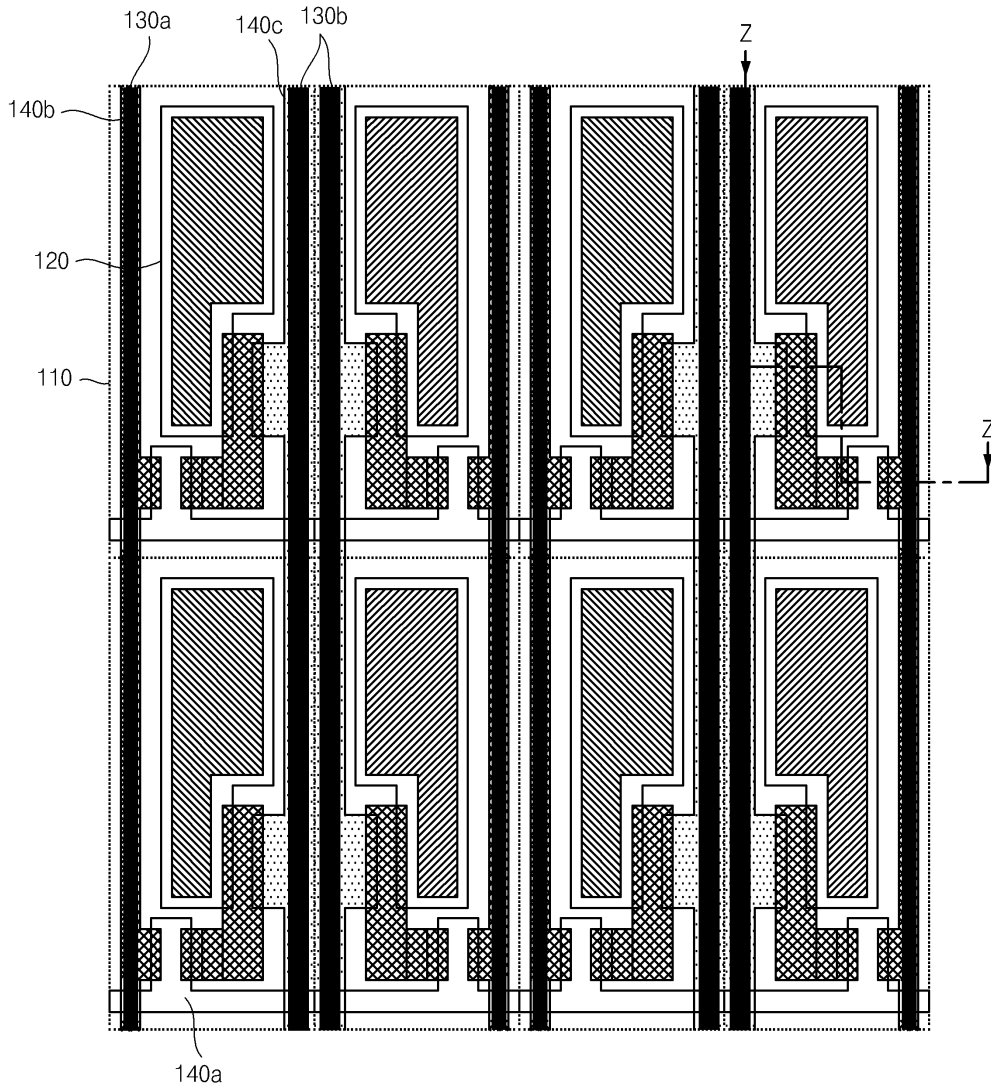
- <48> 이상 기관(110) 상에 위치하는 트랜지스터 어레이에 포함된 트랜지스터의 소오스 또는 드레인 전극(115a, 115b)에 연결된 유기 발광다이오드는 제1전극(116a), 유기발광층(118) 및 제2전극(119)을 포함할 수 있다.
- <49> 단, 소오스 또는 드레인 전극(115a, 115b) 상에 위치하는 제1전극(116c)은 트랜지스터 어레이의 표면을 평탄화하는 평탄화막 상에 위치할 수도 있다. 또한, 트랜지스터 어레이에 포함된 트랜지스터의 구조는 게이트의 구조가 탑 게이트 인지 또는 바텀 게이트 인지에 따라 달라질 수 있다. 또한, 트랜지스터 어레이를 형성할 때 사용되는 마스크의 개수와 반도체층 재료에 따라 트랜지스터의 구조는 달라질 수 있다. 그러므로, 서브 픽셀의 구조는 이에 한정되지는 않는다.
- <50> 도 4는 금속성 보조전극의 구조에 대한 제2예시도 이다.
- <51> 도 4에 도시된 구조는 소오스 전극 및 드레인 전극에 연장된 도전성 배선의 하부에 금속성 보조전극이 위치하는 것을 일례로 나타낸 도면이다.
- <52> 도 4에 도시된 바와 같이, 기관(110)이 위치할 수 있다. 기관(110) 상에는 버퍼층(111)이 위치할 수 있다. 버퍼층(111) 상에는 소오스 전극 및 드레인 전극(115a, 115b)이 위치할 수 있다.
- <53> 소오스 전극 및 드레인 전극(115a, 115b)에 연장된 도전성 배선(116a, 116b)의 하부에는 금속성 보조전극(130a, 130b)이 위치할 수 있다.
- <54> 이와 같은 금속성 보조전극(130a, 130b)은 소오스 전극 및 드레인 전극(115a, 115b)의 배선 저항을 낮추어 전류 또는 전압 전송효율을 높일 수 있다.
- <55> 소오스 전극 및 드레인 전극(115a, 115b) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112) 상에는 층간절연막(113)이 위치할 수 있다.
- <56> 층간절연막(113) 상에는 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 전극(114)이 위치할 수 있다.
- <57> 게이트 전극(114) 상에는 게이트 절연막(115)이 위치할 수 있다. 게이트 절연막(115) 상에는 소오스 전극 또는 드레인 전극(115a, 115b)이 위치하는 영역의 일부를 노출하도록 콘택홀을 형성할 수 있다.
- <58> 이상 기관(110) 상에 위치하는 트랜지스터는 게이트 전극(114), 소오스 전극 및 드레인 전극(115a, 115b)을 포함하고 다수의 트랜지스터 및 커패시터를 갖는 트랜지스터 어레이는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. (단, 커패시터의 구조는 생략되었음) 그리고 여기서 형성된 트랜지스터는, a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나일 수 있다.
- <59> 한편, 소오스 전극 또는 드레인 전극(115a, 115b)이 위치하는 영역의 일부를 노출하도록 콘택홀을 통해 소오스 전극 또는 드레인 전극(115a, 115b)과 전기적으로 연결된 제1전극(116c)(예: 애노드)이 위치할 수 있다.
- <60> 제1전극(116c) 상에는 제1전극(116c)의 일부를 노출시키는 절연막(117)이 위치할 수 있다. 노출된 제1전극(116c) 상에는 유기발광층(118)이 위치하고 유기발광층(118) 상에는 제2전극(119)(예: 캐소드)이 위치할 수 있다.
- <61> 이상 기관(110) 상에 위치하는 트랜지스터 어레이에 포함된 트랜지스터의 소오스 또는 드레인 전극(115a, 115b)에 연결된 유기 발광다이오드는 제1전극(116a), 유기발광층(118) 및 제2전극(119)을 포함할 수 있다.
- <62> 도 5는 금속성 보조전극의 구조에 대한 제3예시도 이다.
- <63> 도 5에 도시된 구조는 소오스 전극 및 드레인 전극에 연장된 도전성 배선의 하부와 상부 사이에 금속성 보조전극이 위치하는 것을 일례로 나타낸 도면이다.
- <64> 도 5에 도시된 바와 같이, 기관(110)이 위치할 수 있다. 기관(110) 상에는 버퍼층(111)이 위치할 수 있다. 버퍼층(111) 상에는 소오스 전극 및 드레인 전극(115a, 115b)이 위치할 수 있다.
- <65> 소오스 전극 및 드레인 전극(115a, 115b)에 연장된 도전성 배선(116a, 116b)의 하부와 상부 사이에는 금속성 보조전극(130a, 130b)이 위치할 수 있다. 따라서, 소오스 전극 및 드레인 전극(115a, 115b)은 단층이 아닌 2층 구조로 형성될 수 있다.

도면

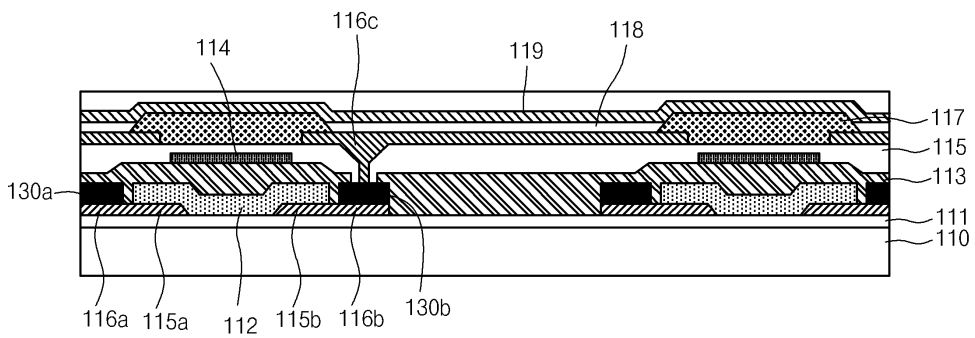
도면1



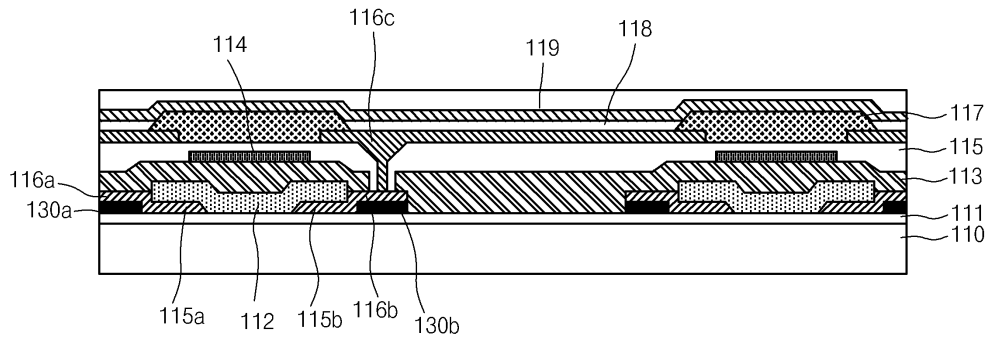
도면2



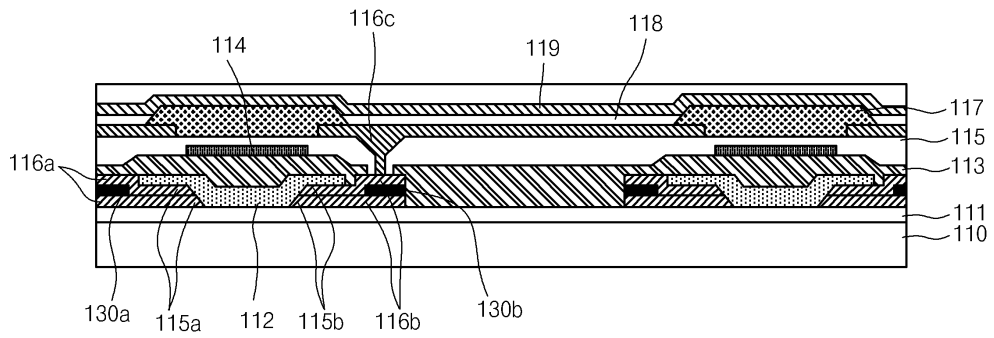
도면3



도면4



도면5



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020090035840A	公开(公告)日	2009-04-13
申请号	KR1020070100847	申请日	2007-10-08
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM CHANG NAM 김창남 KIM SANG KYOON 김상균 LEE HO NYUN 이호년 KIM SUNG GAP 김성갑 KIM SEONG JOONG 김성중 SUNG MYEONG CHANG 성면창 KANG SUN KIL 강선길 KIM DO YOUL 김도열 CHOI JUNG HWAN 최정환		
发明人	김창남 김상균 이호년 김성갑 김성중 성면창 강선길 김도열 최정환		
IPC分类号	H05B33/26 H01L51/50		
CPC分类号	H01L51/102 H01L51/5012 H01L2027/11875 H01L2027/11879		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：晶体管，设置在基板上并包括栅极，源极和漏极;有机发光二极管，电连接到晶体管的源极或漏极之一;导电布线延伸到晶体管的源极或漏极;并且金属辅助电极位于导电布线的上部和下部中的至少一个上。

