

특허청구의 범위

청구항 1

기판 위에 형성되어 있는 제1 및 제2 반도체,

상기 제1 반도체 및 제2 반도체 위에 형성되어 있으며 상기 제1 반도체 및 제2 반도체를 노출하는 개구부를 포함하는 절연층,

상기 개구부에 형성되어 있는 저항성 접촉 부재,

상기 저항성 접촉 부재 위에 형성되어 있으며 제1 입력 전극을 가지는 데이터선, 제2 입력 전극을 가지는 구동 전압선, 제1 및 제2 출력 전극,

상기 데이터선, 구동 전압선, 제1 및 제2 출력 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 제1 제어 전극을 포함하는 게이트선 및 제2 제어 전극,

상기 게이트선 및 제2 제어 전극 위에 형성되어 있는 보호막,

상기 보호막 위에 형성되어 있는 제1 전극,

상기 제1 전극 위에 형성되어 있는 발광 부재,

상기 발광 부재 위에 형성되어 있는 제2 전극을 포함하고,

상기 저항성 접촉 부재는 상기 개구부에 매립되어 상기 개구부와 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 데이터선, 구동 전압선, 제1 및 제2 출력 전극은 상기 개구부에 매립되어 상기 저항성 접촉 부재와 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 제1 입력 전극과 상기 제1 출력 전극은 상기 제1 제어 전극을 중심으로 상기 제1 반도체 위에서 서로 마주하고,

상기 제2 입력 전극과 상기 제2 출력 전극은 상기 제2 제어 전극을 중심으로 상기 제2 반도체 위에서 서로 마주하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 제1 및 제2 반도체 위에 형성되어 있으며 상기 제1 입력 전극과 상기 제2 출력 전극 사이 및 상기 제2 입력 전극과 상기 제2 출력 전극 사이에 배치되어 있는 캐핑층을 더 포함하는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 제1 반도체 및 제2 반도체는 다결정 규소로 이루어지는 유기 발광 표시 장치.

청구항 6

기판 위에 형성되어 있으며 다결정 규소로 이루어지는 제1 반도체,

상기 제1 반도체 위에 형성되어 있으며 상기 제1 반도체를 노출하는 제1 및 제2 개구부를 포함하는 절연층,

상기 제1 및 제2 개구부에 각각 형성되어 있는 제1 및 제2 저항성 접촉 부재,
 상기 제1 저항성 접촉 부재 위에 형성되어 있으며 제1 입력 전극을 가지는 구동 전압선 및 상기 제2 저항성 접촉 부재 위에 형성되어 있는 제1 출력 전극,
 상기 구동 전압선 및 제1 출력 전극 위에 형성되어 있는 제1 게이트 절연막,
 상기 제1 게이트 절연막 위에 형성되어 있으며 상기 제1 반도체와 중첩하는 제1 제어 전극,
 상기 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 전압선과 교차하며 제2 제어 전극을 가지는 게이트선,
 상기 게이트선 및 제1 제어 전극 위에 형성되어 있는 제2 게이트 절연막,
 상기 제2 게이트 절연막 위에 형성되어 있으며 상기 제2 제어 전극과 중첩하는 제2 반도체,
 상기 제2 반도체와 중첩하며 분리되어 있는 제3 및 제4 저항성 접촉 부재,
 상기 제3 저항성 접촉 부재 위에 형성되어 있으며 제2 입력 전극을 가지는 데이터선, 상기 제4 저항성 접촉 부재 위에 형성되어 있는 제2 출력 전극,
 상기 데이터선 및 제2 출력 전극 위에 형성되어 있는 보호막,
 상기 보호막 위에 형성되어 있는 제1 전극,
 상기 제1 전극 위에 형성되어 있는 발광 부재,
 상기 발광 부재 위에 형성되어 있는 제2 전극을 포함하고,
 상기 저항성 접촉 부재는 상기 개구부에 매립되어 상기 개구부와 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 7

제6항에서,
 상기 구동 전압선 및 제1 출력 전극은 상기 개구부에 매립되어 상기 제1 및 제2 저항성 접촉 부재와 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 8

제6항에서,
 상기 제2 반도체는 비정질 규소 또는 다결정 규소로 이루어지는 유기 발광 표시 장치.

청구항 9

제6항에서,
 상기 제1 반도체 위에 형성되어 있으며 상기 제1 출력 전극과 제1 입력 전극 사이에 위치하는 캐핑층을 더 포함하는 유기 발광 표시 장치.

청구항 10

기판 위에 제1 반도체 및 제2 반도체를 형성하는 단계,
 상기 제1 및 제2 반도체 위에 절연층을 형성하는 단계,
 상기 절연층 위에 상기 감광막 패턴을 형성하는 단계,
 상기 감광막 패턴을 마스크로 상기 제1 반도체를 노출하는 제1 및 제2 개구부와 상기 제2 반도체를 노출하는 제3 및 제4 개구부를 포함하는 절연층을 형성하는 단계,
 상기 감광막 패턴 및 상기 제1 내지 제4 개구부에 불순물이 도핑된 비정질 규소막 및 금속막을 형성하는 단계,
 상기 감광막 패턴을 제거하여 상기 제1 내지 제4 개구부에 저항성 접촉 부재, 데이터선, 구동 전압선, 제1 출력 전극 및 제2 출력 전극을 형성하는 단계,

상기 데이터선, 구동 전압선, 제1 출력 전극 및 제2 출력 전극 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 상기 제1 반도체와 중첩하는 제1 제어 전극을 포함하는 게이트선, 상기 제2 반도체와 중첩하는 제2 제어 전극을 형성하는 단계,

상기 게이트선 및 제2 제어 전극 위에 보호막을 형성하는 단계,

상기 보호막 위에 상기 제1 출력 전극과 상기 제2 제어 전극을 연결하는 연결 부재, 상기 제2 출력 전극과 연결되는 제1 전극을 형성하는 단계,

상기 제1 전극 위에 발광 부재를 형성하는 단계, 그리고

상기 발광 부재 위에 제2 전극을 형성하는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제10항에서,

상기 감광막 패턴은 상기 도핑된 비정질 규소막 및 상기 금속막보다 두껍게 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제10항에서,

상기 제1 반도체 및 제2 반도체를 형성하는 단계는,

상기 기판 위에 비정질 규소막을 형성하는 단계,

상기 비정질 규소막을 고상 결정화하여 다결정 규소막을 형성하는 단계,

상기 다결정 규소막을 패터닝하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 비정질 규소막 위에 캐핑층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 유기 발광 표시 장치 및 그의 제조 방법에 관한 것이다.
- <20> 최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 액정 표시 장치(liquid crystal display, LCD)로 대체되고 있다.
- <21> 그러나, 액정 표시 장치는 수발광 소자로서 별도의 백라이트(backlight)가 필요할 뿐만 아니라, 응답 속도 및 시야각 등에서 많은 문제점이 있다.
- <22> 최근 이러한 문제점을 극복할 수 있는 표시 장치로서, 유기 발광 표시 장치(organic light emitting diode display, OLED display)가 주목 받고있다.
- <23> 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.
- <24> 유기 발광 표시 장치는 자체발광형으로 별도의 광원이 필요 없으므로 소비전력 측면에서 유리할 뿐만 아니라,

응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다.

- <25> 유기 발광 표시 장치는 구동 방식에 따라 단순 매트릭스 방식의 유기 발광 표시 장치(passive matrix OLED display)와 능동 매트릭스 방식의 유기 발광 표시 장치(active matrix OLED display)로 나눌 수 있다.
- <26> 이 중, 능동 매트릭스 방식의 유기 발광 표시 장치는 신호선에 연결되어 데이터 전압을 제어하는 스위칭 박막 트랜지스터(switching thin film transistor)와 이로부터 전달받은 데이터 전압을 게이트 전압으로 인가하여 발광 소자에 전류를 흘리는 구동 박막 트랜지스터(driving thin film transistor)를 포함한다.
- <27> 박막 트랜지스터의 반도체는 다결정 규소(polycrystalline silicon, polysilicon) 또는 비정질 규소(amorphous silicon)로 이루어진다.
- <28> 일반적으로 규소는 결정 상태에 따라 비정질 규소와 결정질 규소(crystalline silicon)로 나눌 수 있다. 비정질 규소는 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하여, 낮은 용융점을 가지는 유리를 기판으로 사용하는 표시 장치에 주로 사용한다. 그러나 비정질 규소는 다결정 규소에 비해서 낮은 전계 효과 이동도(field effect mobility)로 인해서 높은 전계 효과 이동도와 고주파 동작 특성 및 낮은 누설 전류(leakage current)의 전기적 특성을 가진 다결정 규소의 응용이 필요하다.

발명이 이루고자 하는 기술적 과제

- <29> 그러나 다결정 규소를 포함하는 박막 트랜지스터의 전기적 특성은 반도체의 계면 특성에 영향을 받는다.
- <30> 따라서 본 발명이 이루고자 하는 기술적 과제는 반도체의 계면 특성을 향상시키는 것이다.

발명의 구성 및 작용

- <31> 상기한 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는 기판 위에 형성되어 있는 제1 및 제2 반도체, 제1 반도체 및 제2 반도체 위에 형성되어 있으며 제1 반도체 및 제2 반도체를 노출하는 개구부를 포함하는 절연층, 개구부에 형성되어 있는 저항성 접촉 부재, 저항성 접촉 부재 위에 형성되어 있으며 제1 입력 전극을 가지는 데이터선, 제2 입력 전극을 가지는 구동 전압선, 제1 및 제2 출력 전극, 데이터선, 구동 전압선, 제1 및 제2 출력 전극 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 제1 제어 전극을 포함하는 게이트선 및 제2 제어 전극, 게이트선 및 제2 제어 전극 위에 형성되어 있는 보호막, 보호막 위에 형성되어 있는 제1 전극, 제1 전극 위에 형성되어 있는 발광 부재, 발광 부재 위에 형성되어 있는 제2 전극을 포함하고, 저항성 접촉 부재는 개구부에 매립되어 개구부와 동일한 평면 패턴을 가진다.
- <32> 데이터선, 구동 전압선, 제1 및 제2 출력 전극은 개구부에 매립되어 저항성 접촉 부재와 동일한 평면 패턴을 가질 수 있다.
- <33> 제1 입력 전극과 제1 출력 전극은 제1 제어 전극을 중심으로 제1 반도체 위에서 서로 마주하고, 제2 입력 전극과 제2 출력 전극은 제2 제어 전극을 중심으로 제2 반도체 위에서 서로 마주할 수 있다.
- <34> 제1 및 제2 반도체 위에 형성되어 있으며 제1 입력 전극과 제2 출력 전극 사이 및 제2 입력 전극과 제2 출력 전극 사이에 배치되어 있는 캐핑층을 더 포함할 수 있다.
- <35> 제1 반도체 및 제2 반도체는 다결정 규소로 이루어질 수 있다.
- <36> 상기한 과제를 달성하기 위한 다른 유기 발광 표시 장치는 기판 위에 형성되어 있으며 다결정 규소로 이루어지는 제1 반도체, 제1 반도체 위에 형성되어 있으며 제1 반도체를 노출하는 제1 및 제2 개구부를 포함하는 절연층, 제1 및 제2 개구부에 각각 형성되어 있는 제1 및 제2 저항성 접촉 부재, 제1 저항성 접촉 부재 위에 형성되어 있으며 제1 입력 전극을 가지는 구동 전압선 및 제2 저항성 접촉 부재 위에 형성되어 있는 제1 출력 전극, 구동 전압선 및 제1 출력 전극 위에 형성되어 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 형성되어 있으며 제1 반도체와 중첩하는 제1 제어 전극, 제1 게이트 절연막 위에 형성되어 있으며 구동 전압선과 교차하며 제2 제어 전극을 가지는 게이트선, 게이트선 및 제1 제어 전극 위에 형성되어 있는 제2 게이트 절연막, 제2 게이트 절연막 위에 형성되어 있으며 제2 제어 전극과 중첩하는 제2 반도체, 제2 반도체와 중첩하며 분리되어 있는 제3 및 제4 저항성 접촉 부재, 제3 저항성 접촉 부재 위에 형성되어 있으며 제2 입력 전극을 가지는 데이터선, 제4 저항성 접촉 부재 위에 형성되어 있는 제2 출력 전극, 데이터선 및 제2 출력 전극 위에 형성되어 있는 보호막, 보호막 위에 형성되어 있는 제1 전극, 제1 전극 위에 형성되어 있는 발광 부재, 발광 부재 위에 형성되어 있는 제2 전극을 포함하고, 저항성 접촉 부재는 개구부에 매립되어 개구부와 동일한 평면 패턴을 가진다.

수 있다.

- <37> 구동 전압선 및 제1 출력 전극은 개구부에 매립되어 제1 및 제2 저항성 접촉 부재와 동일한 평면 패턴을 가질 수 있다.
- <38> 제2 반도체는 비정질 규소 또는 다결정 규소로 이루어질 수 있다.
- <39> 제1 반도체 위에 형성되어 있으며 제1 출력 전극과 제1 입력 전극 사이에 위치하는 캐핑층을 더 포함할 수 있다.
- <40> 상기한 다른 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 반도체 및 제2 반도체를 형성하는 단계, 제1 및 제2 반도체 위에 절연층을 형성하는 단계, 절연층 위에 감광막 패턴을 형성하는 단계, 감광막 패턴을 마스크로 제1 반도체를 노출하는 제1 및 제2 개구부와 제2 반도체를 노출하는 제3 및 제4 개구부를 포함하는 절연층을 형성하는 단계, 감광막 패턴 및 제1 내지 제4 개구부에 불순물이 도핑된 비정질 규소막 및 금속막을 형성하는 단계, 감광막 패턴을 제거하여 제1 내지 제4 개구부에 저항성 접촉 부재, 데이터선, 구동 전압선, 제1 출력 전극 및 제2 출력 전극을 형성하는 단계, 데이터선, 구동 전압선, 제1 출력 전극 및 제2 출력 전극 위에 게이트 절연막을 형성하는 단계, 게이트 절연막 위에 제1 반도체와 중첩하는 제1 제어 전극을 포함하는 게이트선, 제2 반도체와 중첩하는 제2 제어 전극을 형성하는 단계, 게이트선 및 제2 제어 전극 위에 보호막을 형성하는 단계, 보호막 위에 제1 출력 전극과 제2 제어 전극을 연결하는 연결 부재, 제2 출력 전극과 연결되는 제1 전극을 형성하는 단계, 제1 전극 위에 발광 부재를 형성하는 단계, 그리고 발광 부재 위에 제2 전극을 형성하는 단계를 포함할 수 있다.
- <41> 감광막 패턴은 도핑된 비정질 규소막 및 금속막보다 두껍게 형성할 수 있다.
- <42> 제1 반도체 및 제2 반도체를 형성하는 단계는, 기판 위에 비정질 규소막을 형성하는 단계, 비정질 규소막을 고상 결정화하여 다결정 규소막을 형성하는 단계, 다결정 규소막을 패터닝하는 단계를 포함할 수 있다.
- <43> 비정질 규소막 위에 캐핑층을 형성하는 단계를 더 포함할 수 있다.
- <44> 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <45> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <46> 먼저 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 도 1을 참고로 상세하게 설명한다.
- <47> 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- <48> 도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)를 포함한다.
- <49> 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <50> 각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)(LD)를 포함한다.
- <51> 스위칭 트랜지스터(Qs)는 각각 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 박막 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.
- <52> 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)

s)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(I_{LD})를 흘린다.

- <53> 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- <54> 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(V_{ss})에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류(I_{LD})에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- <55> 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.
- <56> 그러면 도 1에 도시한 유기 발광 표시 장치의 상세 구조에 대하여 도 2 내지 도 4와 도 1을 함께 참고하여 상세하게 설명한다.
- <57> 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도이고, 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이다.
- <58> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 산화 규소 또는 질화 규소로 이루어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.
- <59> 차단막(111) 위에는 제1 반도체(154a) 및 제2 반도체(154b)가 형성되어 있다. 제1 반도체(154a)와 제2 반도체(154b)는 다결정 규소로 만들어진다.
- <60> 제1 반도체(154a), 제2 반도체(154b)와 차단막(111) 위에는 캐핑층(50)이 형성되어 있다. 캐핑층(50)은 제1 반도체(154a) 및 제2 반도체(154b)의 소정 영역, 즉 박막 트랜지스터의 채널이 형성되는 채널부에 위치한다. 캐핑층(50)은 제1 반도체(154a) 및 제2 반도체(154b)의 표면을 보호하기 위한 것으로 생각할 수 있다.
- <61> 캐핑층(50) 및 차단막(111) 위에는 개구부(601)를 가지는 절연층(60)이 형성되어 있다. 개구부(601)는 후술하는 데이터 도전체가 형성되는 영역을 한정하며, 캐핑층(50)이 형성되지 않은 제1 및 제2 반도체(154a, 154b)를 노출한다.
- <62> 절연층(60)의 개구부(601)에는 복수의 제1 및 제2 선형 저항성 접촉 부재(ohmic contact)(161, 165)와 복수의 제1 및 제2 섬형 저항성 접촉 부재(165a, 165b)가 형성되어 있다.
- <63> 저항성 접촉 부재(161, 162, 165a, 165b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 제1 및 제2 선형 저항성 접촉 부재(161, 162)는 각각 복수의 돌출부(163a, 163b)를 가지고 있으며, 이 돌출부(163a, 163b)와 섬형 저항성 접촉 부재(165a, 165b)는 각각 쌍을 이루어 제1 및 제2 반도체(154a, 154b) 위에 배치되어 있다.
- <64> 저항성 접촉 부재(161, 162, 165a, 165b)는 개구부(601)에 채워진 형태로 저항성 접촉 부재(161, 162, 165a, 165b)와 개구부(601)는 동일한 평면 패턴을 가진다.
- <65> 저항성 접촉 부재(161, 162, 165a, 165b) 위에는 복수의 데이터선(171), 복수의 구동 전압선(172)과 복수의 제1 및 제2 출력 전극(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.
- <66> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 있다. 각 데이터선(171)은 제1 반도체(154a)를 향하여 뻗은 복수의 제1 입력 전극(input electrode)(173a)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.
- <67> 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 있다. 각 구동 전압선(172)은 제2 반도체

(154b)를 향하여 뺀 복수의 제2 입력 전극(173b)을 포함한다.

- <68> 제1 및 제2 출력 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171) 및 구동 전압선(172)과 분리되어 있다. 제1 입력 전극(173a)과 제1 출력 전극(175a)은 제1 반도체(154a) 위에서 서로 마주하고, 제2 입력 전극(173b)과 제2 출력 전극(175b)은 제2 반도체(154b) 위에서 서로 마주한다.
- <69> 데이터 도전체(171, 172, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다.
- <70> 데이터 도전체(171, 172, 175a, 175b)는 그 측면이 기판(110)면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- <71> 개구부(601)에 저항성 접촉 부재(161, 162, 165a, 165b)와 데이터 도전체(171, 172, 175a, 175b)가 채워진 형태로, 이들의 평면 패턴은 동일하다.
- <72> 데이터 도전체(171, 172, 175a, 175b) 및 절연층(60) 위에는 질화규소(SiN_x) 또는 산화규소(SiO₂) 따위로 만들어진 게이트 절연막(140)이 형성되어 있다.
- <73> 게이트 절연막(140) 위에는 제1 제어 전극(control electrode)(124a)을 포함하는 게이트선(121) 및 복수의 제2 제어 전극(124b)을 포함하는 복수의 게이트 도전체(gate conductor)가 형성되어 있다.
- <74> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 데이터선(171) 및 구동 전압선(172)과 교차한다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함하며, 제1 제어 전극(124a)은 게이트선(121)으로부터 제1 반도체(154a)로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110)위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- <75> 제2 제어 전극(124b)은 제2 반도체(154b)와 중첩하고 게이트선(121)과 분리되어 있으며, 아래 방향으로 뻗다가 오른 쪽으로 잠시 방향을 바꾸었다가 위로 길게 뻗은 유지 전극(storage electrode)(127)을 포함한다. 유지 전극(127)은 구동 전압선(172)과 중첩한다.
- <76> 게이트 도전체(121, 124b)는 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다.
- <77> 게이트 도전체(121, 124b)의 측면은 기판(110)면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <78> 게이트 도전체(121, 124b) 위에는 보호막(180)이 형성되어 있다.
- <79> 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다.
- <80> 보호막(180)에는 제1 및 제2 출력 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(185a, 185b)이 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 제2 제어 전극(124b)을 드러내는 복수의 접촉 구멍(184)이 형성되어 있다.
- <81> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 부재(connecting member)(85)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- <82> 화소 전극(191)은 접촉 구멍(185b)을 통하여 제2 출력 전극(175b)과 물리적·전기적으로 연결되어 있으며, 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제2 제어 전극(124b) 및 제1 출력 전극(175a)과 연결되어 있다.
- <83> 화소 전극(191) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191) 가장자리 주변을 독(bank)처럼 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물로 만들어 진다. 격벽

(361)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.

- <84> 격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365)에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다. 유기 발광 부재(370)는 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질로 만들어진다. 유기 발광 표시 장치는 유기 발광 부재(370)들이 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.
- <85> 유기 발광 부재(370)는 빛을 내는 발광층(emitting layer)(도시하지 않음) 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)(도시하지 않음)을 포함하는 다층 구조를 가질 수 있다. 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(도시하지 않음) 및 정공 수송층(hole transport layer)(도시하지 않음)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(도시하지 않음) 및 정공 주입층(hole injecting layer)(도시하지 않음) 등이 있다.
- <86> 유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 공통 전압(Vss)을 인가 받으며, ITO 또는 IZO 등의 투명한 도전 물질로 만들어진다.
- <87> 이러한 유기 발광 표시 장치에서, 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 제1 반도체(154a)와 함께 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 반도체(154a)에 형성된다.
- <88> 제1 출력 전극(175a)에 연결되어 있는 제2 제어 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(191)에 연결되어 있는 제2 출력 전극(175b)은 제2 반도체(154b)와 함께 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이의 제2 반도체(154b)에 형성된다. 화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드(LD)를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다. 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기(storage capacitor)(Cst)를 이룬다.
- <89> 이러한 유기 발광 표시 장치는 기관(110)의 위쪽 또는 아래쪽으로 빛을 내보내어 영상을 표시한다. 불투명한 화소 전극(191)과 투명한 공통 전극(270)은 기관(110)의 위쪽 방향으로 영상을 표시하는 전면 발광(top emission) 방식의 유기 발광 표시 장치에 적용하며, 투명한 화소 전극(191)과 불투명한 공통 전극(270)은 기관(110)의 아래 방향으로 영상을 표시하는 배면 발광(bottom emission) 방식의 유기 발광 표시 장치에 적용한다.
- <90> 그러면 도 2 내지 도 4에 도시한 유기 발광 표시 장치를 제조하는 방법에 대하여 도 5 내지 도 21을 참조하여 상세하게 설명한다.
- <91> 도 5는 본 발명의 유기 발광 표시 장치를 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 6 및 도 7은 각각 도 5의 VI-VI, VII-VII선을 따라 잘라 도시한 단면도이고, 도 8은 도 5의 다음 단계에서의 배치도이고, 도 9 및 도 10은 도 8의 IX-IX, X-X선을 따라 잘라 도시한 단면도이고, 도 11 및 도 12는 도 9 및 도 10의 다음 단계에서의 단면도로 도 8의 IX-IX, X-X선을 따라 잘라 도시한 단면도이고, 도 13은 도 8의 다음 단계에서의 배치도이고, 도 14 및 도 15는 도 13의 XIV-XIV, XV-XV선을 따라 잘라 도시한 단면도이고, 도 16은 도 13의 다음 단계에서의 배치도이고, 도 17 및 도 18은 도 16의 XVII-XVII, XVIII-XVIII선을 따라 잘라 도시한 단면도이고, 도 19는 도 16의 다음 단계에서의 배치도이고, 도 20 및 도 21은 도 19의 XX-XX, XXI-XXI선을 따라 잘라 도시한 단면도이다.
- <92> 도 5 내지 도 7에 도시한 바와 같이, 기관(110) 위에 산화 규소 등을 증착하여 차단막(111)을 형성한다. 산화 규소는 화학적 기상 증착(CVD, chemical vapor deposition)으로 형성한다.
- <93> 그런 다음, 차단막(111) 위에 비정질 규소막과 절연막을 적층하고 열처리로 비정질 규소막을 결정화하여 다결정 규소막을 형성한다. 절연막은 질화규소 또는 산화 규소 등으로 100~200Å 이하의 두께로 형성한다. 절연막은 비정질 규소막의 표면을 보호하기 위한 것으로 생략할 수 있다.
- <94> 결정화는 고상 결정화(solid phase crystallization, SPC), 엑시머 레이저 결정화(excimer laser annealing, ELA) 또는 금속 유도 측면 결정화(metal induced lateral crystallization, MILC) 따위로 수행할 수 있으며, 이 중 고상 결정화 방법이 바람직하다.

- <95> 이후, 사진 식각 공정으로 절연막과 다결정 규소막을 패터닝하여 캐핑층(50)과 제1 및 제2 반도체(154a, 154b)를 형성한다.
- <96> 다음 도 8 내지 도 10에 도시한 바와 같이, 캐핑층(50) 및 기관(110) 위에 절연막(60)을 형성한다.
- <97> 절연막(60) 위에 감광막 패턴(PR)을 형성한 후 식각하여 절연막(60)에 개구부(601)를 형성한다. 감광막 패턴(PR)은 후속 공정으로 데이터 도전체가 형성되는 영역을 한정하기 위한 것으로, 절연막의 개구부(601)에 데이터 도전체가 형성된다. 감광막 패턴(PR)은 데이터 도전체의 두께보다 2~6배 정도 두껍게 형성하는 것이 바람직하다.
- <98> 감광막 패턴(PR)은 제1 및 제2 반도체(154a, 154b)와 직접 접촉하지 않으므로 감광막 패턴(PR)으로 인한 제1 및 제2 반도체(154a, 154b)의 표면이 오염되지 않는다.
- <99> 여기서 개구부(601)를 형성하고 제1 반도체(154a) 및 제2 반도체(154b) 위에 형성되어 있는 캐핑층(50)의 일부를 제거하여 제1 반도체(154a) 및 제2 반도체(154b)의 일부를 노출한다. 캐핑층(50)으로 보호되는 제1 반도체(154a) 및 제2 반도체(154b)는 박막 트랜지스터의 채널부가 된다.
- <100> 다음 도 11 및 12에 도시한 바와 같이, 감광막 패턴(PR) 및 개구부(601) 위에 도핑된 비정질 규소막(160) 및 금속막(170)을 형성한다. 비정질 규소막(160)과 금속막은 감광막 패턴(PR)이 손상되지 않도록 저온에서 증착하는 것이 바람직하다.
- <101> 감광막 패턴(PR)이 두꺼워 감광막 패턴(PR)의 단차로 인해서 비정질 규소막(160)과 금속막(170)이 감광막 패턴(PR)의 측면에 연결되어 형성되지 못하고 끊어진다.
- <102> 다음 도 13 내지 도 15에 도시한 바와 같이, 감광막 패턴(PR)을 제거하여 데이터선(171), 구동 전압선(172), 제1 및 제2 출력 전극(175a, 175b)과 저항성 접촉 부재(161, 162, 165a, 165b)를 형성한다.
- <103> 감광막 패턴(PR)의 측면이 노출되어 있어 감광막 패턴(PR)은 쉽게 제거할 수 있으며, 감광막 패턴(PR) 상부에 위치하는 도핑된 비정질 규소막과 금속막도 감광막 패턴(PR)과 함께 제거된다.
- <104> 본 발명의 한 실시예에서는 데이터 도전체 및 저항성 접촉 부재를 함께 형성하여 마스크 수를 감소시켰으나, 감광막 패턴 위에 도핑된 비정질 규소막만을 형성하여 저항성 접촉 부재를 형성하고, 별도의 마스크를 이용하여 데이터 도전체를 형성할 수 있다.
- <105> 도 16 내지 도 18에 도시한 바와 같이 기관(110)을 열처리한 후 기관(110) 위에 질화 규소 또는 산화 규소를 화학 기상 증착법으로 증착하여 게이트 절연막(140)을 형성한다. 열처리는 650℃ 이하의 온도에서 진행하며 이는 기관(110)의 수축을 방지한다.
- <106> 이후, 게이트 절연막(140) 위에 스퍼터링 따위로 금속을 증착하여 금속막을 형성하고, 패터닝하여 제1 제어 전극(124a)을 포함하는 게이트선(121), 유지 전극(127)을 포함하는 제2 제어 전극(124b)을 형성한다.
- <107> 다음 도 19 및 도 21에 도시한 바와 같이, 게이트선(121) 및 제2 제어 전극(124b) 위에 층간 절연막(180)을 적층하고 사진 식각하여 복수의 접촉 구멍(184, 185a, 185b)을 형성한다.
- <108> 그리고 층간 절연막(180) 위에 금속막을 형성한 후 패터닝하여 복수의 화소 전극(191), 복수의 연결 부재(85)를 형성한다.
- <109> 다음, 도 2 내지 도 4에 도시한 바와 같이, 감광성 유기 절연막을 도포하고 노광 및 현상하여 화소 전극(191) 위에 개구부(365)를 가지는 격벽(361)을 형성한다.
- <110> 그리고 개구부(365)에 발광 부재(370)를 형성한다. 발광 부재(370)는 잉크젯 인쇄(inkjet printing) 방법과 같은 용액 공정(solution process) 또는 증착(evaporation)으로 형성할 수 있으며, 그 중 잉크젯 인쇄 방법이 바람직하다.
- <111> 다음 격벽(361) 및 발광 부재(370) 위에 공통 전극(270)을 형성한다.
- <112> 이처럼 본 발명의 실시예에서는 다결정 규소막을 형성하기 위한 열처리를 실시한 후 데이터 도전체와 게이트 도전체를 형성함으로써 결정화용 열처리시에 기관 수축으로 인한 오정렬 발생을 방지할 수 있다.
- <113> 다음 본 발명의 다른 실시예에 대해서 도 22 내지 도 24를 참조하여 상세히 설명한다.
- <114> 도 22는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 23은 도 22의 유기 발광 표시 장

치를 XXIII-XXIII 선을 따라 잘라 도시한 단면도이고, 도 24는 도 22의 유기 발광 표시 장치를 XIV-XIV선을 따라 잘라 도시한 단면도이다.

- <115> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기관(110) 위에 산화 규소 또는 질화 규소로 이루어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.
- <116> 차단막(111) 위에는 섬형의 제3 반도체(154c)가 형성되어 있으며 제3 반도체(154c)는 다결정 규소로 만들어진다.
- <117> 제3 반도체(154c)의 위에는 캐핑층(50)이 형성되어 있다. 캐핑층(50)은 제3 반도체(154c)의 소정 영역, 즉 박막 트랜지스터의 채널이 형성되는 채널부에 위치한다. 캐핑층(50)은 제3 반도체(154c)의 표면을 보호하기 위한 것으로 생략할 수 있다.
- <118> 캐핑층(50) 및 차단막(111) 위에는 개구부(601)를 가지는 절연층(60)이 형성되어 있다. 개구부(601)는 후술하는 구동 전압선 및 제3 제어 전극이 형성되는 영역을 한정하며, 캐핑층(50)이 형성되지 않은 제3 반도체(154c)를 노출한다.
- <119> 절연층(60)의 개구부(601)에는 복수의 제3 선형 저항성 접촉 부재(167)와 복수의 제3 섬형 저항성 접촉 부재(165c)가 형성되어 있다. 저항성 접촉 부재는 도 2 내지 도 4의 실시예에서와 같은 물질로 형성할 수 있다.
- <120> 제3 선형 저항성 접촉 부재(167)는 복수의 돌출부(163c)를 가지고 있으며, 이 돌출부(163c)와 섬형 저항성 접촉 부재(165c)는 각각 쌍을 이루어 제3 반도체(154c) 위에 배치되어 있다.
- <121> 저항성 접촉 부재(167, 165c)는 개구부(601)에 채워진 형태로 저항성 접촉 부재(167)와 개구부(601)는 동일한 평면 패턴을 가진다.
- <122> 저항성 접촉 부재(167) 위에는 복수의 구동 전압선(172)과 복수의 제3 출력 전극(175c)이 형성되어 있다.
- <123> 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 제3 선형 저항성 접촉 부재(167)와 중첩하고 있다. 각 구동 전압선(172)은 제3 반도체(154c)를 향하여 뻗은 복수의 제3 입력 전극(173c)을 포함한다.
- <124> 제3 출력 전극(175c)은 구동 전압선(172)과 분리되어 있다. 제1 입력 전극(173a)과 제1 출력 전극(175a)은 돌출부(163c)와 섬형 저항성 접촉 부재(165c)와 중첩하여 제3 반도체(154c) 위에서 서로 마주한다.
- <125> 개구부(601), 저항성 접촉 부재(162, 165c), 구동 전압선(172) 및 제3 출력 전극(175c)은 동일한 평면 패턴을 가진다.
- <126> 절연층(60), 구동 전압선(172) 및 제3 출력 전극(175c) 위에는 질화규소(SiN_x) 또는 산화규소(SiO_2) 따위로 만들어진 제1 게이트 절연막(140a)이 형성되어 있다.
- <127> 제1 게이트 절연막(140a) 위에는 복수의 제3 제어 전극(124c)과 제4 제어 전극(124d)을 포함하는 게이트선(121)으로 이루어지는 복수의 게이트 도전체가 형성되어 있다.
- <128> 제3 제어 전극(124c)은 제3 반도체(154c)와 중첩하고 게이트선(121)과 분리되어 있으며, 아래 방향으로 뻗다가 오른 쪽으로 잠시 방향을 바꾸었다가 위로 길게 뻗은 유지 전극(127)을 포함한다. 유지 전극(127)은 구동 전압선(172)과 중첩한다.
- <129> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며 구동 전압선(172)과 교차한다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함하며, 제4 제어 전극(124d)은 게이트선(121)으로부터 제4 반도체(154a)로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기관(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- <130> 게이트 도전체(121, 124c)는 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다.
- <131> 게이트 도전체(121, 124c)의 측면은 기관(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <132> 게이트 도전체(121, 124c) 위에는 제2 게이트 절연막(140b)이 형성되어 있다. 제2 게이트 절연막(140b)은 제1

게이트 절연막(140a)과 동일한 물질로 형성할 수 있다.

- <133> 제2 게이트 절연막(140b) 위에는 제4 제어 전극(124d)과 중첩하는 제4 반도체(154d)가 형성되어 있다. 제4 반도체(154d)는 다결정 규소 또는 비정질 규소로 이루어질 수 있다.
- <134> 제4 반도체(154d) 위에는 제4 섬형 저항성 접촉 부재(163d, 165d)가 형성되어 있다. 섬형 저항성 접촉 부재(163d, 165)는 분리되어 있으며, 쌍을 이루어 제4 반도체(154d) 위에서 서로 마주한다.
- <135> 저항성 접촉 부재(163d, 165d) 및 제2 게이트 절연막(140b) 위에는 데이터선(171)과 제4 출력 전극(175d)이 형성되어 있다.
- <136> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제4 제어 전극(124d)을 향하여 뻗은 복수의 제4 입력 전극(173d)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.
- <137> 제4 출력 전극(175d)은 데이터선(171)과 분리되어 있다. 제4 입력 전극(173d)과 제4 출력 전극(175d)은 제4 반도체(154d) 위에서 서로 마주한다.
- <138> 데이터선(171) 및 제4 출력 전극(175d)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다.
- <139> 데이터선(171) 및 제4 출력 전극(171, 175d) 위에는 보호막(180)이 형성되어 있다.
- <140> 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다.
- <141> 보호막(180)에는 제4 출력 전극(175d)을 각각 드러내는 복수의 접촉 구멍(185a), 보호막(180) 및 제2 게이트 절연막(140b)에는 제3 제어 전극(124c)을 드러내는 복수의 접촉 구멍(184), 보호막(180), 제1 및 제2 게이트 절연막(140a, 140b)에는 제3 출력 전극(175c)을 드러내는 복수의 접촉 구멍(185b)이 형성되어 있다.
- <142> 보호막(180) 위에는 복수의 화소 전극(191), 복수의 연결 부재(85)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- <143> 화소 전극(191)은 접촉 구멍(185b)을 통하여 제3 출력 전극(175c)과 물리적·전기적으로 연결되어 있으며, 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제3 제어 전극(124c) 및 제4 출력 전극(175d)과 연결되어 있다.
- <144> 화소 전극(191) 위에는 도 2 내지 도 4의 실시예에서와 같이, 개구부(365)를 가지는 격벽(361), 공통 전극(270)이 형성되어 있다.

발명의 효과

- <145> 이상 설명한 바와 같이, 본 발명은 감광막 패턴을 리프트 오프 함으로써 데이터 배선을 형성하여 정확한 크기의 데이터 도전체를 형성할 수 있다. 또한, 캐핑층으로 박막 트랜지스터의 채널 부위를 보호함으로써 식각시 채널 부의 표면이 손상되는 것을 방지할 수 있다.
- <146> 따라서 계면 특성이 우수한 고품질의 유기 발광 표시 장치를 제공할 수 있다.
- <147> 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

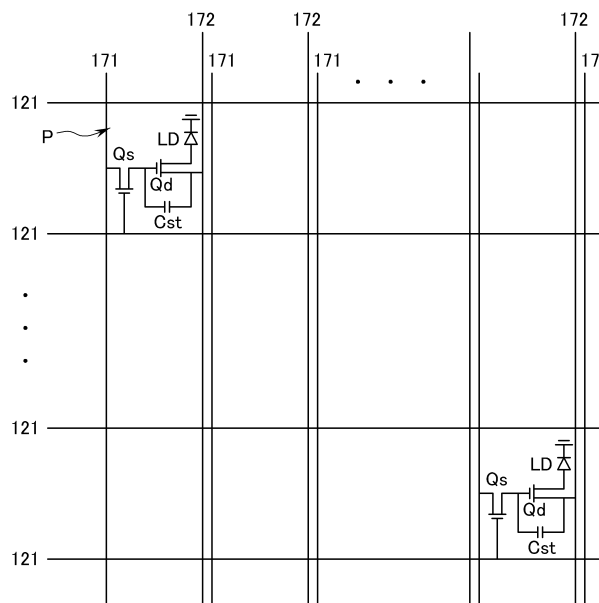
도면의 간단한 설명

- <1> 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.

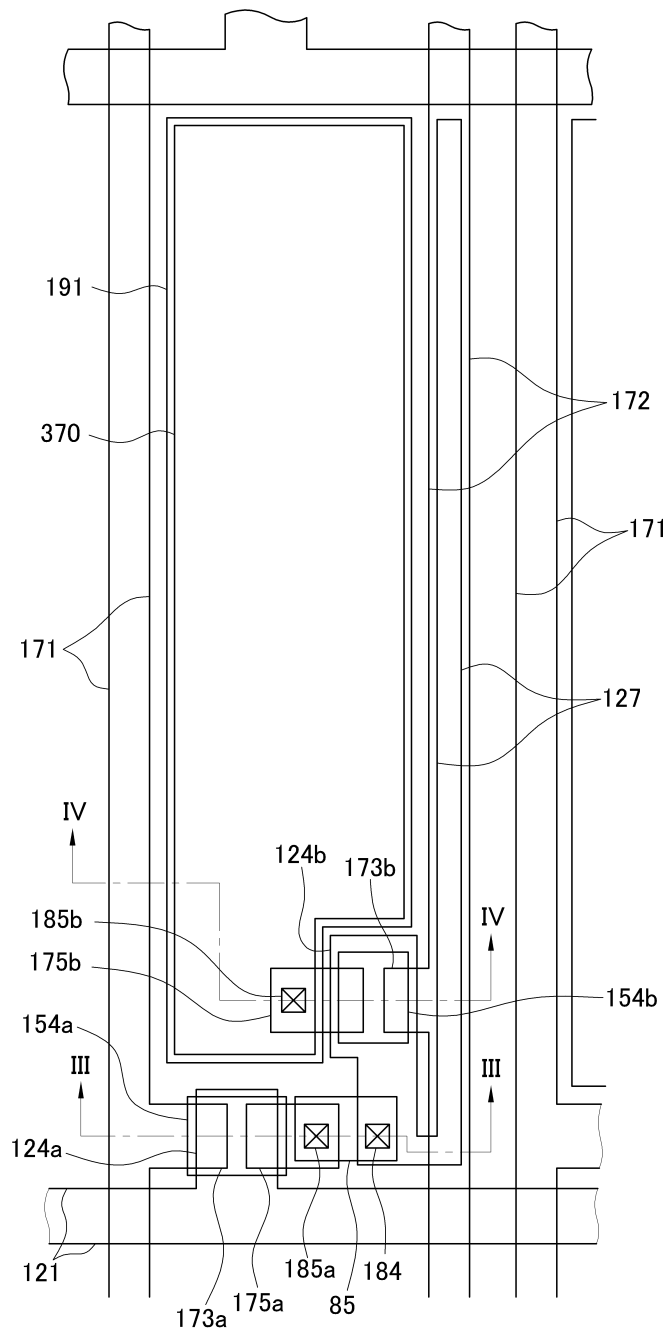
- <2> 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- <3> 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도이다.
- <4> 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이다.
- <5> 도 5는 본 발명의 유기 발광 표시 장치를 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이다.
- <6> 도 6 및 도 7은 각각 도 5의 VI-VI, VII-VII선을 따라 잘라 도시한 단면도이다.
- <7> 도 8은 도 5의 다음 단계에서의 배치도이다.
- <8> 도 9 및 도 10은 도 8의 IX-IX, X-X선을 따라 잘라 도시한 단면도이다.
- <9> 도 11 및 도 12는 도 9 및 도 10의 다음 단계에서의 단면도로 도 8의 IX-IX, X-X선을 따라 잘라 도시한 단면도이다.
- <10> 도 13은 도 8의 다음 단계에서의 배치도이다.
- <11> 도 14 및 도 15는 도 13의 XIV-XIV, XV-XV선을 따라 잘라 도시한 단면도이다.
- <12> 도 16은 도 13의 다음 단계에서의 배치도이다.
- <13> 도 17 및 도 18은 도 16의 XVII-XVII, XVIII-XVIII선을 따라 잘라 도시한 단면도이다.
- <14> 도 19는 도 16의 다음 단계에서의 배치도이다.
- <15> 도 20 및 도 21은 도 19의 XX-XX, XXI-XXI선을 따라 잘라 도시한 단면도이다.
- <16> 도 22는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- <17> 도 23은 도 22의 유기 발광 표시 장치를 XXIII-XXIII 선을 따라 잘라 도시한 단면도이다.
- <18> 도 24는 도 22의 유기 발광 표시 장치를 XIV-XIV선을 따라 잘라 도시한 단면도이다.

도면

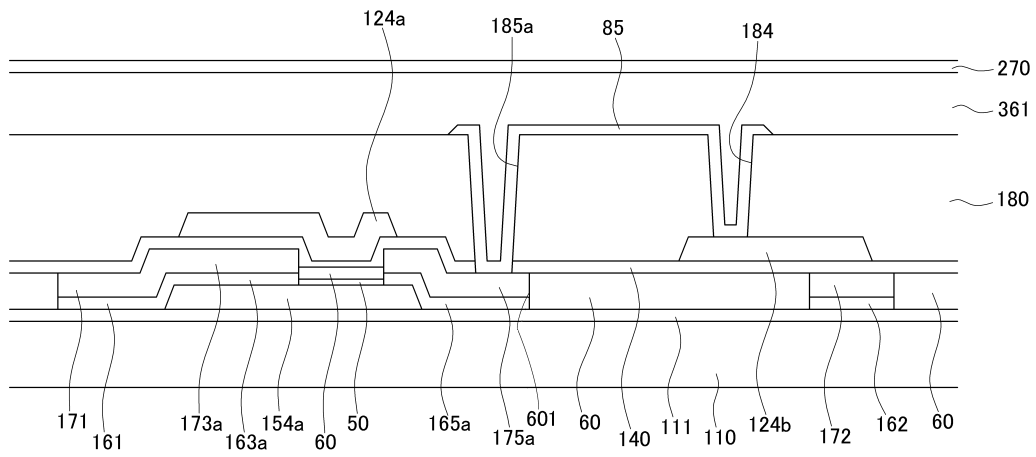
도면1



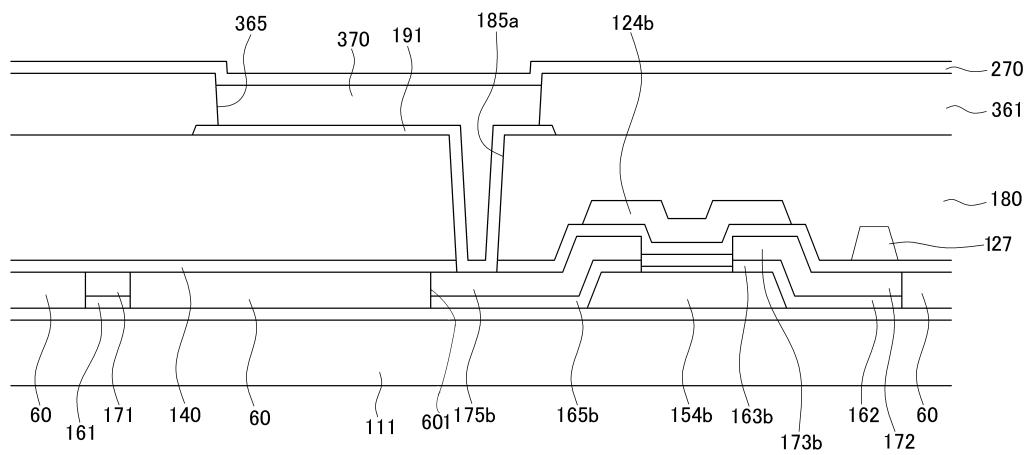
도면2



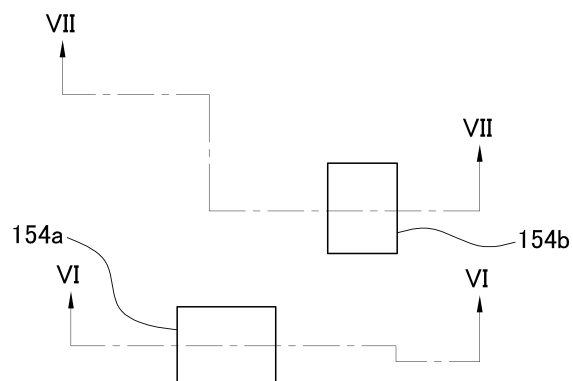
도면3



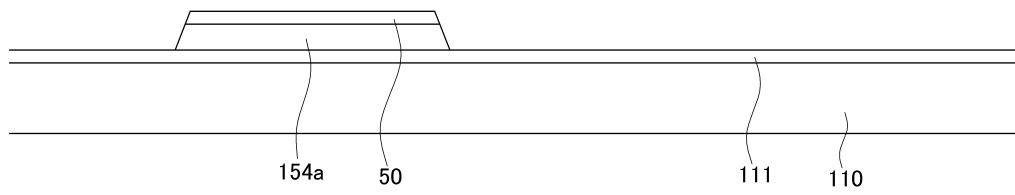
도면4



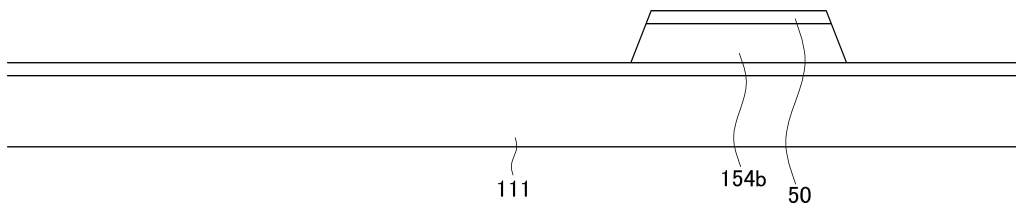
도면5



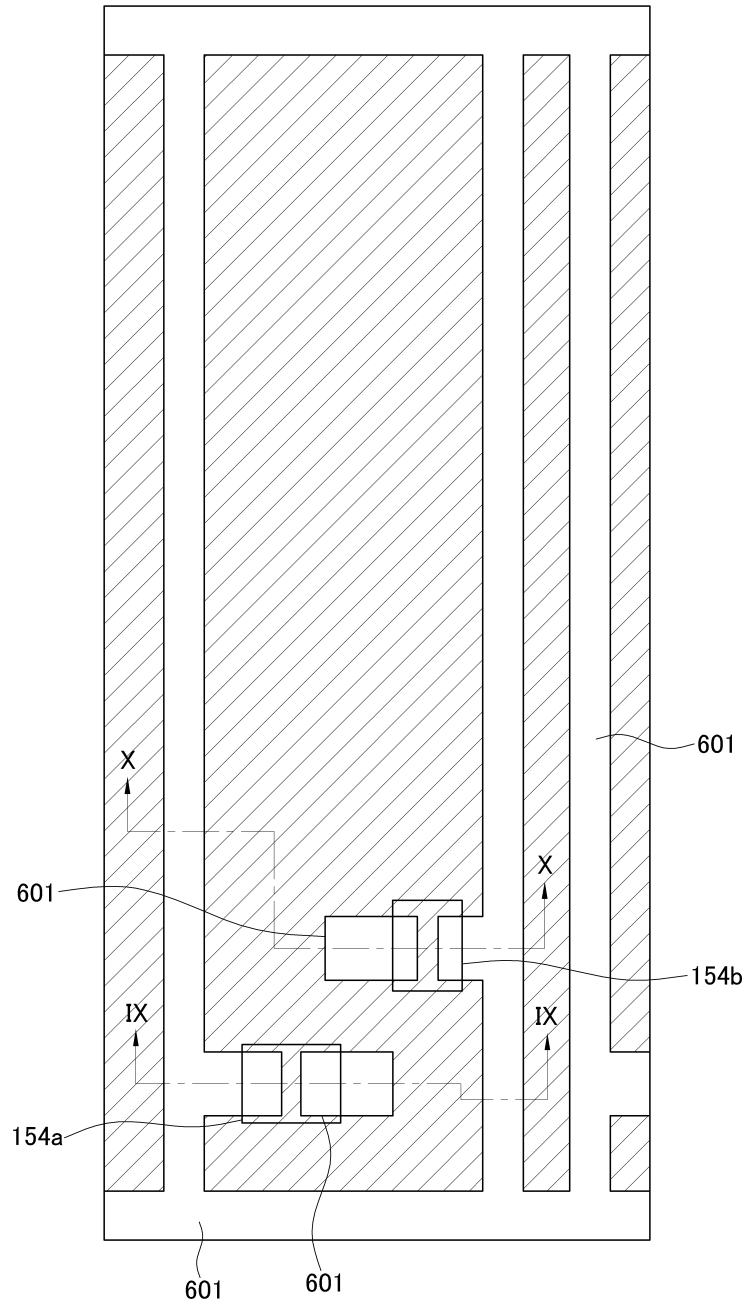
도면6



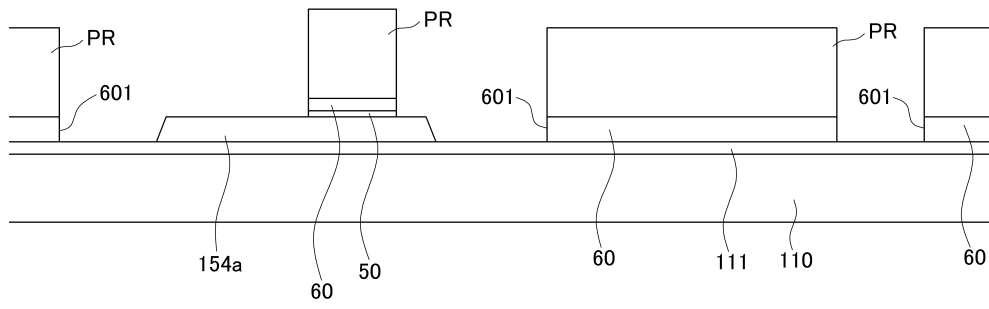
도면7



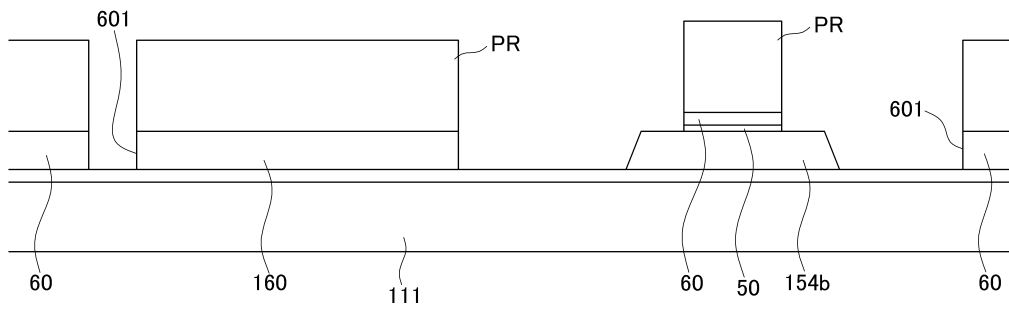
도면8



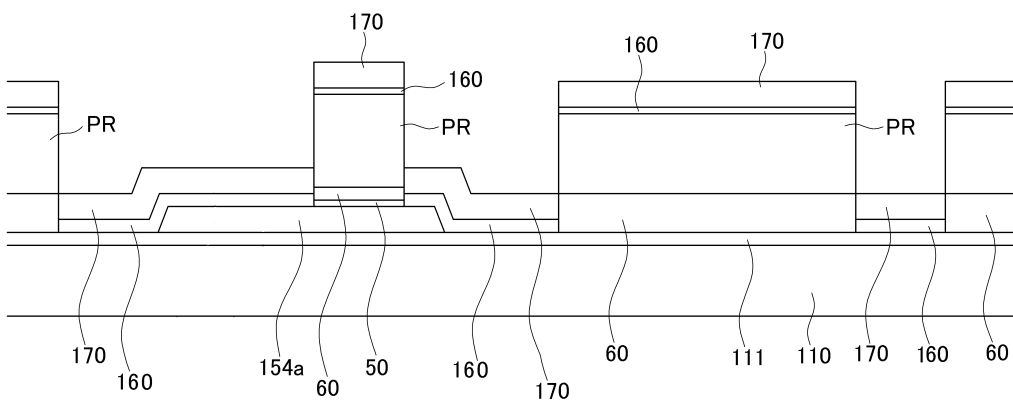
도면9



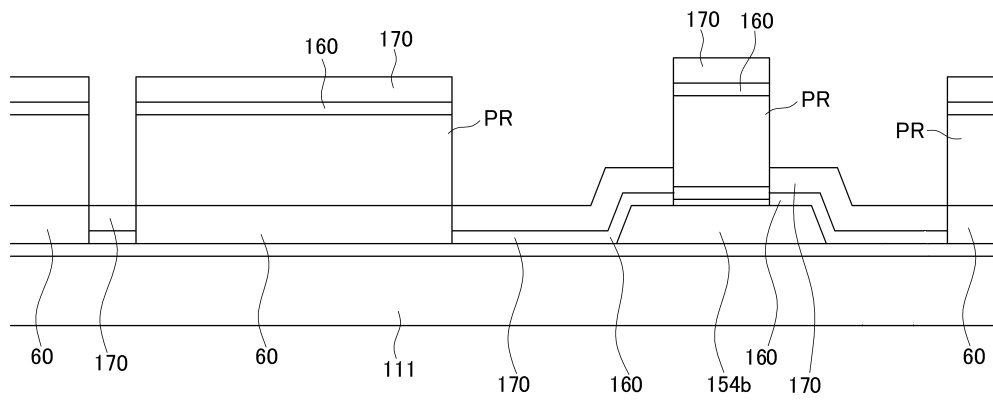
도면10



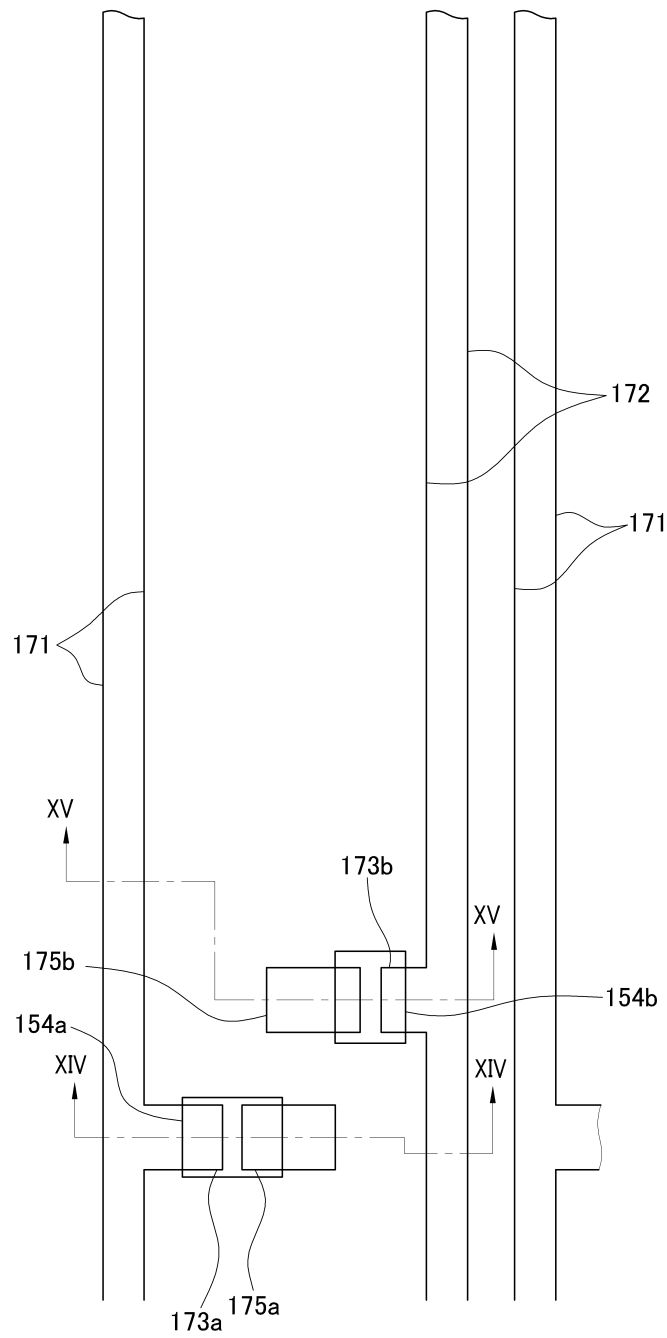
도면11



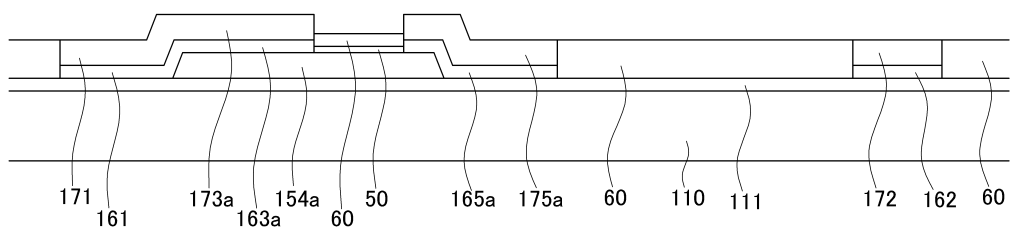
도면12



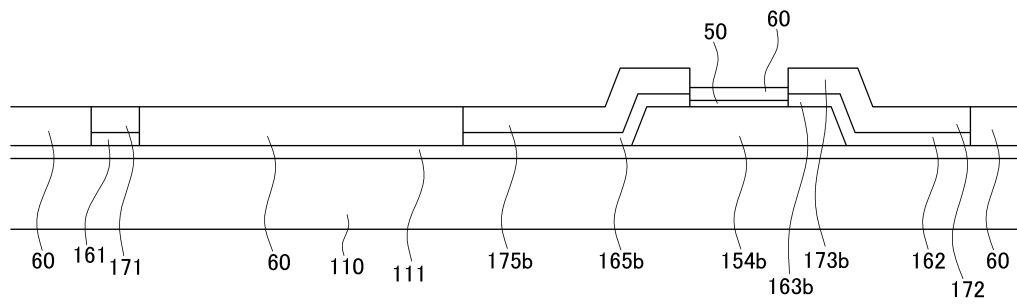
도면13



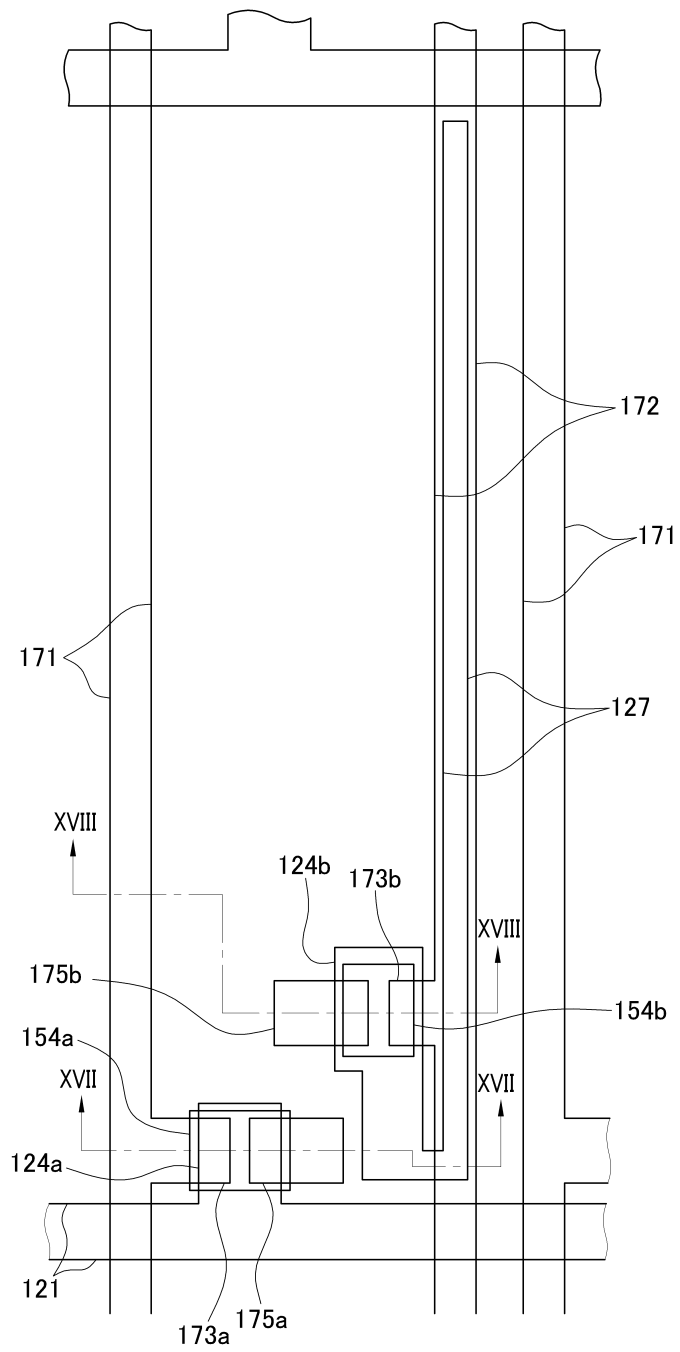
도면14



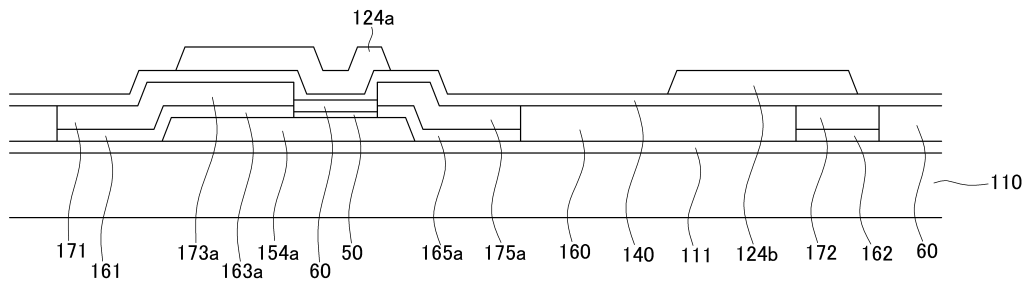
도면15



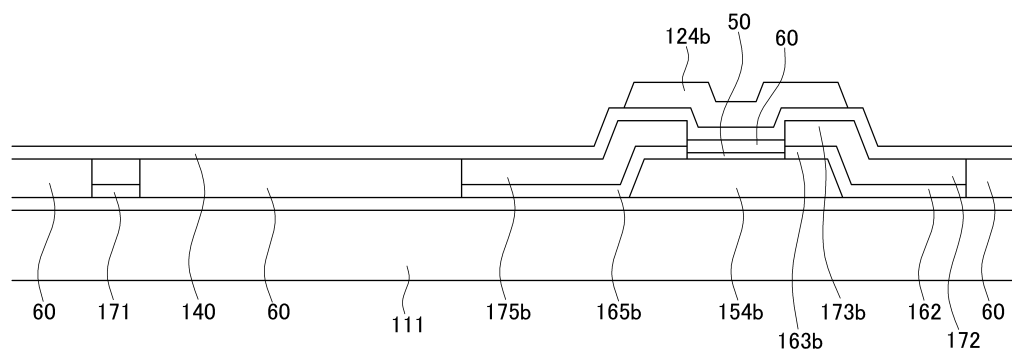
도면16



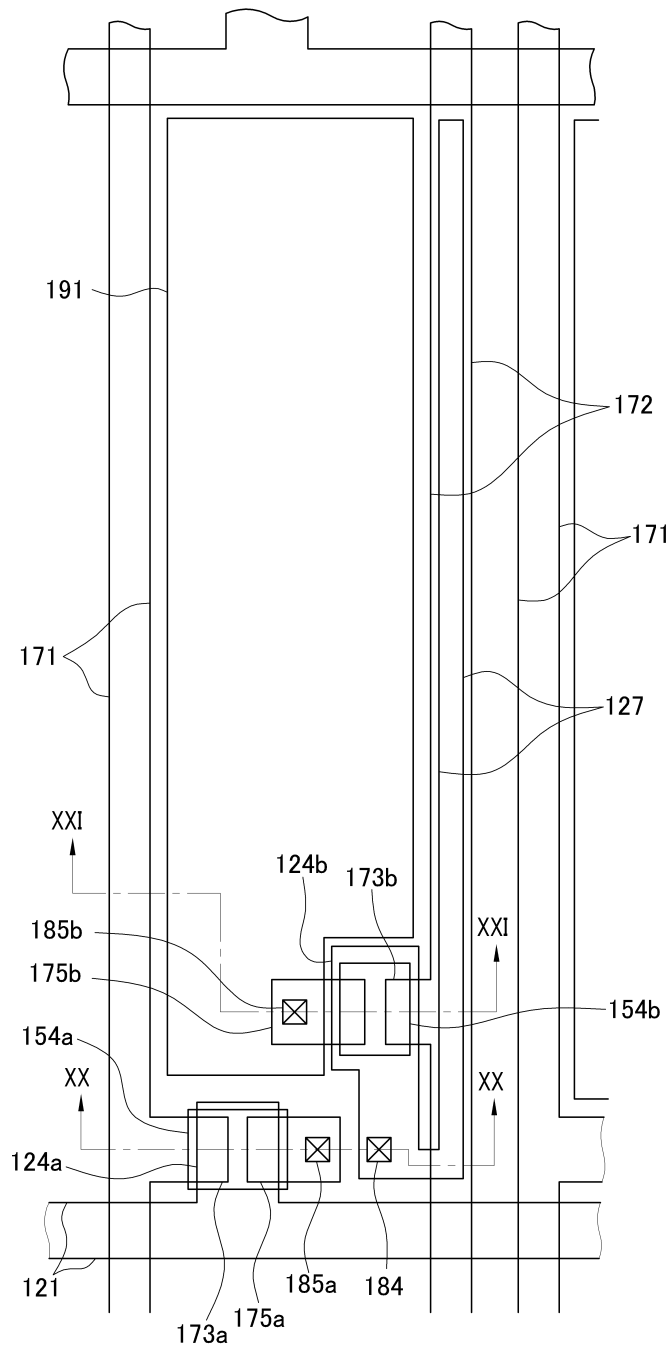
도면17



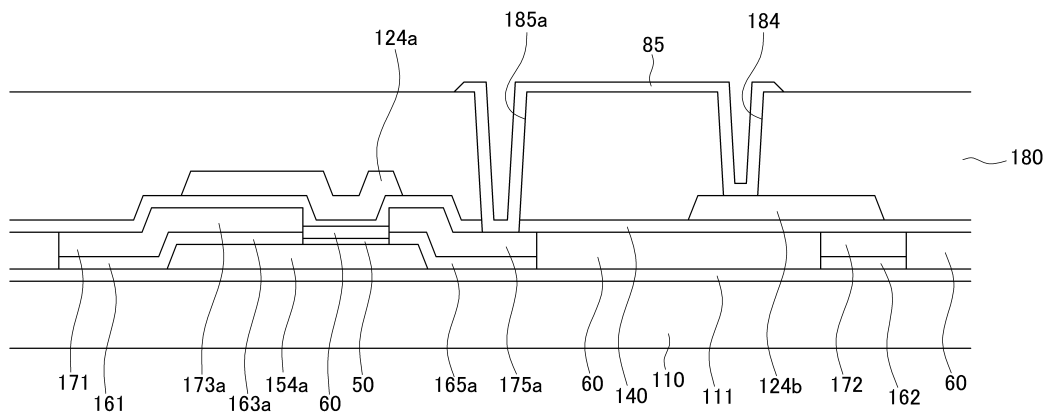
도면18



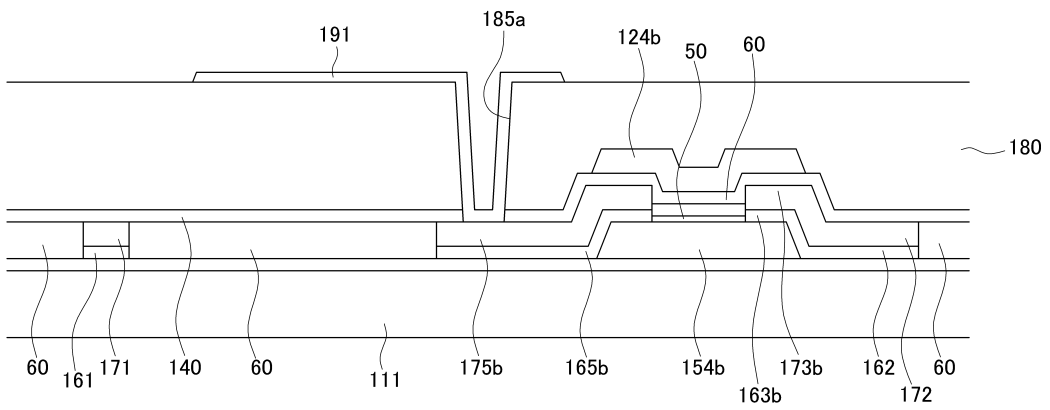
도면19



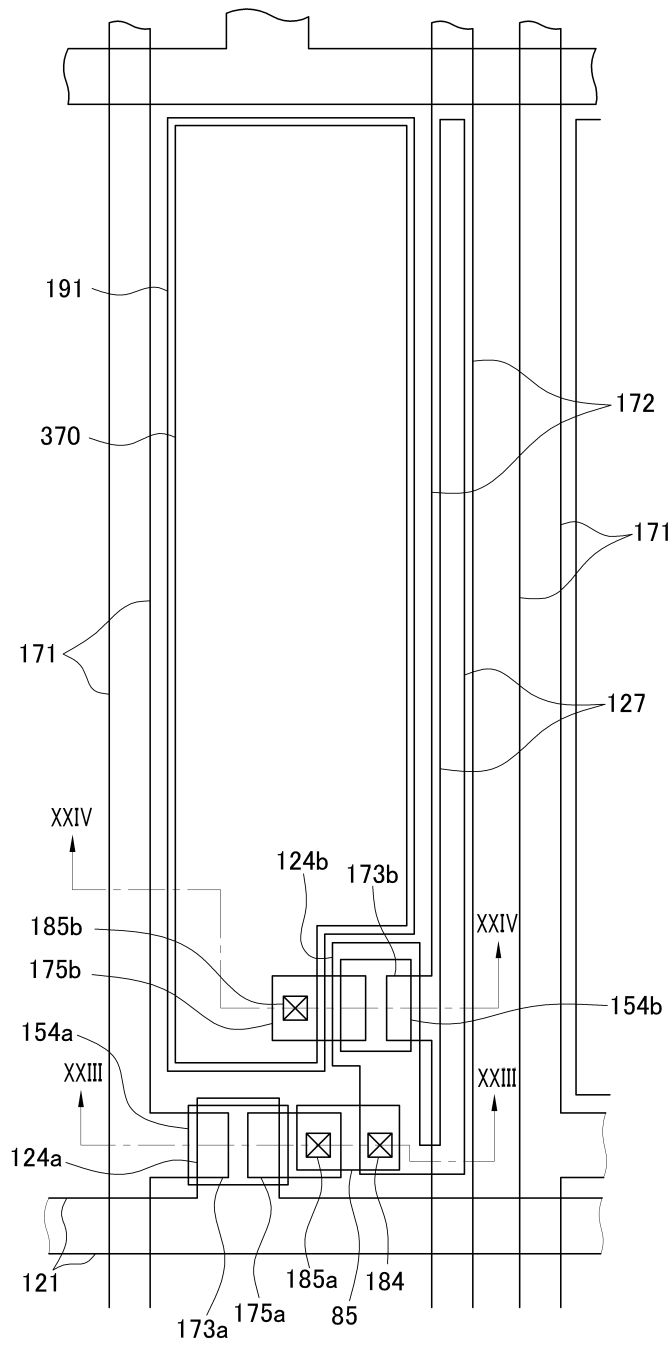
도면20



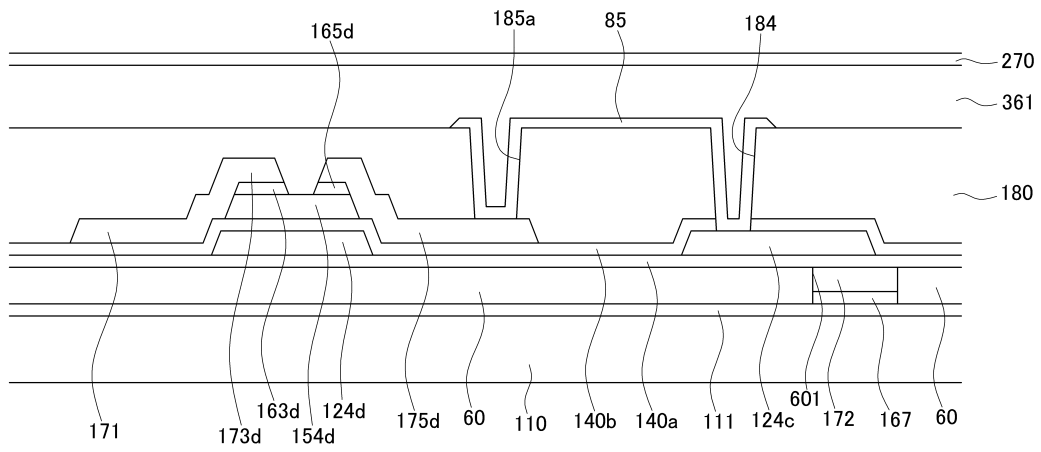
도면21



도면22



도면23



도면24

