

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸*H05B 33/26 (2006.01)**G09G 3/32 (2006.01)*

(11) 공개번호 10-2006-0002891

(43) 공개일자 2006년01월09일

(21) 출원번호 10-2005-7018413

(22) 출원일자 2005년09월29일

번역문 제출일자 2005년09월29일

(86) 국제출원번호 PCT/IB2004/000974

국제출원일자 2004년03월26일

(87) 국제공개번호 WO 2004/088627

국제공개일자 2004년10월14일

(30) 우선권주장 0307789.8 2003년04월04일 영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
네델란드왕국, 아인드호펜, 그로네보르스베그 1(72) 발명자 피쉬, 데이비드, 에이.
영국, 설레이 알에이치1 5에이치에이, 레드힐, 크로스 오크 라인, 필립스
인텔렉추얼 프로퍼티 앤 스탠다즈 내

(74) 대리인 문경진

심사청구 : 없음

(54) 전자발광 디스플레이 디바이스

요약

액티브 매트릭스 전자발광 디스플레이 디바이스에서, 전자발광 디스플레이 소자(20)의 조명을 제어하는 구동 트랜지스터(22)를 어드레스 지정하기 위해 사용될 전압을 저장하기 위해, 각 픽셀에 저장 커패시터(24)가 제공된다. 디스플레이 소자의 광 출력에 의존하는 전하 저장 커패시터를 방전시키기 위해, 방전 감광성 소자(34)가 제공된다. 픽셀의 디스플레이 소자(20)로부터의 것 외의 방전 감광성 소자로의 광 입력의 결과로서 방전 감광성 소자(34)에서 만들어진 광 전류를 상쇄하도록 또 다른 감광성 소자(40)가 제공되고, 이 추가 감광성 소자는 다른 방향으로부터의 광에는 노출되면서, 디스플레이 소자에 의해 방출된 광으로부터는 차단된다(44). 방전 감광성 소자로의 원치 않는 광 입력의 영향으로 인한 디스플레이 출력에서의 불규칙성은 이후 회피된다.

대표도

도 3

명세서

기술분야

본 발명은 전자발광 디스플레이 디바이스에 관한 것으로, 특히 광-방출 전자발광 디스플레이 소자와 박막 트랜지스터를 포함하는 픽셀의 배열을 가지는 액티브 매트릭스 디스플레이 디바이스에 관한 것이다. 좀더 구체적으로, 본 발명은 그 디바이스의 픽셀이 디스플레이 소자에 의해 방출된 광에 응답하고, 디스플레이 소자의 활성화(energisation)를 제어하는데 사용되는 광 감지 소자를 포함하는 액티브 매트릭스 전자발광 디스플레이 디바이스에 관한 것이다.

배경 기술

전자발광, 광-방출 디스플레이 소자를 이용하는 매트릭스 디스플레이 디바이스는 잘 알려져 있다. 디스플레이 소자는 일반적으로, 폴리머 물질(PLED)이나 그 밖에 발광 다이오드(LED)를 포함하는 유기 박막 전자발광 소자(OLED)를 포함한다. 이들 물질은 통상 한 쌍의 전극 사이에 끼워진 반전도성의 복합 폴리머의 하나 또는 그 이상의 층을 포함하고, 이러한 전극 중 하나는 투명하며, 나머지 하나는 홀(hole)이나 전자를 폴리머 층으로 주입하기에 적합한 물질로 되어 있다.

그러한 디스플레이 디바이스에서의 디스플레이 소자는 전류 구동되고, 종래의 아날로그 구동 방식은 제어 가능한 전류를 디스플레이 소자에 공급하는 것을 수반한다. 통상 전자발광(EL) 디스플레이 소자를 통과하는 전류를 결정하는 전류원 트랜지스터에 게이트 전압이 공급되는 전류원 트랜지스터가 픽셀 구성의 일 부분으로 제공된다. 저장 커패시터는 어드레스 지정 단계 이후에 게이트 전압을 유지한다. 그러한 픽셀 회로의 일 예가 EP-A-0717446호에 기술되어 있다.

그러므로 각 픽셀은 EL 디스플레이 소자와 연관된 구동기 회로를 포함한다. 구동기 회로는 행 도체 상의 행 어드레스 펄스에 의해 턴온되는 어드레스 트랜지스터를 가진다. 어드레스 트랜지스터가 턴온되면, 열 도체 상의 데이터 전압은 픽셀의 나머지 부분으로 옮겨질 수 있다. 특히, 어드레스 트랜지스터는 열 도체 전압을 구동 트랜지스터와 구동 트랜지스터의 게이트에 연결된 저장 커패시터를 포함하는 전류원에 공급한다. 열, 데이터 전압이 구동 트랜지스터의 게이트에 제공되고, 심지어는 행 어드레스 펄스가 끝난 후라도, 저장 커패시터에 의해 게이트는 이 전압으로 유지된다. 이 회로에서의 구동 트랜지스터는 p-채널 TFT로 구현되어, 저장 커패시터는 고정된 게이트-소스 전압을 유지한다. 이는 트랜지스터를 통과하는 고정된 소스-드레인 전류를 만들고, 따라서 픽셀의 원하는 전류원 동작을 제공한다.

상기 기본 픽셀 회로에서, LED 물질의 차별적인 노화, 성능저하는 디스플레이에 걸쳐 영상 품질의 변동을 일으킬 수 있다.

LED 물질의 노화를 보상할 수 있는 개선된 전압-어드레스 지정된 픽셀 회로가 제안되었다. 이들 회로는 디스플레이 소자의 광 출력에 응답하고, 그 광 출력에 응답하여 저장 커패시터 상의 저장된 전하를 누설하는 작용을 하는 광 감지 소자를 포함하여, 픽셀의 초기 어드레스 지정 후에 오는 구동 기간 동안 디스플레이 소자의 통합된 광 출력을 제어하게 된다. 이러한 타입의 픽셀 구성의 예는 WO 01/20591호와 EP 1096466호에 상세히 기술된다. 예시적인 일 실시예에서, 픽셀에 있는 광 다이오드는 저장 커패시터에 저장된 게이트 전압을 방전하고, EL 디스플레이 소자는 저장 커패시터가 방전을 멈추는, 구동 트랜지스터의 게이트 전압이 임계 전압에 도달할 때 방출을 중단한다. 광 다이오드로부터의 전하가 누설되는 속도는 디스플레이 소자 출력의 함수로, 광 다이오드는 광에 민감한 피드백 디바이스의 역할을 하게 된다.

이러한 장치를 가지고, EL 디스플레이 소자 효율과 노화 보상에 독립적인 디스플레이 소자로부터의 광 출력이 제공된다. 게다가, 픽셀 회로는 픽셀을 공급하는 전류 운반(carrying) 라인에서 일어날 수 있는 전압 강하의 영향을 보상할 수도 있다. 2002년 5월 SID 02 Digest 32.1에 D.A.Fish 등에 의해 실린 "액티브 매트릭스 폴리머/유기 LED 디스플레이에 관한 픽셀 회로의 비교"라는 제목의 논문에 대한 참조가 이루어진다.

주어진 구동 전류 레벨에 관한 픽셀로부터의 광 출력 레벨의 감소를 유도하는 다른 LED 노화 영향을 없앴으로써, 그러한 기술이 일정한 시간 주기에 걸쳐 비균일성을 덜 겪는 높은 품질의 디스플레이를 달성하는데 매우 효과적인 것으로 나타났지만, 픽셀 출력에 관련된 문제점은 여전히 겪을 수 있음이 발견되었다. 이들 문제점은 손상된 디스플레이 출력이나 픽셀 출력 휘도의 불규칙성의 형태일 수 있다.

발명의 상세한 설명

본 발명의 목적은 진술한 타입의 개선된 픽셀 회로를 제공하는 것이다.

본 발명의 일 양태에 따르면, 디스플레이 픽셀의 배열을 포함하는 액티브 매트릭스 전자발광 디스플레이 디바이스가 제공되고, 각 픽셀은

전자발광 디스플레이 소자;

상기 디스플레이 소자를 통과하는 전류를 구동하기 위한 구동 트랜지스터;

상기 구동 트랜지스터를 어드레스 지정하는데 사용될 전압을 저장하기 위한 저장 커패시터;

상기 디스플레이 소자의 광 출력에 따라 상기 저장 커패시터를 방전하기 위한 방전 감광성 소자; 및

다른 방향으로부터의 광에 노출되면서 상기 디스플레이 소자에 의해 방출된 광으로부터 가려지고, 상기 다른 방향으로부터의 광에 의해 상기 방전 감광성 소자(34)에서 만들어진 광전류를 상쇄(cancel)시키도록 연결되는 추가 감광성 소자를 포함한다.

알려진 픽셀 회로에서의 방전 감광성 소자는 EL 디스플레이 소자로부터 의도된 것 이외의 광 입력에 응답할 수 있고, 이는 저장 커패시터의 불필요한 방전을 야기하고, 그 결과 노화 영향에 원하는 보상을 제공하는 데 있어 픽셀 회로의 성능에 이롭지 못하게 영향을 미친다는 점이 인지되었다. 본 발명의 픽셀에서, 추가로 감광성 소자가 사용되어 이러한 원치 않는 광 입력을 감지하고 저장 커패시터를 방전할 때 그러한 방전 감광성 소자에 미치는 영향을 바로잡도록 배치함으로써, 방전 감광성 소자로의 이러한 원치 않는 광 입력의 영향을 없애게 된다. 이러한 원치 않는 광 입력은 예를 들어 광 누화의 형태로서 이웃하는 픽셀의 디스플레이 소자로부터 관련된 픽셀로 광이 들어가는 것 또는 외부 소스, 그 중에서도 특히 주변 광으로부터 픽셀로 광이 들어가는 경우일 수 있다.

본 발명은 추가 감광성 소자의 동작이, 방전 감광성 소자에서 일어날 수 있고 또한 알려진 픽셀 회로의 성능저하에 기여할 수 있는 누설 전류의 영향을 없애는 데 있어서도 유효할 수 있다는 추가 장점을 제공한다.

종래의 픽셀 회로에서와 같이, 구동 트랜지스터는 전원 라인과 디스플레이 소자 사이에 연결된다.

바람직한 일 실시예에서, 저장 커패시터는 전원 라인과 구동 트랜지스터의 게이트 사이에 연결되고, 방전 감광성 소자는 구동 트랜지스터의 게이트와 전원 라인 사이에 저장 커패시터와 병렬로 연결되며, 구동 트랜지스터의 게이트와 기준 전위, 예를 들어 접지 라인 사이에 추가 감광성 소자가 연결되고, 따라서 방전 감광성 소자와 추가 감광성 소자가 전원 라인과 기준 전위 라인 사이에 직렬로 연결된다. 이러한 배열에서, 양 감광성 소자 모두에 떨어지는 원치 않는 광에 의해 생성된 광 전류와 또한 이들 소자에서의 누설 전류가 전원으로부터 기준 전위(예를 들어 접지) 라인까지 흘러서, 저장 커패시터의 방전에 관여하지 않게 된다. 그러한 방전은 이후 그것과 연관된 디스플레이 소자로부터 받은 광자에 응답하여 방전 감광성 소자에서 만들어진 광 전류에 의해서만 결정된다.

한 행의 픽셀이 각 행 어드레스 도체를 거쳐 공급된 선택(게이팅) 신호에 의해 어드레스 지정 단계에서 선택되는 행으로 픽셀이 배열되는 경우, 종래의 디바이스와 같이, 픽셀의 한 행에 관한 기준 전위는 이웃하는 픽셀 행과 연관된 행 어드레스 도체에 의해 편리하게 제공될 수 있다. 종래의 구동 방식에서, 한 행의 픽셀에 관한 선택 어드레스 신호는, 통상적으로 배열에서의 픽셀의 행의 개수로 나눈 프레임 기간에 대응하는 비교적 짧은 행 어드레스 기간 동안 연관된 행 어드레스 도체에 인가되고, 나머지 프레임 기간 동안에는 행 어드레스 도체가 보통 통상 접지인 낮은 고정된 전위로 유지된다.

방전 감광성 소자와 추가 감광성 소자는 광 다이오드를 포함하는 것이 바람직하다. 다이오드-연결된 트랜지스터가 대신 이용될 수 있다. 비록 픽셀 회로 성능의 관점에서 덜 매력적일지라도 광 저항기와 같은 다른 종류의 감광성 소자가 사용되는 것도 예상된다.

종래의 디바이스에서와 같이, 각 픽셀은 입력 신호 라인과, 구동 트랜지스터의 게이트에 결합된 픽셀로의 입력 사이에 연결된 어드레스 트랜지스터를 더 포함할 수 있다. 그러므로 종래의 전압 어드레스 지정된 전류원 픽셀이 구현될 수 있다. 하지만, 본 발명은 전류 미러 픽셀 회로를 사용하는 것과 같이, 전류 어드레스 지정된 픽셀을 가지고 대안적으로 사용될 수 있다.

구조에 있어, 디스플레이 디바이스는 픽셀 구동 트랜지스터, 저장 커패시터, 감광성 소자 및 연관된 어드레스 지정 라인을 포함하는 액티브 매트릭스 픽셀 회로가 운반되고, 액티브 매트릭스 회로 위에 놓인 디스플레이 소자의 전자발광 층을 구비한 기판을 포함하는 것이 바람직하다. 어떤 픽셀의 감광성 소자는 바람직하게 서로 가깝게 배치되어, 픽셀에서 전자발광 층으로부터의 직접적인 것보다는 유사한 광 입력을 겪게 된다. 예시적인 일 실시예에서, 디스플레이 소자는 전자발광 층과 액티브 매트릭스 회로 사이에 투명한 전극 층을 포함하고, 추가 감광성 소자와 위에 놓인 전자발광 층 사이의 각 픽셀에는, 감광성 소자로부터 바로 나온 광이 추가 감광성 소자에 도달하는 것을 방지하기 위해, 광 차단막이 배열된다. 이러한 형태의 구조는 본 발명의 디바이스의 제작을 복잡하게 하지 않고, 최소한의 비용으로 즉시 달성될 수 있다.

이제 본 발명에 따른 액티브 매트릭스 전자발광(EL) 디스플레이 디바이스의 실시예를, 예를 통해서 첨부 도면을 참조하여 설명한다.

도면의 간단한 설명

도 1은 본 발명에 따른 액티브 매트릭스 EL 디스플레이 디바이스의 일 실시예의 단순화된 개략도.

도 2는 알려진 형태의 픽셀의 등가 회로를 도시하는 도면.

도 3은 도 1의 디바이스에서 전형적인 픽셀의 등가 회로를 도시하는 도면.

도 4는 도 1의 디바이스 픽셀의 개략 단면도.

도 5는 본 발명에 따른 디스플레이 디바이스의 또 다른 실시예에서의 픽셀의 개략 단면도.

도 6과 도 7은 본 발명에 따른 픽셀 회로의 추가 예를 도시하는 도면.

실시예

전체 도면에 걸쳐, 동일하거나 유사한 부분을 나타내기 위해, 동일한 참조 번호가 사용된다. 전체 도면은 단지 개략적인 것이고 축척에 맞춰 작성되지 않음이 인식될 것이다. 특히, 부분의 상대적인 크기와 비율은 명료성을 위해 과장되거나 감소되어 도시될 수 있다.

도 1을 참조하면, 액티브 매트릭스 EL 디스플레이 디바이스는 블록(10)으로 표시된, 규칙적으로 간격을 두고 배치된 픽셀의 행과 열 매트릭스 배열을 가지는 패널을 포함하고, 각 픽셀은 EL 디스플레이 소자(20)와 디스플레이 소자를 통과하는 전류를 제어하는 연관된 구동 회로를 포함하며, 행(선택) 및 열(데이터) 어드레스 도체, 즉 라인 12와 라인 14의 교차하는 세트들 사이의 교차부에 위치한다. 단지 소수의 픽셀만이 단순화를 위해 도시되어 있다. 픽셀(10)은 각각의 도체 세트의 끝에 연결된 행, 스캐닝, 구동기 회로(16)와, 열, 데이터, 구동기 회로(18)를 포함하는 주변 구동 회로에 의해, 어드레스 도체의 세트를 거쳐 어드레스 지정된다.

픽셀의 각 행은 회로(16)에 의해 관련 행 도체(12)에 인가된 선택 펄스 신호에 의해 프레임 기간에 번갈아 어드레스 지정되어, 각 데이터 신호를 가지고 행의 픽셀을 프로그래밍하여, 열 도체(14)에 회로(18)에 의해 병렬로 공급된 각 데이터 신호에 따라, 어드레스 기간 다음에 오는 프레임 기간에 그들의 개별 디스플레이 출력을 결정하게 된다. 각 행이 어드레스 지정됨에 따라, 회로(18)에 의해 적절하게 동기화되어 데이터 신호가 공급된다.

각 픽셀의 EL 디스플레이 소자(20)는 본 명세서에서 다이오드 소자(LED)로 나타나고, 유기 전자발광 광-방출 물질의 하나 또는 그 이상의 액티브 층이 사이에 끼는 한 쌍의 전극을 포함하는 유기 발광 다이오드를 포함한다. 이 특정 실시예에서, 비록 낮은 분자 중량을 가지는 물질과 같은 다른 유기 전자발광 물질이 사용될 수 있지만, 이러한 물질은 폴리머 LED 물질을 포함한다. 배열의 디스플레이 소자는 절연 기판의 표면에서 그것들과 연관된 액티브 매트릭스 회로와 함께 운반된다. 그러한 기판은 유리와 같은 투명한 물질로 되어 있고, 디스플레이 소자(20)의 캐소드나 애노드는 ITO와 같은 투명한 도전성 물질로 형성되어, 전자발광 층에 의해 생성된 광은 이들 전극을 투과한다. EL 물질용으로 사용될 수 있는 적절한 유기 복합 폴리머 물질의 전형적인 예는 WO 96/36959호에 기술되어 있다. 다른, 낮은 분자 중량을 가진 유기 물질의 전형적인 예는 EP-A-0717446호에 기술되어 있다.

각 픽셀(10)은 여기서는 픽셀에 인가된 데이터 신호 전압에 기초하여 디스플레이 소자(20)를 통과하는 전류를 제어하는 책임을 지는 낮은 온도의 폴리실리콘 TFT(박막 트랜지스터)의 형태로 되어 있는 구동 트랜지스터를 포함하는 구동 회로를 포함한다. 픽셀용 데이터 신호 전압은 픽셀의 각 열에 의해 공유되는 열 도체(14)를 거쳐 공급된다. 열 도체(14)는 픽셀 구동 회로에서 어드레스 TFT를 통해 전류를 제어하는 구동 TFT의 게이트에 결합되고, 행 픽셀의 어드레스 TFT용 게이트는 모두 각각의 공통, 행 어드레스 도체(12)에 연결된다.

도 1에는 도시되지 않았지만, 픽셀(10)의 각 행은 또한 종래의 방식으로 미리 결정된 전위로 유지되고, 보통 모든 픽셀에 공통인 연속 전극으로 제공되는 공통 전압 공급 라인과 각각의 공통 전류 라인을 공유한다. 디스플레이 소자(20)와 구동 TFT는 전압 공급 라인과 공통 전류 라인 사이에 직렬로 연결된다. 전압 공급 라인은 예를 들어 접지 전위에 있을 수 있고, 공통 전류 라인은 양의 전위 부근, 예를 들어 12V에 있을 수 있다.

도 2는 예를 들어 WO 01/20591호에 기술된 바와 같은 픽셀 회로의 알려진 형태를 도시한다. 본 명세서에서 구동 TFT와 어드레스 TFT는 각각 22과 26으로 표시되고, 전압 공급 라인과 전류 공급 라인은 각각 30과 32로 표시된다. 어드레스 TFT(26)가 행 도체(12)에 인가된 선택(게이팅) 펄스 신호에 의해 각 행 어드레스 기간에서 턴온되면, 열 도체(14) 상의 데이터 신호를 형성하는 전압이 나머지 픽셀로 옮겨갈 수 있다. 특히, TFT(26)는 구동 TFT(22)와 TFT(22)의 게이트와 전류 공급 라인(32) 사이에 연결된 저장 커패시터(24)를 포함하는 전류원 회로(25)에 열 도체 전압을 공급한다. TFT(22)의 게이트에 열 전압이 제공되고, 게이트는 이 전압으로 유지되어, 심지어는 행 어드레스 기간의 끝에서 어드레스 TFT(26)가 턴오프된 후에도 이 전압은 저장 커패시터(24)에 의해 저장된 제어 값을 구성하게 된다. 구동 TFT(22)는 본 명세서에서 P-채널 TFT로서 구현되고, 커패시터(24)는 게이트-소스 전압을 유지한다. 이는 TFT(22)를 통과하는 고정된 소스-드레인 전류를 만들고, 따라서 픽셀의 원하는 전류원 동작을 제공한다. 디스플레이 소자(20)를 통과하는 전류는 구동 TFT(22)에 의해 조정되고, TFT(22)의 게이트 전압의 함수이며, 이는 열 전압, 데이터, 신호에 의해 결정된 저장된 제어 값에 의존한다. 행 어드레스 기간의 끝에서, 어드레스 트랜지스터(26)는 턴오프되고, 저장 커패시터(24)가 가지고 있는 전압은 픽셀이 다음 프레임 기간에 다시 어드레스 지정되기 전에, 후속 구동 기간 동안 디스플레이 소자의 동작을 유지시킨다.

그러므로 TFT(22)의 게이트와 공통 전류 라인(32) 사이의 전압은 디스플레이 소자(20)를 통과하는 전류를 결정하고, 번갈아 픽셀의 순시 광 출력 레벨을 제어한다.

픽셀의 각 행은 이러한 식으로 그들 각각의 데이터 신호로 차례대로 픽셀의 각 행을 로딩하고, 그들이 다음 어드레스 지정될 때까지, 대략 프레임 기간에 대응하는 후속 구동 기간 동안 원하는 디스플레이 출력을 제공하도록 픽셀을 설정하기 위해 각각의 행 어드레스 기간에서 번갈아 어드레스 지정된다.

픽셀 회로는 방전 광 다이오드(34)의 형태로 된 감광성 소자를 또한 포함하고, 이러한 방전 광 다이오드(34)는 역 바이어스되고 디스플레이 소자(20)에 의해 방출된 광에 반응하며, 감광성 소자에서 생성된 광 전류를 통해 소자(20)에 의해 방출된 광에 따라 저장 커패시터(24)에 저장된 전하를 감쇠시키는 작용을 하여 관련된 행 어드레스 기간 다음에 오는 나머지 프레임 기간 동안 디스플레이 소자의 통합된, 총 광 출력을 제어하게 된다. TFT(22)의 라인(32)과 게이트 노드에 각각 연결되는 캐소드와 애노드를 가진 광 다이오드(34)는 커패시터(24)에 저장된 게이트 전압을 방전하고, TFT(22) 상의 게이트 전압이 TFT의 임계 전압에 도달하게 되면 디스플레이 소자(20)는 더 이상 광을 방출하지 않게 된다. 전하가 광 다이오드(34)로부터 누설되는 속도는 디스플레이 소자 광 출력 레벨의 함수가 되어, 광 다이오드(34)는 감광성 피드백 디바이스의 역할을 하게 된다.

도 2에 도시된 바와 같이, 고립된 TFT(36)는 구동 TFT(22)와 LED 소자(20) 사이에 직렬로 필요에 따라 연결될 수 있고, TFT(36)의 게이트는 행 어드레스 라인(12)에 연결된다. TFT(36)는 소자(20)를 전류가 통과하는 것을 방지하도록, 어드레스 TFT(26)로의 보상 방식으로 동작하는 n-채널 디바이스인데 반해, 픽셀은 행 어드레스 기간에 프로그래밍된다. 행 어드레스 기간의 끝과, TFT(26)의 턴오프 시간, TFT(36)는 소자(20)를 통해 전류가 흐를 수 있도록 즉시 턴온된다. TFT(36)의 동작은 행 어드레스 지정 동안에 라인(32)을 따라 일어나는 전압 강하를 방지한다.

디스플레이 소자 노화의 성능저하 영향을 보상하기 위해 이 경우 광 다이오드 피드백 장치가 사용되고, 이로 인해 주어진 구동 전류에 관해 만들어진 광 출력 레벨 측면에서 동작의 효율성이 줄어든다. 그러한 성능저하를 통해 더 길게 그리고 격렬하게 구동된 디스플레이 소자는 휘도가 감소하게 되어 디스플레이가 불균일하게 된다. 광 다이오드 장치는 구동 기간에 디스플레이 소자로부터의 통합된, 총 광 출력을 적절히 제어함으로써, 이들 영향을 없앤다. 어드레스 지정 기간 다음에 오는 구동 기간 동안에 광을 생성하기 위해 디스플레이 소자에 에너지가 공급되는 시간 길이는, 인가된 데이터 신호의 레벨 뿐만 아니라 디스플레이 소자의 기존의 구동 전류 광 방출 레벨 특징에 따라 조정되어, 성능저하의 영향은 감소한다. 성능저하된 더 어두워진 디스플레이 소자는 성능저하되지 않은 더 밝은 디스플레이 소자에 관한 것보다 긴 기간 동안에 디스플레이 소자에 에너지를 공급하는 픽셀 구동 회로를 만들게 되어, 디바이스 동작의 연장된 시간 기간에 걸쳐 평균 휘도는 동일하게 유지될 수 있다.

하지만, 이러한 회로 동작의 유효성은 연관된 디스플레이 소자(20) 이외의 소스로부터의 광 다이오드(34)에 떨어지는 광에 의해 감소하는 것으로 발견되었다. 이러한 원치 않는 광은, 예를 들어 이웃하는 픽셀에 의해 방출되고 픽셀 배열 구조에서 내부적으로 반사된 광 또는 주변 광을 포함하는 외부 소스로부터 발산되는 광일 수 있다. 게다가, 광 다이오드(34)는 불가피 하게 픽셀 성능을 저하시키는 경향을 또한 가지는 고유 누설 전류를 가진다.

도 3은 도 1의 디바이스에서의 전형적인 픽셀의 회로를 도시한다. 이 회로에서, 원치 않는 광 입력에 의해 만들어진 광 전류를 바로잡기 위해 보상 감광성 소자가 포함된다.

이러한 추가적인 감광성 소자는, 픽셀의 디스플레이 소자로부터 직접적으로 오는 광으로부터 고의로 차단되지만, 그렇지 않으면 잠재적인 광원에 노출되어, 방전 감광성 소자(34)와 동일한 방식으로 원치 않는 광에 의해 영향을 받게 된다. 그러므로 이러한 추가 감광성 소자는, 저장 커패시터(24)에서의 전하를 감쇠시키는 데 있어 방전 감광성 소자(34)의 원하는 동작에 대한 것과 같은 영향을 없애거나 상쇄시키기 위해 사용될 수 있는 원치 않는 광 입력의 수단을 제공한다. 이는 피드백 장치가 대체로 의도된 바와 같이, 즉 디스플레이 소자(20)로부터의 광 입력에만 응답하여 행동하는 것을 보장한다.

도 3을 참조하면, 이러한 추가 감광성 소자는 라인(32)과 기준 전위 소스 사이의 방전 광 다이오드(34)와 직렬로, 연결된 그리고 유사한 극성을 가지는 제 2 광 다이오드(40)의 형태로 제공되어, 원치 않는 광으로 인한 광 전류가 상쇄된다. 이를 위해, 광 다이오드(40)의 캐소드 쪽이 TFT(22)의 게이트 노드에 대응하는 광 다이오드(34)의 애노드 쪽에 연결되고, 광 다이오드(34)의 애노드 쪽은 라인(32)에 관해 미리 결정된 음의 기준 전위, 여기서는 접지 전위에서 라인(42)에 연결된다. 광 다이오드(40)는 광 차단 층(44)에 의해 디스플레이 소자(20)로부터 직접적으로 발산하는 광으로부터 물리적으로 차단되고, 광 다이오드(34)에 가깝게 배치되어, 소자(20)로부터의 광과는 별도로, 다른 소스로부터의 유사한 광 입력을 경험하게 된다. 이러한 회로 장치의 동작에 있어, 원치 않는 광 입력으로 인한, 광 다이오드(34, 40)에서 생성된 광 전류와, 또한 광 다이오드에서의 누설 전류가 전원 라인(32)으로부터 접지까지 흐르고, 따라서 저장 커패시터(24)의 방전에 관여하지 않게 된다. 그러므로 광 다이오드(34)에 떨어지는 픽셀에서의 디스플레이 소자(20)로부터의 광에 의해 생성된 광 전류만이, 구동 기간 동안에 동작할 때 저장 커패시터(24)를 방전하는 역할을 하게 된다.

기준 전위 라인(42)은 동일한 행에서의 모든 픽셀에 의해 공유되고, 실제로는 전용 보조 라인으로 제공되기보다는 픽셀의 이웃하는 행과 연관된 행 어드레스 도체(12)로 편리하게 구성될 수 있다. 하지만, 이를 위해서는, TFT(26, 36)가 각각 n 채널과 p 채널 타입으로 만들어진다. 각 행 어드레스 도체(12)는, 행 어드레스 기간을 제외한 전체 프레임 기간 동안, 접지되거나 비교적 낮은 전위 레벨로 유지됨을 인식할 것이다.

대안적으로, 광 다이오드(40)의 애노드 쪽은 라인(30)(공통 캐소드 전극)에 연결될 수 있다.

이제 본 디바이스의 구조 예를, 픽셀로부터의 광 출력이 픽셀을 운반하는 유리 기판을 통해 얻어지는 하부 방출 디바이스와, 광 출력이 기판으로부터 멀리 반대 방향으로 이루어지는 상부 방출 디바이스의 경우에서의 개별 픽셀에서의 매우 개략적인 단면을 보여주는 도 4와 도 5를 참조하여 설명한다.

두 가지 경우 모두, 당업자에게 명백한 알려진 기술을 사용하여 액티브 매트릭스 회로와 LED 소자가 제작되는 기판(50)을 디바이스가 포함한다. 본 명세서에서, 픽셀 TFT, 광 다이오드, 커패시터, 어드레스 도체, 및 전압 라인을 포함하는 액티브 매트릭스 회로는 일반적으로 54로 표시되고, 알려진 형태의 다층 구조를 포함하는 LED 소자(20)의 구조는 55로 표시된다. LED 구조는 픽셀 배열 위에서 연장하고 모든 픽셀에 공통인 캐소드 층(56)을 포함한다. 도 4의 하부 방출 디바이스에서는 불투명한 광 전도성 물질을 포함하고, 도 5의 상부 방출 디바이스에서는 광학적으로 투명한 전도성 물질을 포함한다. 기판(50)은, 비록 하부 방출 구조에서는 투과성 폴리머와 같은 다른 적절한 투명한 물질이 사용될 수 있지만 유리일 수 있고, 상부 방출 구조에서는 절연 층에 의해 덮여진 금속 박과 같은 투명하지 않은 물질이 사용될 수 있다.

광 다이오드(34, 40)는 픽셀에 의해 점유된 영역 내에서 서로 물리적으로 가깝게 이웃하도록 배열되고, 여기서 그 경계는 점선(A, B)으로 표시되어 있다. 이들 광 다이오드는 n 타입 층이 맨 위에 있는 p 타입, i 타입, 및 n 타입 비결정 실리콘 하위층을 포함하는 구조를 가지는 비결정 실리콘 p, i, n 디바이스로서 형성된다.

도 4와 도 5에 도시된 다양한 화살표에 관해서, 화살표 OP는 생성된 디스플레이 이미지에 기여하는 LED 소자로부터의 디스플레이 광 출력을 나타내고, 화살표 C는 누화 광, 즉 중요한 픽셀 이외의 임의의 픽셀로부터의 누화 광의 가능한 소스를 나타내며, 화살표 E는 디바이스에 떨어지는 외부 주변 광을 나타내고, 화살표 P는 광 다이오드(34) 상으로 신중하게 방향을 향하는 픽셀의 LED 소자(20)로부터의 광을 나타낸다.

도 4의 구조에서, 광이 LED 소자(20)로부터 광 다이오드(40)로 바로 떨어지는 것을 방지하는 역할을 하는 광 차단 층(44)이, LED 소자 구조의 광 방출 층과 광 다이오드 사이의 광 다이오드(40) 위에 금속과 같은 불투명한 광 층의 형태로 제공된다. 이러한 금속 층은 광 다이오드(40)의 상부 접촉 부를 포함하거나 광 다이오드 접촉 층에 추가될 수 있다. 여기서 35로 참조 번호가 표시된 광 다이오드(34)의 상부 접촉 층은 ITO와 같은 투명한 전도성 층을 포함한다. 그러므로 광 다이오드(34, 40)는 둘 다 화살표 C와 E로 표시된 누화 와 외부 광 입력을 겪게 되지만, 광 다이오드(34)만이 LED 소자(20)로부터의 직접적인 광을 겪게 된다. 다른 소스로부터의 광은 광 다이오드(34, 40)에 모두 공통이고, 그러한 각각의 광 다이오드의 레벨은 그것들의 비교적 작은 크기와 서로 가까운 근접성의 결과 사실상 동일하다.

유사한 광 차단 층(44)이 도 5의 구조에서 사용된다. 이 경우, 광다이오드(34)의 외부 표면을 들어오는 외부 광(E)으로부터 차단하기 위해, 광 다이오드(34) 위에 놓이면서, LED 소자의 광 방출 층으로부터 광이 직접적으로 그 광 다이오드에 떨어지는 것을 허용하는 캐소드 층(56)의 외부 표면에 배열되는 추가 광 차폐물(58)이 제공된다. 광 다이오드를 위한 추가 차단을 제공할 뿐만 아니라 광 다이오드(40) 위에서 연장될 수 있는 이러한 차폐물(58)은 이러한 구조에서 광 다이오드(40)가 차폐물(44)로 인해 화살표(E)의 방향으로 오는 광을 수신하지 않기 때문에 필요하다.

도 5의 구조에서 유리 기판(50)의 외부 표면은, 기판(50)을 통해 임의의 원치 않는 광이 구조로 들어가는 것을 방지하기 위해, 불투명한 광(light opaque) 차단 층으로 덮여질 수 있다. 이러한 층은 이후 도 4의 구조에서 불투명한 광 캐소드 층(56)과 유사한 기능을 수행한다.

어드레스 도체나 전압 라인과 같은 전도성 소자를 한정하기 위해 액티브 매트릭스 회로의 제작시 사용되는 금속 층이, 적절한 패터닝에 의해 편리하게 이용될 수 있어, 추가 구역을 한정하고 또한 광 차단 층(44)을 형성하여, 추가 금속 층의 배치 과정에 대한 필요성을 회피하게 된다. 외부 광 차단 층(58)은 적절히 패터닝된 금속이나, 캐소드 층(56) 위에 배치된 다른 불투명한 광 층을 포함할 수 있으며 액티브 매트릭스 액정 디스플레이 디바이스에 흔히 사용되는 블랙(black) 매트릭스 층과 유사한 형태를 취할 수 있다.

도 3에 예시된 픽셀 회로는 바람직한 예로, 광 다이오드(40)에 관한 다른 회로 장치가 사용될 수 있는 것도 생각할 수 있다.

게다가, 광 다이오드 외에 광 전도체나 광 저항기와 같은 감광성 소자가 사용되는 것도 생각할 수 있다. 그래도 광 다이오드가 픽셀 회로의 원하는 동작에서 가장 효과적일 것이다.

사용될 수 있는 다른 픽셀 회로의 예가 도 6과 도 7에 예시되어 있다.

도 6의 픽셀 회로에서는 다이오드-연결된 TFT(62, 63)가 광 다이오드(34, 40)를 대체하기 위해 사용되고, TFT(62, 63)는 각각 n-채널 타입 디바이스와 p-채널 타입 디바이스이며, 이들의 게이트는 각각 라인(32, 42)에 연결된다. TFT(62, 63)는 여기서 사실상 동일한 누설 전류를 나타내고, 그들의 공통 광 입력에 응답하여 사실상 동일한 광 전류를 생성하도록 크기가 정해진다.

도 7의 픽셀 회로는, 회로가 광 다이오드(34, 40) 사이의 노드에 연결된 커패시터(24) 쪽과 TFT(22)의 게이트 사이에 연결된 추가 커패시터(70)와, TFT(22)의 게이트와 소스 전극 사이에 연결된 추가 TFT(72)를 더 포함한다는 점을 제외하고는 도 3의 픽셀 회로와 유사하다. 이 회로에서, 이 배열에서의 TFT(22)의 임계 전압 레벨의 변동에 관한 자동 보상이 달성된다. 커패시터(24)는 TFT(22)의 원하는 소스-게이트 전압을 저장하지 않지만, 대신 입력 구동 전압을 저장하고, 직렬 연결된 커패시터(70)는 TFT(22)의 임계 전압 레벨에 의존하는 TFT(22)의 게이트와 커패시터(24) 사이의 전압 이동을 제공한다. 커패시터(70)는 이러한 임계 전압을, TFT(22)의 전류를 사용하는 임계 전압으로 커패시터(70)를 충전시키도록 동작 가능한 TFT(72)에 의해 저장한다. 이에 관한 픽셀 회로의 동작은 참조가 요청되는 영국 특허 출원 No.0220614.2(PHGB 020146)호에 좀더 완전히 기술되어 있다.

전술한 픽셀 회로는 모두 전압 어드레스 지정된 픽셀의 예이다. 본 발명은 또한 예를 들어 전류 미러를 사용하는 알려진 전류 어드레스 지정된 픽셀 구현을 가지고 사용될 수 있다.

추가 예로서, 도 3의 픽셀 회로는 라인(32)과 TFT(22)의 게이트 사이의 저장 커패시터(24)와 병렬로 연결된 추가적인 p 타입 TFT를 포함하도록 수정될 수 있고, 이러한 TFT의 게이트는 LED 소자(20)의 애노드와 TFT(22)의 소스 전극 사이의 노드에 연결된다. 이러한 추가 TFT의 동작은 TFT(22)와 LED 소자(20) 사이의 애노드에서의 전압의 의존하고, 전압이

LED 소자의 구동 전류/광 출력 레벨이 미리 결정된 낮은 레벨에 도달함을 나타내는 추가 TFT의 임계 레벨을 달성할 때, TFT가 저장 커패시터(24)를 급속히 방전하도록 스위칭 온되어, 광 출력을 줄이기 위해 구동 TFT(22)를 갑작스럽게 턴오프시킨다. 이는 WO 01/20591호에 기술된 바와 같이, 픽셀의 광 출력의 좀더 정밀한 제어를 가능하게 한다.

픽셀 회로의 또 다른 실시예에서, 영국 특허 출원 0305632.2호(PHGB 030025)에 기술된 바와 같이, 구동 TFT의 게이트 전압과 인가된 데이터 신호의 레벨에 따른 전하를 각각 저장하기 위해, 분리된 제 1 및 제 2 저장 커패시터가 사용될 수 있다. 이 회로에서, 제 1 저장 커패시터는 추가 TFT에 의해 어드레스 단계에서 미리 결정될 레벨까지 충전되고, 제 2 저장 커패시터는 어드레스 지정 TFT를 통해 충전된다. 제 2 저장 커패시터는 제 1 저장 커패시터 양단에 연결된 방전 TFT의 게이트에 연결되고, 이러한 제 2 저장 커패시터의 전하는 방전 TFT의 동작을 제어하는데 사용된다. 픽셀의 디스플레이 소자로부터의 광 출력에 응답하는 피드백 광 다이오드는, 방전 TFT의 게이트에서의 전압이 방전 TFT가 제 1 저장 커패시터를 신속하게 방전하기 위해 턴온되고, 따라서 디스플레이 소자에 연결된 구동 TFT를 턴오프시키는 임계점에 도달할 때까지 방출된 광량에 따라, 제 2 저장 커패시터를 충전 또는 방전시킨다. 본 발명에 따르면, 픽셀 회로는 제 2 저장 커패시터의 양단에 연결되고, 픽셀의 디스플레이 소자로부터의 것 외의 광 입력에 응답하여, 피드백 광 다이오드 상의 이들 다른 광 입력의 영향을 상쇄시키는 광 다이오드와 같은 추가 감광성 소자를 포함하도록 수정된다. 그러므로 이 회로에서 피드백 광 다이오드는 구동 TFT의 게이트 전압을 저장하는 저장 커패시터에 직접적으로 연결되지 않지만, 제 2 저장 커패시터를 충전 또는 방전시키는 것에 대한 영향, 따라서 방전 TFT의 동작을 통해 픽셀의 광 출력에 따른 제 1 저장 커패시터를 방전시키는 데 있어 유사한 기능을 수행하는 역할을 하는 것으로 인식된다.

본 명세서를 읽음으로써, 다른 수정안도 당업자에게는 분명하게 될 것이다. 그러한 수정안은 액티브 매트릭스 전자발광 디스플레이 디바이스와 그 구성 요소 부품 분야에 공지되어 있고, 본 명세서에 이미 기술된 특징 대신 또는 본 명세서에 이미 기술된 특징에 더하여 사용될 수 있는 다른 특징을 수반할 수 있다.

산업상 이용 가능성

본 발명은 광-방출 전자발광 디스플레이 소자와 박막 트랜지스터를 포함하는 픽셀의 배열을 가지는 액티브 매트릭스 디스플레이 디바이스를 포함하여, 픽셀이 디스플레이 소자에 의해 방출된 광에 응답하고, 디스플레이 소자의 활성화(energisation)를 제어하는데 사용되는 광 감지 소자를 포함하는 액티브 매트릭스 전자발광 디스플레이 디바이스에 이용 가능하다.

(57) 청구의 범위

청구항 1.

픽셀(10)의 배열을 포함하는 액티브 매트릭스 전자발광 디스플레이 디바이스로서, 각 픽셀은

전자발광 디스플레이 소자(20);

상기 디스플레이 소자를 통과하는 전류를 구동하기 위한 구동 트랜지스터(22);

상기 구동 트랜지스터를 어드레스 지정하는데 사용될 전압을 저장하기 위한 저장 커패시터(24);

상기 디스플레이 소자의 광 출력에 따라 상기 저장 커패시터를 방전하기 위한 방전 감광성 소자(34); 및

다른 방향으로부터의 광에 노출되면서 상기 디스플레이 소자(20)에 의해 방출된 광으로부터 가려지고, 상기 다른 방향으로부터의 광에 의해 상기 방전 감광성 소자(34)에서 만들어진 광전류를 상쇄시키도록 연결되는 추가 감광성 소자(40)를 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 2.

제 1항에 있어서, 상기 구동 트랜지스터(22)는 전원 라인(32)과 상기 디스플레이 소자 사이에 연결되는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 3.

제 2항에 있어서, 상기 방전 감광성 소자(34)는 상기 전원 라인(32)과 상기 구동 트랜지스터의 게이트 사이에 상기 저장 커패시터(24)와 병렬로 연결되고, 상기 추가 감광성 소자(40)는 상기 구동 트랜지스터의 게이트와 기준 전위(42) 사이의 상기 방전 감광성 소자와 직렬로 연결되는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 4.

제 3항에 있어서, 상기 기준 전위는 다른 픽셀에 의해 공유되는 기준 전위 라인(42)에 의해 제공되는, 픽셀의 배열을 포함하는 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 5.

제 4항에 있어서, 상기 픽셀(10)은, 픽셀의 각 행이 각각의 행 어드레스 도체(12)를 가지고 상기 행 어드레스 도체(12)를 통해 픽셀의 행이 행 어드레스 단계에서 선택되는, 행과 열로 배열되고, 한 행의 픽셀은 각각의 기준 전위 라인(42)을 공유하며, 한 행의 픽셀과 연관된 상기 기준 전위 라인은 픽셀의 이웃하는 행과 연관된 행 어드레스 도체(12)를 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 6.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 방전 감광성 소자(34)와 상기 추가 감광성 소자(40)는 광 다이오드를 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 7.

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 방전 감광성 소자와 상기 추가 감광성 소자는 다이오드-연결된 트랜지스터를 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 8.

제 1항 내지 제 7항 중 어느 한 항에 있어서, 상기 픽셀은 상기 저장 커패시터(24)와 상기 구동 트랜지스터(22)의 게이트 사이의 노드에 결합된 픽셀의 입력과, 입력 신호 라인(14) 사이에 연결된 어드레스 트랜지스터(26)를 더 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 9.

제 1항 내지 제 8항 중 어느 한 항에 있어서, 상기 디바이스는 기판(50)과, 상기 픽셀 구동 트랜지스터, 저장 커패시터, 및 상기 기판 위에 놓인 감광성 소자를 포함하는 액티브 매트릭스 회로(54)를 포함하고, 상기 픽셀 디스플레이 소자는 상기 액티브 매트릭스 회로 위에 놓인 전자발광 층(55)을 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 10.

제 9항에 있어서, 각 픽셀에서의 상기 방전 감광성 소자(34)와 상기 추가 감광성 소자(40)는 서로 가깝게 배열되는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 11.

제 9항 또는 제 10항에 있어서, 상기 픽셀 디스플레이 소자는 상기 전자발광 층과 상기 액티브 매트릭스 회로 사이의 투명한 전도성 전극 층(35)을 포함하고, 상기 추가 감광성 소자를 상기 전자발광 층에서 직접 나오는 광으로부터 직접 가리기 위해 상기 추가 감광성 소자(40)와 상기 위에 놓인 전자발광 층 사이의 각 픽셀에 광 차단 층(44)이 배열되며, 상기 방전 감광성 소자(34)는 상기 위에 놓인 전자발광 층에서 생성된 광에 노출되는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 12.

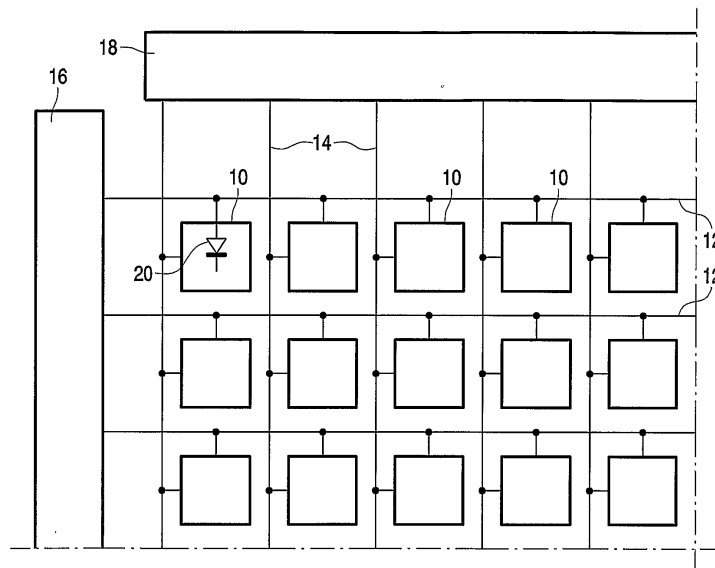
제 11항에 있어서, 상기 픽셀 디스플레이 소자는 상기 액티브 매트릭스 회로로부터 멀리 떨어진 상기 전자발광 층의 측면에서 불투명한 광 전극 층(56)을 포함하는, 액티브 매트릭스 전자발광 디스플레이 디바이스.

청구항 13.

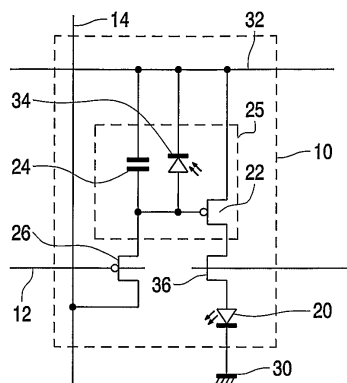
제 11항에 있어서, 상기 픽셀 디스플레이 소자는 상기 액티브 매트릭스 회로로부터 멀리 떨어진 상기 전자발광 층의 측면에서 제 2의 투명한 전극 층(56)을 포함하고, 상기 제 2의 투명한 전극 층과 픽셀의 상기 방전 감광성 소자(34) 위에 추가로 광 차폐물(58)이 배열되는, 픽셀의 배열을 포함하는 액티브 매트릭스 전자발광 디스플레이 디바이스.

도면

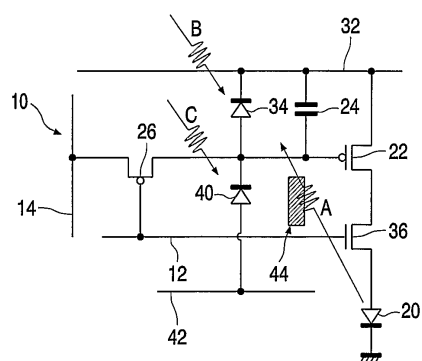
도면1



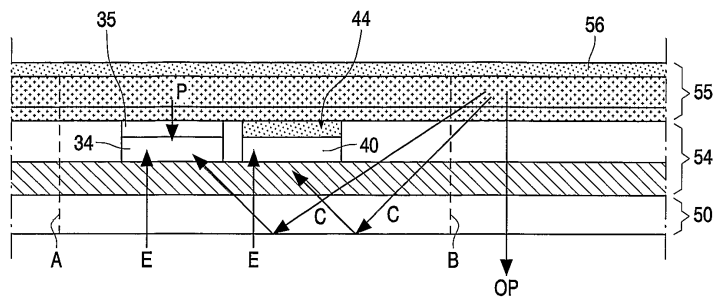
도면2



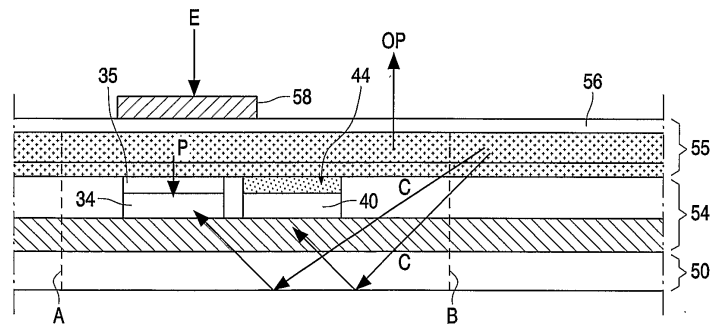
도면3



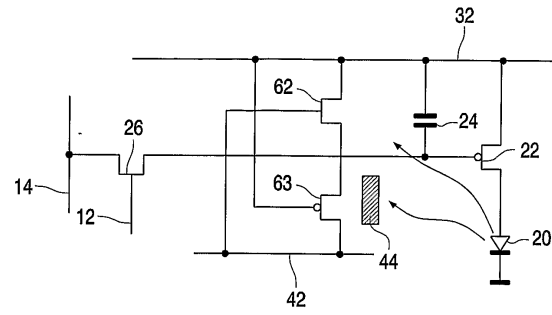
도면4



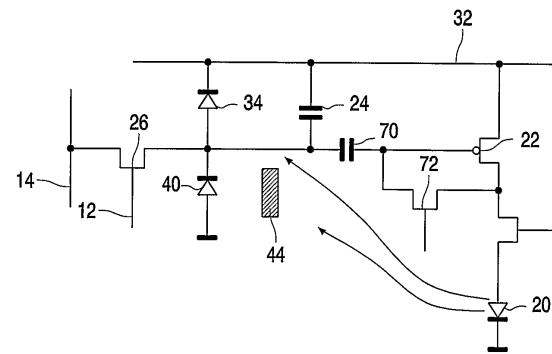
도면5



도면6



도면7



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020060002891A	公开(公告)日	2006-01-09
申请号	KR1020057018413	申请日	2004-03-26
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	FISH DAVID A		
发明人	FISH,DAVID, A.		
IPC分类号	H05B33/26 G09G3/32		
CPC分类号	G09G2320/045 H01L27/3272 G09G2300/0852 G09G2300/0842 G09G2320/043 G09G2300/0809 H01L27/3269 G09G3/3233 G09G2320/0626 G09G2300/0819 G09G2300/088 G09G2360/148		
代理人(译)	MOON , KYOUNG金		
优先权	2003007789 2003-04-04 GB		
外部链接	Espacenet		

摘要(译)

在有源矩阵电致发光显示装置中，驱动晶体管

