

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) . Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0096671
(43) 공개일자 2005년10월06일

(21) 출원번호 10-2004-0022123
(22) 출원일자 2004년03월31일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김성균
경기도군포시금정동율곡아파트340동1401호

(74) 대리인 김영호

심사청구 : 없음

(54) 일렉트로 루미네센스 패널의 프리차지 방법 및 장치

요약

본 발명은 스토리지 캐패시터를 해당 기간내에 원하는 전압으로 프리차지시킬 수 있는 EL 표시 패널의 프리차지 방법 및 장치를 제공하는 것이다.

이를 위하여, 본 발명의 프리차지 장치는 게이트 라인과 데이터 라인의 교차로 정의된 화소 영역에 형성되어 제1 전원과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 제2 전원 및 상기 EL 셀 사이에 접속된 셀 구동부를 포함하는 다수의 화소를 포함하는 화소 매트릭스와; 데이터 신호가 공급되기 이전의 프리차지 기간에서, 상기 셀 구동부에 포함된 스토리지 캐패시터를 프리차지 전압을 이용하여 제1 프리차지 전압으로 프리차징시킨 다음, 상기 데이터 라인을 플로팅시켜 상기 스토리지 캐패시터의 상기 제1 프리차지 전압 방전으로 제2 프리차지 전압에 도달하게 하는 프리차지부를 구비한다.

내용

도 4

명세서

도면의 간단한 설명

도 1은 종래의 EL 표시 패널의 구성을 도시한 블록도.

도 2는 도 1에 도시된 한 화소의 상세 회로도.

도 3은 도 1에 도시된 EL 표시 패널의 프리차지 방법을 설명하기 위한 구동 파형도.

도 4는 본 발명의 실시 예에 따른 프리차지부를 포함하는 EL 표시 패널을 도시한 회로도.

도 5는 도 4에 도시된 EL 표시 패널의 프리차지 방법을 설명하기 위한 구동 파형도.

도 6의 제1 및 제n 게이트 라인과 접속된 화소의 스토리지 캐패시터에 프리차징된 전압을 비교 도시한 과정도.

<도면의 주요 부분에 대한 부호의 간단한 설명>

20, 50 : 화소 매트릭스 22 : 게이트 드라이버

24, 40 : 데이터 드라이버 26, 44 : 프리차지부

28, 42 : 데이터 공급부 16, 54 : 셀 구동부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널에 관한 것으로, 특히 스토리지 캐패시터를 원하는 시간내에 프리차지시킬 수 있는 EL 표시 패널의 프리차지 방법 및 장치에 관한 것이다.

음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 대두되고 있다. 이러한 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display), 전계 방출 표시 장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널 등이 있다.

이들 중 EL 표시 패널은 전자와 정공의 재결합으로 형광체를 발광시키는 자발광 소자로, 그 형광체로 무기 화합물을 사용하는 무기 EL과 유기 화합물을 사용하는 유기 EL로 대별된다. 이러한 EL 표시 패널은 다른 표시 장치들과 달리 낮은 구동 전압(10V)으로 구동할 수 있고, 자체 발광을 이용하므로 인식성이 뛰어나며, LCD와 달리 백라이트가 필요없으므로 초박막화가 가능하다. 또한, LCD와 대비하여 넓은 시야각, 빠른 응답 속도 등과 같은 장점들을 가지고 있어 차세대 표시 장치로 기대되고 있다.

유기 EL 소자는 통상 음극과 양극 사이에 적층된 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층으로 구성된다. 이러한 유기 EL 소자에서는 양극과 음극 사이에 소정의 전압을 인가하는 경우 음극으로부터 발생된 전자가 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 양극으로부터 발생된 정공이 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다. 이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 재결합함에 의해 빛을 방출하게 된다.

이러한 유기 EL 소자를 이용하는 액티브 매트릭스 EL 표시 패널은 도 1에 도시된 바와 같이 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열되어진 화소들(PE)을 구비하는 화소 매트릭스(20)와, 화소 매트릭스(20)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(22)와, 화소 매트릭스(20)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(24)를 구비한다.

화소들(PE) 각각은 게이트 라인(GL)에 스캔 펄스가 공급될 때 데이터 라인(DL)으로부터 비디오 데이터 신호(이하, 데이터 신호)를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다.

이를 위하여, 화소들(PE) 각각은 도 2에 도시된 바와 같이 기저 전압원(GND)에 음극이 접속된 EL 셀(OLED)과, 게이트 라인(GL) 및 데이터 라인(DL)과 공급 전압원(VDD)에 접속되고 EL 셀(OLED)의 양극에 접속되어 그 EL 셀(OLED)을 구동하기 위한 셀 구동부(16)를 구비한다.

EL 셀 구동부(16)는 전원(VDD) 라인에 접속된 제1 박막 트랜지스터(이하, TFT)(T1)와, 전원(VDD) 라인 및 EL 셀(OLED)의 양극 사이에 접속되어 제1 TFT(T1)와 전류 미러(Current Mirror)를 형성하는 제2 TFT(T2)와, 데이터 라인(DL)과 제1 TFT 사이에 접속되어 게이트 라인(GL)에 의해 제어되는 스위치용 제3 TFT(T3)와, 제3 TFT(T3)와 제1 및 제2 TFT(T1, T2)의 게이트 전극 사이에 접속되어 게이트 라인(GL)에 의해 제어되는 스위치용 제4 TFT(T4)와, 전원(VDD) 라인과 제1 및 제2 TFT(T1, T2)의 게이트 전극 사이에 접속된 스토리지 캐패시터(Cst)를 구비한다.

제3 및 제4 TFT(T3, T4)는 게이트 라인(GL)에 스캔 펄스가 공급되면 동시에 텐-온되어 데이터 라인(DL) 상의 데이터 신호(즉, 전류 신호)가 제1 및 제2 TFT(T1, T2)의 게이트 전극으로 공급됨으로써 스토리지 캐패시터(Cst)에는 제1 및 제2 TFT(T1, T2)를 구동하기 위한 구동 전압이 충전된다. 이에 따라, 제1 TFT(T1)는 스토리지 캐패시터(Cst)에 충전된 구동 전압에 해당하는 전류가 흐르게 하고, 제2 TFT(T2)는 제1 TFT(T1)를 흐르는 전류를 복사하여 EL 셀(OLED)로 공급함으로써 EL 셀(OLED)이 공급된 전류에 비례하는 빛으로 발광하게 한다. 그리고, 스위칭용 제3 및 제4 TFT(T3, T4)가 텐-오프되더라도 스토리지 캐패시터(Cst)에 충전된 구동 전압에 의해 제1 및 제2 TFT(T1, T2)는 다음 프레임의 데이터 신호가 공급되기 이전까지 일정한 전류를 공급하여 EL 셀(OLED)이 발광을 유지하게 한다.

게이트 드라이버(22)는 스캔 펄스를 공급하여 게이트 라인들(GL₁ 내지 GL_m)을 순차적으로 구동한다.

데이터 드라이버(24)의 데이터 공급부(28)는 전류 싱크(Current Sink) 회로를 이용하여 상기 스캔 펄스가 공급될 때마다 데이터 신호, 즉 전류 신호를 데이터 라인(DL)으로 공급한다. 이때, 데이터 공급부(28)는 매우 작은 전류를 사용하기 때문에 스토리지 캐패시터(Cst)를 원하는 구동 전압으로 충전하는데 많이 시간이 소요된다. 이에 따라, 전원(VDD)과의 전압차를 상대적으로 작게 하여 낮은 계조를 구현하는 경우 많은 전류가 스토리지 캐패시터(Cst)에 공급되어야만 하므로 스토리지 캐패시터(Cst)를 저계조의 구동 전압으로 충전하는데 어려움이 있다.

이러한 저계조의 충전 문제를 해결하기 위하여, 데이터 드라이버(24)는 프리차지부(26)를 추가로 구비한다. 프리차지부(26)는 데이터 라인(DL₁ 내지 DL_n)에 데이터 신호가 공급되기 전에 프리차지 신호를 공급하여 각 화소(PE)의 스토리지 캐패시터(Cst)를 프리차지시킴으로써, 저계조의 구동 전압의 충전 시간을 줄일 수 있게 된다.

다시 말하여, 프리차지부(26)는 도 3과 같이 k번째 게이트 라인(GL_k)에 로우 전압의 스캔 펄스가 공급되는 기간에서 데이터 공급부(28)가 데이터 신호(ID_k)를 공급하기 이전에 프리차지 신호(P)를 공급하여 k번째 수평 라인의 스토리지 캐패시터(Cst)를 프리차지시키게 된다. 그 다음, k+1번째 게이트 라인(GL_{k+1})에 스캔 펄스가 공급되는 기간에서도 데이터 신호(ID_{k+1})를 공급하기 이전에 프리차지 신호(P)를 이용하여 k+1번째 수평 라인의 스토리지 캐패시터(Cst)를 프리차지시키게 된다.

여기서, 프리차지부(26)는 전류원, 전압원, 또는 플로팅 방법을 사용하여 각 화소(PE)의 스토리지 캐패시터(Cst)를 프리차지시키게 된다.

첫째, 프리차지부(26)가 전류원을 이용하는 경우 원하는 전압값으로 데이터 라인(DL)과 스토리지 캐패시터(Cst)를 충전시키기 위해서는 정확한 캐패시턴스 값을 알아야만 가능하다. 그러나, 데이터 라인(DL) 상에 존재하는 기생 캐패시터를 정확하게 검출해내는 것은 불가능하므로 실용성이 없다는 문제점이 있다.

둘째, 프리차지부(26)가 전압원을 이용하는 경우 일정한 전압으로 스토리지 캐패시터(Cst)에 공급하는 것은 가능하다. 그러나, 패널 상의 전원(VDD) 라인에서 전압 강하가 발생하기 때문에 스토리지 캐패시터(Cst)에 실제로 프리차지되는 전압은 그 스토리지 캐패시터(Cst)의 위치에 따라 달라지게 되는 문제점이 있다.

세째, 프리차지부(26)의 플로팅 방법은 데이터 라인(DL)을 플로팅시키고, 각 화소(PE)로부터의 방전 전류를 이용하여 스토리지 캐패시터(Cst)가 원하는 구동 전압을 프리차징하게 한다. 이러한 플로팅 방법은 이론적으로는 전원(VDD) 라인의 전압 강하와는 무관하게 스토리지 캐패시터(Cst)를 프리차징하는 것이 가능해 보이나, 실제로 다이오드 구조로 연결된 EL 셀(OLED)의 저항이 매우 큰 관계로 수백 nA 정도의 작은 방전 전류로 프리차지 기간내에 데이터 라인(DL) 상의 전하를 충분히 방전할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 스토리지 캐패시터를 해당 기간내에 원하는 전압으로 프리차지시킬 수 있는 EL 표시 패널의 프리차지 방법 및 장치를 제공하는 것이다.

본 발명의 다른 목적은 스토리지 캐패시터를 위치와 무관하게 균일하게 프리차지시킬 수 있는 EL 표시 패널의 프리차지 방법 및 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 상기 프리차지 방법 및 장치를 이용한 EL 표시 패널의 구동 방법 및 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 EL 표시 패널의 프리차지 장치는 게이트 라인과 데이터 라인의 교차로 정의된 화소 영역에 형성되어 제1 전원과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 제2 전원 및 상기 EL 셀 사이에 접속된 셀 구동부를 포함하는 다수의 화소를 포함하는 화소 매트릭스와; 데이터 신호가 공급되기 이전의 프리차지 기간에서, 상기 셀 구동부에 포함된 스토리지 캐패시터를 프리차지 전압을 이용하여 제1 프리차지 전압으로 프리차징시킨 다음, 상기 데이터 라인을 플로팅시켜 상기 스토리지 캐패시터의 상기 제1 프리차지 전압 방전으로 제2 프리차지 전압에 도달하게 하는 프리차지부를 구비한다.

상기 셀 구동부는 상기 제2 전원과 상기 EL 셀 사이에서 전류 미러를 형성하며, 상기 제2 전원을 공급하는 제2 전원 라인과 자신의 게이트 전극 사이에 상기 스토리지 캐패시터가 접속된 제1 및 제2 박막 트랜지스터와; 상기 데이터 라인 및 상기 제1 박막 트랜지스터 사이에 접속되어 상기 게이트 라인에 의해 제어되는 제3 박막 트랜지스터와; 상기 제3 박막 트랜지스터와 상기 스토리지 캐패시터 사이에 접속된 제4 박막 트랜지스터를 구비한다.

상기 제2 프리차지 전압은 상기 제1 박막 트랜지스터의 문턱 전압이다.

상기 프리차지부는 전압 강하분(V_f)을 고려하여 상기 각 화소에 공급된 제2 전원($VDD-V_f$)과 상기 제1 박막 트랜지스터의 문턱 전압(V_{th})과의 차전압($VDD-V_f-V_{th}$) 보다 낮게 설정된다.

상기 프리차지부는 상기 프리차지 기간에서 상기 데이터 신호를 공급하는 데이터 공급부와 상기 데이터 라인 사이를 오픈시키기 위한 제1 스위치와; 상기 프리차지 기간 중 제1 프리차지 기간에서 상기 프리차지 전압을 상기 데이터 라인으로 공급하기 위한 제2 스위치를 구비한다.

상기 제1 및 제2 스위치는 상기 프리차지 기간 중 제2 프리차지 기간에서 모두 턴-오프되어 상기 데이터 라인을 플로팅 시킨다.

상기 프리차지부는 상기 제1 프리차지 기간 보다 제2 프리차지 기간을 길게 설정한다.

그리고, 본 발명에 따른 EL 표시 패널의 프리차지 방법은 데이터 라인과, 스캔 펄스가 공급된 게이트 라인과 접속된 화소들 각각의 스토리지 캐패시터를 프리차지 전압을 이용하여 제1 프리차지 전압으로 프리차지시키는 제1 프리차지 기간과; 상기 데이터 라인을 플로팅시켜 상기 스토리지 캐패시터의 제1 프리차지 전압의 방전으로 상기 제2 프리차지 전압에 도달하게 하는 제2 프리차지 기간을 포함한다.

상기 EL 표시 패널은 상기 게이트 라인과 상기 데이터 라인의 교차로 정의된 화소 영역에 형성되어 제1 전원과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 제2 전원 및 상기 EL 셀 사이에 접속된 셀 구동부를 포함하고; 상기 셀 구동부는 상기 제2 전원과 상기 EL 셀 사이에서 전류 미러를 형성하며, 상기 제2 전원을 공급하는 제2 전원 라인과 자신의 게이트 전극 사이에 상기 스토리지 캐패시터가 접속된 제1 및 제2 박막 트랜지스터와, 상기 데이터 라인 및 상기 제1 박막 트랜지스터 사이에 접속되어 상기 게이트 라인에 의해 제어되는 제3 박막 트랜지스터와, 상기 제3 박막 트랜지스터와 상기 스토리지 캐패시터 사이에 접속된 제4 박막 트랜지스터를 구비하는 경우; 상기 제2 프리차지 전압은 제1 박막 트랜지스터의 문턱 전압이다.

상기 프리차지 전압은 전압 강하분(V_f)을 고려하여 상기 각 화소에 공급된 제2 전원($VDD-V_f$)과 상기 제1 박막 트랜지스터의 문턱 전압(V_{th})과의 차전압($VDD-V_f-V_{th}$) 보다 낮게 설정된다.

상기 제1 프리차지 기간 보다 제2 프리차지 기간이 길게 설정된다.

본 발명의 다른 특징에 따른 EL 표시 패널의 프리차지 장치는 스캔 펄스가 공급된 게이트 라인과 접속된 화소들 각각의 스토리지 캐패시터에 데이터 신호를 인가하기 이전에 적어도 2단계의 프리차지 기간을 거쳐 그 스토리지 캐패시터를 프리차징시키는 프리차지부를 구비한다.

또한, 본 발명의 다른 특징에 따른 EL 표시 패널의 프리차지 방법은 스캔 펄스가 공급된 게이트 라인과 접속된 화소들 각각의 스토리지 캐패시터를 데이터 신호를 인가하기 이전에 적어도 2단계의 프리차지 기간을 거쳐 그 스토리지 캐패시터를 프리차징하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 4 내지 도 6을 참조하여 상세히 설명하기로 한다.

도 4는 본 발명의 실시 예에 따른 프리차지부를 포함하는 EL 표시 패널을 부분적으로 도시한 회로도이고, 도 5는 본 발명의 실시 예에 따른 프리차지 방법을 설명하기 위한 구동 과정도이다.

도 4에 도시된 EL 표시 패널은 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열되어진 화소들(PE)을 구비하는 화소 매트릭스(50)와, 화소 매트릭스(50)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(미도시)와, 화소 매트릭스(50)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(40)를 구비한다.

화소들(PE) 각각은 게이트 라인(GL)에 스캔 펄스가 공급될 때 데이터 라인(DL)으로부터 비디오 데이터 신호(이하, 데이터 신호)를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다.

이를 위하여, 화소들(PE) 각각은 기저 전압원(GND)에 음극이 접속된 EL 셀(OLED)과, 게이트 라인(GL) 및 데이터 라인(DL)과 공급 전압원(VDD)에 접속되고 EL 셀(OLED)의 양극에 접속되어 그 EL 셀(OEL)을 구동하기 위한 셀 구동부(54)를 구비한다.

EL 셀 구동부(54)는 전원(VDD) 라인에 접속된 제1 TFT(T1)와, 전원(VDD) 라인 및 EL 셀(OLED)의 양극 사이에 접속되어 제1 TFT(T1)와 전류 미러(Current Mirror)를 형성하는 제2 TFT(T2)와, 데이터 라인(DL)과 제1 TFT 사이에 접속되어 게이트 라인(GL)에 의해 제어되는 스위치용 제3 TFT(T3)와, 제3 TFT(T3)와 제1 및 제2 TFT(T1, T2)의 게이트 전극 사이에 접속되어 게이트 라인(GL)에 의해 제어되는 스위치용 제4 TFT(T4)와, 전원(VDD) 라인과 제1 및 제2 TFT(T1, T2)의 게이트 전극 사이에 접속된 스토리지 캐패시터(Cst)를 구비한다.

제3 및 제4 TFT(T3, T4)는 게이트 라인(GL)에 스캔 펄스가 공급되면 동시에 텐-온되어 데이터 라인(DL) 상의 데이터 신호(즉, 전류 신호)가 제1 및 제2 TFT(T1, T2)의 게이트 전극으로 공급됨으로써 스토리지 캐패시터(Cst)에는 제1 및 제2 TFT(T1, T2)를 구동하기 위한 구동 전압이 충전된다. 이에 따라, 제1 TFT(T1)는 스토리지 캐패시터(Cst)에 충전된 구동 전압에 해당하는 전류가 흐르게 하고, 제2 TFT(T2)는 제1 TFT(T1)를 흐르는 전류를 복사하여 EL 셀(OLED)로 공급함으로써 EL 셀(OLED)이 공급된 전류에 비례하는 빛으로 발광하게 한다. 그리고, 스위칭용 제3 및 제4 TFT(T3, T4)가 텐-오프되더라도 스토리지 캐패시터(Cst)에 충전된 구동 전압에 의해 제1 및 제2 TFT(T1, T2)는 다음 프레임의 데이터 신호가 공급되기 이전까지 일정한 전류를 공급하여 EL 셀(OLED)이 발광을 유지하게 한다.

게이트 드라이버는 스캔 펄스를 공급하여 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동한다.

데이터 드라이버(40)는 데이터 라인(DL)에 데이터 신호를 공급하는 데이터 공급부(42)와, 데이터 신호의 공급 이전에 각 화소(PE)의 스토리지 캐패시터(Cst)를 프리차지시키는 프리차지부(44)를 구비한다.

데이터 공급부(42)는 전류 싱크(Current Sink) 회로를 이용하여 상기 스캔 펄스가 공급될 때마다 데이터 신호, 즉 전류 신호(ID)를 데이터 라인(DL)으로 공급한다.

프리차지부(44)는 게이트 라인(GL)에 스캔 펄스가 공급되는 기간마다 데이터 공급부(42)가 데이터 신호(ID)를 공급하기 이전에 2단계의 프리차지 방법으로 각 화소(PEL)의 스토리지 캐패시터(Cst)를 원하는 구동 전압으로 프리차지시킨다.

예를 들면, 프리차지부(44)는 도 5에 도시된 바와 같이 k번째 게이트 라인(GLk)에 로우 전압의 스캔 펄스가 공급되는 기간에서 데이터 공급부(42)가 데이터 신호(IDk)를 공급하기 이전에 제1 및 제2 프리차지 단계(P1, P2)를 거쳐 k번째 수평 라인의 스토리지 캐패시터(Cst)를 프리차지시키게 된다. 그 다음, k+1번째 게이트 라인(GLk+1)에 스캔 펄스가 공급되는 기간에서도 데이터 신호(IDk+1)를 공급하기 이전에 제1 및 제2 프리차지 단계(P1, P2)를 거쳐 k+1번째 수평 라인의 스토리지 캐패시터(Cst)를 프리차지시키게 된다.

구체적으로, 프리차지부(44)는 제1 프리차지 단계(P1)에서는 프리차지 전압(Vpc)을, 제2 프리차지 단계(P2)에서는 데이터 라인(DL)을 플로팅시키는 방법을 이용한다. 이를 위하여, 프리차지부(44)는 제1 제어 신호(LOAD)에 응답하여 프리차지 기간동안 데이터 공급부(42)와 데이터 라인(DL) 사이를 오픈시키기 위한 제1 스위치(SW1)와, 제2 제어 신호(PCE)에 응답하여 프리차지 전압(Vpc)을 데이터 라인(DL)으로 공급하기 위한 제2 스위치(SW2)를 구비한다.

제1 스위치(SW1)는 도 5와 같이 게이트 라인(GLk, GLk+1) 각각에 스캔 펄스가 공급되는 기간에서 제1 제어 신호(LOAD)가 로우 상태가 되는 프리차지 기간(P1) 동안 데이터 공급부(42)와 데이터 라인(DL) 사이를 오픈시킨다.

제2 스위치(SW2)는 도 5와 같이 프리차지 기간(P1) 중 제2 제어 신호(PCE)가 하이 상태가 되는 제1 프리차지 단계(P1)에서 일정한 프리차지 전압(Vpc)을 데이터 라인(DL)으로 공급한다. 이에 따라, 데이터 라인(DL)과, 스캔 펄스가 공급된 게이트 라인(GLk, GLk+1)과 접속된 화소들(PE) 각각의 스토리지 캐패시터(Cst)를 프리차지시킨다. 이때, 스토리지 캐패시터(Cst)는 전원(VDD)과 프리차지 전압(Vpc)과의 차전압(VDD-Vpc)을 프리차지하게 된다. 여기서, 프리차지 전압(Vpc)은 전원(VDD) 라인의 전압 강하를 보상하기 위하여 최종적으로 프리차지하고자 하는 목표 전압 보다 낮게 설정한다.

그 다음, 제2 프리차지 기간(P2)에서 제1 및 제2 스위치(SW1, SW2)는 제1 및 제2 제어 신호(LOAD, PCE) 각각에 의해 턴-오프되므로 데이터 라인(DL)은 플로팅 상태가 된다. 이에 따라, 해당 화소(PE)에서 스토리지 캐패시터(Cst)에 충전된 전압(VDD-Vpc)이 제1 TFT(T1)를 통해 전원(VDD) 라인쪽으로 방전하게 된다. 이 결과, 최종적으로 스토리지 캐패시터(Cst)에 프리차지된 전압은 각 화소(PE)에서의 전원(VDD)과 제1 TFT(T1)의 문턱 전압(Vth)과의 차전압(VDD-Vth)이 된다. 이때, 화소(PE)의 위치에 따라 전원(VDD) 라인의 전압 강하가 있더라도, 스토리지 캐패시터(Cst) 각각은 각 화소(PE)에 공급된 전원(VDD)을 기준으로 제1 TFT(T1)의 문턱 전압(Vth) 만큼 낮은 전압을 프리차지하게 되므로 전원(VDD)의 전압 강하를 보상할 수 있게 된다. 다시 말하여, 각 화소(PE)의 위치, 즉 전원(VDD) 라인의 전압 강하와 무관하게 스토리지 캐패시터(Cst)는 일정한 전압을 프리차지할 수 있게 된다.

예를 들어, 도 6에 도시된 바와 같이 제1 게이트 라인(GL1)과 접속된 화소들(PE) 각각의 스토리지 캐패시터(Cst)는 전술한 제1 및 제2 프리차지 단계(P1, P2)를 거쳐 전압 강하가 거의 없는 전원(VDD)과 제1 TFT(T1)의 문턱 전압(Vth)의 차전압(VDD-Vth)을 프리차지하게 된다. 그리고, 제n 게이트 라인(GLn)과 접속된 화소들(PE) 각각의 스토리지 캐패시터(Cst)는 전술한 제1 및 제2 프리차지 단계(P1, P2)를 거쳐 전압 강하가 있는 전원(VDD-Vf)과 제1 TFT(T1)의 문턱 전압(Vth)의 차전압{(VDD-Vf)-Vth}을 프리차지하게 된다. 이에 따라, 제1 게이트 라인(GL1)과 접속된 화소(PE)의 스토리지 캐패시터(Cst)와, 제n 게이트 라인(GLn)과 접속된 화소(PE)의 스토리지 캐패시터(Cst)는 전원(VDD) 라인의 전압 강하와는 무관하게 각 화소(PE)에 공급된 전원(VDD)을 기준으로 제1 TFT(T1)의 문턱 전압(Vth) 만큼 낮은 전압을 프리차지하게 되므로 전원(VDD)의 전압 강하를 보상할 수 있게 된다.

그리고, 도 6과 같이 제1 프리차지 기간(P1)에서 프리차지 전압(Vpc)를 이용하여 최종 프리차지 전압값에 근접하게 스토리지 캐패시터(Cst)를 프리차지시키게 되므로 제2 프리차지 기간(P2)에서 플로팅 방법으로 데이터 라인(DL) 상의 전하를 주어진 기간(P2) 내에 충분히 방전시킬 수 있게 된다. 여기서, 프리차지 전압(Vpc)은 전원(VDD) 라인의 전압 강하를 보상하기 위하여 최종적으로 프리차지하고자 하는 목표 전압, 즉 VDD-Vf-Vth 보다 낮게 설정한다.

이때, 충분한 방전을 위하여 프리차지 전압(Vpc)을 이용하는 제1 프리차지 기간(P1) 보다 플로팅 방법을 이용한 제2 프리차지 기간(P2)을 더 길게 설정하도록 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 EL 표시 패널의 프리차지 방법 및 장치는 프리차지 전압 및 플로팅 방법을 이용함으로써 전원 라인의 전압 강하와 무관하게 일정한 전압을 프리차지할 수 있게 된다.

또한, 본 발명에 따른 EL 표시 패널의 프리차지 방법 및 장치는 플로팅 방법을 이용하기 이전에 프리차지 전압으로 최종 프리차지 전압값에 근접하게 함으로써 주어진 기간내에 충분히 방전시켜 최종 프리차지 전압값에 도달할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

케이트 라인과 데이터 라인의 교차로 정의된 화소 영역에 형성되어 제1 전원과 접속된 EL 셀과, 상기 케이트 라인 및 데이터 라인과 제2 전원 및 상기 EL 셀 사이에 접속된 셀 구동부를 포함하는 다수의 화소를 포함하는 화소 매트릭스와;

데이터 신호가 공급되기 이전의 프리차지 기간에서, 상기 셀 구동부에 포함된 스토리지 캐패시터를 프리차지 전압을 이용하여 제1 프리차지 전압으로 프리차징시킨 다음, 상기 데이터 라인을 플로팅시켜 상기 스토리지 캐패시터의 상기 제1 프리차지 전압 방전으로 제2 프리차지 전압에 도달하게 하는 프리차지부를 구비하는 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 2.

제 1 항에 있어서,

상기 셀 구동부는

상기 제2 전원과 상기 EL 셀 사이에서 전류 미러를 형성하며, 상기 제2 전원을 공급하는 제2 전원 라인과 자신의 케이트 전극 사이에 상기 스토리지 캐패시터가 접속된 제1 및 제2 박막 트랜지스터와;

상기 데이터 라인 및 상기 제1 박막 트랜지스터 사이에 접속되어 상기 케이트 라인에 의해 제어되는 제3 박막 트랜지스터와;

상기 제3 박막 트랜지스터와 상기 스토리지 캐패시터 사이에 접속된 제4 박막 트랜지스터를 구비하는 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 3.

제 2 항에 있어서,

상기 제2 프리차지 전압은 상기 제1 박막 트랜지스터의 문턱 전압인 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 4.

제 3 항에 있어서,

상기 프리차지부는

전압 강하분(V_f)을 고려하여 상기 각 화소에 공급된 제2 전원($VDD-V_f$)과 상기 제1 박막 트랜지스터의 문턱 전압(V_{th})과의 차전압($VDD-V_f-V_{th}$) 보다 낮게 설정된 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 5.

제 1 항에 있어서,

상기 프리차지부는

상기 프리차지 기간에서 상기 데이터 신호를 공급하는 데이터 공급부와 상기 데이터 라인 사이를 오픈시키기 위한 제1 스위치와;

상기 프리차지 기간 중 제1 프리차지 기간에서 상기 프리차지 전압을 상기 데이터 라인으로 공급하기 위한 제2 스위치를 구비하는 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 6.

제 5 항에 있어서,

상기 제1 및 제2 스위치는 상기 프리차지 기간 중 제2 프리차지 기간에서 모두 턴-오프되어 상기 데이터 라인을 플로팅시키는 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 7.

제 1 항에 있어서,

상기 프리차지부는 상기 제1 프리차지 기간 보다 제2 프리차지 기간을 길게 설정한 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 8.

데이터 라인과, 스캔 필스가 공급된 게이트 라인과 접속된 화소들 각각의 스토리지 캐패시터를 프리차지 전압을 이용하여 제1 프리차지 전압으로 프리차지시키는 제1 프리차지 기간과;

상기 데이터 라인을 플로팅시켜 상기 스토리지 캐패시터의 제1 프리차지 전압의 방전으로 상기 제2 프리차지 전압에 도달하게 하는 제2 프리차지 기간을 포함하는 것을 특징으로 하는 EL 표시 패널의 프리차지 방법.

청구항 9.

제 8 항에 있어서,

상기 EL 표시 패널은

상기 게이트 라인과 상기 데이터 라인의 교차로 정의된 화소 영역에 형성되어 제1 전원과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 제2 전원 및 상기 EL 셀 사이에 접속된 셀 구동부를 포함하고;

상기 셀 구동부는

상기 제2 전원과 상기 EL 셀 사이에서 전류 미러를 형성하며, 상기 제2 전원을 공급하는 제2 전원 라인과 자신의 게이트 전극 사이에 상기 스토리지 캐패시터가 접속된 제1 및 제2 박막 트랜지스터와,

상기 데이터 라인 및 상기 제1 박막 트랜지스터 사이에 접속되어 상기 게이트 라인에 의해 제어되는 제3 박막 트랜지스터와,

상기 제3 박막 트랜지스터와 상기 스토리지 캐패시터 사이에 접속된 제4 박막 트랜지스터를 구비하는 경우;

상기 제2 프리차지 전압은 제1 박막 트랜지스터의 문턱 전압인 것을 특징으로 하는 EL 표시 패널의 프리차지 방법.

청구항 10.

제 9 항에 있어서,

상기 프리차지 전압은 전압 강하분(V_f)을 고려하여 상기 각 화소에 공급된 제2 전원(VDD-Vf)과 상기 제1 박막 트랜지스터의 문턱 전압(V_{th})과의 차전압(VDD-Vf-Vth) 보다 낮게 설정된 것을 특징으로 하는 EL 표시 패널의 프리차지 방법.

청구항 11.

제 8 항에 있어서,

상기 제1 프리차지 기간 보다 제2 프리차지 기간이 길게 설정된 것을 특징으로 하는 EL 표시 패널의 프리차지 방법.

청구항 12.

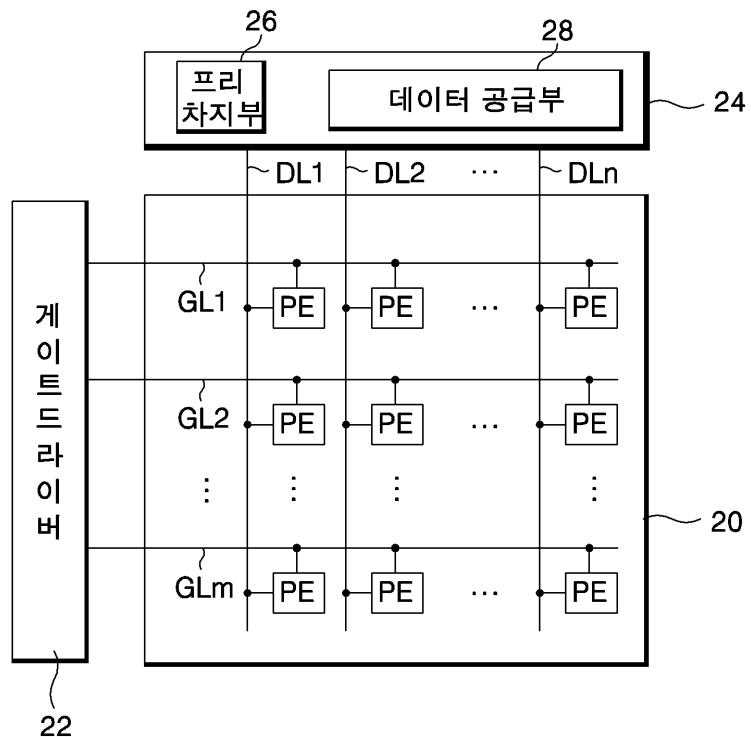
스캔 펄스가 공급된 게이트 라인과 접속된 화소들 각각의 스토리지 캐패시터에 데이터 신호를 인가하기 이전에 적어도 2 단계의 프리차지 기간을 거쳐 그 스토리지 캐패시터를 프리차징시키는 프리차지부를 구비하는 것을 특징으로 하는 EL 표시 패널의 프리차지 장치.

청구항 13.

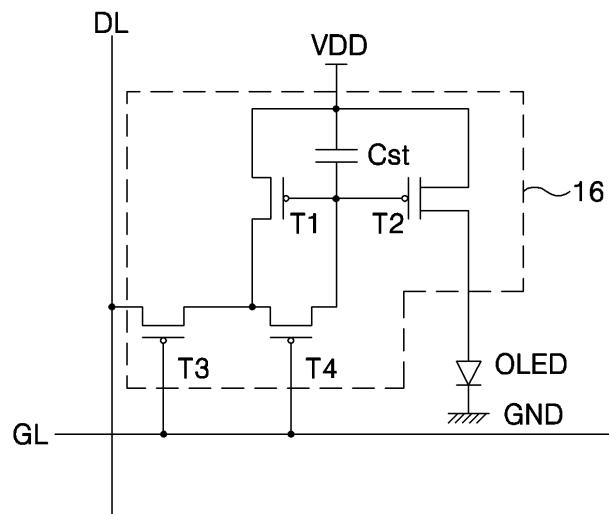
스캔 펄스가 공급된 게이트 라인과 접속된 화소들 각각의 스토리지 캐패시터를 데이터 신호를 인가하기 이전에 적어도 2 단계의 프리차지 기간을 거쳐 그 스토리지 캐패시터를 프리차징하는 단계를 포함하는 것을 특징으로 하는 EL 표시 패널의 프리차지 방법.

도면

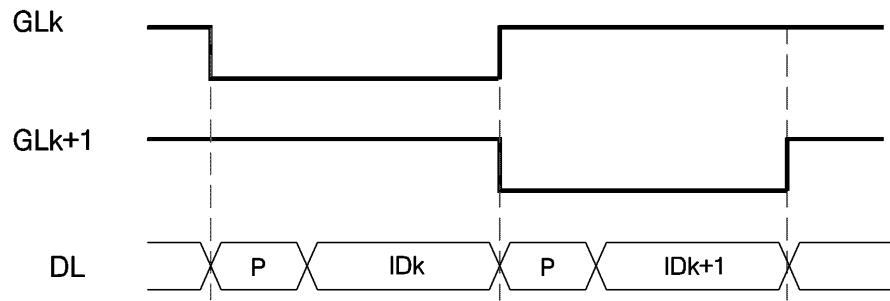
도면1



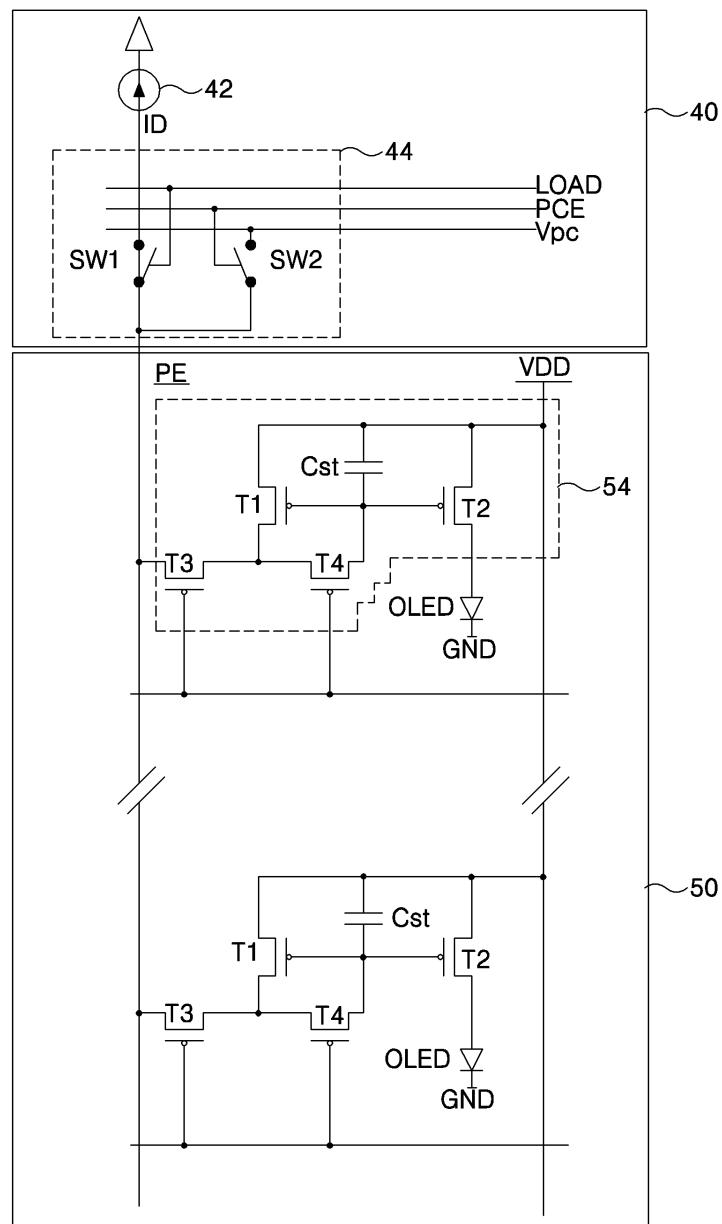
도면2



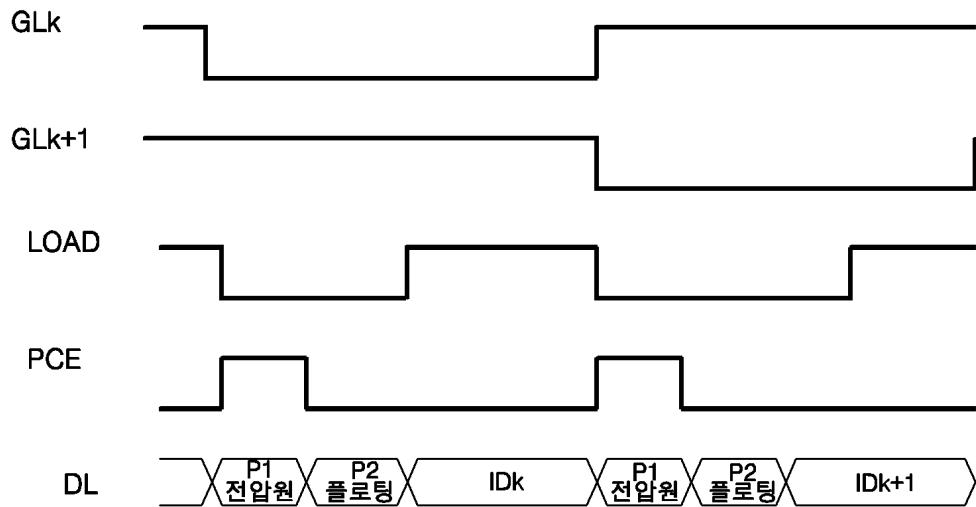
도면3



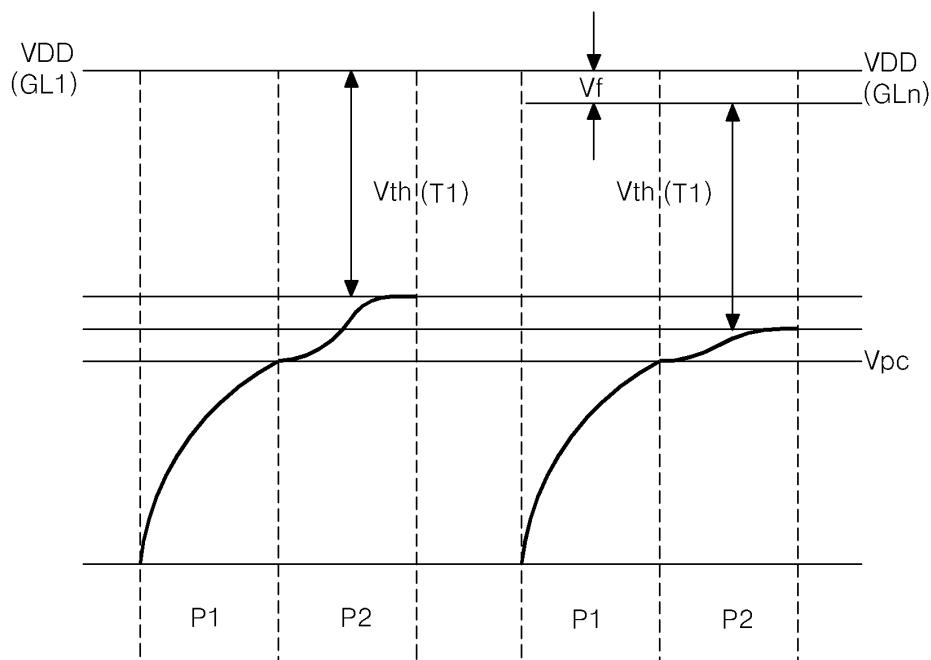
도면4



도면5



도면6



专利名称(译)	电致发光板预充电方法和装置		
公开(公告)号	KR1020050096671A	公开(公告)日	2005-10-06
申请号	KR1020040022123	申请日	2004-03-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEONGGYUN		
发明人	KIM,SEONGGYUN		
IPC分类号	G09G3/30 H05B33/08 H01L51/50 H05B33/14 G09G3/20		
CPC分类号	G09G2300/0842 G09G2310/0251 G09G3/3241 G09G3/3283 G09G3/3291 G02C5/001 G09B17/00 G09B19/00 G10K11/28		
其他公开文献	KR101076424B1		
外部链接	Espacenet		

摘要(译)

本发明提供EL显示板的预充电方法和装置，将存储电容器预充电到受影响时段内的所需电压。为此，本发明的预充电装置包括EL单元，该EL单元在限定的像素区域中形成到数据线和栅极线的交叉点中并且连接到第一电源，栅极线和预充电单元之后。在包括在数据线，第二电源和EL单元之间连接的单元驱动部分的多个像素的图像矩阵中的存储电容器和在提供数据信号之前的预充电周期包括在单元驱动部分中的预充电使用第一自由充电电压数据线的预充电电压浮置，并达到第二预充电电压到存储电容器的第一自由充电电压放电。

