



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월18일

(11) 등록번호 10-1474565

(24) 등록일자 2014년12월12일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0063314

(22) 출원일자 2008년07월01일

심사청구일자 2013년05월07일

(65) 공개번호 10-2009-0004635

(43) 공개일자 2009년01월12일

(30) 우선권주장

JP-P-2007-00175540 2007년07월03일 일본(JP)

(56) 선행기술조사문헌

JP2000214800 A

JP2002244588 A

JP2003271076 A

JP2005136028 A

전체 청구항 수 : 총 10 항

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

야마모토 테츠로

일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내

우치노 카츠히데

일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내

야마시타 준이치

일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내

(74) 대리인

최달용

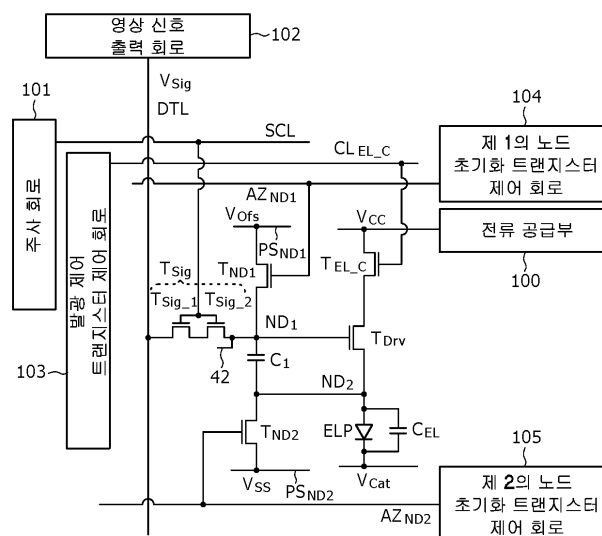
심사관 : 김민수

(54) 발명의 명칭 유기 EL 소자, 및, 유기 EL 표시 장치

(57) 요약

본 발명에 따른 유기 EL 소자는: 유기 EL 발광 소자; 및, 유기 EL 발광 소자를 구동하기 위한 구동 회로를 포함하고, 상기 구동 회로는: (A) 소자 구동 트랜지스터, (B) 영상 신호 기록 트랜지스터, 및, (C) 한 쌍의 전극을 구비한 커패시터를 포함하고, 상기 소자 구동 트랜지스터에서, (A-1) 상기 소자 구동 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 상기 소자 구동 트랜지스터의 한쪽에 마련된 소스/드레인 영역은, 전류 공급부에 접속되고, (A-2) 상기 소자 구동 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 상기 소자 구동 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은, 상기 유기 EL 발광 소자의 아노드 전극에 접속되고, 또한, 상기 커패시터의 한쪽의 전극에 접속되어, 제 2의 노드를 구성한다.

대표도 - 도1



특허청구의 범위

청구항 1

유기 EL 발광 소자, 및, 유기 EL 발광 소자를 구동하기 위한 구동 회로를 구비한 유기 EL 소자에 있어서,

유기 EL 발광 소자는 층간 절연층을 통하여 구동 회로의 위에 형성되고,

구동 회로는,

(A) 소자 구동 트랜지스터,

(B) 영상 신호 기록 트랜지스터, 및,

(C) 한 쌍의 전극을 구비한 커패시터로 구성되고,

소자 구동 트랜지스터에 있어서는,

(A-1) 한쪽의 소스 또는 드레인 영역은, 전류 공급부에 접속되고,

(A-2) 다른 쪽의 소스 또는 드레인 영역은, 유기 EL 발광 소자에 갖춰진 아노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속된, 제2의 노드를 구성하고,

영상 신호 기록 트랜지스터는, 듀얼 게이트 구조의 트랜지스터로 이루어지고, 제1의 게이트 전극과 제1의 채널 형성 영역을 구비한 제1의 서브 트랜지스터, 및, 제2의 게이트 전극과 제2의 채널 형성 영역을 구비한 제2의 서브 트랜지스터로 구성되고,

제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역은, 데이터선에 접속되고,

제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역은, 소자 구동 트랜지스터의 게이트 전극에 접속되고, 또한, 커패시터의 다른 쪽의 전극에 접속된, 제1의 노드를 구성하고,

제1의 서브 트랜지스터의 제1의 게이트 전극, 및, 제2의 서브 트랜지스터의 제2의 게이트 전극은, 주사선에 접속되고,

제1의 서브 트랜지스터의 제1의 게이트 전극은, 제1의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터의 제2의 게이트 전극은, 제2의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터는, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 실드 전극을 구비하고,

실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 2

제1항에 있어서,

제2의 서브 트랜지스터는, 또한, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제2의 실드 전극을 구비하고,

제2의 실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제1의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역과 제2의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역과 중첩하는 공통 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 3

제1항에 있어서,

제1의 서브 트랜지스터는, 또한, 제1의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제3의 실드 전극을 구비하고,

제3의 실드 전극은, 제1의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 4

제1항에 있어서,

제2의 서브 트랜지스터는, 또한, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제2의 실드 전극을 구비하고,

제2의 실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고,

제1의 서브 트랜지스터는, 또한, 제1의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제3의 실드 전극 및 제4의 실드 전극을 구비하고,

제3의 실드 전극 및 제4의 실드 전극은, 제1의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고,

제2의 실드 전극과 제4의 실드 전극은, 제1의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역과 제2의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역과 중첩하는 공통 영역에 접속되고,

제3의 실드 전극은, 제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 5

유기 EL 발광 소자, 및, 유기 EL 발광 소자를 구동하기 위한 구동 회로를 구비한 유기 EL 소자에 있어서,

유기 EL 발광 소자는 층간 절연층을 통하여 구동 회로의 위에 형성되고,

구동 회로는,

- (A) 소자 구동 트랜지스터,
- (B) 영상 신호 기록 트랜지스터,
- (C) 한 쌍의 전극을 구비한 커패시터, 및,
- (D) 제1의 노드 초기화 트랜지스터로 구성되고,

소자 구동 트랜지스터에 있어서는,

(A-1) 한쪽의 소스 또는 드레인 영역은, 전류 공급부에 접속되고,

(A-2) 다른 쪽의 소스 또는 드레인 영역은, 유기 EL 발광 소자에 갖춰진 아노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속된, 제2의 노드를 구성하고,

영상 신호 기록 트랜지스터에 있어서는,

(B-1) 한쪽의 소스 또는 드레인 영역은, 데이터선에 접속되고,

(B-2) 다른 쪽의 소스 또는 드레인 영역은, 소자 구동 트랜지스터의 게이트 전극에 접속되고, 또한, 커패시터의 다른 쪽의 전극에 접속된, 제1의 노드를 구성하고,

(B-3) 게이트 전극은, 주사선에 접속되고,

제1의 노드 초기화 트랜지스터는, 듀얼 게이트 구조의 트랜지스터로 이루어지고, 제1의 게이트 전극과 제1의 채널 형성 영역을 구비한 제1의 서브 트랜지스터, 및, 제2의 게이트 전극과 제2의 채널 형성 영역을 구비한 제2의 서브 트랜지스터로 구성되고,

제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역은, 제1의 노드 초기화 전압 공급선에 접속되고,

제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역은, 제1의 노드에 접속되고,

제1의 서브 트랜지스터의 제1의 게이트 전극, 및, 제2의 서브 트랜지스터의 제2의 게이트 전극은, 제1의 노드 초기화 트랜지스터 제어선에 접속되고,

제1의 서브 트랜지스터의 제1의 게이트 전극은, 제1의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터의 제2의 게이트 전극은, 제2의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터는, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 실드 전극을 구비하고,

실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 6

제5항에 있어서,

제2의 서브 트랜지스터는, 또한, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제2의 실드 전극을 구비하고,

제2의 실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제1의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역과 제2의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역과 중첩하는 공통 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 7

제5항에 있어서,

제1의 서브 트랜지스터는, 또한, 제1의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제3의 실드 전극을 구비하고,

제3의 실드 전극은, 제1의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 8

제5항에 있어서,

제2의 서브 트랜지스터는, 또한, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제2의 실드 전극을 구비하고,

제2의 실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고,

제1의 서브 트랜지스터는, 또한, 제1의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 제3의 실드 전극 및 제4의 실드 전극을 구비하고,

제3의 실드 전극 및 제4의 실드 전극은, 제1의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고,

제2의 실드 전극과 제4의 실드 전극은, 제1의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역과 제2의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역과 중첩하는 공통 영역에 접속되고,

제3의 실드 전극은, 제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 소자.

청구항 9

(1) 주사 회로,

(2) 영상 신호 출력 회로,

(3) 제1의 방향으로 N개, 제1의 방향과는 다른 제2의 방향으로 M개, 합계 $M \times N$ 개의, 2차원 매트릭스 형상으로 배열된 유기 EL 소자,

(4) 주사 회로에 접속되고, 제1의 방향으로 늘어나는 M개의 주사선,

(5) 영상 신호 출력 회로에 접속되고, 제2의 방향으로 늘어나는 N개의 데이터선, 및,

(6) 전류 공급부를 구비한 유기 EL 표시 장치에 있어서,

유기 EL 소자 각각은, 유기 EL 발광 소자, 및, 유기 EL 발광 소자를 구동하기 위한 구동 회로를 구비하고,

유기 EL 발광 소자는 층간 절연층을 통하여 구동 회로의 위에 형성되고,

구동 회로는,

(A) 소자 구동 트랜지스터,

(B) 영상 신호 기록 트랜지스터, 및,

(C) 한 쌍의 전극을 구비한 커패시터로 구성되고,

소자 구동 트랜지스터에 있어서는,

(A-1) 한쪽의 소스 또는 드레인 영역은, 전류 공급부에 접속되고,

(A-2) 다른 쪽의 소스 또는 드레인 영역은, 유기 EL 발광 소자에 갖춰진 아노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속된, 제2의 노드를 구성하고,

영상 신호 기록 트랜지스터는, 듀얼 게이트 구조의 트랜지스터로 이루어지고, 제1의 게이트 전극과 제1의 채널 형성 영역을 구비한 제1의 서브 트랜지스터, 및, 제2의 게이트 전극과 제2의 채널 형성 영역을 구비한 제2의 서브 트랜지스터로 구성되고,

제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역은, 데이터선에 접속되고,

제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역은, 소자 구동 트랜지스터의 게이트 전극에 접속되고, 또한, 커패시터의 다른 쪽의 전극에 접속된, 제1의 노드를 구성하고,

제1의 서브 트랜지스터의 제1의 게이트 전극, 및, 제2의 서브 트랜지스터의 제2의 게이트 전극은, 주사선에 접속되고,

제1의 서브 트랜지스터의 제1의 게이트 전극은, 제1의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터의 제2의 게이트 전극은, 제2의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터는, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 실드 전극을 구비하고,

실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 10

(1) 주사 회로,

(2) 영상 신호 출력 회로,

(3) 제1의 방향으로 N개, 제1의 방향과는 다른 제2의 방향으로 M개, 합계 $M \times N$ 개의, 2차원 매트릭스 형상으로 배열된 유기 EL 소자,

(4) 주사 회로에 접속되고, 제1의 방향으로 늘어나는 M개의 주사선,

(5) 영상 신호 출력 회로에 접속되고, 제2의 방향으로 늘어나는 N개의 데이터선, 및,

(6) 전류 공급부를 구비한 유기 EL 표시 장치에 있어서,

유기 EL 소자 각각은, 유기 EL 발광 소자, 및, 유기 EL 발광 소자를 구동하기 위한 구동 회로를 구비하고,

유기 EL 발광 소자는 층간 절연층을 통하여 구동 회로의 위에 형성되고,

구동 회로는,

- (A) 소자 구동 트랜지스터,
- (B) 영상 신호 기록 트랜지스터,
- (C) 한 쌍의 전극을 구비한 커패시터, 및,
- (D) 제1의 노드 초기화 트랜지스터로 구성되고,

소자 구동 트랜지스터에 있어서는,

(A-1) 한쪽의 소스 또는 드레인 영역은, 전류 공급부에 접속되고,

(A-2) 다른 쪽의 소스 또는 드레인 영역은, 유기 EL 발광 소자에 갖춰진 아노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속된, 제2의 노드를 구성하고,

영상 신호 기록 트랜지스터에 있어서는,

(B-1) 한쪽의 소스 또는 드레인 영역은, 데이터선에 접속되고,

(B-2) 다른 쪽의 소스 또는 드레인 영역은, 소자 구동 트랜지스터의 게이트 전극에 접속되고, 또한, 커패시터의 다른 쪽의 전극에 접속된, 제1의 노드를 구성하고,

(B-3) 게이트 전극은, 주사선에 접속되고,

제1의 노드 초기화 트랜지스터는, 듀얼 게이트 구조의 트랜지스터로 이루어지고, 제1의 게이트 전극과 제1의 채널 형성 영역을 구비한 제1의 서브 트랜지스터, 및, 제2의 게이트 전극과 제2의 채널 형성 영역을 구비한 제2의 서브 트랜지스터로 구성되고,

제1의 서브 트랜지스터의 한쪽의 소스 또는 드레인 영역은, 제1의 노드 초기화 전압 공급선에 접속되고,

제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역은, 제1의 노드에 접속되고,

제1의 서브 트랜지스터의 제1의 게이트 전극, 및, 제2의 서브 트랜지스터의 제2의 게이트 전극은, 제1의 노드 초기화 트랜지스터 제어선에 접속되고,

제1의 서브 트랜지스터의 제1의 게이트 전극은, 제1의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터의 제2의 게이트 전극은, 제2의 채널 형성 영역의 한쪽의 면과 게이트 절연층을 통하여 대향하고,

제2의 서브 트랜지스터는, 제2의 채널 형성 영역과 유기 EL 발광 소자에 갖춰진 아노드 전극과의 사이에 배치된 실드 전극을 구비하고,

실드 전극은, 제2의 채널 형성 영역의 다른 쪽의 면과 절연층을 통하여 대향하고, 제2의 서브 트랜지스터의 다른 쪽의 소스 또는 드레인 영역에 접속되는 것을 특징으로 하는 유기 EL 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001]

우선권 정보

[0002]

본 발명은 2007년 7월 3일자로 일본특허청에 특허출원된 일본특허원 제2007-175540호를 우선권으로 주장한다.

[0003]

기술 분야

[0004]

본 발명은, 유기 EL(Electro Luminescence) 소자, 및, 이 유기 EL 소자를 이용한 유기 EL 표시 장치에 관한 것이다. 본원 명세서에 있어서, "일렉트로 루미네선스"를 EL로 약칭한다. 또한, 구성 요소의 양측을 각각 구성 요소의 한쪽 및 다른 쪽으로 칭한다. 마찬가지로, 구성 요소의 두 전극을 각각 구성 요소의 한쪽의 전극 및 다른

쪽의 전극으로 칭한다. 또한, 한 영역의 양면을 각각 영역의 한쪽의 면 및 다른 쪽의 면으로 칭한다.

배경 기술

- [0005] 유기 EL 소자(이하, 단지, 유기 EL 소자라고 약칭한다)를 발광 소자로서 이용한 유기 EL 표시 장치(이하, 단지, 유기 EL 표시 장치라고 약칭한다)에서, 유기 EL 소자의 휘도는, 유기 EL 소자를 흐르는 전류치에 의해 제어된다. 엄밀하게 말하면, 유기 EL 소자의 휘도는 유기 EL 소자에 이용되는 유기 EL 발광 소자의 휘도이다. 그리고, 액정 표시 장치와 마찬가지로, 유기 EL 표시 장치에서도, 구동 방식으로서, 단순 매트릭스 방식, 및, 액티브 매트릭스 방식이 널리 알려져 있다. 액티브 매트릭스 방식은, 단순 매트릭스 방식에 비하여 구조가 복잡하게 된다는 결점은 있지만, 화상의 휘도를 높은 것으로 할 수 있는 등, 여러가지의 이점을 갖는다.
- [0006] 유기 EL 소자를 구성하는 유기 EL 발광 소자를 구동하기 위한 회로로서 유기 EL 소자에 포함되는 회로는, 예를 들면, 5개의 트랜지스터와 하나의 커패시터를 포함한다. 하기의 설명에서, 5개의 트랜지스터와 하나의 커패시터를 이용하는 구동 회로를 5Tr/1C 구동 회로로 칭한다. 5Tr/1C 구동 회로는 일본 특허공개공보 제2006-215213호와 같은 문헌에 개시되어 있다. 이 5Tr/1C 구동 회로는, 도 36에 도시하는 바와 같이, 5개의 트랜지스터와 하나의 커패시터(C_1)를 이용한다. 5개의 트랜지스터는 영상 신호 기록 트랜지스터(T_{Sig}), 소자 구동 트랜지스터(T_{Drv}), 발광 제어 트랜지스터(T_{EL_C}), 제 1의 노드 초기화 트랜지스터(T_{ND1}), 제 2의 노드 초기화 트랜지스터(T_{ND2})이다. 이 구성에서, 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역은 제 2의 노드(ND_2)를 형성하고 소자 구동 트랜지스터(T_{Drv})의 게이트 전극은 제 1의 노드(ND_1)를 형성한다. 하기의 설명에서, 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역은 유기 EL 발광 소자에 가까운 측에 마련되어 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역으로 기능하는 소스/드레인 영역이다.
- [0007] 예를 들면, 상기 언급된 각 트랜지스터는 n채널형의 박막 트랜지스터(TFT)로 이루어지고, 본원의 도면에서 ELP로 표현된 발광 소자는, 구동 회로를 덮도록 형성된 층간 절연층 등의 위에 마련되어 있다. 유기 EL 발광 소자(ELP)의 아노드 전극은, 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역에 접속되어 있다. 한편, 유기 EL 발광 소자(ELP)의 캐소드 전극에는, 예를 들면, 0볼트의 전압(V_{Cat})이 인가된다. 본원의 도면에 나타난 부호 C_{EL} 은 유기 EL 발광 소자(ELP)의 기생 용량을 나타낸다.
- [0008] 도 4는 구동 회로의 타이밍 차트를 모식적으로 도시한다. 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (E)는, 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면이다. 구동 회로의 구동 동작의 상세를 하기에 설명한다. 구동 동작의 일부는 하기와 같이 설명된다. 도 4에 도시하는 바와 같이, 기간($TP(5)_1$)에서, 하기에 설명될 임계 전압 캔슬 처리를 행하기 위한 전처리가 실행된다. 즉, 도 36에 도시된 제 1의 노드 초기화 트랜지스터 제어 회로(104) 및 제 2의 노드 초기화 트랜지스터 제어 회로(105)가 구동되어, 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1}) 및 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})이 하이 레벨이 되도록 한다. 이로써, 도 5의 (B)에 도시하는 바와 같이, 제 1의 노드 초기화 트랜지스터(T_{ND1}) 및 제 2의 노드 초기화 트랜지스터(T_{ND2})를 온 상태로 함으로써, 제 1의 노드(ND_1)의 전위는, V_{ofs} (예를 들면, 0볼트)가 된다. 한편, 제 2의 노드(ND_2)의 전위는, V_{ss} (예를 들면, -10볼트)가 된다. 그리고, 이로써, 구동 트랜지스터(T_{Drv})의 게이트 전극과 다른 쪽의 소스/드레인 영역 사이의 전위차가, 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}) 이상이 되어, 구동 트랜지스터(T_{Drv})를 온 상태로 한다.
- [0009] 뒤이어, 도 4에 도시하는 바와 같이, 기간($TP(5)_2$)에서, 임계 전압 캔슬 처리가 행하여진다. 도 5의 (D)에 도시하는 바와 같이, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 기간($TP(5)_2$)의 시작에서, 발광 제어 트랜지스터 제어 회로(103)가 구동되어, 발광 제어 트랜지스터 제어선(CL_{EL_C})이 하이 레벨이 되도록 한다. 이로써, 발광 제어 트랜지스터(T_{EL_C})를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위로부터 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})을 뺀 전위를 향하여, 제 2의 노드(ND_2)의 전위는 변화한다. 즉, 부유 상태의 제 2의 노드(ND_2)의 전위가 상승한다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과 다른 쪽의 소스/드레인 영역 사이의 전위차가 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 구동 트랜지스터(T_{Drv})는 오프 상태가 된다. 이 상태에서는, 제 2의 노드의 전위는, 대강 ($V_{ofs}-V_{th}$)이다. 그 후, 기간($TP(5)_3$)에서, 제 1의 노드 초기

화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)가 구동되어, 발광 제어 트랜지스터 제어선(CL_{EL_C})이 로우 레벨이 되도록 한다. 이로써, 발광 제어 트랜지스터(T_{EL_C})를 오프 상태로 한다. 다음에, 기간($TP(5)_4$)에서, 제 1의 노드 초기화 트랜지스터 제어 회로(104)가 구동되어, 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})이 로우 레벨이 되도록 한다. 이로써, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 오프 상태로 한다.

[0010]

뒤이어, 도 4에 도시하는 바와 같이, 기간($TP(5)_5$)에서, 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리를 행한다. 구체적으로는, 도 6의 (C)에 도시하는 바와 같이, 제 1의 노드 초기화 트랜지스터(T_{ND1}), 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{EL_C})의 오프 상태를 유지한 채로, 데이터선(DTL)의 전위를 영상 신호에 대응하는 전압으로 한다. 따라서 이 전압은 유기 EL 발광 소자(ELP)의 휘도를 제어하기 위한 영상 신호(또는 구동 신호 또는 휘도 신호로 칭함)이다. 뒤이어, 주사선(SCL)을 하이 레벨로 함에 의해 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{Sig} 로 상승한다. 제 1의 노드(ND_1)의 전위의 변화분에 의거한 전하는, 커패시터(C_1)의 용량(c_1), 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL}), 소자 구동 트랜지스터(T_{Drv})에서의 게이트 전극과 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인으로서 기능하도록 유기 EL 발광 소자(ELP)에 가까운 측에 위치한 소스/드레인 영역 사이의 기생 용량(C_{gs})으로 배분된다. 따라서, 제 1의 노드(ND_1)의 전위가 변화하면, 제 2의 노드(ND_2)의 전위도 변화한다. 그러나, 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL})의 용량치가 큰 값일 수록, 제 2의 노드(ND_2)의 전위의 변화는 작아진다. 그리고, 일반적으로, 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL})의 값은, 커패시터(C_1)의 용량(c_1)의 값 및 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소자 구동 트랜지스터(T_{Drv})의 소스/드레인 영역인 유기 EL 발광 소자(ELP)에 가까운 측에 위치한 소스/드레인 영역 사이의 기생 용량(C_{gs})의 값보다도 크다. 상술한 바와 같이, 소자 구동 트랜지스터(T_{Drv})의 소스/드레인 영역으로 기능하도록 유기 EL 발광 소자(ELP)에 가까운 측에 위치한 소스/드레인 영역 사이의 기생 용량(C_{gs})의 값보다도 크다. 상술한 바와 같이, 소자 구동 트랜지스터(T_{Drv})의 소스/드레인 영역으로 기능하도록 유기 EL 발광 소자(ELP)에 가까운 측에 위치한 소스/드레인 영역은 소자 구동 트랜지스터(T_{Drv})의 상술한 다른 쪽의 소스/드레인 영역이다. 그래서, 제 2의 노드(ND_2)의 전위는 거의 변화하지 않는다고 하면, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역 사이의 전위차(V_{gs})는, 이하의 식 (A)과 같이 된다.

[0011]

$$V_{gs} \cong V_{Sig} - (V_{ofs} - V_{th}) \quad (A)$$

[0012]

그 후, 도 4에 도시하는 바와 같이, 기간($TP(5)_6$)에서, 소자 구동 트랜지스터(T_{Drv})의 특성에 응하여 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역의 전위를 상승시키는 이동도 보정 처리를 행한다. 소자 구동 트랜지스터(T_{Drv})의 특성은 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)를 포함한다. 다른 쪽의 소스/드레인 영역에 나타나는 전위는 제 2의 노드(ND_2)에 나타나는 전위이다. 구체적으로는, 도 6의 (D)에 도시하는 바와 같이, 소자 구동 트랜지스터(T_{Drv})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)를 구동하여, 발광 제어 트랜지스터(T_{EL_C})가 온 상태가 되도록 하고, 뒤이어, 소정의 시간(t_0)이 경과한 후, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 한다. 그 결과, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 큰 경우, 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역에서의 전위의 상승량(ΔV)은 커지고, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 작은 경우, 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역에서의 전위의 상승량(ΔV)은 작아진다. 하기의 설명에서, 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역에 나타나는 전위의 상승량(ΔV)은 전압 보정량이라고도 한다. 여기서, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 다른 쪽의 소스/드레인 영역 사이의 전위차(V_{gs})는, 식 (A)로부터 이하의 식 (B)와 같이 변형된다. 또한, 이동도 보정 처리를 실행하기 위한 소정의 시간(기간($TP(5)_6$))의 전(全) 시간(t_0)은, 유기 EL 표시 장치를 설계할 때, 설계치로서 미리 결정하여 두면 좋다.

[0013]

$$V_{gs} \cong V_{Sig} - (V_{ofs} - V_{th}) - \Delta V \quad (B)$$

[0014]

이상의 조작에 의해, 임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 그 후의 기간(TP(5)₇)에서, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태가 되고, 제 1의 노드(ND₁)는, 도 6의 (E)에 도시하는 바와 같이, 부유 상태가 된다. 동 도면에 도시된 바와 같이, 제 1의 노드(ND₁)는 소자 구동 트랜지스터(T_{Drv})의 게이트 전극이다. 한편, 발광 제어 트랜지스터(T_{ELC})는 온 상태를 유지한다. 유기 EL 발광 소자(ELP)에 가까운 측과 반대측의 발광 제어 트랜지스터(T_{ELC})의 소스/드레인 영역은, 유기 EL 발광 소자(ELP)를 구동발광시키는 동작을 제어하기 위한 부(section)로 기능하는 전류 공급부에 연결된다. 전류 공급부는 예를 들면 20볼트의 전압을 생성한다. 따라서, 기간(TP(5)₇)에 수행된 동작의 결과, 제 2의 노드(ND₂)의 전위가 상승하여, 이른바 부트스트랩 회로에서와 같은 현상이 소자 구동 트랜지스터(T_{Drv})의 게이트 전극에 생기고, 제 1의 노드(ND₁)의 전위도 상승한다. 그 결과, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 다른 쪽의 소스/드레인 영역 사이의 전위차(V_{gs})는, 식 (B)의 값을 유지한다. 또한, 유기 EL 발광 소자(ELP)를 흐르는 전류는, 소자 구동 트랜지스터(T_{Drv})의 드레인으로부터 소스로 흐르는 드레인 전류(I_{ds})이다. 따라서, 유기 EL 발광 소자(ELP)를 흐르는 전류는 식 (C)로 나타낼 수 있다. 유기 EL 발광 소자(ELP)는, 드레인 전류(I_{ds})의 값에 따른 휘도로 발광한다.

[0015]

$$I_{ds}=k \cdot \mu \cdot (V_{gs}-V_{th})^2=k \cdot \mu \cdot (V_{Sig}-V_{ofs}-\Delta V)^2 \quad (C)$$

[0016]

지금까지 개요를 설명한 5Tr/1C 구동 회로의 구동 및 다른 특징에 관해서도, 후에 상세히 설명한다.

[0017]

그런데, 도 36에 도시하는 종래의 5Tr/1C 구동 회로를 구비한 유기 EL 소자에서, 유기 EL 발광 소자(ELP)가 발광 상태에 있을 때, 제 1의 노드(ND₁)에 접속된 트랜지스터는 오프 상태에 있다. 구체적으로는, 제 1의 노드(ND₁)에 접속된 트랜지스터는 영상 신호 기록 트랜지스터(T_{Sig})와 제 1의 노드 초기화 트랜지스터(T_{ND1})이다. 그러나, 오프 상태에 있는 트랜지스터를 통하여 흐르는 전류를 완전하게 없앨 수는 없다. 오프 상태에 있는 트랜지스터를 통하여 흐르는 전류는 트랜지스터의 리크 전류이다. 따라서, 제 1의 노드(ND₁)에 각각 접속된 트랜지스터를 통해 흐르는 리크 전류에 기인하여, 커패시터(C_i)에 축적되는 전하량이 변동한다. 그리고, 이 전하량의 변동에 의거하여 제 1의 노드(ND₁)의 전위가 변동하고, 전위의 변동에 의해 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 다른 쪽의 소스/드레인 영역 사이의 전위차(V_{gs})도 변동한다. 상술한 식 (C)에 나타내는 바와 같이, V_{gs}의 값이 변동하면 소자 구동 트랜지스터(T_{Drv})의 드레인에서 소자 구동 트랜지스터(T_{Drv})의 소스로 흐르는 드레인 전류(I_{ds})의 값도 변동하고, 전류(I_{ds})의 변동에 의해 최종적으로는, 유기 EL 발광 소자(ELP)의 휘도도 변화게 된다. 또한, 유기 EL 소자의 제 1의 노드(ND₁)에 접속된 트랜지스터 각각의 리크 전류 특성이 장치마다 변하게 되면, 유기 EL 발광 소자(ELP)의 휘도 변화의 정도도 장치마다 변하게 되고, 유기 EL 표시 장치에 이용되는 유기 EL 발광 소자의 휘도의 균일성도 악화한다. 정성적으로는, 제 1의 노드(ND₁)에 연결되는 트랜지스터 각각의 리크 전류를 설계 단계에서 작게 하면 할수록, 리크 전류 특성의 편차의 폭은 좁아지게 된다. 따라서, 제 1의 노드(ND₁)에 연결되는 트랜지스터 각각의 리크 전류를 설계 단계에서 작게 하는 것에 의해, 유기 EL 표시 장치의 휘도의 균일성은 개선될 수 있다.

[0018]

여기서, 상술한 바와 같이 제 1의 노드(ND₁)에 연결되는 트랜지스터의 리크 전류에 의한 유기 EL 발광 소자(ELP)의 휘도 변화를 경감하기 위해, 트랜지스터의 어느 하나를 듀얼 게이트 구조로 설계하는 경우가 고려된다. 듀얼 게이트 구조는, 서로 접속되어 직렬 회로를 형성하는 두 개의 서브 트랜지스터 각각의 두 게이트 전극이 게이트 절연층 상에서 서로 배선으로 연결되고 높은 도전성을 갖는 고농도 영역이 게이트 공통 영역으로서 게이트 전극 사이에 마련되는 구조이다. 도 37에, 한 예로서, 영상 신호 기록 트랜지스터(T_{Sig})를 듀얼 게이트 구조로 한 구동 회로의 등가 회로도를 도시한다. 영역(A1)은 영상 신호 기록 트랜지스터(T_{Sig})를 구성하는 두 개의 서브 트랜지스터 중 제 1의 서브 트랜지스터의 한쪽의 소스/드레인 영역으로, 제 1의 서브 트랜지스터의 한 쪽의 소스/드레인 영역으로서 기능한다. 영역(A2)은 영상 신호 기록 트랜지스터(T_{Sig})를 구성하는 두 개의 서브 트랜지스터 중 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로서 기능한다. 영역(A3)은 제 1의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역과 제 2의 서브 트랜지스터의 한쪽의 소스/드레인 영역을 겸하는 공통 소스/드레인 영역을 나타낸다. 하기의 설명에서, 공통 소스/드레인 영역을 단순히 공통 영역으로 칭한다. 정성적으로는, 듀얼 게이트 구조의 트랜지스터는, 싱글

게이트 구조의 트랜지스터보다도 리크 전류를 더 억제할 수 있다. 따라서, 상술한 유기 EL 발광 소자(ELP)의 휘도 변화가 억제됨과 함께, 리크 전류 특성의 편차의 폭도 좁아지기 때문에, 유기 EL 표시 장치의 휘도의 균일성의 악화를 억제할 수 있다. 또한, 도 37에 도시된 5Tr/1C 구동 회로에서는, 영상 신호 기록 트랜지스터(T_{Sig})만을 듀얼 게이트 구조로 한 예를 나타냈지만, 대신에, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 듀얼 게이트화한 구성, 또는 또한, 영상 신호 기록 트랜지스터(T_{Sig})와 제 1의 노드 초기화 트랜지스터(T_{ND1})를 함께 듀얼 게이트화한 구성으로 할 수도 있다.

[0019]

여기서, 도 37에 도시하는 5Tr/1C 구동 회로에서, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태에서 오프 상태로 할 때의, 공통 영역(A3)의 전위에 관해 고찰한다. 도 38의 (A)는 듀얼 게이트 구조의 영상 신호 기록 트랜지스터(T_{Sig})를 도시하는 도면이다. 도면에 도시된 바와 같이, 듀얼 게이트 구조를 구비하는 영상 신호 기록 트랜지스터(T_{Sig})는, 게이트 전극의 하나와 영역(A1) 사이에 기생 용량(C_{A1})을 포함하고, 다른 게이트 전극과 영역(A2) 사이에 기생 용량(C_{A2})을 포함하며, 게이트 전극과 공통 영역(A3) 사이에 게이트 전극 기생 용량(C_{A3})을 포함한다. 도 38의 (B)는 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리를 수행하는 5Tr/1C 구동 회로를 도시하는 도면이다. 이 도면에서, 영상 신호를 나타내는 전압(V_{Sig})은 데이터선(DTL)에 나타나는 전위이다. 뒤이어, 주사선(SCL)을 하이 레벨(예를 들면 10볼트)로 함에 의해 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 이 상태에서는, 영역(A1)의 전위, 영역(A2)의 전위 및, 영역(A3)의 전위는, V_{Sig} 가 된다. 영역(A2)의 전위는 제 1의 노드(ND_1)에 나타나는 전위이다. 그 후, 도 38의 (C)에 도시하는 바와 같이, 주사선(SCL)을 로우 레벨(예를 들면 -10볼트)으로 하고, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하는 동작을 행한다.

[0020]

상술한 바와 같이, 듀얼 게이트 구조의 영상 신호 기록 트랜지스터(T_{Sig})는, 게이트 전극의 하나와 영역(A1) 사이에 기생 용량(C_{A1})을 포함하고, 다른 게이트 전극과 영역(A2) 사이에 기생 용량(C_{A2})을 포함하며, 게이트 전극과 공통 영역(A3) 사이에 게이트 전극 기생 용량(C_{A3})을 포함한다. 따라서, 주사선(SCL)을 하이 레벨로부터 로우 레벨로 할 때, 이들의 기생 용량(C_{A1} , C_{A2} 및 C_{A3})에 의한 정전(靜電) 결합에 의해, 영역(A1), 영역(A2), 및, 영역(A3)의 전위는, 마이너스측으로 변화하려고 한다. 그러나, 영역(A1)에는 계속해서 데이터선(DTL)으로부터 전압(V_{Sig})이 인가되는 상태이다. 또한, 기생 용량(C_{A1} , C_{A2} , C_{A3})에 대해, 커패시터(C_1)는 충분히 큰 정전 용량을 갖기 때문에, 영역(A2)의 전위도 실질적으로 V_{Sig} 를 유지한다. 앞서 설명한 바와 같이, 영역(A2)의 전위는 제 1의 노드(ND_1)의 전위이다. 따라서, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태에서 오프 상태로 하면, 영역(A1)과 영역(A2)의 전위에 대해, 영역(A3)의 전위가 상대적으로 마이너스측으로 변화한다. 따라서, 이 상태에서는, 영역(A3)은 소스 영역, 영역(A1), 영역(A2)은 드레인 영역이 된다.

[0021]

또한, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 듀얼 게이트 구조의 트랜지스터로 한 경우에도, 상기에서 설명한 것과 같은 현상이 일어난다. 즉, 제 1의 노드 초기화 트랜지스터(T_{ND1})가 제 1의 서브 트랜지스터와 제 2의 서브 트랜지스터로 구성된 듀얼 게이트 구조의 트랜지스터일 때, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 온 상태에서 오프 상태로 하면, 공통 영역(A3')의 전위는 영역(A1', A2')의 전위보다 상대적으로 낮은 전위로 변화한다. 여기서, 영역(A1')은 제 1의 서브 트랜지스터의 한 쪽의 소스/드레인 영역으로 기능하도록 제 1의 서브 트랜지스터의 한 쪽에 마련된 소스/드레인 영역이며, 영역(A2)은 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 2의 서브 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역이며, 공통 영역(A3')은 제 1의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 1의 서브 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역이 제 2의 서브 트랜지스터의 한 쪽의 소스/드레인 영역으로 기능하도록 제 2의 서브 트랜지스터의 한 쪽에 마련된 소스/드레인 영역과 중첩하는 영역이다. 이 상태에서, 공통 영역(A3')은 소스 영역, 영역(A1' 및 A2')은 각각 제 1 및 제 2의 서브 트랜지스터의 드레인으로서 기능한다.

발명의 내용

해결 하고자하는 과제

[0022]

일반적으로, 트랜지스터의 채널 형성 영역에 인가되는 전계가 트랜지스터의 게이트 전극 이외의 전극의 전위 변

화에 의한 영향을 받는 것은, 트랜지스터를 이용하는 구동 회로의 동작상, 바람직하지가 않다. 예를 들면, 유기 EL 발광 소자(ELP)의 아노드 전극의 전위는, 표시될 화상의 휘도에 따라 변화한다. 유기 EL 발광 소자(ELP)와 구동 회로가 근접하여 배치되어 있는 경우, 유기 EL 발광 소자(ELP)의 아노드 전극의 전위 변화에 의해, 구동 회로에 이용되는 트랜지스터의 채널 형성 영역에 인가되는 전계가 영향을 받을 가능성이 있다. 이 경우, 트랜지스터의 채널 형성 영역을 절연층을 통하여 덮도록, 예를 들면 접지된 실드 전극을 형성함에 의해, 트랜지스터의 채널 형성 영역에 인가되는 전계에 대한 이와 같은 외부의 전극의 전위 변화에 의한 영향을 경감할 수 있다. 그러나, 듀얼 게이트 구조의 트랜지스터에 관해, 예를 들면, 상술한 영역(A1), 영역(A2), 및, 영역(A3)을 단순히 덮는 접지된 실드 전극을 형성하면, 리크 전류가 증대하는 부적합함이 발생한다. 즉, 트랜지스터를 온 상태에서 오프 상태로 할 때에, 제 1의 노드(ND_1)에 연결된 트랜지스터의 영역(A3)의 전위가 상대적으로 마이너스 측으로 변화하기 때문에, 접지된 실드 전극이 마치 게이트 전극으로서 작용하고, 이른바 백 채널 효과와 생긴다. 이로써, 트랜지스터의 리크 전류가 증대하고, 제 1의 노드(ND_1)에 접속되는 트랜지스터를 이른바 듀얼 게이트 구조로 한 효과가 손상된다.

[0023] 상기 언급된 문제점을 해결하기 위해, 본 발명의 발명가는 유기 EL 소자의 제 1의 노드(ND_1)에 접속된 트랜지스터를 듀얼 게이트 구조로 한 효과를 유지하면서, 효과적으로 트랜지스터의 리크 전류를 억제할 수 있는 유기 EL 소자, 및, 이 유기 EL 소자를 이용하는 유기 EL 표시 장치를 발명하였다.

과제 해결수단

[0024] 본 발명의 제 1 또는 제 2의 실시예에 따르면, 유기 EL 표시 장치가 제공되는데, 상기 유기 EL 표시 장치는:

[0025] (1) 주사 회로,

[0026] (2) 영상 신호 출력 회로,

[0027] (3) 제 1의 방향으로 N개의 유기 EL 소자와, 제 1의 방향과는 다른 제 2의 방향으로 M개의 유기 EL 소자로 이루어진 2차원 매트릭스 형상으로 배열된 $M \times N$ 개의 유기 EL 소자,

[0028] (4) 주사 회로에 접속되고, 제 1의 방향으로 늘어나는 M개의 주사선,

[0029] (5) 영상 신호 출력 회로에 접속되고, 제 2의 방향으로 늘어나는 N개의 데이터선, 및,

[0030] (6) 전류 공급부를 구비하고 있다.

[0031] 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치를 구성하는 유기 EL 소자, 및, 본 발명의 제 1의 실시예에 따른 유기 EL 소자는, 유기 EL 발광 소자, 및, 유기 EL 발광 소자를 구동하기 위한 구동 회로를 구비하고 있다. 하기의 설명에서, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치에 이용되는 유기 EL 소자와 본 발명의 제 1의 실시예에 따른 유기 EL 소자는, 본 발명의 제 1의 실시예에 따른 유기 EL 소자로서 칭해진다.

[0032] 그리고, 구동 회로는:

[0033] (A) 소자 구동 트랜지스터,

[0034] (B) 영상 신호 기록 트랜지스터, 및,

[0035] (C) 한 쌍의 전극을 구비한 커패시터를 구비하고 있다.

[0036] 상기 소자 구동 트랜지스터에 있어서,

[0037] (A-1) 소자 구동 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터의 한쪽에 마련된 소스/드레인 영역은, 전류 공급부에 접속되어 있고,

[0038] (A-2) 소자 구동 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은, 유기 EL 발광 소자의 아노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속되어 있고, 제 2의 노드를 구성한다.

[0039] 하기의 설명에서, 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 임의의 트랜지스터의 한쪽에 마련된 소스/드레인 영역을 간단히 소자 구동 트랜지스터의 한쪽의 소스/드레인 영역이라 칭한다. 마찬가지로, 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 임의의 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역을 간단히 소자 구동 트랜지스터의 다른 쪽의 소스/드레인 영역이라 칭한다. 또한, 유기 EL 발광 소자의 아노드에

접속된 커패시터 전극을 커패시터의 한쪽의 전극이라 칭하고 커패시터의 다른 측 상의 커패시터 전극을 커패시터의 다른 쪽의 전극이라 칭한다.

또한, 본 발명의 제 1의 실시예에 있어서, 유기 EL 소자가 제공되는데:

영상 신호 기록 트랜지스터는, 제 1의 게이트 전극과 제 1의 채널 형성 영역을 포함하는 제 1의 서브 트랜지스터, 및, 제 2의 게이트 전극과 제 2의 채널 형성 영역을 포함하는 제 2의 서브 트랜지스터를 포함하는 듀얼 게이트 구조의 트랜지스터이며;

제 1의 서브 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 제 1의 서브 트랜지스터의 한쪽에 마련된 소스/드레인 영역은 데이터선의 하나에 접속되고;

제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 2의 서브 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은 소자 구동 트랜지스터의 게이트 전극과 커패시터의 다른 쪽의 전극에 접속되어, 제 1의 노드를 형성하고;

제 1의 서브 트랜지스터의 제 1의 게이트 전극과 제 2의 서브 트랜지스터의 제 2의 게이트 전극은 주사선의 하나에 접속되고;

제 1의 서브 트랜지스터의 제 1의 게이트 전극은, 제 1의 채널 형성 영역의 한쪽의 면과 제 1의 게이트 전극 사이에 끼인 게이트 절연층을 통해 제 1의 서브 트랜지스터의 제 1의 채널 형성 영역의 한쪽의 면과 대향하고;

제 2의 서브 트랜지스터의 제 2의 게이트 전극은, 제 2의 채널 형성 영역의 한쪽의 면과 제 2의 게이트 전극 사이에 끼인 게이트 절연층을 통해 제 2의 서브 트랜지스터의 제 2의 채널 형성 영역의 한쪽의 면과 대향하고,

제 2의 서브 트랜지스터는, 제 2의 채널 형성 영역의 다른 쪽의 면과 실드 전극 사이에 끼인 실드 절연층을 통해 제 2의 채널 형성 영역의 다른 쪽의 면과 대향하는 실드 전극을 구비하며;

실드 전극은, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역에 접속된다.

본 발명의 제 2의 실시예에 따라 마련된 유기 EL 표시 장치에 이용되는 유기 EL 소자와 본 발명의 제 2의 실시예에 따라 마련된 유기 EL 소자는 유기 EL 발광 소자와 유기 EL 발광 소자를 구동하기 위한 구동 회로를 이용한다. 하기의 설명에서, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치에서 이용되는 유기 EL 소자와 본 발명의 제 2의 실시예에 따른 유기 EL 소자를 간단히 본 발명의 제 2의 실시예에 따른 유기 EL 소자라 칭한다. 그리고, 상기 구동 회로는:

(A) 소자 구동 트랜지스터,

(B) 영상 신호 기록 트랜지스터,

(C) 한 쌍의 전극을 구비한 커패시터, 및

(D) 제 1의 노드 초기화 트랜지스터를 포함한다.

소자 구동 트랜지스터에 있어서,

(A-1) 소자 구동 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터의 한쪽에 마련된 소스/드레인 영역은, 전류 공급부에 접속되어 있고,

(A-2) 소자 구동 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은, 유기 EL 발광 소자의 아노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속되어 있고, 제 2의 노드를 형성한다.

영상 신호 기록 트랜지스터에 있어서,

(B-1) 영상 신호 기록 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 영상 신호 기록 트랜지스터의 한쪽에 마련된 소스/드레인 영역은, 데이터선의 하나에 접속되고;

(B-2) 영상 신호 기록 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 영상 신호 기록 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은, 소자 구동 트랜지스터의 게이트 전극 및 커패시터의 다른 쪽의 전극에 접속되어, 제 1의 노드를 구성하며;

(B-3) 영상 신호 기록 트랜지스터의 게이트 전극은, 주사선의 하나에 접속되어 있다.

- [0061] 또한, 본 발명의 제 2의 실시예에 있어서, 유기 EL 소자가 제공되는데:
- [0062] 제 1의 노드 초기화 트랜지스터는, 제 1의 게이트 전극과 제 1의 채널 형성 영역을 포함하는 제 1의 서브 트랜지스터, 및, 제 2의 게이트 전극과 제 2의 채널 형성 영역을 포함하는 제 2의 서브 트랜지스터를 포함하는 듀얼 게이트 구조의 트랜지스터이고;
- [0063] 제 1의 서브 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 제 1의 서브 트랜지스터의 한쪽에 마련된 소스/드레인 영역은 제 1의 노드 초기화 전압 공급선에 접속되고;
- [0064] 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 2의 서브 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은 제 1의 노드에 접속되고;
- [0065] 제 1의 서브 트랜지스터의 제 1의 게이트 전극과 제 2의 서브 트랜지스터의 제 2의 게이트 전극은 제 1의 노드 트랜지스터 제어선에 접속되고;
- [0066] 제 1의 서브 트랜지스터의 제 1의 게이트 전극은, 제 1의 채널 형성 영역의 한쪽의 면과 제 1의 게이트 전극 사이에 끼인 게이트 절연층을 통해 제 1의 서브 트랜지스터의 제 1의 채널 형성 영역의 한쪽의 면과 대향하고;
- [0067] 제 2의 서브 트랜지스터의 제 2의 게이트 전극은, 제 2의 채널 형성 영역과 제 2의 게이트 전극 사이에 끼인 게이트 절연층을 통해 제 2의 서브 트랜지스터의 제 2의 채널 형성 영역의 한쪽의 면과 대향하고;
- [0068] 제 2의 서브 트랜지스터는, 제 2의 채널 형성 영역의 다른 쪽의 면과 실드 전극 사이에 끼인 실드 절연층을 통해 제 2의 채널 형성 영역의 다른 쪽의 면과 대향하는 실드 전극을 구비하며;
- [0069] 실드 전극은 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역에 접속된다.
- [0070] 본 발명의 제 2의 실시예에 따라 마련된 상술한 구성의 유기 EL 소자에 있어서, 영상 신호 기록 트랜지스터는, 예를 들면, 싱글 게이트 구조 또는 듀얼 게이트 구조를 가질 수 있다. 영상 신호 기록 트랜지스터가 듀얼 게이트 구조의 트랜지스터라면, 상술한 바와 같이 본 발명의 제 1의 실시예에 따른 유기 EL 소자를 각각 구현하는 양호한 실시예를 포함하는 복수의 구성 중 하나로 구성될 수 있다. 영상 신호 기록 트랜지스터와 제 1의 노드 초기화 트랜지스터에 실드 전극을 다양한 방식으로 부가하는 것에 의해 얻어지는 구체적인 구성에 대해서는 하기의 표를 통해 설명한다. 특히, 하기의 표의 제 1열의 조합은, 유기 EL 소자에 마련되는 실드 전극의 수를 억제하면서 영상 신호 기록 트랜지스터와 제 1의 노드 초기화 트랜지스터 둘 다의 리크 전류의 크기를 감소할 수 있다는 이점을 제공한다. 하기의 표에서, "○"는 "존재"를 의미하고, "×"는 "존재하지 않음"을 의미한다.

[0071]

	제 1의 노드 초기화 트랜지스터				영상 신호 기록 트랜지스터			
	(제 1의) 실드 전극	제 2의 실드 전극	제 3의 실드 전극	제 4의 실드 전극	(제 1의) 실드 전극	제 2의 실드 전극	제 3의 실드 전극	제 4의 실드 전극
1	○	×	×	×	○	×	×	×
2	○	×	×	×	○	○	×	×
3	○	×	×	×	○	×	○	×
4	○	×	×	×	○	○	○	○
5	○	○	×	×	○	×	×	×
6	○	○	×	×	○	○	×	×
7	○	○	×	×	○	×	○	×
8	○	○	×	×	○	○	○	○
9	○	×	○	×	○	×	×	×
10	○	×	○	×	○	○	×	×
11	○	×	○	×	○	×	○	×
12	○	×	○	×	○	○	○	○
13	○	○	○	○	○	×	×	×
14	○	○	○	○	○	○	×	×
15	○	○	○	○	○	×	○	×
16	○	○	○	○	○	○	○	○

- [0072] 상술한 양호한 실시예를 포함하는 복수의 구성을 갖는 장치로서 본 발명의 제 1 또는 제 2의 실시예에 따라 마

런된 유기 EL 표시 장치 또는 제 1 또는 제 2의 실시예에 따른 유기 EL 소자에 있어서, 주사 회로와 영상 신호 출력 회로와 같은 여러가지 회로, 주사선 및 데이터선을 포함하는 여러가지 선, 전류 공급부와 유기 EL 발광 소자(ELP) 각각은 공지의 구성 및/또는 구조로 설계될 수 있다. 구체적으로는, 예를 들면, 유기 EL 발광 소자는, 아노드 전극, 정공 수송층, 발광층, 전자 수송층 및 캐소드 전극을 포함하는 구성으로 설계될 수 있다. 하기의 설명에 있어서, 본 발명의 제 1 또는 제 2의 실시예에 따라 마련된 유기 EL 표시 장치와 제 1 또는 제 2의 실시예에 따른 유기 EL 소자를 간단히 본 발명으로 칭하기도 하고 유기 EL 발광 소자를 간단히 발광 소자로 칭하기도 한다.

[0073]

또한, 소자 구동 트랜지스터와 영상 신호 기록 트랜지스터에 더하여, 본 발명의 제 1의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로가 다른 트랜지스터를 이용하는 구성을 제공할 수도 있다. 마찬가지로, 소자 구동 트랜지스터, 영상 신호 기록 트랜지스터, 및 제 1의 노드 초기화 트랜지스터에 더하여, 본 발명의 제 2의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로가 다른 트랜지스터를 이용하는 구성을 제공할 수도 있다. 예를 들면, 본 발명의 제 1 및 제 2의 실시예에 따른 유기 EL 소자 각각에 대해, 소스 또는 드레인으로 각각 기능하는 소스/드레인 영역, 채널 형성 영역 및 게이트 전극을 포함하는 트랜지스터로서 구동 회로 각각에 제 2의 노드 초기화 트랜지스터가 더 마련되는 구성을 제공할 수도 있다. 이 제 2의 노드 초기화 트랜지스터에 있어서, 제 2의 노드 초기화 트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 제 2의 노드 초기화 트랜지스터의 한쪽에 마련된 소스/드레인 영역은 제 2의 노드 초기화 전압 공급선에 접속되고, 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 2의 노드 초기화 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은 제 2의 노드에 접속되고 게이트 전극은 제 2의 노드 초기화 트랜지스터 제어선에 접속된다. 다르게는, 본 발명의 제 1 및 제 2의 실시예에 따른 유기 EL 소자의 각각에 대해, 소스 또는 드레인으로서 각각 기능하는 소스/드레인 영역, 채널 형성 영역 및 게이트 전극을 포함하는 트랜지스터로서 구동 회로 각각에 발광 제어 트랜지스터가 더 마련되는 구성을 제공할 수도 있다. 이 다른 구성에서, 소자 구동 트랜지스터의 한쪽의 소스/드레인 영역으로서 기능하도록 소자 구동 트랜지스터의 한쪽에 마련된 소스/드레인 영역은 발광 제어 트랜지스터를 통해 전류 공급부에 접속되고, 발광 제어 트랜지스터의 게이트 전극은 발광 제어 트랜지스터 제어선에 접속된다. 또한, 본 발명의 제 1의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로가 제 1의 노드 초기화 트랜지스터를 이용하는 구성을 제공할 수도 있다. 이 구성에 있어서, 제 1의 노드 초기화 트랜지스터는 싱글 게이트 구조 또는 듀얼 게이트 구조를 가질 수 있다.

[0074]

일반적으로, 본 발명의 제 1의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로가, 앞서 설명한 2개의 트랜지스터와 하나의 커패시터만을 포함하는 구성 대신, 예를 들면, 5개의 트랜지스터와 하나의 커패시터, 4개의 트랜지스터와 하나의 커패시터, 3개의 트랜지스터와 하나의 커패시터 또는 2개의 트랜지스터와 하나의 커패시터를 포함하는 구동 회로인 구성을 제공할 수도 있다. 마찬가지로, 본 발명의 제 2의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로가, 앞서 설명한 3개의 트랜지스터와 하나의 커패시터만을 포함하는 구성 대신, 예를 들면, 5개의 트랜지스터와 하나의 커패시터, 4개의 트랜지스터와 하나의 커패시터 또는 3개의 트랜지스터와 하나의 커패시터를 포함하는 구동 회로인 구성을 제공할 수도 있다.

[0075]

구동 회로에서 이용되는 트랜지스터 각각은, 예를 들면, n채널형의 TFT(박막 트랜지스터)이다. 그러나, 경우에 따라서는, 예를 들면, 발광 제어 트랜지스터에 p채널형의 박막 트랜지스터를 이용할 수도 있다. 커패시터는, 한쪽의 전극, 다른 쪽의 전극, 및, 이들의 전극에 끼인 유전체층으로 구성할 수 있다. 지금까지 언급한 한쪽 및 다른 쪽의 전극은, 각각, 커패시터의 한쪽 및 다른 쪽에 마련되는 전극이다. 구동 회로를 구성하는 트랜지스터 및 커패시터는, 지지체와 같은 어떤 평면 내에 형성된다. 한편, 유기 EL 발광 소자는 구동 회로에서 이용되는 트랜지스터와 커패시터 상부에 형성된다. 이 구동 회로는, 트랜지스터의 한쪽의 유기 EL 발광 소자와 다른 쪽의 커패시터 사이에 끼인 층간 절연층에 의해 트랜지스터와 커패시터로부터 분리된다. 소자 구동 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은 예를 들면 콘택트 홀을 통하여 유기 EL 발광 소자의 아노드 전극에 접속된다. 또한, 트랜지스터가 반도체 기판 등의 위에 형성되는 구성을 제공할 수도 있다.

[0076]

본 발명의 제 1의 실시예에 따른 유기 EL 소자에 있어서, 듀얼 게이트 구조의 트랜지스터로서 유기 EL 소자의 구동 회로에 이용되는 영상 신호 기록 트랜지스터의 제 2의 서브 트랜지스터는, 제 2의 채널 형성 영역의 다른 쪽의 면과 실드 전극 사이에 끼인 실드 절연층을 통해 제 2의 서브 트랜지스터의 제 2의 채널 형성 영역의 다른 쪽의 면과 대향하는 실드 전극을 구비한다. 실드 전극은, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역 및 제 1의 노드로서 기능하도록 제 2의 서브 트랜지스터의 다른 쪽 상에 마련된 소스/드레인 영역에 접속된다. 상술한 바와 같이, 영상 신호 기록 트랜지스터를 온 상태에서 오프 상태로 하면, 공통 영역은 제 2의 서브

트랜지스터의 소스가 되고, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역은 제 2의 서브 트랜지스터의 드레인이 된다. 실드 전극은 제 2의 채널 형성 영역의 드레인 영역측을 피복하고, 이 상태에서, 실드 전극의 전위는 공통 영역의 전위보다 더 높아진다. 실드 전극은 제 2의 채널 형성 영역 상의 캐리어로 기능하는 전자를 끌어 당긴다. 결과적으로, 제 2의 채널 형성 영역의 공통 영역측에 공핍층이 생성되고, 제 2의 채널 형성 영역과 공통 영역 사이에서 흐르는 리크 전류의 크기는 감소한다. 실드 전극의 형상은 유기 EL 소자의 사양에 따라 미리 적절하게 설정될 수 있다. 또한, 본 발명의 제 1의 실시예의 유기 EL 소자에서의 제 2의 실드 전극 내지 제 4의 실드 전극의 형상도, 유기 EL 소자의 사양 등에 따라, 적절히 설정하면 좋다.

[0077]

또한, 본 발명의 제 2의 실시예의 유기 EL 소자에서는, 듀얼 게이트 구조의 트랜지스터로서 유기 EL 소자의 구동 회로에 이용되는 제 1의 노드 초기화 트랜지스터의 제 2의 서브 트랜지스터는, 제 2의 채널 형성 영역의 다른 쪽의 면과 실드 전극 사이에 끼인 실드 절연층을 통해 제 2의 서브 트랜지스터의 제 2의 채널 형성 영역의 다른 쪽의 면과 대향하는 실드 전극을 구비한다. 상술한 바와 같이, 제 1의 노드 초기화 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 1의 노드 초기화 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역은 제 1의 노드에 접속되고, 실질적으로 제 1의 노드를 형성한다. 실드 전극은 실질적으로, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 2의 서브 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역인 제 1의 노드에 접속된다. 또한, 제 1의 노드 초기화 트랜지스터가 온 상태에서 오프 상태로 전환하면, 본 발명의 제 1의 실시예에 따른 유기 EL 소자의 영상 신호 기록 트랜지스터의 현상과 동일한 현상이 발생한다. 결과적으로, 제 2의 채널 형성 영역의 공통 영역측에 공핍층이 발생하고, 제 2의 채널 형성 영역과 공통 영역 사이의 리크 전류가 감소한다. 실드 전극의 형상은, 유기 EL 소자의 사양 등에 따라 적절히 설정하면 좋다. 또한, 본 발명의 제 2의 실시예의 유기 EL 소자에서의 제 2의 실드 전극 내지 제 4의 실드 전극의 형상도, 유기 EL 소자의 사양 등에 따라 적절히 설정하면 좋다.

[0078]

유기 일렉트로 루미네선스 표시 장치(이하, 단지, 유기 EL 표시 장치라고 약칭한다)는, 예를 들면, $(N/3)$ 개의 열과 M 개의 행으로 이루어진 2차원 매트릭스형상으로 배열된 $(N/3) \times M$ 개의 화소로 구성된다. 화소 각각은, 예를 들면, 적색광을 발광하는 적색광 발광 부화소, 녹색광을 발광하는 녹색광 발광 부화소, 및 청색광을 발광하는 청색광 발광 부화소의 세 개의 부화소로 이루어진다. 따라서, 각 열의 화소는 3개열의 부화소로 이루어진다. 즉, 매트릭스에서 화소 열의 수는 $N/3$ 이고 부화소 열의 수는 N 이다. 부화소 각각은 지금까지 설명된 유기 EL 소자이다. 그러나, 유기 EL 표시 장치의 구현이 이러한 구성에 제한되는 것은 아니다. 예를 들면, 유기 EL 표시 장치는 소위 단색의 표시 장치로서 기능하도록 구성될 수도 있다.

[0079]

상술한 바와 같이 부화소로서 각각 기능하는 유기 EL 소자는, 예를 들면, 선순차 기술(line-to-line sequential technique)의 채택에 의해 구동된다. 상술한 바와 같이, 유기 일렉트로 루미네선스 소자는 간단히 유기 EL 소자로 칭해지기도 한다. 이 경우, 표시 프레임율은 FR(초당 횟수)로 설정된다. 선순차 기술에 따르면, m 번째 열에 정렬된 $N/3$ 개의 화소 또는 N 개의 부화소는 동시에 구동될 수 있다(여기서, $m=1, 2, 3 \dots$ 또는 M 이고, M 은 매트릭스에서의 행의 수를 나타낸다). 구체적으로는, 부화소로서 각각 기능하는 유기 EL 소자는 동시에 구동된다. 다시 말하면, 동일한 행에 정렬된 유기 EL 소자를 구동하는 타이밍은 유기 EL 소자를 하나의 단위로 처리함으로써 제어되거나 또는 모든 유기 EL 소자를 구동하는 타이밍은 행 단위로 제어된다. 그러나, 유기 EL 소자를 구동하는 방법이 선순차 기술에만 제한되는 것은 아니다.

[0080]

선순차 기술에 기초한 처리에서 한 행에 정렬된 화소에 영상 신호를 기록하는 처리는, 영상 신호를 모든 화소에 동시에 기록하는 처리 또는 개개 화소 각각에 영상 신호를 순차적으로 기록하는 처리일 수 있다. 하기의 설명에서, 영상 신호를 모든 화소에 동시에 기록하는 처리를 단순히 동시 신호 기록 처리로 칭하기도 하고 영상 신호를 개개의 화소 각각에 순차적으로 기록하는 처리를 순차 신호 기록 처리로 칭하기도 한다. 동시 또는 순차 신호 기록 처리는 구동 회로의 구성에 따라 적절하게 선택된다.

[0081]

대체적으로, 하기의 설명은 m 번째 행과 n 번째 열의 교차점에 마련된 유기 EL 소자를 구동시키는 처리를 설명하는데, 여기서 $n=1, 2, 3 \dots$ 또는 N 이고 N 은 매트릭스에서의 부화소의 수를 나타낸다. 하기의 설명에서, m 번째 행과 n 번째 열의 교차점에 마련된 유기 EL 소자는 (n, m) 번째 유기 EL 소자 또는 (n, m) 번째 부화소이다. m 번째 행에 정렬된 유기 EL 소자를 주사하는 수평 주사 기간의 끝 이전에, 후술하는 임계 전압 캔슬 처리, 신호 기록 처리 및 이동도 보정 처리와 같은 각종의 처리가 완료된다. 하기의 설명에서, m 번째 행에 정렬된 유기 EL 소자를 주사하는 수평 주사 기간을 m 번째 수평 주사 기간이라 칭한다. 또한, 신호 기록 처리와 이동도 보정 처리는 m 번째 수평 주사 기간 내에서 수행될 필요가 있다. 한편, 구동 회로의 타입에 따라, 임계 전압 캔슬 처리와 임계 전압 캔슬 처리에 수반하는 전처리가 m 번째 수평 주사 기간 이전에 수행될 수 있다.

[0082]

그리고, 상술한 각종의 처리가 전부 종료한 후, 제 m 행째에 배열된 각 유기 EL 소자를 구성하는 발광 소자를 발광시킨다. 또한, 상술한 각종의 처리가 전부 종료한 후, 곧바로 발광 소자를 발광시켜도 좋고, 소정의 기간이 경과한 후에 발광 소자를 발광시켜도 좋다. 예를 들면, 소정의 기간은 소정의 행(行) 수만큼의 수평 주사 기간이다. 이 소정의 기간은, 유기 EL 표시 장치의 사양 및/또는 구동 회로의 구성에 따라, 적절히 설정할 수 있다. 또한, 이하의 설명에서는, 설명의 편의를 위해, 각종의 처리 종료 후, 곧바로 발광 소자를 발광시키는 것으로 한다. 그리고, 제 m 행째에 배열된 각 유기 EL 소자를 구성하는 발광 소자의 발광은, 제 $(m+m')$ 행째에 배열된 각 유기 EL 소자의 수평 주사 기간의 시작 직전까지 계속된다. 여기서, m' 는, 유기 EL 표시 장치의 설계 사양에 의해 결정된다. 즉, 어떤 표시 프레임의 제 m 행째에 배열된 각 유기 EL 소자를 구성하는 발광 소자의 발광은, 제 $(m+m'-1)$ 번째의 수평 주사 기간까지 계속된다. 한편, 제 $(m+m')$ 번째의 수평 주사 기간의 시작부터, 다음 표시 프레임에서의 제 m 번째의 수평 주사 기간 내에서 신호 기록 처리나 이동도 보정 처리가 완료될 때까지, 제 m 행째에 배열된 각 유기 EL 소자를 구성하는 발광 소자는, 원칙적으로 비발광 상태를 유지한다. 상술한 비발광 상태의 기간(이하, 단지, 비발광 기간이라고 부르는 경우가 있다)을 마련함에 의해, 액티브 매트릭스 구동에 수반하는 잔상(殘像) 흐림이 저감되고, 동화상의 품질을 보다 우수한 것으로 할 수 있다. 단, 각 부화소(유기 EL 소자)의 발광 상태/비발광 상태가, 이상에서 설명한 상태로 한정되는 것이 아니다. 또한, 수평 주사 기간의 시간 길이는, $(1/FR) \times (1/M)$ 초 미만의 시간 길이이다. 따라서, $(m+m')$ 의 값이 M 을 초과하는 경우, 초과한 분의 수평 주사 기간은, 다음 표시 프레임에서 처리된다.

[0083]

하나의 트랜지스터가 갖는 2개의 소스/드레인 영역에서, "트랜지스터의 한쪽의 소스/드레인 영역으로 기능하도록 트랜지스터의 한쪽에 마련된 소스/드레인 영역"이라는 용어를, 전원부(電源部)에 접속된 측의 소스/드레인 영역이라는 의미로 사용하는 경우가 있다. 또한, 트랜지스터가 온 상태에 있다 것은, 소스/드레인 영역 사이에 채널이 형성되어 있는 상태를 의미한다. 이러한 트랜지스터의 한쪽의 소스/드레인 영역에서 다른 쪽의 소스/드레인 영역으로 전류가 흐르고 있는지의 여부는 불문한다. 한편, 트랜지스터가 오프 상태에 있다는 것은, 소스/드레인 영역 사이에 채널이 형성되지 않은 상태를 의미한다. 또한, 어떤 트랜지스터의 소스/드레인 영역이 다른 트랜지스터의 소스/드레인 영역에 접속되어 있다는 것은, 어떤 트랜지스터의 소스/드레인 영역과 다른 트랜지스터의 소스/드레인 영역이 같은 영역을 차지하고 있는 형태를 포함한다. 나아가서는, 소스/드레인 영역이나 공통 영역은, 불순물을 함유한 폴리실리콘이나 어모퍼스 실리콘 등의 도전성 물질로 구성할 수 있을 뿐만 아니라, 금속, 합금, 도전성 입자, 이들의 적층 구조, 유기 재료(도전성 고분자)로 이루어지는 층으로 구성할 수 있다. 또한, 이하의 설명에서 이용하는 타이밍 차트에서, 각 기간을 나타내는 횡축의 길이(시간 길이)는 모식적인 것이고, 각 기간의 시간 길이의 비율을 나타내는 것이 아니다.

효 과

[0084]

상술한 바와 같이, 듀얼 게이트 구조의 트랜지스터로서 유기 EL 소자의 구동 회로에 이용되는 영상 신호 기록 트랜지스터의 제 2의 서브 트랜지스터는, 제 2의 채널 형성 영역의 다른 쪽의 면과 실드 전극 사이에 끼인 실드 절연층을 통해 제 2의 서브 트랜지스터의 제 2의 채널 형성 영역의 다른 쪽의 면과 대향하는 실드 전극을 구비한다. 실드 전극은, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인 영역으로 기능하도록 제 2의 서브 트랜지스터의 다른 쪽 상에 마련된 소스/드레인 영역인 제 1의 노드에 접속된다. 상술한 바와 같이, 영상 신호 기록 트랜지스터를 온 상태에서 오프 상태로 하면, 제 2의 채널 형성 영역의 공통 영역측 상에 공핍층이 형성되어 제 2의 채널 형성 영역과 공통 영역 사이의 리크 전류의 크기는 감소한다. 따라서, 커패시터에 축적된 전하량의 변화에 의한 제 1의 노드의 전위 변화는 효과적으로 억제된다. 결과적으로, 유기 EL 표시 장치의 휘도의 균일성을 향상시킬 수 있다.

[0085]

또한, 본 발명의 제 2의 실시예에 따른 유기 EL 소자에 있어서, 듀얼 게이트 구조의 트랜지스터로서 유기 EL 소자의 구동 회로에 이용되는 제 1의 노드 초기화 트랜지스터의 제 2의 서브 트랜지스터는, 제 2의 채널 형성 영역의 다른 쪽의 면과 실드 전극 사이에 끼인 실드 절연층을 통해 제 2의 서브 트랜지스터의 제 2의 채널 형성 영역의 다른 쪽의 면과 대향하는 실드 전극을 구비한다. 실드 전극은, 실질적으로, 제 2의 서브 트랜지스터의 다른 쪽의 소스/드레인으로서 기능하도록 제 2의 서브 트랜지스터의 다른 쪽에 마련된 소스/드레인 영역인 제 1의 노드에 접속된다. 상술한 바와 같이, 제 1의 노드 초기화 트랜지스터가 온 상태에서 오프 상태로 전환하면, 제 2의 채널 형성 영역의 공통 영역측 상에 공핍층이 생성되어, 제 2의 채널 형성 영역과 공통 영역 사이의 누설 전류의 크기가 감소한다. 따라서, 커패시터에 축적된 전하량의 변화에 의한 제 1의 노드의 전위 변화는 효과적으로 억제된다. 결과적으로, 유기 EL 표시 장치의 휘도의 균일성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0086] 이하, 도면을 참조하여, 실시예에 의거하여 본 발명을 설명한다. 제 1의 실시예 내지 제 4의 실시예 및 제 9의 실시예는, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치 및 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치에 이용되는 유기 EL 소자(10)에 관한 것이다. 제 5의 실시예 내지 제 8의 실시예 및 제 10의 실시예는, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치 및 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치에 이용되는 유기 EL 소자(10)에 관한 것이다.
- [0087] 보다 구체적으로는, 제 1의 실시예에 따르면, 영상 신호 기록 트랜지스터가 제 1의 실드 전극을 구비한다. 제 2의 실시예에 따르면, 영상 신호 기록 트랜지스터가 제 1의 실드 전극과 제 2의 실드 전극을 구비한다. 제 3의 실시예에 따르면, 영상 신호 기록 트랜지스터가 제 1의 실드 전극과 제 3의 실드 전극을 구비한다. 제 4의 실시예에 따르면, 영상 신호 기록 트랜지스터가 제 1의 실드 전극 내지 제 4의 실드 전극을 구비한다. 제 9의 실시예는, 제 1의 실시예 내지 제 4의 실시예의 구동 회로를 구성하는 트랜지스터의 수를 줄인 제 1의 변형예 내지 제 3의 변형예에 관한 것이다.
- [0088] 또한, 제 5의 실시예에 따르면, 제 1의 노드 초기화 트랜지스터가 제 1의 실드 전극을 구비한다. 제 6의 실시예에 따르면, 제 1의 노드 초기화 트랜지스터가 제 1의 실드 전극과 제 2의 실드 전극을 구비한다. 제 7의 실시예에 따르면, 제 1의 노드 초기화 트랜지스터가 제 1의 실드 전극과 제 3의 실드 전극을 구비한다. 제 8의 실시예에 따르면, 제 1의 노드 초기화 트랜지스터가 제 1의 실드 전극 내지 제 4의 실드 전극을 구비한다. 제 10의 실시예는, 제 5의 실시예 내지 제 8의 실시예의 구동 회로를 구성하는 트랜지스터의 수를 줄인 변형예에 관한 것이다.
- [0089] 제 1의 실시예
- [0090] 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예는, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치 및 본 발명의 제 1의 실시예에 따른 유기 EL 소자(10)에 관한 것이다. 제 2의 내지 제 4의 실시예와 제 9의 실시예는 후술될 것이다. 또한, 제 1의 실시예 및 제 2의 내지 제 4의 실시예에 따른 구동 회로와 본 발명에 관한 종래 기술로서 앞서 설명된 기술에 기초한 구동 회로와의 대비를 용이하게 하기 위해, 제 1의 실시예 및 제 2의 내지 제 4의 실시예에 따른 구동 회로 각각이 5개의 트랜지스터와 하나의 커패시터로 이루어지는 것으로 가정하여 제 1의 실시예 및 제 2의 내지 제 4의 실시예를 설명한다.
- [0091] 도 1은 제 1의 실시예에 따른 유기 EL 소자(10)에 이용되는 구동 회로의 등가 회로를 도시하고, 도 2는 제 1의 실시예에 따른 유기 EL 표시 장치의 개념도를 도시한다. 도 3은 제 1의 실시예의 유기 EL 소자(10)의 일부분의 모식적인 일부 단면도를 도시하고, 도 4는 구동 회로의 타이밍 차트를 도시한다. 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (E)는 구동 회로에 이용되는 트랜지스터의 온/오프 상태를 모식적으로 도시한다. 또한, 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (E)에서는, 편의상, 소자 구동 트랜지스터를 제외한 모든 트랜지스터를, 싱글 게이트 구조인지 듀얼 게이트 구조인지에 관계없이, 하나의 스위치로 표현하였다.
- [0092] 우선, 제 1의 실시예의 유기 EL 표시 장치에 관해 설명한다. 제 1의 실시예의 유기 EL 표시 장치는, 도 2에 도시하는 바와 같이,
- [0093] (1) 주사 회로(101),
- [0094] (2) 영상 신호 출력 회로(102),
- [0095] (3) 제 1의 방향으로 N개의 유기 EL 소자(10)와, 제 1의 방향과는 다른 제 2의 방향으로 M개의 유기 EL 소자(10)로 이루어진 2차원 매트릭스 형상으로 배열된 M×N개의 유기 EL 소자(10),
- [0096] (4) 주사 회로(101)에 접속되고, 제 1의 방향으로 늘어나는 M개의 주사선(SCL),
- [0097] (5) 영상 신호 출력 회로(102)에 접속되고, 제 2의 방향으로 늘어나는 N개의 데이터선(DTL), 및,
- [0098] (6) 전류 공급부(100)를 구비하고 있다.
- [0099] 후술하는 제 2의 실시예 내지 제 10의 실시예에 이용되는 유기 EL 표시 장치는 상기 설명된 제 1의 실시예에 따른 유기 EL 표시 장치의 구성과 동일한 구성을 갖는다.
- [0100] 또한, 도 2, 및, 후술하는 도 17, 도 22, 도 27, 도 32에서는, 3×3개의 유기 EL 소자(10)를 도시하고 있지만, 이것은, 어디까지나 예시에 지나지 않는다.
- [0101] 그리고, 각 유기 EL 소자(10)는, 유기 EL 발광 소자(ELP), 및, 유기 EL 발광 소자(ELP)를 구동하기 위한 구동

회로를 구비하고 있다. 여기서, 유기 EL 발광 소자(ELP)는, 예를 들면, 아노드 전극, 정공 수송층, 발광층, 전자 수송층, 캐소드 전극 등의 주지의 구성 및/또는 구조를 갖는다. 또한, 주사 회로(101), 영상 신호 출력 회로(102), 주사선(SCL), 데이터선(DTL), 전류 공급부(100)의 구성 및 구조는, 주지의 구성, 구조로 할 수 있다. 후술하는 제 2의 실시예 내지 제 10의 실시예의 유기 EL 소자도 제 1의 실시예의 유기 EL 소자와 동일한 구성을 갖는다. 또한, 후술하는 제 2의 실시예 내지 제 10의 실시예의 유기 EL 발광 소자(ELP)도 제 1의 실시예의 유기 EL 발광 소자(ELP)와 동일한 구성을 갖는다.

- [0102] 도 1에 도시하는 제 1의 실시예의 구동 회로는, 배경 기술에서 설명한 종래의 구동 회로와 마찬가지로, 5개의 트랜지스터와 하나의 커패시터(C_1)로 구성된 구동 회로로 구성되어 있다. 즉, 제 1의 실시예의 구동 회로는, 도 1에 도시하는 바와 같이,
- [0103] (A) 소자 구동 트랜지스터(T_{Drv}),
- [0104] (B) 영상 신호 기록 트랜지스터(T_{Sig}), 및,
- [0105] (C) 한 쌍의 전극을 구비한 커패시터(C_1)를 구비하고 있다.
- [0106] 제 1의 실시예의 구동 회로는, 또한,
- [0107] (D) 제 1의 노드 초기화 트랜지스터(T_{ND1}),
- [0108] (E) 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및,
- [0109] (F) 발광 제어 트랜지스터(T_{EL_C})를 구비하고 있다.
- [0110] 후술하는 제 2의 실시예 내지 제 8의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로는 제 1의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로와 동일한 구성을 갖는다.
- [0111] 소자 구동 트랜지스터(T_{Drv}), 영상 신호 기록 트랜지스터(T_{Sig}), 제 1의 노드 초기화 트랜지스터(T_{ND1}), 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{EL_C})는, 각각, 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비하는 n채널형의 TFT로 이루어진다. 후술하는 제 2의 실시예 내지 제 10의 실시예에서도 마찬가지이다. 또한, 예를 들면 발광 제어 트랜지스터를 p채널형의 TFT로 구성하여도 좋다.
- [0112] 소자 구동 트랜지스터(T_{Drv})에서는,
- [0113] (A-1) 소자 구동 트랜지스터(T_{Drv})의 한쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터(T_{Drv})의 한쪽에 마련된 소스/드레인 영역은, 전류 공급부(100)에 접속되어 있고,
- [0114] (A-2) 소자 구동 트랜지스터(T_{Drv})의 다른 쪽의 소스/드레인 영역으로 기능하도록 소자 구동 트랜지스터(T_{Drv})의 다른 쪽에 마련된 소스/드레인 영역은, 유기 EL 발광 소자(ELP)의 아노드 전극에 접속되고, 또한, 커패시터(C_1)의 한쪽의 전극에 접속되어 있고, 제 2의 노드(ND_2)를 구성한다.
- [0115] 후술하는 제 2의 실시예 내지 제 10의 실시예에 따른 유기 EL 소자에 이용되는 소자 구동 트랜지스터(T_{Drv})는 제 1의 실시예에 따른 유기 EL 소자에 이용되는 소자 구동 트랜지스터(T_{Drv})와 동일한 방식으로 다른 소자에 연결된다.
- [0116] 여기서, 소자 구동 트랜지스터(T_{Drv})는, 유기 EL 소자(10)의 발광 상태에서는, 이하의 식 (1)에 따라 드레인 전류(I_{ds})를 흘리도록 구동된다. 유기 EL 소자(10)의 발광 상태에서는, 소자 구동 트랜지스터(T_{Drv})의 한쪽의 소스/드레인 영역은 드레인 영역으로서 작용하고, 다른 쪽의 소스/드레인 영역은 소스 영역으로서 작용한다. 설명의 편의를 위해, 이하의 설명에서, 소자 구동 트랜지스터(T_{Drv})의 한쪽의 소스/드레인 영역을 단지 드레인 영역이라고 부르고, 다른 쪽의 소스/드레인 영역을 단지 소스 영역이라고 부르는 경우가 있다. 또한, 이하의 식 (1)에서 사용되는 기호에 대한 설명은 다음과 같다:
- [0117] μ : 실효적인 이동도

- [0118] L : 채널 길이
- [0119] W : 채널 폭
- [0120] V_{gs} : 게이트 전극과 소스 영역 사이의 전위차
- [0121] V_{th} : 임계 전압
- [0122] C_{ox} : (게이트 절연층의 비(比)유전율)×(진공의 유전율)/(게이트 절연층의 두께)
- [0123] $k \equiv (1/2) \cdot (W/L) \cdot C_{ox}$ 로 한다.
- [0124] 상기 설명은, 후술하는 제 2의 실시예 내지 제 10의 실시예에서도 마찬가지이다.
- [0125] $I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2$ (1)
- [0126] 이 드레인 전류(I_{ds})가 유기 EL 소자(10)의 유기 EL 발광 소자(ELP)를 통해 흐름으로써, 유기 EL 발광 소자(ELP)가 발광한다. 나아가서는, 이 드레인 전류(I_{ds})의 값의 대소에 의해, 유기 EL 소자(10)의 유기 EL 발광 소자(ELP)에서의 발광 상태가 제어된다. 유기 EL 소자(10)에 이용되는 유기 EL 발광 소자(ELP)의 발광 상태를 유기 EL 발광 소자(ELP)의 휘도라고도 칭한다. 후술하는 제 2의 실시예 내지 제 10의 실시예에서의 드레인 전류(I_{ds})도 제 1의 실시예에서의 드레인 전류(I_{ds})와 동일한 역할을 한다.
- [0127] 도 3에 도시하는 바와 같이, 제 1의 실시예에서의 구동 회로를 구성하는 트랜지스터 및 커패시터(C_1)는 지지체(20)상에 형성되고, 유기 EL 발광 소자(ELP)는, 예를 들면, 층간 절연층(46)을 통하여, 구동 회로를 구성하는 트랜지스터 및 커패시터(C_1)의 상방에 형성되어 있다. 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예에서, 트랜지스터, 커패시터(C_1) 및 유기 EL 발광 소자(ELP)의 형성에 관해서는, 제 1의 실시예에서와 마찬가지이다. 또한, 도 3, 및, 후술하는 도 9의 (A), 도 10의 (B), 및, 도 11의 (B)에서는, 영상 신호 기록 트랜지스터(T_{Sig})만을 도시한다. 영상 신호 기록 트랜지스터(T_{Sig}) 이외의 트랜지스터는 은폐되어 보이지 않는다.
- [0128] 제 1의 실시예에서는, 영상 신호 기록 트랜지스터(T_{Sig})는, 반도체층(33), 반도체층(33)에 마련된 소스/드레인 영역, 및, 소스/드레인 영역 사이의 채널 형성 영역을 구비하고 있다. 도 1 및 도 3에 도시하는 바와 같이, 제 1의 실시예에서는, 영상 신호 기록 트랜지스터(T_{Sig})는, 듀얼 게이트 구조의 트랜지스터로 이루어지고, 제 1의 게이트 전극(31A), 소스/드레인 영역(35A) 및 제 1의 채널 형성 영역(34A)을 구비하는 제 1의 서브 트랜지스터(T_{Sig_1}), 및, 제 2의 게이트 전극(31B), 제 2의 소스/드레인 영역(35B) 및 제 2의 채널 형성 영역(34B)을 구비하는 제 2의 서브 트랜지스터(T_{Sig_2})로 구성되어 있다. 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예에서의 영상 신호 기록 트랜지스터(T_{Sig})도 마찬가지이다.
- [0129] 도 3에 도시하는 소스/드레인 영역(35A), 제 2의 소스/드레인 영역(35B), 및, 공통 소스/드레인 영역(35C)은, 각각, 반도체층(33)에 마련된 영역이다. 공통 소스/드레인 영역(35C)은, 제 1의 서브 트랜지스터(T_{Sig_1})의 다른 쪽의 소스/드레인 영역과 제 2의 서브 트랜지스터(T_{Sig_2})의 한쪽의 소스/드레인 영역이 서로 중첩하는 영역이다. 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의(한쪽의) 소스/드레인 영역(35A)은, 데이터선(DTL)(도 3에서는, 배선(38)에 상당한다)에 접속되어 있다. 제 2의 서브 트랜지스터(T_{Sig_2})의 제 2의(다른 쪽의) 소스/드레인 영역(35B)은, 소자 구동 트랜지스터(T_{drv})의 게이트 전극, 또한, 커패시터(C_1)의 다른 쪽의 전극(36)에 접속되어 있고, 제 1의 노드(ND_1)를 구성하고 있다. 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의 게이트 전극(31A), 및, 제 2의 서브 트랜지스터(T_{Sig_2})의 제 2의 게이트 전극(31B)은, 주사선(SCL)에 접속되어 있다. 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의 게이트 전극(31A)은, 제 1의 채널 형성 영역(34A)의 한쪽의 면과 제 1의 게이트 전극(31A) 사이에 끼인 게이트 절연층(32)을 통해 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의 채널 형성 영역(34A)의 한 쪽의 면과 대향한다. 제 2의 서브 트랜지스터(T_{Sig_2})의 제 2의 게이트 전극(31B)은, 제 2의 채널 형성 영역(34B)의 한 쪽의 면과 제 2의 게이트 전극(31B) 사이에 끼인 게이트 절연층(32)을 통해 제 2의 서브 트랜지스터(T_{Sig_2})의 제

2의 채널 형성 영역(34B)의 한쪽의 면과 대향한다. 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예에서의 영상 신호 기록 트랜지스터(T_{Sig})도 상기 설명된 제 1의 실시예에서의 영상 신호 기록 트랜지스터(T_{Sig})와 동일하게 다른 부품에 연결된다.

[0130] 그리고, 제 2의 서브 트랜지스터(T_{Sig_2})는, 제 2의 채널 형성 영역(34B)의 다른 쪽의 면과 실드 전극(42) 사이에 끼인 실드 절연층(40)을 통해 제 2의 서브 트랜지스터(T_{Sig_2})의 제 2의 채널 형성 영역(34B)의 다른 쪽의 면과 대향하는 실드 전극(42)을 구비한다. 실드 전극(42)은, 제 2의 서브 트랜지스터(T_{Sig_2})의 다른 쪽의 소스/드레인 영역(35B)에 접속되어 있다. 보다 구체적으로는, 제 1의 실시예에서는, 제 2의 서브 트랜지스터(T_{Sig_2})의 다른 쪽의 소스/드레인 영역(35B)과 접속되는 배선(41)으로부터의 연재부가 실드 전극(42)을 구성하고 있다. 제 1의 실시예에 대한 상기의 설명은, 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예에서도 마찬가지로 이다.

[0131] 또한, 다른 트랜지스터도 상기에서 설명한 것과 마찬가지로 반도체층, 게이트 절연막, 게이트 전극 등으로 구성되어 있다. 또한, 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예에서의 다른 트랜지스터 각각도 제 1의 실시예의 다른 트랜지스터의 각각과 동일한 구성을 갖는다.

[0132] 한편, 커패시터(C_1)는, 다른 쪽의 전극(36), 게이트 절연층(32)의 연재부로 구성된 유전체층, 및, 한쪽의 전극(37)(제 2의 노드(ND_2)에 상당한다)으로 이루어진다. 게이트 전극(31A, 31B), 게이트 절연층(32)의 일부, 및 다른 쪽의 전극(36)은, 지지체(20)상에 형성되어 있다. 상술한 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})의 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의(한쪽의) 소스/드레인 영역(35A)은 배선(38)에 접속되고, 제 2의(다른 쪽의) 소스/드레인 영역(35B)은, 다른 쪽의 전극(36)에 접속되어 있다. 영상 신호 기록 트랜지스터(T_{Sig}) 및 커패시터(C_1) 등은, 층간 절연층(46)으로 피복되고, 층간 절연층(46)상에, 아노드 전극(51), 정공 수송층, 발광층, 전자 수송층, 및, 캐소드 전극(53)으로 이루어지는 유기 EL 발광 소자(ELP)가 마련되어 있다. 또한, 도면에서는, 정공 수송층, 발광층, 및, 전자 수송층을 1층(52)로 나타내었다. 유기 EL 발광 소자(ELP)가 마련되지 않은 층간 절연층(46)의 부분의 위에는, 제 2의 층간 절연층(54)이 마련되고, 제 2의 층간 절연층(54) 및 캐소드 전극(53)상에는 투명한 기관(21)이 배치되어 있고, 발광층에서 발광한 광은, 기관(21)을 통과하여, 외부에 출사된다. 또한, 커패시터(C_1)의 한쪽의 전극(37)과 유기 EL 발광 소자(ELP)의 아노드 전극(51)은, 층간 절연층(46)에 마련된 콘택트 홀에 의해 접속되어 있다. 또한, 유기 EL 발광 소자(ELP)의 캐소드 전극(53)은, 제 2의 층간 절연층(54), 층간 절연층(46)에 마련된 콘택트 홀(56, 55)을 통하여, 게이트 절연층(32)의 연재부상에 마련된 배선(39)에 접속되어 있다. 상기의 설명 내용은 후술하는 제 2의 실시예 내지 제 10의 실시예에서도 마찬가지이다.

[0133] 상술한 각 트랜지스터, 커패시터(C_1), 배선(38)을 포함하는 각종 배선, 실드 전극(42)을 포함하는 각종의 전극 등은, 여러가지의 주지의 방법에 의해 형성할 수 있으며, 후술하는 제 2의 실시예 내지 제 10의 실시예에서도 마찬가지이다.

[0134] 영상 신호 기록 트랜지스터(T_{Sig})를 구성하는 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의(한쪽의) 소스/드레인 영역(35A)은, 상술한 바와 같이, 데이터선(DTL)에 접속되어 있다. 그리고, 영상 신호 출력 회로(102)로부터 데이터선(DTL)을 통하여, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 전압(V_{Sig})이, 제 1의(한쪽의) 소스/드레인 영역(35A)에 공급된다. 또한, 데이터선(DTL)을 통하여, V_{Sig} 이외의 여러가지의 신호와 전압(프리차지 구동을 위한 신호나 각종의 기준 전압 등)이, 제 1의(한쪽의) 소스/드레인 영역(35A)에 공급되어도 좋다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})의 온/오프 동작은, 영상 신호 기록 트랜지스터(T_{Sig})의 게이트 전극(31A, 31B)에 접속된 주사선(SCL)에 나타나는 신호에 의해 제어된다. 상기 설명은, 후술하는 제 2의 실시예 내지 제 4의 실시예, 및, 제 9의 실시예에서도 마찬가지이다. 또한, 후술하는 제 5의 실시예 내지 제 8의 실시예, 및, 제 10의 실시예에서도, 소자 구동 트랜지스터(T_{Sig})가 싱글 게이트 구성인 점을 제외하면, 상기에서 설명한 것과 마찬가지이다.

[0135] 제 1의 노드 초기화 트랜지스터(T_{ND1})의 한쪽의 소스/드레인 영역은, 제 1의 노드 초기화 전압 공급선(PS_{ND1})에 접속되어 있다. 다른 쪽의 소스/드레인 영역은, 제 1의 노드(ND_1)에 접속되어 있다. 제 1의 노드 초기화 트랜지

스터(T_{ND1})의 게이트 전극은, 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})에 접속되어 있다. 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})은, 제 1의 노드 초기화 트랜지스터 제어 회로(104)에 접속되어 있다. 후술하는 제 2의 실시예 내지 제 4의 실시예에서의 제 1의 노드 초기화 트랜지스터(T_{ND1})와 다른 부품의 접속은, 상기 설명된 제 1의 실시예에서의 제 1의 노드 초기화 트랜지스터(T_{ND1})와 다른 부품의 접속과 동일하다.

[0136]

제 1의 노드 초기화 트랜지스터(T_{ND1})의 온/오프 동작은, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 게이트 전극에 접속된 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})에 나타나는 신호에 의해 제어된다. 제 1의 노드 초기화 전압 공급선(PS_{ND1})에는, 제 1의 노드(ND_1)를 초기화하기 위한 전압(V_{ofs})이 인가된다. 이 설명은, 후술하는 제 2의 실시예 내지 제 4의 실시예에서도 마찬가지이다.

[0137]

그리고, 제 2의 노드 초기화 트랜지스터(T_{ND2})의 한쪽의 소스/드레인 영역은, 제 2의 노드 초기화 전압 공급선(PS_{ND2})에 접속되어 있다. 다른 쪽의 소스/드레인 영역은 제 2의 노드(ND_2)에 접속되어 있다. 제 2의 노드 초기화 트랜지스터(T_{ND2})의 게이트 전극은, 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})에 접속되어 있다. 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})은, 제 2의 노드 초기화 트랜지스터 제어 회로(105)에 접속되어 있다. 후술하는 제 2의 실시예 내지 제 8의 실시예, 제 9의 실시예에서의 제 1의 변형예(4Tr/1C 구동 회로), 제 10의 실시예에서의 제 2의 노드 초기화 트랜지스터(T_{ND2})와 다른 부품의 접속은, 상기 설명된 제 1의 실시예에서의 제 1의 노드 초기화 트랜지스터(T_{ND2})와 다른 부품의 접속과 동일하다.

[0138]

제 2의 노드 초기화 트랜지스터(T_{ND2})의 온/오프 동작은, 제 2의 노드 초기화 트랜지스터(T_{ND2})의 게이트 전극에 접속된 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})에 나타나는 신호에 의해 제어된다. 제 2의 노드 초기화 전압 공급선(PS_{ND2})에는, 제 2의 노드(ND_2)를 초기화하기 위한 전압(V_{ss})이 인가된다. 이 설명은, 후술하는 제 2의 실시예 내지 제 8의 실시예, 제 9의 실시예에 따른 구동 회로의 변형예(4Tr/1C 구동 회로), 및 제 10의 실시예에서도 마찬가지이다.

[0139]

소자 구동 트랜지스터(T_{drv})의 드레인 영역과 전류 공급부(100)는, 발광 제어 트랜지스터(T_{EL_C})를 통하여 접속되어 있다. 발광 제어 트랜지스터(T_{EL_C})의 게이트 전극은, 발광 제어 트랜지스터 제어선(CL_{EL_C})에 접속되어 있다. 발광 제어 트랜지스터 제어선(CL_{EL_C})은, 발광 제어 트랜지스터 제어 회로(103)에 접속되어 있다. 이 설명은, 후술하는 제 2의 실시예 내지 제 8의 실시예, 제 9의 실시예에 따른 구동 회로의 제 1의 변형예(4Tr/1C 구동 회로), 제 10의 실시예에서도 마찬가지이다.

[0140]

보다 구체적으로는, 발광 제어 트랜지스터(T_{EL_C})의 한쪽의 소스/드레인 영역은, 전압(V_{cc})을 생성하는 전류 공급부(100)에 접속되고, 발광 제어 트랜지스터(T_{EL_C})의 다른 쪽의 소스/드레인 영역은, 소자 구동 트랜지스터(T_{drv})의 드레인 영역에 접속되어 있다. 또한, 발광 제어 트랜지스터(T_{EL_C})의 온/오프 동작은, 발광 제어 트랜지스터(T_{EL_C})의 게이트 전극에 접속된 발광 제어 트랜지스터 제어선(CL_{EL_C})에 나타나는 신호에 의해 제어된다. 또한, 전류 공급부(100)는, 유기 EL 발광 소자(ELP)의 발광을 제어하기 위해, 발광 제어 트랜지스터(T_{EL_C})와 소자 구동 트랜지스터(T_{drv})를 통해, 유기 EL 소자(10)의 유기 EL 발광 소자(ELP)에 전류를 공급한다. 이 설명은, 후술하는 제 2의 실시예 내지 제 8의 실시예, 제 9의 실시예에 따른 구동 회로의 제 1의 변형예(4Tr/1C 구동 회로), 제 10의 실시예에서도 마찬가지이다.

[0141]

유기 EL 발광 소자(ELP)의 아노드 전극은, 상술한 바와 같이, 소자 구동 트랜지스터(T_{drv})의 소스 영역에 접속되어 있다. 한편, 유기 EL 발광 소자(ELP)의 캐소드 전극에는, 전압(V_{cat})이 인가된다. 도면에서, 유기 EL 발광 소자(ELP)의 기생 용량을 부호 C_{EL} 로 나타낸다. 또한, 유기 EL 발광 소자(ELP)의 발광에 필요하게 되는 전압을 V_{th-EL} 로 한다. 즉, 유기 EL 발광 소자(ELP)의 아노드 전극과 캐소드 전극 사이에 V_{th-EL} 이상의 전압이 인가되면, 유기 EL 발광 소자(ELP)는 발광한다. 이 설명은, 후술하는 제 2의 실시예 내지 제 10의 실시예에서도 마찬가지이다. 상기 전압(V_{th-EL})은 유기 EL 발광 소자(ELP)의 임계 전압이다.

- [0142] 또한, 도 36을 이용하여 설명한 종래의 5Tr/1C 구동 회로는, 영상 신호 기록 트랜지스터(T_{Sig})가 싱글 게이트 구조인 점을 제외하고, 상기에서 설명한 것과 같은 구성을 갖는다.
- [0143] 이상, 제 1의 실시예의 유기 EL 표시 장치, 유기 EL 소자, 및, 유기 EL 발광 소자(ELP)를 구동하기 위한 구동 회로의 구성에 관해 설명하고, 아울러서, 종래의 5Tr/1C 구동 회로의 구성을 설명하였다.
- [0144] 이상, 제 1의 실시예에 따른 유기 EL 표시 장치, 제 1의 실시예에 따른 유기 EL 소자로서 유기 EL 표시 장치에 이용된 유기 EL 소자(10), 및 유기 EL 발광 소자(ELP)를 구동하기 위한 구동 회로로서 유기 EL 소자에 이용되는 5Tr/1C 구동 회로를 설명하였다.
- [0145] 뒤이어, 도면을 참조하여, 실드 전극(42)에 의한 작용에 관해 설명한다. 도 7의 (A)는, 후술하는 기간($TP(5)_7$)에서, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태에 있을 때의, 제 2의 채널 형성 영역(34B) 부근의 상황을 모식적으로 도시한 도면이다. 본 실시예에서, 공통 소스/드레인 영역(35C)과 제 2의(다른 쪽의) 소스/드레인 영역(35B) 사이의 제 2의 채널 형성 영역(34B)은 제 2의 게이트 전극(31B)의 폭과 거의 동일한 폭을 갖는 영역에 설정되고, 마찬가지로, 공통 소스/드레인 영역(35C)과 제 1의(한쪽의) 소스/드레인 영역(35A) 사이의 제 1의 채널 형성 영역은 제 1의 게이트 전극(31A)의 폭과 거의 동일한 폭을 갖는 영역에 설정된다.
- [0146] 후술하는 기간($TP(5)_7$)의 직전에, 데이터선(DTL)의 전위는 V_{Sig} (예를 들면 15볼트), 주사선(SCL)의 전위는 하이 레벨(예를 들면 10볼트)이다. 데이터선(DTL)의 전위는 도 3에서는, 배선(38)의 전위이다. 게이트 전극(31A, 31B)에는 주사선(SCL)을 통해 10볼트가 인가되어 있고, 영상 신호 기록 트랜지스터(T_{Sig})는 온 상태에 있다. 따라서, 제 1의(한쪽의) 소스/드레인 영역(35A), 제 1의 채널 형성 영역(34A), 공통 소스/드레인 영역(35C), 제 2의 채널 형성 영역(34B), 제 2의(다른 쪽의) 소스/드레인 영역(35B), 배선(41), 실드 전극(42), 및, 다른 쪽의 전극(36)의 전위는, V_{Sig} (예를 들면 15볼트)이다.
- [0147] 그리고, 기간($TP(5)_7$)에서, -10볼트의 전압이 주사선(SCL)을 통해 게이트 전극(31A, 31B)에 인가되고, 영상 신호 기록 트랜지스터(T_{Sig})는 오프 상태가 된다. 이 상태에서는, 배경 기술에서 도 38(A) 내지 (C)를 참조하여 설명한 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역(35A)과 다른 쪽의 소스/드레인 영역(35B)의 전위에 대해, 공통 소스/드레인 영역(35C)의 전위는 상대적으로 마이너스측으로 변화한다. 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역(35A)과 다른 쪽의 소스/드레인 영역(35B)의 전위에 대한 상대적인 마이너스측 전위의 예는 0볼트이다. 따라서, 이 상태에서, 공통 소스/드레인 영역(35C)은 제 1의 서브 트랜지스터(T_{Sig1})와 제 2의 서브 트랜지스터(T_{Sig2})에 공통인 소스 영역이 되고 제 1의(한쪽의) 소스/드레인 영역(35A)은 제 1의 서브 트랜지스터(T_{Sig1})의 드레인으로서 기능하고 제 2의(다른 쪽의) 소스/드레인 영역(35B)은 제 2의 서브 트랜지스터(T_{Sig2})의 드레인 영역으로서 기능한다.
- [0148] 그리고, 실드 전극(42)은 제 2의 채널 형성 영역(34B)의 제 2의(다른 쪽의) 소스/드레인 영역(35B)측을 덮으며, 이 상태에서는 실드 전극(42)의 전위는 공통 소스/드레인 영역(35C)의 전위보다도 높다. 따라서, 도 7의 (A)에 도시하는 바와 같이, 제 2의 채널 형성 영역(34B)의 캐리어(이 경우, 전자)는, 실드 전극(42)에 의해 끌어당겨진다. 이로써, 제 2의 채널 형성 영역(34B)의 공통 소스/드레인 영역(35C)측에 공핍층이 발생하기 때문에, 제 2의 채널 형성 영역(34B)과 공통 소스/드레인 영역(35C) 사이에 리크 전류가 흐르기 더 어려워진다. 상술한 바와 같이, 제 2의 채널 형성 영역(34B)은, 제 1의 노드(ND_1)를 구성하는 제 2의(다른 쪽의) 소스/드레인 영역(35B)측의 채널 형성 영역이다. 따라서, 제 1의 노드(ND_1)를 통한 커패시터(C_1)의 전하량의 변동을 효과적으로 억제할 수 있다.
- [0149] 도 7의 (B)에, 실드 전극(42)을 부가함에 의한 전류-전압 특성의 변화를 모식적으로 도시한다. 실선은 실드 전극(42)을 부가한 경우의 특성을 도시하고, 파선은 실드 전극(42)을 부가하지 않는 경우의 특성을 도시한다. 도 7의 (B)에서, 횡축의 $V_{31B-35C}$ 는, 제 2의 게이트 전극(31B)과 공통 소스/드레인 영역(35C) 사이의 전위차를 나타낸다. 상술한 바와 같이, 오프 상태에서, 공통 소스/드레인 영역(35C)은 소스 영역으로 기능한다. 마찬가지로, 종축의 $I_{35B-35C}$ 는, 제 2의(다른 쪽의) 소스/드레인 영역(35B)과 공통 소스/드레인 영역(35C) 사이에 흐르는 전류를 나타낸다. 상술한 바와 같이, 오프 상태에서, 제 2의(다른 쪽의) 소스/드레인 영역(35B)은 드레인 영역으로 기능한다. 드레인 영역측에 형성된 실드 전극(42)이 제 2의 채널 형성 영역(34B)에 미치는 전계의 영향에 의해,

제 2의 채널 형성 영역(34B)이 구성하는 제 2의 서브 트랜지스터($T_{Sig,2}$)의 임계 전압은 마이너스측으로 시프트한다. 도 7의 (B)에 나타내는 V_1 은, 실드 전극(42)이 없는 경우에 제 2의 채널 형성 영역(34B)이 구성하는 제 2의 서브 트랜지스터($T_{Sig,2}$)가 오프 상태가 되는 전압을 나타낸다. 마찬가지로, 도 7의 (B)에 나타내는 V_2 는, 실드 전극(42)이 있는 경우에 제 2의 서브 트랜지스터($T_{Sig,2}$)가 오프 상태가 되는 전압을 나타낸다. 실드 전극(42)을 부가한 경우, $V_{31B-35C}$ 의 값이 도 7의 (B)에 도시하는 V_2 보다 마이너스측이라면, 트랜지스터는 오프 상태가 된다. 그리고, 이 상태에서는, 상술한 공핍층의 형성 효과에 의해, 파선으로 도시하는 그래프에 대해, 실선으로 도시하는 그래프는 $I_{35B-35C}$ 의 값이 낮게 억제되어 있다. 즉, 오프 상태에서 리크 전류가 억제되어 있다.

- [0150] 이상, 실드 전극(42)의 작용에 관해 설명하였다. 뒤이어, 상술한 제 1의 실시예의 구동 회로를 이용한 유기 EL 발광 소자(ELP)의 구동 방법의 설명을 행한다. 또한, 도 36에 도시한 종래의 5Tr/1C 구동 회로의 구동 방법은, 이하 설명하는 제 1의 실시예의 구동 방법과 마찬가지로이다. 또한, 후술하는 제 2의 실시예 내지 제 8의 실시예에 따른 구동 방법도 제 1의 실시예의 구동 방법과 마찬가지로이다.
- [0151] 또한, 상술한 바와 같이, 각종의 처리(임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리)가 전부 완료한 후, 곧바로 발광 상태가 시작되는 것으로 하여 설명한다. 그러나, 앞서 설명한 각종 처리가 완료된 후 소정 시간 경과 후에 발광 상태가 시작할 수도 있다.
- [0152] 후술하는 제 2의 실시예 내지 제 10의 실시예도 포함하여, 이하의 설명에서, 전압 또는 전위의 값을 이하와 같이 하지만, 이것은, 어디까지나 설명을 위한 값이고, 이들의 값으로 한정되는 것이 아니다.
- [0153] V_{Sig} 는 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호로서, 0볼트 내지 15볼트 범위의 전압이다.
- [0154] V_{CC} 는 유기 EL 발광 소자(ELP)의 발광을 제어하기 위한 전류 공급부의 전압으로서, 20볼트로 설정된다.
- [0155] V_{ofs} 는 소자 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위(제 1의 노드(ND_1)의 전위)를 초기화하기 위한 전압으로서, 0볼트로 설정된다.
- [0156] V_{ss} 는 소자 구동 트랜지스터(T_{Drv})의 소스 영역의 전위(제 2의 노드(ND_2)의 전위)를 초기화하기 위한 전압으로서, -10볼트로 설정된다.
- [0157] V_{th} 는 소자 구동 트랜지스터(T_{Drv})의 임계 전압으로서, 3볼트의 값을 갖는다.
- [0158] V_{cat} 는 유기 EL 발광 소자(ELP)의 캐소드 전극에 인가되는 전압으로서 ... 0볼트의 값을 갖는다.
- [0159] V_{th-EL} 는 유기 EL 발광 소자(ELP)의 임계 전압으로서, 3볼트의 값을 갖는다.
- [0160] 기간($TP(5)_{-1}$)(도 4, 및, 도 5의 (A) 참조)
- [0161] 이 기간($TP(5)_{-1}$)은, 예를 들면, 앞의 표시 프레임에서의 동작이고, 전회의 각종의 처리 완료 후에 제 (n,m)번째의 유기 EL 소자(10)가 발광 상태에 있는 기간이다. 즉, 제 (n,m)번째의 부화소를 구성하는 유기 EL 소자(10)에서의 유기 EL 발광 소자(ELP)에는, 후술하는 식 (5)에 의거한 드레인 전류(I'_{ds})가 흐르고 있고, 제 (n,m)번째의 부화소를 구성하는 유기 EL 소자(10)의 휘도는, 이러한 드레인 전류(I'_{ds})에 대응한 값이다. 이 기간($TP(5)_{-1}$)에서, 영상 신호 기록 트랜지스터(T_{Sig}), 제 1의 노드 초기화 트랜지스터(T_{ND1}) 및 제 2의 노드 초기화 트랜지스터(T_{ND2})는 오프 상태이고, 발광 제어 트랜지스터($T_{EL,C}$) 및 소자 구동 트랜지스터(T_{Drv})는 온 상태이다. 제 (n,m)번째의 유기 EL 소자(10)의 발광 상태는, 제 (m+m')번째에 배열된 유기 EL 소자(10)의 수평 주사 기간의 시작 직전까지 계속된다.
- [0162] 도 4에 도시하는 기간($TP(5)_0$) 내지 기간($TP(5)_4$)은, 전회의 각종의 처리 완료 후의 발광 상태가 종료된 후부터, 다음의 신호 기록 처리가 행하여지기 직전까지의 동작 기간이다. 즉, 이 기간($TP(5)_0$) 내지 기간($TP(5)_4$)은, 예를 들면, 앞의 표시 프레임에서의 제 (m+m')번째의 수평 주사 기간의 시작기로부터, 현재 표시 프레임에서의 제 (m-1)번째의 수평 주사 기간의 종료까지의 어떤 시간 길이의 기간이다. 또한, 기간($TP(5)_1$) 내지

기간(TP(5)₄)을, 현재 표시 프레임에서의 제 m번째의 수평 주사 기간 내에 포함하는 구성으로 할 수도 있다.

[0163]

그리고, 이 기간(TP(5)₀) 내지 기간(TP(5)₄)에서, 제 (n,m)번째의 유기 EL 소자(10)는 원칙으로서 비발광 상태에 있다. 즉, 기간(TP(5)₀) 내지 기간(TP(5)₁), 기간(TP(5)₃) 내지 기간(TP(5)₄)에서는, 발광 제어 트랜지스터(T_{ELC})는 오프 상태이기 때문에, 유기 EL 소자(10)는 발광하지 않는다. 또한, 기간(TP(5)₂)에서는, 발광 제어 트랜지스터(T_{ELC})는 온 상태가 된다. 그러나, 이 기간에서는 후술하는 임계 전압 캔슬 처리가 행하여지고 있다. 임계 전압 캔슬 처리의 설명에서 상세히 기술하지만, 후술하는 식 (2)를 충족시키는 것을 전제로 하면, 유기 EL 소자(10)가 발광하는 일은 없다.

[0164]

이하, 기간(TP(5)₀) 내지 기간(TP(5)₄)의 각 기간에 관해, 우선, 설명한다. 또한, 기간(TP(5)₁)의 시작이나, 기간(TP(5)₁) 내지 기간(TP(5)₄)의 각 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

[0165]

기간(TP(5)₀)

[0166]

상술한 바와 같이, 이 기간(TP(5)₀)에서, 제 (n,m)번째의 유기 EL 소자(10)는, 비발광 상태에 있다. 이 상태에서, 영상 신호 기록 트랜지스터(T_{Sig}), 제 1의 노드 초기화 트랜지스터(T_{ND1}), 제 2의 노드 초기화 트랜지스터(T_{ND2})는 오프 상태이다. 또한, 기간(TP(5)₋₁)부터 기간(TP(5)₀)으로 이동하는 시점에서, 발광 제어 트랜지스터(T_{ELC})가 오프 상태가 되기 때문에, 제 2의 노드(ND₂)의 전위는, (V_{th-EL}+V_{cat})까지 저하되고, 유기 EL 발광 소자(ELP)는 비발광 상태가 된다. 앞서 설명한 바와 같이, 제 2의 노드(ND₂)는 소자 구동 트랜지스터(T_{Drv})의 소스 영역 또는 유기 EL 발광 소자(ELP)의 아노드 전극이다. 또한, 제 2의 노드(ND₂)의 전위 저하를 모방하도록, 부유 상태의 제 1의 노드(ND₁)의 전위도 저하된다. 앞서 설명한 바와 같이, 제 1의 노드(ND₁)는 소자 구동 트랜지스터(T_{Drv})의 게이트 전극이다.

[0167]

기간(TP(5)₁)(도 4, 도 5의 (B) 및 (C) 참조)

[0168]

이 기간(TP(5)₁)에서, 후술하는 임계 전압 캔슬 처리를 행하기 위한 전처리가 행하여진다. 즉, 기간(TP(5)₁)의 시작시, 제 1의 노드 초기화 트랜지스터 제어 회로(104) 및 제 2의 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1}) 및 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 하이 레벨로 함에 의해, 제 1의 노드 초기화 트랜지스터(T_{ND1}) 및 제 2의 노드 초기화 트랜지스터(T_{ND2})를 온 상태로 한다. 그 결과, 제 1의 노드(ND₁)의 전위는, V_{ofs}(예를 들면, 0볼트)가 된다. 한편, 제 2의 노드(ND₂)의 전위는, V_{ss}(예를 들면, -10볼트)가 된다. 그리고, 이 기간(TP(5)₁)의 완료 이전에, 제 2의 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 로우 레벨로 함에 의해, 제 2의 노드 초기화 트랜지스터(T_{ND2})를 오프 상태로 한다. 또한, 제 1의 노드 초기화 트랜지스터(T_{ND1}) 및 제 2의 노드 초기화 트랜지스터(T_{ND2})를 동시에 온 상태로 하여도 좋고, 제 2의 노드 초기화 트랜지스터(T_{ND2}) 이전에 제 1의 노드 초기화 트랜지스터(T_{ND1})를 먼저 온 상태로 하여도 좋고, 제 1의 노드 초기화 트랜지스터(T_{ND1}) 이전에 제 2의 노드 초기화 트랜지스터(T_{ND2})를 먼저 온 상태로 하여도 좋다.

[0169]

이상의 처리에 의해, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}) 이상이 되고, 소자 구동 트랜지스터(T_{Drv})는 온 상태에 있게 된다.

[0170]

기간(TP(5)₂)(도 4, 및, 도 5의 (D) 참조)

[0171]

다음에, 다음 기간(TP(5)₂) 동안, 임계 전압 캔슬 처리가 행하여진다. 도 5의 (D)에 도시된 바와 같이, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 기간(TP(5)₂)의 시작에서, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{ELC})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{ELC})를 온 상태로 한다. 그 결과, 제 1의 노드(ND₁)의 전위는 변화하지 않지만, 제 1의 노드(ND₁)의 전위로부터 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})을 뺀 전위를 향하여, 제 2의 노드(ND₂)의 전위는 변화한다.

즉, 부유 상태의 제 2의 노드(ND_2)의 전위가 상승한다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 소자 구동 트랜지스터(T_{Drv})가 오프 상태가 된다. 구체적으로는, 부유 상태의 제 2의 노드(ND_2)의 전위가 $(V_{ofs}-V_{th})=-3\text{볼트}(>V_{ss})$ 에 근접하고, 최종적으로 $(V_{ofs}-V_{th})$ 가 된다. 여기서, 이하의 식 (2)가 보증되어 있으면, 환언하면, 식 (2)를 만족하도록 전위를 선택, 결정하여 두면, 유기 EL 발광 소자(ELP)가 발광하는 일은 없다.

[0172] $(V_{ofs}-V_{th}) < (V_{th-EL} + V_{Cat})$ (2)

[0173] 이 기간($TP(5)_2$)에서는, 제 2의 노드(ND_2)의 전위는, 최종적으로, $(V_{ofs}-V_{th})$ 가 된다. 즉, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})에만 의존하여, 제 2의 노드(ND_2)의 전위는 결정된다. 환언하면, 제 2의 노드(ND_2)의 전위는 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})에는 의존하지 않는다.

[0174] 기간($TP(5)_3$)(도 4, 및, 도 6의 (A) 참조)

[0175] 그 다음, 기간($TP(5)_3$)에서, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL-C})을 로우 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL-C})를 오프 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는 변화하지 않고 0볼트의 전압((V_{ofs}) 으로 유지되고, 부유 상태의 제 2의 노드(ND_2)의 전위도 변화하지 않고, -3볼트인 $(V_{ofs}-V_{th})$ 의 전압차로 유지된다.

[0176] 기간($TP(5)_4$)(도 4, 및, 도 6의 (B) 참조)

[0177] 뒤이어, 기간($TP(5)_4$)에서, 제 1의 노드 초기화 트랜지스터 제어 회로(104)의 동작에 의거하여 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})을 로우 레벨로 함에 의해, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 오프 상태로 한다. 제 1의 노드(ND_1) 및 제 2의 노드(ND_2)의 전위는, 실질상, 변화하지 않는다. 실제로는, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 용량(C_{gs}) 등에 의한 결합 효과로 인해 제 1의 노드(ND_1) 및 제 2의 노드(ND_2)의 전위가 변할 수도 있지만, 통상, 이들은 무시할 수 있다.

[0178] 뒤이어, 도 4에 도시하는 기간($TP(5)_5$) 내지 기간($TP(5)_7$)의 각 기간에 관해 설명한다. 또한, 후술하는 바와 같이, 기간($TP(5)_5$)에서 신호 기록 처리가 행하여지고, 기간($TP(5)_6$)에서 이동도 보정 처리가 행하여진다. 상술한 바와 같이, 이들의 처리는, 제 m번째의 수평 주사 기간 내에 행하여질 필요가 있다. 설명의 편의를 위해, 기간($TP(5)_5$)의 시작과 기간($TP(5)_6$)의 종료가, 각각, 제 m번째의 수평 주사 기간의 시작과 종료에 일치하는 것으로 하여 설명한다.

[0179] 기간($TP(5)_5$)(도 4, 및, 도 6의 (C) 참조)

[0180] 기간($TP(5)_5$)에서, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리를 실행한다. 구체적으로는, 도 6의 (C)에 도시된 바와 같이, 제 1의 노드 초기화 트랜지스터(T_{ND1}), 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{EL-C})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 영상 신호(V_{Sig})에 대응하는 전압으로 한다. 이 전압은 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})(구동 신호 또는 휘도 신호로도 칭함)이다. 뒤이어, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태란, 제 1의 서브 트랜지스터(T_{Sig-1})와 제 2의 서브 트랜지스터(T_{Sig-2})의 쌍방이 온 상태인 것을 의미하고, 영상 신호 기록 트랜지스터(T_{Sig})의 오프 상태란, 제 1의 서브 트랜지스터(T_{Sig-1})와 제 2의 서브 트랜지스터(T_{Sig-2})의 적어도 한쪽이 오프 상태인 것을 의미한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{Sig} 로 상승한다.

[0181] 여기서, 커패시터(C_1)의 용량의 값을 c_1 로 나타내고, 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL})의 용량의 값을 c_{EL} 로 나타낸다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 유기 EL 발광 소자(ELP)에 가까운 측에 위치한 소자 구동 트랜지스터(T_{Drv})의 소스 영역 사이의 기생 용량의 값을 c_{gs} 로 나타낸다. 소자 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위가 V_{ofs} 로부터 $V_{Sig}(> V_{ofs})$ 로 변환한 때, 커패시터(C_1)의 양단의 전위는, 원칙적으로, 변화한다. 커패시터(C_1) 양단의 전위는 제 1의 노드(ND_1)의 전위와 제 2의 노드(ND_2)의 전위이며, 제 1의 노드(ND_1)의 전위는 소자 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위이다. 소자 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위의 전압 변화($V_{Sig}-V_{ofs}$)에 의거한 전하가, 커패시터(C_1)의 용량(c_1), 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL}), 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 용량(C_{gs})에 배분된다. 또한, 기생 용량의 값(c_{EL})이, 용량의 값(c_1) 및 기생 용량의 값(c_{gs})과 비교하여 충분히 큰 값이라면, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위의 전압 변화($V_{Sig}-V_{ofs}$)에 의거한 소자 구동 트랜지스터(T_{Drv})의 소스 영역(제 2의 노드(ND_2))의 전위의 변화는 작다. 그러나, 일반적으로, 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL})의 용량치(c_{EL})는, 커패시터(C_1)의 용량치(c_1) 및 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 용량의 값(c_{gs})보다도 크다. 그래서, 설명의 편의를 위해, 특별한 필요가 있는 경우를 제외하고, 제 1의 노드(ND_1)의 전위 변화에 의해 생기는 제 2의 노드(ND_2)의 전위 변화는 고려하지 않고 설명을 행한다. 후술하는 제 9의 실시예에서의 제 2의 변형예로서 설명하는 3Tr/1C 구동 회로를 제외한 다른 구동 회로에서도 마찬가지이다. 소자 구동 트랜지스터(T_{Drv})의 게이트 전극으로도 기능하는 제 1의 노드(ND_1)의 전위를 V_g 로 나타내고, 소자 구동 트랜지스터(T_{Drv})의 소스 영역으로도 기능하는 제 2의 노드(ND_2)의 전위를 V_s 로 나타내면, V_g 의 값, V_s 의 값은 이하와 같이 된다. 그러므로, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 이하의 식 (3)으로 나타낼 수 있다. 전위차(V_{gs})는 제 1의 노드(ND_1)와 제 2의 노드(ND_2) 사이의 전위차이기도 하다.

[0182] $V_g = V_{Sig}$

[0183] $V_s = V_{ofs} - V_{th}$

[0184] $V_{gs} = V_{Sig} - (V_{ofs} - V_{th})$ (3)

[0185] 즉, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리에서 얻어진 전위차(V_{gs})는, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 전압(V_{Sig}), 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})에만 의존하고 있다. 그리고, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})과는 관계가 없다.

[0186] 기간($TP(5)_6$)(도 4, 및, 도 6의 (D) 참조)

[0187] 그 다음 기간($TP(5)_6$)에서, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거하여 소자 구동 트랜지스터(T_{Drv})의 소스 영역으로 기능하는 제 2의 노드(ND_2)의 전위를 보정하는 이동도 보정 처리를 행한다.

[0188] 일반적으로, 소자 구동 트랜지스터(T_{Drv})는 예를 들면 폴리실리콘으로 이루어진 박막 트랜지스터이다. 이 경우, 트랜지스터 사이에서 이동도(μ)에 편차가 생기는 것은 피하기 어렵다. 따라서, 이동도(μ)에 차이가 있는 복수의 소자 구동 트랜지스터(T_{Drv})의 게이트 전극에 같은 값의 전압(V_{Sig})을 인가하였다고 하여도, 이동도(μ)가 큰 소자 구동 트랜지스터(T_{Drv})를 흐르는 드레인 전류(I_{ds})와, 이동도(μ)가 작은 소자 구동 트랜지스터(T_{Drv})를 흐르는 드레인 전류(I_{ds}) 사이에, 차이가 생겨 버린다. 그리고, 이와 같은 차이가 생기면, 유기 EL 표시 장치의 화면의 균일성이 손상되어 버린다.

[0189] 그래서, 화면의 균일성을 유지하기 위해, 소자 구동 트랜지스터(T_{Drv})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL-C})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL-C})를 온 상태로 하고, 뒤이어, 소정의 시간(t_0)이 경과한 후, 주사 회로(101)의 동작에 의거

하여 주사선(SCL)을 로우 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하여, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극으로 기능하는 제 1의 노드(ND_1)를 부유 상태로 한다. 그리고, 이들 동작의 결과, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 큰 경우, 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 커지고, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 작은 경우, 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 작아진다. 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 전위 보정값으로 칭한다. 여기서, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 식 (3)으로부터 이하의 식 (4)와 같이 변형된다.

$$V_{gs} \doteq V_{Sig} - (V_{ofs} - V_{th}) - \Delta V \quad (4)$$

또한, 이동도 보정 처리를 실행하기 위한 기간($TP(5)_6$)의 전(全) 시간(t_0)은, 유기 EL 표시 장치를 설계할 때, 설계치로서 미리 결정하여 두면 좋다. 또한, 이때의 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위($V_{ofs} - V_{th} + \Delta V$)가 이하의 식 (2')를 만족하도록, 기간($TP(5)_6$)의 전 시간(t_0)은 결정되어 있다. 그리고, 이로써, 기간($TP(5)_6$)에서, 유기 EL 발광 소자(ELP)가 발광하는 일은 없다. 나아가서는, 이 이동도 보정 처리와 함께, 계수(k)($\equiv (1/2) \cdot (W/L) \cdot C_{ox}$)의 편차의 보정도 동시에 행하여진다.

$$(V_{ofs} - V_{th} + \Delta V) < (V_{th-EL} + V_{Cat}) \quad (2')$$

기간($TP(5)_7$)(도 4, 및, 도 6의 (E)참조)

이상의 조작에 의해, 임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리가 완료된다. 그런데, 주사 회로(101)의 동작에 의거하여 주사선(SCL)이 로우 레벨이 되는 결과, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태가 되고, 제 1의 노드(ND_1), 즉, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극은 부유 상태가 된다. 한편, 발광 제어 트랜지스터(T_{EL_C})는 온 상태를 유지하고 있고, 발광 제어 트랜지스터(T_{EL_C})의 드레인 영역은, 유기 EL 발광 소자(ELP)의 발광을 제어하기 위한 전류 공급부(100)(전압(V_{CC}), 예를 들면 20볼트)에 접속된 상태에 있다. 따라서, 이상의 결과로서, 제 2의 노드(ND_2)의 전위는 상승한다.

여기서, 상술한 바와 같이, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극은 부유 상태에 있고, 게다가, 커패시터(C_1)가 존재하기 때문에, 이른바 부트스트랩 회로에서와 같은 현상이 소자 구동 트랜지스터(T_{Drv})의 게이트 전극에 생기고, 제 1의 노드(ND_1)의 전위도 상승한다. 그 결과, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 식 (4)의 값을 유지한다.

또한, 제 2의 노드(ND_2)의 전위가 상승하고, ($V_{th-EL} + V_{Cat}$)로 표현되는 레벨을 초과하기 때문에, 유기 EL 발광 소자(ELP)는 발광을 시작한다. 이때, 유기 EL 발광 소자(ELP)를 흐르는 전류는, 소자 구동 트랜지스터(T_{Drv})의 드레인 영역부터 소스 영역으로 흐르는 드레인 전류(I_{ds})이기 때문에, 식 (1)로 나타낼 수 있다. 여기서, 식 (1)과 식 (4)로부터, 식 (1)은, 이하의 식 (5)와 같이 변형할 수 있다.

$$I_{ds} = k \cdot \mu \cdot (V_{Sig} - V_{ofs} - \Delta V)^2 \quad (5)$$

따라서, 예를 들면, V_{ofs} 가 0볼트로 설정되면, 유기 EL 발광 소자(ELP)를 흐르는 드레인 전류(I_{ds})는, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})의 값으로부터, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)에 기초한 전위 보정값(ΔV)의 값을 뺀 값의 2승에 비례한다. 상술한 바와 같이, 전위 보정값(ΔV)은 소자 구동 트랜지스터(T_{Drv})의 소스 영역으로 기능하는 제 2의 노드(ND_2)에서의 전위값을 보정하기 위한 값이다. 환언하면, 유기 EL 발광 소자(ELP)를 흐르는 드레인 전류(I_{ds})는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에는 의존하지 않는다. 즉, 유기 EL 발광 소자(ELP)의 발광량(휘도)은, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 영향을

받지 않는다. 그리고, 제 (n,m)번째의 유기 EL 소자(10)의 휘도는, 이러한 드레인 전류(I_{ds})에 대응하는 값이다.

[0199]

게다가, 이동도(μ)가 큰 소자 구동 트랜지스터(T_{drv})일수록, 전위 보정값(ΔV)가 커지기 때문에, 식 (4)의 좌변의 전위차(V_{gs})의 값이 작아진다. 따라서, 식 (5)에서, 이동도(μ)의 값이 크더라도, $(V_{sig}-V_{ofs}-\Delta V)^2$ 의 값이 작아지는 결과, 드레인 전류(I_{ds})를 보정할 수 있다. 즉, 이동도(μ)가 다른 소자 구동 트랜지스터(T_{drv})를 이용하는 유기 EL 소자(10)에서도, 유기 EL 소자(10)에 동일한 전압(V_{sig})이 인가되면, 소자 구동 트랜지스터(T_{drv})를 통해 흐르는 드레인 전류(I_{ds})는 서로 동일하게 되고, 그 결과, 유기 EL 발광 소자(ELP)를 통해 흐르며 유기 EL 발광 소자(ELP)의 휘도를 제어하는 드레인 전류(I_{ds})가 균일화된다. 즉, 동도(μ)의 편차 나아가서는, k의 편차에 기인하는 발광부의 휘도의 편차를 보정할 수 있다.

[0200]

유기 EL 발광 소자(ELP)의 발광 상태를 제 (m+m'-1)번째의 수평 주사 기간까지 계속한다. 이 시점은, 기간($TP(5)_{-1}$)의 끝에 상당한다.

[0201]

이상에 의해, 유기 EL 소자(10)인 제 (n,m)번째의 부화소의 발광의 동작이 완료된다.

[0202]

제 2의 실시예

[0203]

제 2의 실시예도, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 1의 실시예에 따른 유기 EL 소자에 관한 것이다.

[0204]

제 2의 실시예는 제 1의 실시예의 변형이다. 제 2의 실시예에 있어서는, 제 2의 서브 트랜지스터(T_{sig_2})가 제 2의 실드 전극을 더 구비하는 점에서 제 1의 실시예와 상위하다.

[0205]

도 2는 제 2의 실시예의 유기 EL 표시 장치의 개념도로 참조될 수도 있다. 도 8은 제 2의 실시예의 구동 회로의 등가 회로도도를 도시한다. 도 9의 (A)는, 제 2의 실시예에 따른 유기 EL 소자(10)의 일부분의 모식적인 일부 단면도를 도시하고, 도 9의 (B)는, 상술한 도 7의 (A)에 대응하는 도면이다. 즉, 도 9의 (B)는, 기간($TP(5)_7$) 동안, 영상 신호 기록 트랜지스터(T_{sig})가 오프 상태에 있을 때의, 제 2의 채널 형성 영역(34B) 부근의 상황을 모식적으로 도시한 도면이다.

[0206]

제 2의 실시예의 구동 회로에서의 구동 동작의 타이밍 차트는 상술한 도 4와 마찬가지로이다. 또한, 각 트랜지스터의 온/오프 상태 등도 상술한 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (E)와 마찬가지로이다. 이들 내용은, 후술하는 제 3의 실시예 내지 제 8의 실시예에서도 마찬가지이다.

[0207]

도 8, 및, 도 9의 (A)에 도시하는 바와 같이, 제 2의 실시예의 구동 회로에서는, 제 2의 서브 트랜지스터(T_{sig_2})는, 제 1의 실시예에서 설명한 실드 전극(42) 외에, 또한, 제 2의 채널 형성 영역(34B)의 다른 쪽의 면과 제 2의 실드 전극(43) 사이에 끼인 실드 절연층(40)을 통해 제 2의 채널 형성 영역(34B)의 다른 쪽의 면과 대향하는 제 2의 실드 전극(43)을 갖고 있다. 이하, 실드 전극(42)과 제 2의 실드 전극(43)을 구분하기 위해, 실드 전극(42)을 제 1의 실드 전극(42)이라고 부르는 경우가 있다. 그리고, 제 2의 실드 전극(43)은, 절연층(40)에 마련된 콘택트 홀을 통하여, 공통 소스/드레인 영역(35C)에 접속되어 있다. 앞서 설명한 바와 같이, 공통 소스/드레인 영역(35C)은 제 1의 서브 트랜지스터(T_{sig_1})의 다른 쪽의 소스/드레인 영역과 제 2의 서브 트랜지스터(T_{sig_2})의 한쪽의 소스/드레인 영역이 서로 중첩하는 영역이다. 제 2의 실드 전극(43)도, 제 1의 실드 전극(42)과 마찬가지로, 여러가지의 주지의 방법에 의해 형성할 수 있다.

[0208]

상술한 제 2의 실드 전극(43)의 부가 이외에, 제 2의 실시예의 유기 EL 표시 장치, 이 유기 EL 표시 장치에 이용되는 유기 EL 소자(10), 및, 구동 회로의 구조 및 구성은 제 1의 실시예에서 설명한 것과 마찬가지이다. 또한, 제 2의 실시예의 유기 EL 소자에 이용되는 구동 회로에 의해 수행되는 동작이나 이 구동 회로를 구동시키기 위한 방법은, 제 1의 실시예에서 설명한 것과 같기 때문에, 설명을 생략한다.

[0209]

제 2의 실시예에서는, 제 1의 실시예에서 설명한 제 1의 실드 전극(42) 외에, 공통 소스/드레인 영역(35C)에 접속된 제 2의 실드 전극(43)의 영향이 제 2의 채널 형성 영역(34B)에 미친다. 상술한 바와 같이, 오프 상태에서는, 공통 소스/드레인 영역(35C)의 전위는 제 1의 실드 전극(42)의 전위보다도 낮다. 이때문에, 제 1의 실시예에 대해, 제 2의 서브 트랜지스터(T_{sig_2})의 임계 전압이 마이너스측으로 시프트하는 정도가 상대적으로

약해진다. 이로써, 상술한 도 7의 (B)에서의 V_2 의 값이 V_1 측으로 시프트한다. 따라서, 제 2의 서브 트랜지스터(T_{Sig_2})를 오프 상태로 하기 위해 게이트 전극(31B)에 인가하여야 할 전압의 절대치는, 제 1의 실시예보다도 작아진다. 이로써, 영상 신호 기록 트랜지스터(T_{Sig})의 게이트 전극에 인가되는 신호의 진폭을, 제 1의 실시예보다도 작게 설정할 수 있다. 이 경우, 상기 진폭은 이른바 온 전압과 오프 전압의 차이이다.

[0210] 제 3의 실시예

[0211] 제 3의 실시예도, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치에 이용되는 유기 EL 소자(10)에 관한 것이다.

[0212] 제 3의 실시예도 제 1의 실시예의 변형이다. 제 3의 실시예에 있어서, 제 1의 서브 트랜지스터(T_{Sig_1})가 제 3의 실드 전극을 더 구비하는 점이 제 1의 실시예와 상위하다.

[0213] 도 2는 제 3의 실시예의 유기 EL 표시 장치의 개념도로 참조될 수도 있다. 도 10의 (A)는 제 3의 실시예의 구동 회로의 등가 회로도를 도시한다. 도 10의 (B)는, 제 3의 실시예에 따른 유기 EL 소자(10)의 일부분의 모식적인 일부 단면도이다.

[0214] 도 10의 (A) 및 (B)에 도시하는 바와 같이, 제 3의 실시예의 구동 회로에서는, 제 1의 실시예에서 설명한 제 1의 실드 전극(42) 외에, 제 1의 서브 트랜지스터(T_{Sig_1})가, 제 1의 채널 형성 영역(34A)의 다른 쪽의 면과 제 3의 실드 전극(44) 사이에 끼인 실드 절연층(40)을 통해 제 1의 서브 트랜지스터(T_{Sig_1})의 제 1의(한쪽의) 채널 형성 영역(34A)의 다른 쪽의 면과 대향하는 제 3의 전극(44)을 더 구비한다. 제 3의 실드 전극(44)은, 제 1의 서브 트랜지스터(T_{Sig_1})의 한쪽의 소스/드레인 영역(35A)에 접속되어 있다. 보다 구체적으로는, 제 3의 실시예에서는, 한쪽의 소스/드레인 영역(35A)과 접속되는 배선(38)으로부터의 연재부가 실드 전극(44)을 구성하고 있다. 제 3의 실드 전극(44)도, 제 1의 실드 전극(42)과 마찬가지로, 여러가지의 주지의 방법에 의해 형성할 수 있다.

[0215] 상술한 제 3의 실드 전극(44)의 부가 이외에, 제 3의 실시예의 유기 EL 표시 장치, 유기 EL 표시 장치에 이용되는 유기 EL 소자(10), 및, 구동 회로의 구조 및 구성은 제 1의 실시예에서 설명한 것과 마찬가지로이다. 또한, 제 3의 실시예의 유기 EL 소자에 이용되는 구동 회로에 의해 수행되는 동작이나 이 구동 회로를 구동시키기 위한 방법은, 제 1의 실시예에서 설명한 것과 같기 때문에, 설명을 생략한다.

[0216] 제 3의 실시예에서는, 제 1의 실시예에서 설명한 효과에 더하여, 제 3의 실드 전극(44)의 영향에 의해, 제 1의 채널 형성 영역(34A)에 대해서도 제 1의 실시예에서 도 7을 참조하여 설명한 것과 같은 효과가 일어난다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태에 있을 때의, 제 1의 채널 형성 영역(34A) 부근의 상황은, 도 7의 (A)에서, 부호 31B, 34B, 35B를 각각 부호 31A, 34A, 35A로 대치한 것으로 된다. 이로써, 제 1의 채널 형성 영역(34A)의 공통 소스/드레인 영역(35C)측에도 공핍층이 발생하기 때문에, 제 1의 채널 형성 영역(34A)과 공통 소스/드레인 영역(35C) 사이에 리크 전류가 흐르기 더 어려워진다.

[0217] 제 1의 채널 형성 영역(34A)을 통한 리크 전류 등에 의해 공통 소스/드레인 영역(35C)의 전위가 변화하면, 그 영향은, 최종적으로는 제 1의 노드(ND_1)의 전위에 미친다. 제 3의 실시예에서는, 리크 전류가 감소하기 때문에, 상술한 영향을 억제할 수 있다.

[0218] 제 4의 실시예

[0219] 제 4의 실시예도, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치에 이용되는 유기 EL 소자(10)에 관한 것이다.

[0220] 제 4의 실시예도 제 1의 실시예의 변형이다. 제 4의 실시예와 제 1의 실시예의 차이점은, 제 4의 실시예에 있어서, 제 2의 서브 트랜지스터(T_{Sig_2})가 제 2의 실드 전극(43)을 더 구비하며, 제 1의 서브 트랜지스터(T_{Sig_1})가 제 3의 실드 전극(44) 및 제 4의 실드 전극(45)을 더 구비한다는 것이다.

[0221] 도 2는 제 4의 실시예의 유기 EL 표시 장치의 개념도로 참조될 수도 있다. 제 4의 실시예에 따른 유기 EL 소자(10)에 이용되는 구동 회로의 등가 회로도를 도 11의 (A)에 도시한다. 도 11의 (B)는, 제 4의 실시예에 따른 유기 EL 소자(10)의 일부분의 모식적인 일부 단면도이다.

[0222] 도 11의 (A) 및 (B)에 도시하는 바와 같이, 제 4의 실시예의 경우, 제 2의 서브 트랜지스터(T_{Sig_2})는, 제 1의 실

시예에서 설명한 제 1의 실드 전극(42) 외에, 제 2의 채널 형성 영역(34B)의 다른 쪽의 면과 제 2의 실드 전극(43) 사이에 끼인 실드 절연층(40)을 통해 제 2의 서브 트랜지스터($T_{Sig,2}$)의 제 2의 채널 형성 영역(34B)의 다른 쪽의 면과 대향하는 제 2의 실드 전극(43)도 구비한다. 또한, 제 1의 서브 트랜지스터($T_{Sig,1}$)는, 제 3의 실시예에서와 동일한 방식으로 제 3의 실드 전극(44)을 구비하며, 제 1의 채널 형성 영역(34A)의 다른 쪽의 면과 제 4의 실드 전극(45) 사이에 끼인 실드 절연층(40)을 통해 제 1의 서브 트랜지스터($T_{Sig,1}$)의 제 1의 채널 형성 영역(34A)의 다른 쪽의 면과 대향하는 제 4의 실드 전극(45)도 포함한다. 그리고, 제 2의 실드 전극(43)과 제 4의 실드 전극(45)은, 상술한 바와 같이, 제 1의 서브 트랜지스터($T_{Sig,1}$)의 다른 쪽의 소스/드레인 영역과 제 2의 서브 트랜지스터($T_{Sig,2}$)의 한쪽의 소스/드레인 영역이 서로 중첩하는 영역인 공통 소스/드레인 영역(35C)에 접속되어 있다. 또한, 제 3의 실드 전극(44)은, 제 1의 서브 트랜지스터($T_{Sig,1}$)의 제 1의(한쪽의) 소스/드레인 영역(35A)에 접속되어 있다.

[0223] 제 2의 실드 전극(43)의 구조나 접속은, 제 2의 실시예에서 설명한 것과 마찬가지로이다. 한편, 제 3의 실드 전극(44)의 구조나 접속은, 제 3의 실시예에서 설명한 것과 마찬가지로이다.

[0224] 제 4의 실드 전극(45)은, 제 2의 실드 전극(43)과 마찬가지로, 영상 신호 기록 트랜지스터(T_{Sig})의 공통 소스/드레인 영역(35C)에 접속되어 있다. 제 4의 실드 전극(45)도, 제 1의 실드 전극(42)과 마찬가지로, 여러가지의 주지의 방법에 의해 형성할 수 있다.

[0225] 상술한 제 2의 실드 전극(43), 제 3의 실드 전극(44) 및 제 4의 실드 전극(45)의 부가를 제외하면, 제 4의 실시예의 유기 EL 표시 장치, 유기 EL 표시 장치의 유기 EL 소자, 및, 유기 EL 소자의 구동 회로의 구조 및 구성은 제 1의 실시예에서 설명한 것과 마찬가지로이다. 또한, 제 4의 실시예에 따른 유기 EL 소자의 구동 회로의 동작이나 구동 방법은, 제 1의 실시예에서 설명한 것과 같기 때문에, 설명을 생략한다.

[0226] 제 4의 실시예의 제 2의 서브 트랜지스터($T_{Sig,2}$)의 구성은, 제 2의 실시예의 제 2의 서브 트랜지스터($T_{Sig,2}$)의 구성과 동일하다. 또한, 제 4의 실시예의 제 1의 서브 트랜지스터($T_{Sig,1}$)도, 제 2의 실시예의 제 2의 서브 트랜지스터($T_{Sig,2}$)와 같은 구성으로 되고, 제 1의 서브 트랜지스터($T_{Sig,1}$)의 임계 전압이 마이너스측으로 시프트하는 정도가 상대적으로 약해진다. 따라서, 제 2의 실시예에서 설명한 것과 마찬가지로, 영상 신호 기록 트랜지스터(T_{Sig})의 게이트 전극에 인가되는 신호의 진폭의 값을 작게 설정할 수 있다.

[0227] 제 5의 실시예

[0228] 후술하는 제 6의 실시예 내지 제 8의 실시예, 및, 제 10의 실시예는, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 2의 실시예에 따른 유기 EL 소자(10)에 관한 것이다. 또한, 제 5의 실시예 내지 제 8의 실시예와 상술한 제 1의 실시예 내지 제 4의 실시예의 대비의 편의상, 제 5의 실시예, 및, 후술하는 제 6의 실시예 내지 제 8의 실시예를, 5개의 트랜지스터와 하나의 커패시터로 이루어지는 구동 회로를 구비한 실시예로서 설명한다.

[0229] 도 2는 제 5의 실시예의 유기 EL 표시 장치의 개념도로서 참조될 수도 있다. 제 5의 실시예에 따른 유기 EL 소자(10)의 구동 회로의 등가 회로도를 도 12의 (A)에 도시한다. 도 12의 (B)는, 제 5의 실시예에 따른 유기 EL 소자(10)의 제 1의 노드 초기화 트랜지스터(T_{ND1})를 포함하는 모식적인 일부 단면도이다. 제 5의 실시예에 따른 유기 EL 소자(10)의 구동 회로에 포함된 제 1의 노드 초기화 트랜지스터(T_{ND1})는, 제 1의 실시예에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})와 동일한 구조를 갖는다.

[0230] 도 12의 (A)에 도시하는 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})에서는,

[0231] (B-1) 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역으로 기능하도록 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽에 마련된 소스/드레인 영역은, 데이터선(DTL)의 하나에 접속되고,

[0232] (B-2) 영상 신호 기록 트랜지스터(T_{Sig})의 다른 쪽의 소스/드레인 영역으로 기능하도록 영상 신호 기록 트랜지스터(T_{Sig})의 다른 쪽에 마련된 소스/드레인 영역은, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극 및 커패시터(C_1)의 다른 쪽의 전극에 접속되어, 제 1의 노드(ND_1)를 구성하고,

- [0233] (B-3) 영상 신호 기록 트랜지스터(T_{Sig})의 게이트 전극은, 주사선(SCL)의 하나에 접속되어 있다.
- [0234] 후술하는 제 6의 실시예 내지 제 8의 실시예, 제 10의 실시예에서도, 영상 신호 기록 트랜지스터(T_{Sig})의 접속은 제 5의 실시예의 것과 마찬가지로이다.
- [0235] 도 12의 (B)에 도시하는 바와 같이, 제 5의 실시예에서의 구동 회로를 구성하는 트랜지스터 및 커패시터(C_1)는 지지체(20)상에 형성되고, 유기 EL 발광 소자(ELP)는, 예를 들면, 층간 절연층(46)을 통하여, 구동 회로를 구성하는 트랜지스터 및 커패시터(C_1)의 상방에 형성되어 있다. 후술하는 제 6의 실시예 내지 제 8의 실시예, 제 10의 실시예에 있어서의 트랜지스터, 커패시터(C_1) 및 유기 EL 발광 소자(ELP)의 생성은, 제 5의 실시예에서의 동일하다. 또한, 도 12의 (B), 및, 후술하는 도 13의 (B), 도 14의 (B), 및, 도 15의 (B)에서는, 제 1의 노드 초기화 트랜지스터(T_{ND1})만을 도시한다. 그 이유는, 제 1의 노드 초기화 트랜지스터(T_{ND1}) 이외의 트랜지스터가 은폐되어 보이지 않기 때문이다.
- [0236] 도 12의 (A)에 도시된 바와 같이, 구동 회로는 제 1의 노드 초기화 트랜지스터(T_{ND1})를 구비하고 있다. 제 1의 노드 초기화 트랜지스터(T_{ND1})는, 반도체층(133), 소스/드레인 영역, 및, 소스/드레인 영역 사이의 채널 형성 영역을 구비하고 있다. 도 12의 (A) 및 (B)에 도시하는 바와 같이, 제 5의 실시예에서는, 제 1의 노드 초기화 트랜지스터(T_{ND1})는, 제 1의 서브 트랜지스터(T_{ND1_1})와 제 2의 서브 트랜지스터(T_{ND1_2})를 포함하는 듀얼 게이트 구조를 갖는다. 제 1의 서브 트랜지스터(T_{ND1_1})는 제 1의 게이트 전극(131A), 제 1의 소스/드레인 영역(135A) 및 제 1의 채널 형성 영역(134A)을 포함한다. 또한, 제 2의 서브 트랜지스터(T_{ND1_2})는 제 2의 게이트 전극(131B), 제 2의 소스/드레인 영역(135B) 및 제 2의 채널 형성 영역(134B)을 포함한다. 또한, 제 1의 서브 트랜지스터(T_{ND1_1})와 제 2의 서브 트랜지스터(T_{ND1_2})는 제 1의 서브 트랜지스터(T_{ND1_1})와 제 2의 서브 트랜지스터(T_{ND1_2})에 공통의 소스/드레인 영역으로서 사용될 공통 소스/드레인 영역(135C)을 공유한다. 도 12의 (B)에 도시된 바와 같이, 제 1의 채널 형성 영역(134A)은 제 1의 소스/드레인 영역(135A)과 공통 소스/드레인 영역(135C) 사이에 마련되고 제 2의 채널 형성 영역(134B)은 공통 소스/드레인 영역(135C)과 제 2의 소스/드레인 영역(135B) 사이에 마련된다. 후술될 제 6 내지 제 8의 실시예의 구성은 상술된 제 5의 실시예의 구성과 동일하다.
- [0237] 도 12의 (B)에 도시된 바와 같이, 제 1의 소스/드레인 영역(135A) 제 2의 소스/드레인 영역(135B), 및 공통 소스/드레인 영역(135C)은, 각각, 반도체층(133)에 마련된 영역이다. 공통 소스/드레인 영역(135C)은, 제 1의 노드 초기화 트랜지스터(T_{ND1_1})의 다른 쪽의 소스/드레인 영역과 제 2의 노드 초기화 트랜지스터(T_{ND1_2})의 한쪽의 소스/드레인 영역이 중첩하는 영역이다. 제 1의 서브 트랜지스터(T_{ND1_1})의 제 1의(한쪽의) 소스/드레인 영역(135A)은, 제 1의 노드 초기화 전압 공급선(PS_{ND1})(도 12의 (B)에서는, 배선(138)에 상당한다)에 접속되어 있다. 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의(다른 쪽의) 소스/드레인 영역(135B)은, 제 1의 노드(ND_1)에 접속되어 있다. 보다 구체적으로는, 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의(다른 쪽의) 소스/드레인 영역(135B)은 도 12의 (B)에 도시된 커패시터(C_1)의 다른 쪽의 전극(36)인 제 1의 노드(ND_1)에 접속되어 있다. 따라서, 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의(다른 쪽의) 소스/드레인 영역(135B)도, 실질적으로 제 1의 노드(ND_1)를 구성한다. 제 1의 서브 트랜지스터(T_{ND1_1})의 제 1의 게이트 전극(131A), 및, 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의 게이트 전극(131B)은, 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})에 접속되어 있다. 제 1의 서브 트랜지스터(T_{ND1_1})의 제 1의 게이트 전극(131A)은, 제 1의 채널 형성 영역(134A)의 한 쪽의 면과 제 1의 게이트 전극(131A) 사이에 끼인 게이트 절연층(132)을 통해 제 1의 서브 트랜지스터(T_{ND1_1})의 제 1의 채널 형성 영역(134A)의 한 쪽의 면과 대향한다. 마찬가지로, 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의 게이트 전극(131B)은, 제 2의 채널 형성 영역(134B)의 한 쪽의 면과 제 2의 게이트 전극(131A) 사이에 끼인 게이트 절연층(132)을 통해 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의 채널 형성 영역(134B)의 한 쪽의 면과 대향한다. 이 설명은, 후술하는 제 6의 실시예 내지 제 8의 실시예, 제 10의 실시예에서도 마찬가지로이다.
- [0238] 그리고, 제 2의 서브 트랜지스터(T_{ND1_2})는, 제 2의 채널 형성 영역(134B)의 다른 쪽의 면과 실드 전극(142) 사이에 끼인 실드 절연층(40)을 통해 제 2의 서브 트랜지스터(T_{ND1_2})의 제 2의 채널 형성 영역(134B)의 다른 쪽의 면

과 대향하는 실드 전극(142)을 구비한다. 실드 전극(142)은, 제 2의 서브 트랜지스터(T_{NDL2})의 제 2의(다른 쪽의) 소스/드레인 영역(135B)에 접속되어 있다. 보다 구체적으로는, 제 5의 실시예에서는, 제 2의(다른 쪽의) 소스/드레인 영역(135B)과 접속되는 배선(141)으로부터의 연재부가 실드 전극(142)을 구성하고 있다. 후술하는 제 6의 실시예 내지 제 8의 실시예의 구성은 제 5의 실시예의 상술한 구성과 마찬가지로이다.

[0239] 또한, 소자 구동 트랜지스터(T_{Drv})를 포함하는 다른 트랜지스터도 상기에서 설명한 것과 마찬가지로 반도체층, 게이트 절연막, 게이트 전극을 포함하는 구성을 갖는다. 또한, 후술하는 제 6의 실시예 내지 제 8의 실시예, 제 10의 실시예의 다른 트랜지스터도 제 5의 실시예의 다른 트랜지스터와 동일한 구성을 갖는다.

[0240] 한편, 제 5의 실시예의 커패시터(C_1)에 대한 설명은, 제 1의 실시예에서 설명에서, 게이트 절연층(32)이 게이트 절연층(132)으로 대체된 것을 제외하면, 제 1의 실시예의 커패시터(C_1)에 대한 설명과 동일하기 때문에, 생략한다. 후술하는 제 6의 실시예 내지 제 8의 실시예, 제 10의 실시예에서도 마찬가지이다.

[0241] 제 1의 노드 초기화 트랜지스터(T_{ND1})의 온/오프 동작은, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 게이트 전극(131A, 131B)에 접속된 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})에 의해 제어된다. 제 1의 노드 초기화 전압 공급선(PS_{ND1})에는, 제 1의 노드 초기화하기 위한 전압(V_{ofs})이 인가된다. 이 설명은, 후술하는 제 6의 실시예 내지 제 8의 실시예, 제 10의 실시예에서도 마찬가지이다.

[0242] 제 5의 실시예의 유기 EL 표시 장치, 유기 EL 소자(10), 및 유기 EL 소자에 이용되는 구동 회로의 구성 요소의 구조 및 구성은, 제 1의 실시예의 것과 동일하다. 또한, 제 5의 실시예의 구동 회로의 동작이나 구동 방법은, 제 1의 실시예에서 설명한 것과 같기 때문에, 설명을 생략한다. 이 설명은, 후술하는 제 6의 실시예 내지 제 8의 실시예에서도 마찬가지이다.

[0243] 제 5의 실시예에 따른 유기 EL 소자의 구동 회로에서 이용되는 제 1의 노드 초기화 트랜지스터(T_{ND1})가 온 상태로 오프 상태로 될 때에는, 제 1의 실시예에서 영상 신호 기록 트랜지스터(T_{Sig})에 관해 설명한 것과 실질적으로 같은 현상이 일어난다. 또한, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 온 상태란 제 1의 서브 트랜지스터(T_{NDL1})와 제 2의 서브 트랜지스터(T_{NDL2})의 쌍방이 온 상태인 것을 의미하고, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 오프 상태란, 제 1의 서브 트랜지스터(T_{NDL1})와 제 2의 서브 트랜지스터(T_{NDL2})의 적어도 한쪽이 오프 상태인 것을 의미한다. 즉, 제 1의 서브 트랜지스터(T_{NDL1})의 제 1의(한쪽의) 소스/드레인 영역(135A)의 전위와 제 2의 서브 트랜지스터(T_{NDL2})의 제 2의(다른 쪽의) 소스/드레인 영역(135B)의 전위에 대해, 공통 소스/드레인 영역(135C)의 전위는 상대적으로 마이너스측으로 변화한다. 따라서, 이 상태에서는, 공통 소스/드레인 영역(135C)은 제 1의 서브 트랜지스터(T_{NDL1})와 제 2의 서브 트랜지스터(T_{NDL2})에 공통인 소스 영역이 되고, 제 1의(한쪽의) 소스/드레인 영역(135A)은 제 1의 서브 트랜지스터(T_{NDL1})의 드레인 영역이 되고 제 2의(다른 쪽의) 소스/드레인 영역(135B)은 제 2의 서브 트랜지스터(T_{NDL2})의 드레인 영역이 된다.

[0244] 그리고, 제 1의 실시예에서 설명한 것과 마찬가지로, 제 2의 채널 형성 영역(134B)의 캐리어(이 경우, 전자)는, 실드 전극(142)에 의해 끌어당겨진다. 이로써, 제 2의 채널 형성 영역(134B)의 공통 소스/드레인 영역(135C)측에 공핍층이 발생하기 때문에, 제 2의 채널 형성 영역(134B)과 공통 소스/드레인 영역(135C) 사이에서 리크 전류가 흐르기 더 어려워진다. 상술한 바와 같이, 제 2의 채널 형성 영역(134B)은, 실질적으로 제 1의 노드(ND_1)를 구성하는 제 2의(다른 쪽의) 소스/드레인 영역(135B)측의 채널 형성 영역이다. 따라서, 제 1의 노드(ND_1)를 통한 커패시터(C_1)의 전하량의 변동을 효과적으로 억제할 수 있다.

[0245] 실드 전극(142)을 부가함에 의한 전류-전압 특성의 변화는, 제 1의 실시예에서, 도 7의 (B)를 참조하여 설명한 것과 같기 때문에, 설명을 생략한다.

[0246] 또한, 도 12의 (A)에서는, 영상 신호 기록 트랜지스터(T_{Sig})를 이른바 싱글 게이트 구조의 트랜지스터로 하였지만, 이것으로 제한되는 것은 아니다. 제 5의 실시예에 따른 유기 EL 소자에서 이용되는 영상 신호 기록 트랜지스터(T_{Sig})는, 상술한 제 1의 실시예 내지 제 4의 실시예에서와 같이 듀얼 게이트 구조의 트랜지스터로 설계될 수도 있다. 도 13, 도 14, 도 15, 도 31을 참조하여 후술하는 제 6의 실시예 내지 제 8의 실시예 및 제 10의 실

시에에 따른 유기 EL 소자에서 이용되는 영상 신호 기록 트랜지스터(T_{Sig})도 제 1 내지 제 4의 실시예에서와 같이 듀얼 게이트 구조의 트랜지스터로 설계될 수 있다.

[0247] 제 6의 실시예

[0248] 제 6의 실시예도, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 2의 실시예에 따른 유기 EL 소자(10)에 관한 것이다.

[0249] 도 2는 제 6의 실시예의 유기 EL 표시 장치의 개념도로 참조될 수도 있다. 제 6의 실시예에 따른 유기 EL 소자(10)의 구동 회로의 등가 회로도를 도 13의 (A)에 도시한다. 도 13의 (B)는, 제 6의 실시예에 따른 유기 EL 소자(10)의 제 1의 노드 초기화 트랜지스터(T_{ND1})를 포함하는 모식적인 일부 단면도이다. 제 6의 실시예에 따른 유기 EL 소자(10)에 이용되는 구동 회로에 포함되는 제 1의 노드 초기화 트랜지스터(T_{ND1})는, 앞서 설명한 제 2의 실시예의 영상 신호 기록 트랜지스터(T_{Sig})와 같은 구조를 갖는다.

[0250] 도 13의 (A) 및 (B)에 도시하는 바와 같이, 제 6의 실시예의 구동 회로에서는, 제 2의 서브 트랜지스터($T_{ND1,2}$)는, 제 5의 실시예에서 설명한 실드 전극(142) 외에, 또한, 제 2의 채널 형성 영역(134B)의 다른 쪽의 면과 제 2의 실드 전극(143) 사이에 끼인 실드 절연층(140)을 통해 제 2의 서브 트랜지스터($T_{ND1,2}$)의 제 2의 채널 형성 영역(134B)의 다른 쪽의 면과 대향하는 제 2의 실드 전극(143)을 갖고 있다. 이하, 실드 전극(142)과 제 2의 실드 전극(143)을 구분하기 위해, 실드 전극(142)을 제 1의 실드 전극(142)이라고 칭하기도 한다. 그리고, 제 2의 실드 전극(143)은, 절연층(140)에 마련된 콘택트 홀을 통하여, 공통 소스/드레인 영역(135C)에 접속되어 있다. 앞서 설명한 바와 같이, 공통 소스/드레인 영역(135C)은 제 1의 서브 트랜지스터($T_{ND1,1}$)의 다른 쪽의 소스/드레인 영역과 제 2의 서브 트랜지스터($T_{ND1,2}$)의 한쪽의 소스/드레인 영역이 서로 중첩하는 영역이다. 제 2의 실드 전극(143)도, 제 1의 실드 전극(142)과 마찬가지로, 여러가지의 주지의 방법에 의해 형성할 수 있다.

[0251] 그리고, 제 6의 실시예에서는, 제 5의 실시예에서 설명한 제 1의 실드 전극(142) 외에, 공통 소스/드레인 영역(135C)에 접속된 제 2의 실드 전극(143)의 영향이 제 2의 채널 형성 영역(134B)에 미친다. 상술한 바와 같이, 오프 상태에서, 공통 소스/드레인 영역(135C)의 전위는 제 1의 실드 전극(142)의 전위보다 낮다. 따라서, 제 5의 실시예와 비교하여, 제 2 실시예에서와 마찬가지로, 제 2의 서브 트랜지스터($T_{ND1,2}$)의 임계 전압이 마이너스 측으로 시프트하는 정도가 상대적으로 약해진다. 이로써, 제 2의 실시예에서 설명한 것과 마찬가지로, 제 2의 서브 트랜지스터($T_{ND1,2}$)를 오프 상태로 하기 위해 게이트 전극(131B)에 인가하여야 할 전압의 절대치는, 제 5의 실시예에서 보다는 작아진다. 이로써 제 1의 노드 초기화 트랜지스터(T_{ND1})의 게이트 전극에 인가되는 신호의 진폭의 값을, 제 5의 실시예보다도 작게 설정할 수 있다.

[0252] 제 7의 실시예

[0253] 제 7의 실시예도, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 2의 실시예에 따른 유기 EL 소자(10)에 관한 것이다.

[0254] 도 2는 제 7의 실시예의 유기 EL 표시 장치의 개념도로서 참조될 수도 있다. 제 7의 실시예에 따른 유기 EL 소자(10)의 구동 회로의 등가 회로도를 도 14의 (A)에 도시한다. 도 14의 (B)는, 제 7의 실시예에 따른 유기 EL 소자(10)의 제 1의 노드 초기화 트랜지스터(T_{ND1})를 포함하는 모식적인 일부 단면도이다. 제 7의 실시예에 따른 유기 EL 소자(10)의 구동 회로에 포함된 제 1의 노드 초기화 트랜지스터(T_{ND1})는, 제 3의 실시예에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})와 동일한 구조를 갖는다.

[0255] 도 14의 (A) 및 (B)에 도시하는 바와 같이, 제 7의 실시예의 구동 회로에서는, 제 5의 실시예에서 설명한 제 1의 실드 전극(142) 외에, 제 1의 서브 트랜지스터($T_{ND1,1}$)가, 제 1의 채널 형성 영역(134A)의 다른 쪽의 면과 제 3의 실드 전극(144) 사이에 끼인 실드 절연층(140)을 통해 제 1의 서브 트랜지스터($T_{ND1,1}$)의 제 1의 채널 형성 영역(134A)의 다른 쪽의 면과 대향하는 제 3의 실드 전극(144)을 더 구비한다. 보다 구체적으로는, 제 7의 실시예에서는, 제 1의(한쪽의) 소스/드레인 영역(135A)과 접속되는 배선(138)으로부터의 연재부가 실드 전극(144)을 구성하고 있다. 제 1의 실드 전극(142)과 마찬가지로, 제 3의 실드 전극(144)도 여러가지의 주지의 방법에 의해 형성할 수 있다.

- [0256] 제 5의 실시예에서 설명한 것과 마찬가지로, 제 7의 실시예에서는, 제 3의 실드 전극(144)의 영향에 의해, 제 1의 채널 형성 영역(134A)에 대해서도 제 1의 실시예에서 도 7의 (A) 및 (B)를 참조하여 설명한 것과 같은 효과가 일어난다. 이로써, 제 1의 채널 형성 영역(134A)의 공통 소스/드레인 영역(135C)측에도 공핍층이 발생하기 때문에, 제 1의 채널 형성 영역(134A)과 공통 소스/드레인 영역(135C) 사이에서 리크 전류가 흐르기 더 어려워진다.
- [0257] 제 3의 실시예에서 설명한 것과 마찬가지로, 제 1의 채널 형성 영역(134A)을 통한 리크 전류 등에 의해 공통 소스/드레인 영역(135C)의 전위가 변화하면, 그 영향은, 최종적으로는 제 1의 노드(ND_1)의 전위에 미친다. 제 7의 실시예에서는, 제 1의 채널 형성 영역(134A)을 통한 리크 전류가 감소하기 때문에, 상술한 영향을 억제할 수 있다.
- [0258] 제 8의 실시예
- [0259] 제 8의 실시예도, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 2의 실시예에 따른 유기 EL 소자(10)에 관한 것이다.
- [0260] 도 2는 제 8의 실시예의 유기 EL 표시 장치의 개념도로서 참조될 수도 있다. 제 8의 실시예에 유기 EL 소자(10)의 구동 회로의 등가 회로도를 도 15의 (A)에 도시한다. 도 15의 (B)는, 제 8의 실시예에 따른 유기 EL 소자(10)의 제 1의 노드 초기화 트랜지스터(T_{ND1})를 포함하는 모식적인 일부 단면도이다. 제 8의 실시예에 따른 유기 EL 소자(10)의 구동 회로의 제 1의 노드 초기화 트랜지스터(T_{ND1})는, 제 4의 실시예에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})와 동일한 구조를 갖는다.
- [0261] 도 15의 (A) 및 (B)에 도시하는 바와 같이, 제 8의 실시예에서는, 제 2의 서브 트랜지스터(T_{NDL2})가 상술한 제 5의 실시예에서와 마찬가지로 제 1의 실드 전극(142)을 구비하고, 또한, 제 2의 채널 형성 영역(134B)의 다른 쪽의 면과 제 2의 실드 전극(143) 사이에 끼인 실드 절연층(140)을 통해 제 2의 서브 트랜지스터(T_{NDL2})의 제 2의 채널 형성 영역(134B)의 다른 쪽의 면과 대향하는 제 2의 실드 전극(143)도 구비한다. 또한, 제 1의 서브 트랜지스터(T_{NDL1})는 제 7의 실시예의 제 3의 실드 전극(144)과 제 1의 채널 형성 영역(134A)의 다른 쪽의 면과 제 4의 실드 전극(145) 사이에 끼인 실드 절연층(140)을 통해 제 1의 서브 트랜지스터(T_{NDL1})의 제 1의 채널 형성 영역(134A)의 다른 쪽의 면과 대향하는 제 4의 실드 전극을 구비한다. 제 2의 실드 전극(143)과 제 4의 실드 전극(145)는, 앞서 설명한 바와 같이, 제 1의 서브 트랜지스터(T_{NDL1})의 다른 쪽의 소스/드레인 영역과 제 2의 서브 트랜지스터(T_{NDL2})의 한쪽의 소스/드레인 영역이 중첩하는 영역인 공통 소스/드레인 영역(135C)에 접속되어 있다. 또한, 제 3의 실드 전극(144)은, 제 1의 서브 트랜지스터(T_{NDL1})의 제 1의(한쪽의) 소스/드레인 영역(135A)에 접속되어 있다.
- [0262] 제 2의 실드 전극(143)의 구조나 접속은, 제 6의 실시예에서 설명한 것과 마찬가지이다. 제 3의 실드 전극(144)의 구조나 접속은, 제 7의 실시예에서 설명한 것과 마찬가지이다.
- [0263] 제 4의 실드 전극(145)은, 제 2의 실드 전극(143)과 마찬가지로, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 공통 소스/드레인 영역(135C)에 접속되어 있다. 제 1의 실드 전극(142)과 마찬가지로, 제 4의 실드 전극(145)도 여러 가지의 주지의 방법에 의해 형성할 수 있다.
- [0264] 제 8의 실시예의 제 2의 서브 트랜지스터(T_{NDL2})의 구성은, 제 6의 실시예의 제 2의 서브 트랜지스터(T_{NDL2})의 구성과 동일하다. 또한, 제 8의 실시예의 제 1의 서브 트랜지스터(T_{NDL1})의 구성도 제 6의 실시예의 제 2의 서브 트랜지스터(T_{NDL2})의 구성과 동일하다. 따라서, 제 1의 서브 트랜지스터(T_{NDL1})의 임계 전압이 마이너스측으로 시프트하는 정도가 상대적으로 약해진다. 따라서, 제 2의 실시예에서 설명한 것과 마찬가지로, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 게이트 전극에 인가되는 신호의 진폭의 값을 작게 설정할 수 있다.
- [0265] 제 9의 실시예
- [0266] 이하, 본 발명의 제 1의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 1의 실시예에 따른 유기 EL 소자(10)의 여러가지의 변형예에 관해 설명한다.
- [0267] 상술한 제 1의 실시예 내지 제 4의 실시예에 따른 유기 EL 소자의 구동 회로는 5개의 트랜지스터와 하나의 커패

시터를 구비하는 것으로 하여 설명하였다. 도 16에 등가 회로도를 도시하는 제 1의 변형예는, 구동 회로가 4개의 트랜지스터와 하나의 커패시터를 구비하는 구성이다. 도 21에 등가 회로도를 도시하는 제 2의 변형예는, 구동 회로가 3개의 트랜지스터와 하나의 커패시터를 구비하는 구성이다. 도 26에 등가 회로도를 도시하는 제 3의 변형예는, 구동 회로가 2개의 트랜지스터와 하나의 커패시터를 구비하는 구성의 예이다.

[0268] 이들의 변형예에서, 영상 신호 기록 트랜지스터(T_{Sig})의 구조는, 제 1의 실시예 내지 제 4의 실시예의 영상 신호 기록 트랜지스터(T_{Sig})의 구조로 할 수 있다. 그러나, 편의를 위해, 도 16, 도 21, 및, 도 26에 도시하는 제 1 내지 제 3의 변형예의 등가 회로에서, 영상 신호 기록 트랜지스터(T_{Sig})는 제 1의 실시예의 영상 신호 기록 트랜지스터(T_{Sig})와 동일한 구조로 설계된다. 물론, 변형예 각각의 영상 신호 기록 트랜지스터(T_{Sig})가 제 1의 실시예의 영상 신호 기록 트랜지스터(T_{Sig})의 구조와 동일한 구조로 설명될 필요는 없다. 상술한 바와 같이, 제 1의 실시예의 영상 신호 기록 트랜지스터(T_{Sig})는 제 1의 노드(ND_1)에 가까운 측에 실드 전극을 구비한다.

[0269] 제 1의 변형예 : 4Tr/1C 구동 회로

[0270] 4개의 트랜지스터와 하나의 커패시터를 포함하는 4Tr/1C 구동 회로의 등가 회로도를 도 16에 도시하고, 4Tr/1C 구동 회로를 이용하는 유기 EL 표시 장치의 개념도를 도 17에 도시하고, 4Tr/1C 구동 회로의 타이밍 차트를 모식적으로 도 18에 도시한다. 도 19의 (A) 내지 (D) 및 도 20의 (A) 내지 (D)는 4Tr/1C 구동 회로에 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시한다. 또한, 도 19의 (A) 내지 (D) 및 도 20의 (A) 내지 (E)에서는, 편의상, 구동 트랜지스터를 제외한 각 트랜지스터를, 싱글 게이트 구조인지 듀얼 게이트 구조인지에 관계없이, 하나의 스위치로 표현하였다.

[0271] 이 4Tr/1C 구동 회로에서는, 제 1의 노드 초기화 트랜지스터(T_{ND1})가 생략되어 있다. 즉, 이 4Tr/1C 구동 회로는, 영상 신호 기록 트랜지스터(T_{Sig}), 소자 구동 트랜지스터(T_{Drv}), 발광 제어 트랜지스터(T_{EL_C}), 제 2의 노드 초기화 트랜지스터(T_{ND2})의 4개의 트랜지스터와, 하나의 커패시터(C_1)로 구성되어 있다.

[0272] 발광 제어 트랜지스터(T_{EL_C})

[0273] 4Tr/1C 구동 회로의 발광 제어 트랜지스터(T_{EL_C})의 구성은, 제 1의 실시예에서 설명한 발광 제어 트랜지스터(T_{EL_C})의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0274] 소자 구동 트랜지스터(T_{Drv})

[0275] 4Tr/1C 구동 회로의 소자 구동 트랜지스터(T_{Drv})의 구성은, 제 1의 실시예에서 설명한 소자 구동 트랜지스터(T_{Drv})의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0276] 제 2의 노드 초기화 트랜지스터(T_{ND2})

[0277] 4Tr/1C 구동 회로의 제 2의 노드 초기화 트랜지스터(T_{ND2})의 구성은, 제 1의 실시예에서 설명한 제 2의 노드 초기화 트랜지스터(T_{ND2})의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0278] 영상 신호 기록 트랜지스터(T_{Sig})

[0279] 4Tr/1C 구동 회로의 영상 신호 기록 트랜지스터(T_{Sig})의 구성은, 제 1의 실시예에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 구성과 같기 때문에, 상세한 설명은 생략한다. 제 1의 실시예의 설명에서 설명한 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역은, 데이터선(DTL)에 접속된다. 그러나, 4Tr/1C 구동 회로의 경우, 영상 신호 출력 회로(102)가 데이터선(DTL)을 통해 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역으로, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})뿐만 아니라, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})도 공급한다. 영상 신호 출력 회로(102)가 두 개의 상이한 신호를 영상 신호 기록 트랜지스터(T_{Sig})에 공급하는 것에 의해, 영상 신호 기록 트랜지스터(T_{Sig})가 제 1의 실시예에서 설명된 영상 신호 기록 트랜지스터(T_{Sig})와 다르게 동작하게 된다. 또한, 영상 신호 출력 회

로(102)로부터, 데이터선(DTL)을 통하여, 전압(V_{Sig})과 전압(V_{ofs}) 외에, 여러가지 신호와 전압이 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역에 공급되어도 좋다. 전압(V_{Sig}) 이외의 상기 여러가지 신호와 전압은 프리차지 구동을 위한 신호를 포함한다.

[0280] 유기 EL 발광 소자(ELP)

[0281] 4Tr/1C 구동 회로의 유기 EL 발광 소자(ELP)의 구성은, 제 1의 실시예에서 설명한 유기 EL 발광 소자(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0282] 이하, 4Tr/1C 구동 회로의 동작 설명을 행한다.

[0283] 기간($TP(4)_{-1}$)(도 18, 및, 도 19의 (A) 참조)

[0284] 이 기간($TP(4)_{-1}$)에 수행되는 동작은, 예를 들면, 앞의 표시 프레임에서 수행되는 동작이고, 제 1의 실시예에서 설명한 기간($TP(5)_{-1}$)에 수행되는 동작과 같은 동작이다.

[0285] 도 18에 도시하는 기간($TP(4)_0$) 내지 기간($TP(4)_4$)은, 도 4에 도시하는 기간($TP(5)_0$) 내지 기간($TP(5)_4$)에 대응하는 기간이고, 다음의 신호 기록 처리가 행하여지기 직전까지의 동작 기간이다. 기간($TP(4)_0$) 내지 기간($TP(4)_4$)에 수행되는 동작은 제 1의 실시예에 의해 수행되는 동작과 동일하다. 구체적으로는, 기간($TP(4)_4$)에서, 제 (n,m)번째 유기 EL 소자(10)는 원칙적으로 비발광 상태에 있다. 단, 제 1의 변형예의 경우, 4Tr/1C 구동 회로의 동작에서, 도 18에 도시하는 기간($TP(4)_5$) 내지 기간($TP(4)_6$) 외에, 기간($TP(4)_2$) 내지 기간($TP(4)_4$)도 제 m번째의 수평 주사 기간에 포함되는 점에서, 제 1의 변형예에 의해 수행되는 동작과 제 1의 실시예에 의해 수행되는 동작은 서로 다르다. 또한, 설명의 편의를 위해, 기간($TP(4)_2$)의 시작, 및, 기간($TP(4)_6$)의 종료는, 각각, 제 m번째의 수평 주사 기간의 시작, 및, 종료에 일치하는 것으로 하여 설명한다.

[0286] 이하, 기간($TP(4)_0$) 내지 기간($TP(4)_4$)의 각 기간에 관해, 설명한다. 또한, 제 1의 실시예에서 설명한 것과 마찬가지로, 기간($TP(4)_1$)의 시작이나, 기간($TP(4)_1$) 내지 기간($TP(4)_4$)의 각 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

[0287] 기간($TP(4)_0$)

[0288] 이 기간($TP(4)_0$)은, 예를 들면, 현재 표시 프레임에 대해 수행되는 동작에 할당된 기간이다. 이 동작은 제 1의 실시예에서 설명한 기간($TP(5)_0$)에 수행되는 동작과 실질적으로 같은 동작이다.

[0289] 기간($TP(4)_1$)(도 19의 (B) 참조)

[0290] 이 기간($TP(4)_1$)은, 제 1의 실시예에서 설명한 기간($TP(5)_1$)에 상당한다. 이 기간($TP(4)_1$)에서, 후술하는 임계 전압 캔슬 처리를 행하기 위한 전처리가 행하여진다. 기간($TP(4)_1$)의 시작시, 제 2의 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 하이 레벨로 함에 의해, 제 2의 노드 초기화 트랜지스터(T_{ND2})를 온 상태로 한다. 그 결과, 제 2의 노드(ND_2)의 전위는, V_{ss} (예를 들면, -10볼트)가 된다. 또한, 제 2의 노드(ND_2)의 전위 저하를 따르도록, 부유 상태의 제 1의 노드(ND_1)(소자 구동 트랜지스터(T_{Drv})의 게이트 전극)의 전위도 저하된다. 또한, 기간($TP(4)_1$)에서의 제 1의 노드(ND_1)의 전위는 기간($TP(4)_{-1}$)에서의 제 1의 노드(ND_1)의 전위에 의해 영향을 받고, 기간($TP(4)_1$)에서의 제 1의 노드(ND_1)의 전위는 전 프레임에 생성된 전압(V_{Sig})의 크기에 의해 결정된다. 따라서, 기간($TP(4)_1$)에서의 제 1의 노드(ND_1)의 전위는 일정한 값을 취하는 것이 아니다.

[0291] (기간- $TP(4)_2$)(도 19의 (C) 참조)

[0292] 그 후, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를 0볼트의 전압(V_{ofs})으로 하고, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{ofs} (예를 들면, 0볼트)가 된다. 제 2의 노드(ND_2)의 전위는

V_{SS} (예를 들면, -10볼트)를 유지한다. 그 후, 제 2의 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 2의 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 로우 레벨로 함에 의해, 제 2의 노드 초기화 트랜지스터(T_{ND2})를 오프 상태로 한다.

[0293] 또한, 기간(TP(4)₁)의 시작과 함께, 또는, 기간(TP(4)₁)의 도중에, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 하여도 좋다.

[0294] 이상의 처리에 의해, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}) 이상이 되고, 소자 구동 트랜지스터(T_{Drv})는 온 상태가 된다.

[0295] 기간(TP(4)₃)(도 19의 (D) 참조)

[0296] 그 다음, 후속하는 기간(TP(4)₃) 동안, 임계 전압 캔슬 처리가 행하여진다. 즉, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL_C})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL_C})를 온 상태로 한다. 그 결과, 제 1의 노드(ND₁)의 전위는 변화하지 않지만($V_{ofs}=0$ 볼트를 유지), 제 1의 노드(ND₁)의 전위로부터 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})을 뺀 전위를 향하여, 제 2의 노드(ND₂)의 전위는 변화한다. 즉, 부유 상태의 제 2의 노드(ND₂)의 전위가 상승한다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 소자 구동 트랜지스터(T_{Drv})가 오프 상태가 된다. 구체적으로는, 부유 상태의 제 2의 노드(ND₂)의 전위가 ($V_{ofs}-V_{th}$)=-3볼트의 전압차에 근접하고, 최종적으로 ($V_{ofs}-V_{th}$)가 된다. 여기서, 상술한 식 (2)이 보증되어 있으면, 환언하면, 식 (2)를 만족하도록 전위를 선택, 결정하여 두면, 유기 EL 발광 소자(ELP)가 발광하는 일은 없다.

[0297] 이 기간(TP(4)₃)에서는, 제 2의 노드(ND₂)의 전위는, 최종적으로 ($V_{ofs}-V_{th}$)가 된다. 즉, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})에만 의존하여, 제 2의 노드(ND₂)의 전위는 결정된다. 다시 말하면, 제 2의 노드(ND₂)의 전위는 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})과는 관계가 없다.

[0298] 기간(TP(4)₄)(도 20의 (A) 참조)

[0299] 그 다음 후속하는 기간(TP(4)₄)에서, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL_C})을 로우 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL_C})를 오프 상태로 한다. 그 결과, 제 1의 노드(ND₁)의 전위는 변화하지 않고($V_{ofs}=0$ 볼트를 유지), 부유 상태의 제 2의 노드(ND₂)의 전위도, 실질상, 변화하지 않고, ($V_{ofs}-V_{th}$)=-3볼트를 유지한다. 실제로는, 부유 상태의 제 2의 노드(ND₂)의 전위는 기생 용량 등의 정전 결합에 의해 전위 변화가 생길 수 있지만, 통상, 이들은 무시할 수 있다.

[0300] 뒤이어, 기간(TP(4)₅) 내지 기간(TP(4)₇)의 각각에 관해 설명한다. 기간(TP(4)₅) 내지 기간(TP(4)₇)에 수행되는 동작은 제 1의 실시예에서 설명한 기간(TP(5)₅) 내지 기간(TP(5)₇)에 수행되는 동작과 실질적으로 동일하다.

[0301] 기간(TP(4)₅)(도 20의 (B) 참조)

[0302] 그 다음, 후속하는 기간(TP(4)₅)에서, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리를 실행한다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지하고, 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{EL_C})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를, V_{ofs} 로부터, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 전환한다. 그 결과, 제 1의 노드(ND₁)의 전위는, V_{Sig} 로 상승한다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})를, 일단, 오프 상태로 하여, 영상 신호 기록 트랜지스터(T_{Sig}), 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스

터(T_{EL_C})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 변경하고, 그 후, 제 2의 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{EL_C})의 오프 상태를 유지한 채로, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 다시 온 상태로 하여도 좋다.

[0303] 이로써, 제 1의 실시예에서 설명한 것과 마찬가지로, 제 1의 노드(ND_1)와 제 2의 노드(ND_2)의 전위차, 즉, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})로서, 식 (3)으로 설명한 값을 얻을 수 있다.

[0304] 즉, $4Tr/1C$ 구동 회로에서도, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리에서 얻어진 전위차(V_{gs})는, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig}), 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})에만 의존하고 있다. 그리고, 이 전위차(V_{gs})는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})과는 관계가 없다.

[0305] 기간($TP(4)_6$)(도 20의 (C) 참조)

[0306] 그 다음 후속하는 기간기간($TP(4)_6$)에서, 이동도 보정 처리가 수행된다. 이동도 보정 처리는, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거하여 소자 구동 트랜지스터(T_{Drv})의 소스 영역(제 2의 노드(ND_2))의 전위를 보정하는 처리이다. 구체적으로는, 이동도 보정 처리는, 제 1의 실시예에서 설명한 기간($TP(5)_6$)에 수행되는 처리와 동일하다. 또한, 이동도 보정 처리를 실행하기 위한 소정의 시간(기간($TP(4)_6$)의 전 시간(t_0))은, 유기 EL 표시 장치를 설계할 때, 설계치로서 미리 결정하여 두면 좋다.

[0307] 기간($TP(4)_7$)(도 20의 (D) 참조)

[0308] 이상의 조작에 의해, 임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 제 1의 실시예에서 설명한 기간($TP(5)_7$)에서의 처리와 동일한 처리가 수행된다. 결과적으로, 제 2의 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{cat}$)를 초과하기 때문에, 유기 EL 발광 소자(ELP)는 발광을 시작한다. 이때, 유기 EL 발광 소자(ELP)를 통해 흐르는 드레인 전류(I_{ds})는, 전술한 식 (5)에서 얻을 수 있기 때문에, 유기 EL 발광 소자(ELP)를 흐르는 드레인 전류(I_{ds})는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에는 의존하지 않는다. 즉, 유기 EL 발광 소자(ELP)의 발광량(휘도)은, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})의 영향, 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})의 영향을 받지 않는다. 또한, 소자 구동 트랜지스터(T_{Drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.

[0309] 그리고, 유기 EL 발광 소자(ELP)의 발광 상태를 제 ($m+m'-1$)번째의 수평 주사 기간까지 계속한다. 즉, 유기 EL 발광 소자(ELP)의 발광 상태는 기간($TP(4)_{-1}$)의 끝에서 종료한다.

[0310] 기간($TP(4)_{-1}$)의 끝에서, 제 (n, m)번째의 부화소(유기 EL 소자(10))의 발광 동작이 완료된다.

[0311] 다음에, $3Tr/1C$ 구동 회로에 관한 설명을 행한다.

[0312] 제 2의 변형예 : $3Tr/1C$ 구동 회로

[0313] 3개의 트랜지스터와 하나의 커패시터를 이용하는 $3Tr/1C$ 구동 회로의 등가 회로도를 도 21에 도시하고, $3Tr/1C$ 구동 회로를 이용하는 유기 EL 표시 장치의 개념도를 도 22에 도시하고, $3Tr/1C$ 구동 회로의 타이밍 차트를 모식적으로 도 23에 도시하고, $3Tr/1C$ 구동 회로에 이용되는 각 트랜지스터의 온/오프 상태를 모식적으로 도 24의 (A) 내지 (D) 및 도 25의 (A) 내지 (E)에 도시한다. 또한, 도 24의 (A) 내지 (D) 및 도 25의 (A) 내지 (E)에서는, 편의상, 구동 트랜지스터(T_{Drv})를 제외한 각 트랜지스터를, 싱글 게이트 구조인지 듀얼 게이트 구조인지에 관계없이, 하나의 스위치로 표현하였다.

[0314] 이 $3Tr/1C$ 구동 회로에서는, 제 1의 노드 초기화 트랜지스터(T_{ND1}), 및, 제 2의 노드 초기화 트랜지스터(T_{ND2})의

2개의 트랜지스터가 생략되어 있다. 즉, 이 3Tr/1C 구동 회로는, 하나의 커패시터(C_1)와, 영상 신호 기록 트랜지스터(T_{Sig}), 발광 제어 트랜지스터(T_{EL_C}), 및, 소자 구동 트랜지스터(T_{Drv})의 3개의 트랜지스터로 구성되어 있다.

[0315] 발광 제어 트랜지스터(T_{EL_C})

[0316] 발광 제어 트랜지스터(T_{EL_C})의 구성은, 제 1의 실시예에서 설명한 발광 제어 트랜지스터(T_{EL_C})의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0317] 소자 구동 트랜지스터(T_{Drv})

[0318] 소자 구동 트랜지스터(T_{Drv})의 구성은, 제 1의 실시예에서 설명한 소자 구동 트랜지스터(T_{Drv})의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0319] 영상 신호 기록 트랜지스터(T_{Sig})

[0320] 영상 신호 기록 트랜지스터(T_{Sig})의 구성은, 제 1의 실시예에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 구성과 같기 때문에, 상세한 설명은 생략한다. 제 1의 실시예의 설명에서 설명된 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역은, 데이터선(DTL)에 접속되어 있다. 그러나, 3Tr/1C 구동 회로의 경우, 영상 신호 출력 회로(102)로부터, 데이터선(DTL)을 통해, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})뿐만 아니라, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-H}) 및 전압(V_{ofs-L})도 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역으로 공급된다. 영상 신호 출력 회로(102)가 영상 신호 기록 트랜지스터(T_{Sig})에 세 개의 상이한 신호를 공급하는 점 때문에, 영상 신호 기록 트랜지스터(T_{Sig})가 제 1의 실시예의 영상 신호 기록 트랜지스터(T_{Sig})와는 다르게 동작하게 된다. 또한, V_{Sig} 나 V_{ofs-H}/V_{ofs-L} 이외에, 영상 신호 출력 회로(102)로부터, 데이터선(DTL)을 통하여, 신호 및 전압(예를 들면, 프리차지 구동을 위한 신호)이, 한쪽의 소스/드레인 영역에 공급되어도 좋다. 전압(V_{ofs-H}) 및 전압(V_{ofs-L})의 값은 예를 들면 하기와 같이 주어진다:

[0321] V_{ofs-H} = 약 30볼트

[0322] V_{ofs-L} = 약 0볼트

[0323] 그러나, 이들 전압(V_{ofs-H}) 및 전압(V_{ofs-L})의 값은 상기 값에 한정되는 것은 아니다.

[0324] C_{El} 와 C_1 의 값의 관계

[0325] 후술하는 바와 같이, 3Tr/1C 구동 회로에서는, 데이터선(DTL)을 이용하여 제 2의 노드(ND_2)의 전위를 변화시킬 필요가 있다. 상술한 제 1의 실시예에 따른 유기 EL 소자의 구동 회로나 4Tr/1C의 구동 회로에서는, 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL})의 값(c_{EL})은, 커패시터(C_1)의 용량값(c_1) 및 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소자 영역 사이의 기생 용량(C_{gs})의 용량값(c_{gs})과 비교하여 충분히 큰 값인 것으로 하고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극인 제 1의 노드(ND_1)의 전위의 변화분($V_{Sig}-V_{ofs}$)에 의거한 소자 구동 트랜지스터(T_{Drv})의 소스 영역인 제 2의 노드(ND_2)의 전위의 변화를 고려하지 않고 설명을 행하였다. 한편, 3Tr/1C 구동 회로에서는, 커패시터(C_1)의 용량값(c_1)을, 설계상, 제 1의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로와 4Tr/1C 구동 회로에서의 것보다 큰 값으로 설정한다. 예를 들면, 3Tr/1C 구동 회로에서 이용되는 커패시터(C_1)의 용량값(c_1)을 기생 용량(C_{EL})의 용량값(c_{EL})의 약 1/4 내지 1/3 정도로 설정한다. 따라서, 제 1의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로와 4Tr/1C 구동 회로와 비교하여, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극인 제 1의 노드(ND_1)의 전위 변화에 의해 생기는 소자 구동 트랜지스터(T_{Drv})의 소스 영역인 제 2의 노드(ND_2)의 전위 변화의 정도는 크다. 이때문에, 3Tr/1C의 설명에서는, 제 1의 노드(ND_1)의 전위 변화에 의해 생기는 제 2의 노드(ND_2)의 전위 변화를 고려하여 설명을 행한다. 또한, 도 23에 도시한 타이밍 차트도, 제 1의 노

트(ND_1)의 전위 변화에 의해 생기는 제 2의 노드(ND_2)의 전위 변화를 고려하여 도시하였다.

[0326]

유기 EL 발광 소자(ELP)

[0327]

3Tr/1C 구동 회로에 이용되는 유기 EL 발광 소자(ELP)의 구성은, 제 1의 실시예에서 설명한 유기 EL 발광 소자(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0328]

이하, 3Tr/1C 구동 회로의 동작 설명을 행한다.

[0329]

기간($TP(3)_{-1}$)(도 23, 및, 도 24의 (A) 참조)

[0330]

이 기간($TP(3)_{-1}$)에 수행되는 동작은, 예를 들면, 앞의 표시 프레임에서 수행되는 동작이고, 실질적으로, 제 1의 실시예에서 설명한 기간($TP(5)_{-1}$)에 수행되는 동작과 같은 동작이다.

[0331]

도 23에 도시하는 기간($TP(3)_0$) 내지 기간($TP(3)_4$)은, 도 4에 도시하는 기간($TP(5)_0$) 내지 기간($TP(5)_4$)에 대응하는 기간이고, 다음의 신호 기록 처리가 행하여지기 직전까지의 동작 기간이다. 기간($TP(3)_0$) 내지 기간($TP(3)_4$)에 수행되는 동작은 제 1의 실시예에 의해 수행되는 동작과 동일하다. 구체적으로는, 기간($TP(3)_4$)에서, 제 (n,m)번째 유기 EL 소자(10)는 원칙적으로 비발광 상태에 있다. 단, 제 2의 변형예인 3Tr/1C 구동 회로의 동작에서, 도 23에 도시된 바와 같이 기간($TP(3)_5$) 및 기간($TP(3)_6$) 외에 기간($TP(3)_1$) 내지 기간($TP(3)_4$)도 제 m번째의 수평 주사 기간에 포함되는 점에서, 제 2의 변형예에 의해 수행되는 동작과 제 1의 실시예에 의해 수행되는 동작은 서로 다르다. 또한, 설명의 편의를 위해, 기간($TP(3)_1$)의 시작, 및, 기간($TP(3)_6$)의 종료는, 각각, 제 m번째의 수평 주사 기간의 시작, 및, 종료에 일치하는 것으로 하여 설명한다.

[0332]

이하, 기간($TP(3)_0$) 내지 기간($TP(3)_4$)의 각 기간에 관해, 설명한다. 또한, 제 1의 실시예에서 설명한 것과 마찬가지로, 기간($TP(3)_1$) 내지 기간($TP(3)_4$)의 각 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

[0333]

기간($TP(3)_0$)

[0334]

이 기간($TP(3)_0$)은, 예를 들면, 앞의 표시 프레임과 현재 표시 프레임에 대해 수행되는 동작에 할당된 기간이다. 이 동작은, 제 1의 실시예에서 설명한 기간($TP(5)_0$)에 수행되는 동작과 실질적으로 같은 동작이다.

[0335]

기간($TP(3)_1$)(도 24의 (C) 참조)

[0336]

그리고, 다음 기간($TP(3)_1$)에서, 현재 표시 프레임에서의 제 m행째의 수평 주사 기간이 시작한다. 기간($TP(3)_1$)의 시작시, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를, 소자 구동 트랜지스터(T_{drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-H})으로 하고, 뒤이어, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{sig})를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{ofs-H} 가 된다. 상술한 바와 같이, 커패시터(C_1)의 용량값(c_1)을, 설계상, 다른 구동 회로보다도 큰 값으로 하였기 때문에, 소자 구동 트랜지스터(T_{drv})의 소스 영역인 제 2의 노드(ND_2)의 전위는 상승한다. 그리고, 유기 EL 발광 소자(ELP)의 양단의 전위차가 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})을 초과하기 때문에, 전위 유기 EL 발광 소자(ELP)는 도통 상태가 되지만, 소자 구동 트랜지스터(T_{drv})의 소스 영역인 제 2의 노드(ND_2)의 전위는, 재차, ($V_{th-EL}+V_{cat}$)까지, 곧바로 저하된다. 또한, 이 과정에서, 유기 EL 발광 소자(ELP)가 발광할 수 있지만, 발광은 한 순간이고, 실용상, 문제로는 되지 않는다. 한편, 소자 구동 트랜지스터(T_{drv})의 게이트 전극은 전압(V_{ofs-H})을 유지한다.

[0337]

기간($TP(3)_2$)(도 24의 (D) 참조)

[0338]

그 후, 다음 기간($TP(3)_2$)에서, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 소자 구동 트랜지스터(T_{drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-H})으로부터 전압(V_{ofs-L})으로 변경함에 의해, 제 1의 노드(ND_1)의 전위는, V_{ofs-L} 가 된다. 그리고, 제 1의 노드(ND_1)의 전위의 저하에 수반하여, 제 2의 노드(ND_2)

의 전위도 저하된다. 즉, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위의 변화분($V_{\text{ofs-L}}-V_{\text{ofs-H}}$)에 의거한 전하가, 커패시터(C_1), 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL}), 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 용량에 배분된다. 또한, 후술하는 기간($\text{TP}(3)_3$)에서의 동작의 전제로서, 기간($\text{TP}(3)_2$)의 종료에서, 제 2의 노드(ND_2)의 전위가 $V_{\text{ofs-L}}-V_{\text{th}}$ 보다도 낮을 것이 필요해진다. 전압($V_{\text{ofs-H}}$)과 다른 전압은, 이 조건을 충족시키도록 설정되어 있다. 즉, 이상의 처리에 의해, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}) 이상이 되고, 소자 구동 트랜지스터(T_{Drv})는 온 상태가 된다.

[0339] 기간($\text{TP}(3)_3$)(도 25의 (A) 참조)

[0340] 그 다음, 후속하는 기간($\text{TP}(3)_3$) 동안, 임계 전압 캔슬 처리가 행하여진다. 즉, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선($\text{CL}_{\text{EL-C}}$)을 하이 레벨로 함에 의해, 발광 제어 트랜지스터($T_{\text{EL-C}}$)를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는 변화하지 않지만($V_{\text{ofs-L}}=0$ 볼트를 유지), 제 1의 노드(ND_1)의 전위로부터 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})을 뺀 전위를 향하여, 제 2의 노드(ND_2)의 전위는 변화한다. 즉, 부유 상태의 제 2의 노드(ND_2)의 전위가 상승한다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 소자 구동 트랜지스터(T_{Drv})가 오프 상태가 된다. 구체적으로는, 부유 상태의 제 2의 노드(ND_2)의 전위가 ($V_{\text{ofs-L}}-V_{\text{th}}$)=-3볼트에 근접하고, 최종적으로 ($V_{\text{ofs-L}}-V_{\text{th}}$)가 된다. 여기서, 상술한 식 (2)이 보증되어 있으면, 환언하면, 식 (2)를 만족하도록 전위를 선택하고 결정하여 두면, 유기 EL 발광 소자(ELP)가 발광하는 일은 없다.

[0341] 이 기간($\text{TP}(3)_3$)에서는, 제 2의 노드(ND_2)의 전위는, 최종적으로, ($V_{\text{ofs-L}}-V_{\text{th}}$)가 된다. 즉, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압($V_{\text{ofs-L}}$)에만 의존하여, 제 2의 노드(ND_2)의 전위는 결정된다. 그리고, 제 2의 노드(ND_2)의 전위는 유기 EL 발광 소자(ELP)의 임계 전압($V_{\text{th-EL}}$)과는 관계가 없다.

[0342] 기간($\text{TP}(3)_4$)(도 25의 (B) 참조)

[0343] 그 후, 후속하는 기간($\text{TP}(3)_4$)에서, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선($\text{CL}_{\text{EL-C}}$)을 로우 레벨로 함에 의해, 발광 제어 트랜지스터($T_{\text{EL-C}}$)를 오프 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는 변화하지 않고($V_{\text{ofs-L}}=0$ 볼트를 유지), 부유 상태의 제 2의 노드(ND_2)의 전위도 변화하지 않고, -3볼트의 ($V_{\text{ofs-L}}-V_{\text{th}}$)의 전압차를 유지한다.

[0344] 뒤이어, 기간($\text{TP}(3)_5$) 내지 기간($\text{TP}(3)_7$)의 각 기간에 관해 설명한다. 기간($\text{TP}(3)_5$) 내지 기간($\text{TP}(3)_7$)에 수행되는 동작은 제 1의 실시예에서 설명한 기간($\text{TP}(5)_5$) 내지 기간($\text{TP}(5)_7$)에 수행되는 동작과 실질적으로 같은 동작이다.

[0345] 기간($\text{TP}(3)_5$)(도 25의 (C) 참조)

[0346] 다음에, 후속하는 기간($\text{TP}(3)_5$)에서, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리를 실행한다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지하고, 발광 제어 트랜지스터($T_{\text{EL-C}}$)의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 설정한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{Sig} 로 상승한다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})를, 일단, 오프 상태로 하고, 영상 신호 기록 트랜지스터(T_{Sig}), 및, 발광 제어 트랜지스터($T_{\text{EL-C}}$)의 오프 상태를 유지한 채로, 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 변경하고, 그 후, 발광 제어 트랜지스터($T_{\text{EL-C}}$)의 오프 상태를 유지한

채로, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 다시 온 상태로 하여도 좋다.

[0347] 상술한 바와 같이, 기간($TP(3)_5$)에서, 제 1의 노드(ND_1)의 전위가, V_{ofs-L} 로부터 V_{Sig} 로 상승한다. 이때문에, 제 1의 노드(ND_1)의 전위 변화에 의해 생기는 제 2의 노드(ND_2)의 전위 변화를 고려하면, 제 2의 노드(ND_1)의 전위도, 약간, 상승한다. 즉, 제 2의 노드(ND_1)의 전위를, $V_{ofs-L}-V_{th}+\alpha \times (V_{Sig}-V_{ofs-L})$ 로 나타낼 수 있다. 단, $0 < \alpha < 1$ 이고, α 의 값은 커패시터(C_1)의 용량(c_1)과 유기 EL 발광 소자(ELP)의 기생 용량(C_{EL})의 용량 등에 의해 정하여진다.

[0348] 이로써, 제 1의 실시예에서 설명한 것과 마찬가지로, 제 1의 노드(ND_1)와 제 2의 노드(ND_2)의 전위차는 이하의 식 (3')으로 표현될 수 있다. 제 1의 노드(ND_1)와 제 2의 노드(ND_2)의 전위차는 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})이다.

[0349]
$$V_{gs} \doteq V_{Sig} - (V_{ofs-L} - V_{th}) - \alpha \times (V_{Sig} - V_{ofs-L}) \quad (3')$$

[0350] 즉, $3Tr/1C$ 구동 회로에서도, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리에서 얻어진 전위차(V_{gs})는, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig}), 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-L})에만 의존하고 있다. 그리고, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})과는 관계가 없다.

[0351] 기간($TP(3)_6$)(도 25의 (D) 참조)

[0352] 그 후, 후속하는 기간($TP(3)_6$)에서, 이동도 보정 처리가 수행된다. 이동도 보정 처리는 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거하여 소자 구동 트랜지스터(T_{Drv})의 소스 영역인 제 2의 노드(ND_2)의 전위를 보정하는 처리이다. 구체적으로는, 이동도 보정 처리는 제 1의 실시예에서 설명한 기간($TP(5)_6$)에서 수행되는 처리와 동일하다. 또한, 이동도 보정 처리를 실행하기 위한 조정의 시간(기간($TP(3)_6$)의 전 시간(t_0))은, 유기 EL 표시 장치를 설계할 때, 설계치로서 미리 결정하여 두면 좋다.

[0353] 기간($TP(3)_7$)(도 25의 (E)참조)

[0354] 이상의 조작에 의해, 임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 제 1의 실시예에서 설명한 기간($TP(5)_7$)과 같은 처리가 이루어지고, 제 2의 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{Cat}$)를 초과하기 때문에, 유기 EL 발광 소자(ELP)는 발광을 시작한다. 이때, 유기 EL 발광 소자(ELP)를 흐르는 드레인 전류(I_{ds})는 전술한 식 (5)로 얻을 수 있다. 따라서, 유기 EL 발광 소자(ELP)를 흐르는 전류(I_{ds})는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에는 의존하지 않는다. 즉, 유기 EL 발광 소자(ELP)의 발광량을 나타내는 유기 EL 소자(ELP)의 휘도는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})의 영향을 받지 않는다. 더하여, 소자 구동 트랜지스터(T_{Drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.

[0355] 그리고, 유기 EL 발광 소자(ELP)의 발광 상태를 제 ($m+m'-1$)번째의 수평 주사 기간까지 계속한다. 이 시점은, 기간($TP(3)_{-1}$)의 끝에 상당한다.

[0356] 기간($TP(3)_{-1}$)의 끝에서, 유기 EL 소자(10)로서 기능하는 제 (n,m)번째의 부화소의 발광의 동작이 완료된다.

[0357] 다음에, $2Tr/1C$ 구동 회로에 관한 설명을 행한다.

[0358] 제 3의 변형예 : $2Tr/1C$ 구동 회로

[0359] 2개의 트랜지스터와 하나의 커패시터를 이용하며 제 3의 변형예인 $2Tr/1C$ 구동 회로의 등가 회로도를 도 26에 도시하고, $2Tr/1C$ 구동 회로를 이용하는 유기 EL 표시 장치의 개념도를 도 27에 도시하고, $2Tr/1C$ 구동 회로의 타이밍 차트를 모식적으로 도 28에 도시하고, $2Tr/1C$ 구동 회로에 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도 29의 (A) 내지 (F)에 도시한다. 또한, 도 29의 (A) 내지 (F)에서는, 편의상, 구동 트랜지스터를

제외한 각 트랜지스터를, 싱글 게이트 구조인지 듀얼 게이트 구조인지에 관계없이, 하나의 스위치로 표현하였다.

[0360] 이 2Tr/1C 구동 회로에서는, 제 1의 노드 초기화 트랜지스터(T_{ND1}), 발광 제어 트랜지스터(T_{EL_C}), 및, 제 2의 노드 초기화 트랜지스터(T_{ND2})의 3개의 트랜지스터가 생략되어 있다. 즉, 이 2Tr/1C 구동 회로는, 하나의 커패시터(C_1) 외에, 영상 신호 기록 트랜지스터(T_{Sig}), 및 소자 구동 트랜지스터(T_{Drv})의 2개의 트랜지스터로 구성되어 있다.

[0361] 소자 구동 트랜지스터(T_{Drv})

[0362] 2Tr/1C 구동 회로에 이용되는 소자 구동 트랜지스터(T_{Drv})의 구성은, 제 1의 실시예에서 설명한 소자 구동 트랜지스터(T_{Drv})의 구성과 같기 때문에, 상세한 설명은 생략한다. 단, 소자 구동 트랜지스터(T_{Drv})의 드레인 영역은 전류 공급부(100)에 접속되어 있다. 또한, 전류 공급부(100)로부터는, 유기 EL 발광 소자(ELP)의 발광을 제어하기 위한 전압(V_{CC-H}), 및, 소자 구동 트랜지스터(T_{Drv})의 소스 영역의 전위를 제어하기 위한 전압(V_{CC-L})이 공급된다. 여기서, 전압(V_{CC-H}) 및 전압(V_{CC-L})의 값은 이하와 같이 주어진다.

[0363] $V_{CC-H} = 20\text{볼트}$

[0364] $V_{CC-L} = -10\text{볼트}$

[0365] 그러나, 전압(V_{CC-H}) 및 전압(V_{CC-L})은 상기 값에 한정되는 것은 아니다. 또한, 후술하는 제 10의 실시예에서도 마찬가지이다.

[0366] 영상 신호 기록 트랜지스터(T_{Sig})

[0367] 2Tr/1C 구동 회로에 이용되는 영상 신호 기록 트랜지스터(T_{Sig})의 구성은, 제 1의 실시예에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0368] 유기 EL 발광 소자(ELP)

[0369] 2Tr/1C 구동 회로에 이용되는 유기 EL 발광 소자(ELP)의 구성은, 제 1의 실시예에서 설명한 유기 EL 발광 소자(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.

[0370] 이하, 2Tr/1C 구동 회로의 동작 설명을 행한다.

[0371] 기간($TP(2)_{-1}$)(도 28, 및, 도 29의 (A) 참조)

[0372] 이 기간($TP(2)_{-1}$)은, 예를 들면, 앞의 표시 프레임에서의 동작이고, 실질적으로, 제 1의 실시예에서 설명한 기간($TP(5)_{-1}$)에서 수행된 동작과 같은 동작이다.

[0373] 도 28에 도시하는 기간($TP(2)_0$) 내지 기간($TP(2)_2$)은, 도 4에 도시하는 기간($TP(5)_0$) 내지 기간($TP(5)_4$)에 대응하는 기간이고, 다음의 신호 기록 처리가 행하여지기 직전까지의 동작 기간이다. 그리고, 기간($TP(2)_0$) 내지 기간($TP(2)_2$)에서 수행되는 동작은 제 1의 실시예에 의해 수행되는 동작과 동일하다. 구체적으로는, 기간($TP(2)_0$) 내지 기간($TP(2)_2$)에서, 제 (n,m)번째의 유기 EL 소자(10)는 원칙적으로 비발광 상태에 있다. 단, 제 3의 변형예인 2Tr/1C 구동 회로의 동작에서는, 도 28에 도시하는 바와 같이, 기간($TP(2)_3$) 외에, 기간($TP(2)_1$) 및 기간($TP(2)_2$)도 제 m번째의 수평 주사 기간에 포함되는 점이, 제 1의 실시예의 동작과는 다르다. 또한, 설명의 편의를 위해, 기간($TP(2)_1$)의 시작, 및, 기간($TP(2)_3$)의 종료는, 각각, 제 m번째의 수평 주사 기간의 시작, 및, 종료에 일치하는 것으로 하여 설명한다.

[0374] 이하, 기간($TP(2)_0$) 내지 기간($TP(2)_2$)의 각 기간에 관해, 설명한다. 또한, 제 1의 실시예에서 설명한 것과 마찬가지로, 기간($TP(2)_1$) 내지 기간($TP(2)_3$)의 각 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

- [0375] 기간(TP(2)₀)(도 29의 (B) 참조)
- [0376] 이 기간(TP(2)₀)은, 예를 들면, 앞의 표시 프레임과 현재 표시 프레임에 대해 수행되는 동작에 대해 할당된 기간이다. 즉, 이 기간(TP(2)₀)은, 앞의 표시 프레임에서의 제 (m+m')번째의 수평 주사 기간부터, 현재 표시 프레임에서의 제 (m-1)번째의 수평 주사 기간까지의 기간이다. 그리고, 이 기간(TP(2)₀)에서, 제 (n,m)번째의 유기 EL 소자(10)는, 비발광 상태에 있다. 여기서, 기간(TP(2)₋₁)에서 기간(TP(2)₀)으로 이동하는 시점에서, 전류 공급부(100)로부터 공급되는 전압을, V_{CC-H}에서 전압(V_{CC-L})으로 전환한다. 그 결과, 제 2의 노드(ND₂)(소자 구동 트랜지스터(T_{Drv})의 소스 영역 또는 유기 EL 발광 소자(ELP)의 아노드 전극)의 전위는 V_{CC-L}까지 저하되고, 유기 EL 발광 소자(ELP)는 비발광 상태가 된다. 또한, 제 2의 노드(ND₂)의 전위 저하를 따르도록, 부유 상태의 제 1의 노드(ND₁)(소자 구동 트랜지스터(T_{Drv})의 게이트 전극)의 전위도 저하된다.
- [0377] 기간(TP(2)₁)(도 29의 (C) 참조)
- [0378] 그리고, 다음 기간(TP(2)₁)에서, 현재 표시 프레임에서의 제 m행째의 수평 주사 기간이 시작한다. 기간(TP(2)₁)의 시작시, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1의 노드(ND₁)의 전위는, V_{ofs}(예를 들면, 0볼트)가 된다. 제 2의 노드(ND₂)의 전위는 V_{CC-L}(예를 들면, -10볼트)을 유지한다.
- [0379] 상기한 동작을 수행하는 것에 의해, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}) 이상이 되고, 소자 구동 트랜지스터(T_{Drv})는 온 상태가 된다.
- [0380] 기간(TP(2)₂)(도 29의 (D) 참조)
- [0381] 그 다음, 후속하는 기간(TP(2)₂) 동안, 임계 전압 캔슬 처리가 행하여진다. 즉, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 전류 공급부(100)로부터 공급되는 전압을, 전압(V_{CC-L})에서 전압(V_{CC-H})으로 전환한다. 그 결과, 제 1의 노드(ND₁)의 전위는 변화하지 않지만(V_{ofs}=0볼트를 유지), 제 1의 노드(ND₁)의 전위로부터 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})을 뺀 전위를 향하여, 제 2의 노드(ND₂)의 전위는 변화한다. 즉, 부유 상태의 제 2의 노드(ND₂)의 전위가 상승한다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 소자 구동 트랜지스터(T_{Drv})가 오프 상태가 된다. 구체적으로는, 부유 상태의 제 2의 노드(ND₂)의 전위가 (V_{ofs}-V_{th})=-3볼트의 전압차에 근접하고, 최종적으로 (V_{ofs}-V_{th})가 된다. 여기서, 상술한 식 (2)이 보증되어 있으면, 환언하면, 식 (2)를 만족하도록 전위를 선택, 결정하여 두면, 유기 EL 발광 소자(ELP)가 발광하는 일은 없다.
- [0382] 이 기간(TP(2)₂)에서는, 제 2의 노드(ND₂)의 전위는, 최종적으로, (V_{ofs}-V_{th})가 된다. 즉, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})에만 의존하여, 제 2의 노드(ND₂)의 전위가 결정된다. 그리고, 제 2의 노드(ND₂)의 전위는 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})과는 관계가 없다.
- [0383] 기간(TP(2)₃)(도 29의 (E)참조)
- [0384] 다음에, 후속하는 기간(TP(2)₃)에서, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리, 및, 이동도 보정 처리가 수행된다. 이동도 보정 처리는 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거하여 소자 구동 트랜지스터(T_{Drv})의 소스 영역인 제 2의 노드(ND₂)의 전위를 보정하는 처리이다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 한다. 그 결과, 제 1의 노드(ND₁)의 전위는 V_{Sig}로 상승하고, 소자 구동 트랜지스터(T_{Drv})는 온 상태가 된다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})를,

일단, 오프 상태로 하여, 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 변경하고, 그 후, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 함으로써, 소자 구동 트랜지스터(T_{Drv})를 다시 온 상태로 하여도 좋다.

[0385] 제 1의 실시예에서 설명한 것과는 달리, 소자 구동 트랜지스터(T_{Drv})의 드레인 영역에는 전류 공급부(100)로부터 전압(V_{CC-H})이 인가되어 있기 때문에, 소자 구동 트랜지스터(T_{Drv})의 소스 영역의 전위는 상승한다. 소정의 시간(t_0)이 경과한 후, 주사선(SCL)을 로우 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하여, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극인 제 1의 노드(ND_1)를 부유 상태로 한다. 또한, 이 기간($TP(2)_3$)의 전 시간(t_0)은, 제 2의 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}+\Delta V$)가 되도록, 유기 EL 표시 장치를 설계할 때, 설계치로서 미리 결정하여 두면 좋다.

[0386] 이 기간($TP(2)_3$)에서도, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 큰 경우, 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 크고, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 작은 경우, 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 작다.

[0387] 기간($TP(2)_4$)(도 29의 (F)참조)

[0388] 이상의 조작에 의해, 임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 제 1의 실시예에서 설명한 기간($TP(5)_7$)에서 수행된 처리와 같은 처리가 이루어지고, 제 2의 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{cat}$)를 초과하기 때문에, 유기 EL 발광 소자(ELP)는 발광을 시작한다. 이때, 유기 EL 발광 소자(ELP)를 흐르는 전류(I_{ds})는, 전술한 식 (5)에서 얻을 수 있다. 따라서, 유기 EL 발광 소자(ELP)를 흐르는 전류(I_{ds})는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에는 의존하지 않는다. 즉, 유기 EL 발광 소자(ELP)의 발광량인 유기 EL 발광 소자(ELP)의 휘도는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})의 영향을 받지 않는다. 더하여, 소자 구동 트랜지스터(T_{Drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.

[0389] 그리고, 유기 EL 발광 소자(ELP)의 발광 상태를 제 ($m+1$)-1)번째의 수평 주사 기간까지 계속한다. 이 시점은, 기간($TP(2)_{-1}$)의 끝에 상당한다.

[0390] 기간($TP(2)_{-1}$)의 끝에서, 유기 EL 소자(10)로 기능하는 제 (n,m)번째의 부화소의 발광의 동작이 완료된다.

[0391] 또한, 예를 들면, 도 26에 도시한 2Tr/1C 구동 회로의 동작에서의 기간($TP(3)_3$)을 2개의 기간, 즉, 서브 기간(sub-period)($TP(3)_3$) 및 서브 기간($TP(3)'_3$)으로 분할하고, 서브 기간($TP(3)_3$)에서, 전술한 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})를, 일단, 오프 상태로 하여, 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 변경하고, 그 후, 서브 기간($TP(3)'_3$)에서, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 함으로써, 소자 구동 트랜지스터(T_{Drv})를 다시 온 상태로 하여도 좋다. 이 경우의 타이밍 차트를 모식적으로 도 30에 도시한다.

[0392] 제 10의 실시예

[0393] 이하, 본 발명의 제 2의 실시예에 따른 유기 EL 표시 장치, 및, 본 발명의 제 2의 실시예에 따른 유기 EL 소자(10)의 변형예에 관해 설명한다.

[0394] 상술한 제 5의 실시예 내지 제 8의 실시예에 관해서는, 구동 회로는 5개의 트랜지스터와 하나의 커패시터를 구비하는 것으로 하여 설명하였다. 도 31에 등가 회로도를 도시하는 제 10의 실시예는, 구동 회로가 3개의 트랜지스터와 하나의 커패시터를 구비하는 구성이다.

[0395] 제 10의 실시예의 유기 EL 소자의 구동 회로의 등가 회로도를 도 31에 도시하고, 다수의 상기 유기 EL 소자를 이용하는 유기 EL 표시 장치의 개념도를 도 32에 도시하고, 유기 EL 소자의 타이밍 차트를 모식적으로 도 33에 도시하고, 유기 EL 소자에 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도 34의 (A) 내지 (D) 및

도35의 (A) 내지 (C)에 도시한다.

- [0396] 제 10의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로에서는, 상술한 제 5의 실시예 내지 제 8의 실시예와 비교하여, 발광 제어 트랜지스터(T_{EL_C}), 및, 제 2의 노드 초기화 트랜지스터(T_{ND2})의 2개의 트랜지스터가 생략되어 있다. 즉, 이 구동 회로는, 하나의 커패시터(C_1)와, 영상 신호 기록 트랜지스터(T_{Sig}), 제 1의 노드 초기화 트랜지스터(T_{ND1}), 및, 소자 구동 트랜지스터(T_{Drv})의 3개의 트랜지스터로 구성된다.
- [0397] 제 10의 실시예에서, 구동 회로를 구성하는 제 1의 노드 초기화 트랜지스터(T_{ND1})의 구조를, 앞서 설명한 제 5의 실시예 내지 제 8의 실시예 중 어느 하나의 제 1의 노드 초기화 트랜지스터(T_{ND1})와 동일한 구조로 할 수 있다. 예를 들면, 제 10의 실시예에서 이용되는 구동 회로의 등가 회로인 도 31에 도시하는 등가 회로에서의 제 1의 노드 초기화 트랜지스터(T_{ND1})는 도 12를 참조하여 앞서 설명된 제 5의 실시예에서의 제 1의 노드 초기화 트랜지스터(T_{ND1})와 동일한 구조를 갖는다. 도 12 및 도 31에 도시된 바와 같이, 제 1의 노드 초기화 트랜지스터(T_{ND1})는 제 1의 노드(ND_1)측에 실드 전극을 구비한다. 그러나, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 구성은 제 5의 실시예에서 이용되는 제 1의 노드 초기화 트랜지스터(T_{ND1})의 구성으로 제한되는 것은 아니며, 제 6 내지 제 8의 실시예 중 어느 하나의 실시예에 이용되는 제 1의 노드 초기화 트랜지스터(T_{ND1})와 동일한 구성으로 설계될 수도 있다. 또한, 도 31에 도시하는 등가 회로에서는, 영상 신호 기록 트랜지스터(T_{Sig})를 이른바 싱글 게이트 트랜지스터로 하였지만, 제 5의 실시예에서 설명한 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig})의 구성은 싱글 게이트 구조로 제한되는 것은 아니며, 앞서 설명한 제 1 내지 제 4의 실시예 중 어느 하나의 실시예에서 이용되는 영상 신호 기록 트랜지스터(T_{Sig})와 동일한 구조로 설계될 수도 있다.
- [0398] 기본적으로, 제 10의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로는, 도 26을 참조하여 앞서 설명된 제 9의 실시예에 따른 유기 EL 소자에서 이용되는 2Tr/1C 구동 회로에 제 1의 노드 초기화 트랜지스터(T_{ND1})를 추가하는 것에 의해 얻어진다. 또한, 편의를 위해, 이하의 설명에서, 제 10의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로를 제 2의 3Tr/1C 구동 회로라고 칭한다.
- [0399] 소자 구동 트랜지스터(T_{Drv})
- [0400] 제 2의 3Tr/1C 구동 회로에서 이용되는 소자 구동 트랜지스터(T_{Drv})의 구성은, 제 1의 실시예에서 설명한 것과 같기 때문에, 상세한 설명은 생략한다. 단, 제 9의 실시예의 제 3의 변형예에서 설명한 것과 마찬가지로, 소자 구동 트랜지스터(T_{Drv})의 드레인 영역은, 제 9의 실시예의 제 3의 변형예와 마찬가지로 전압(V_{CC-H} 및 V_{CC-L})을 생성하는 전류 공급부(100)에 접속되어 있다. 전압(V_{CC-H} 및 V_{CC-L})은 제 9의 실시예의 제 3의 변형예의 것과 같기 때문에, 상세한 설명은 생략한다.
- [0401] 영상 신호 기록 트랜지스터(T_{Sig})
- [0402] 제 2의 3Tr/1C 구동 회로에서 이용되는 소자 구동 트랜지스터(T_{Sig})의 구성은, 제 5의 실시예에서 설명한 것과 같기 때문에, 상세한 설명은 생략한다.
- [0403] 제 1의 노드 초기화 트랜지스터(T_{ND1})
- [0404] 제 2의 3Tr/1C 구동 회로에서 이용되는 제 1의 노드 초기화 트랜지스터(T_{ND1})의 구성은, 제 5의 실시예 등에서 설명한 제 1의 노드 초기화 트랜지스터(T_{ND1})의 구성과 같기 때문에, 상세한 설명은 생략한다.
- [0405] 유기 EL 발광 소자(ELP)
- [0406] 제 2의 3Tr/1C 구동 회로에서 이용되는 유기 EL 발광 소자(ELP)의 구성은, 제 1의 실시예에서 설명한 유기 EL 발광 소자(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.
- [0407] 이하, 제 2의 3Tr/1C 구동 회로의 동작 설명을 행한다.
- [0408] 기간(TP(32)₋₁)(도 33, 및, 도 34의 (A) 참조)

- [0409] 이 기간($TP(32)_{-1}$)에 수행되는 동작은, 예를 들면, 앞의 표시 프레임에서 수행된 동작이고, 실질적으로, 제 1의 실시예에서 설명한 기간($TP(5)_{-1}$)과 같은 동작이다.
- [0410] 도 33에 도시하는 기간($TP(32)_0$) 내지 기간($TP(32)_3$)은, 도 4에 도시하는 기간($TP(5)_0$) 내지 기간($TP(5)_4$)에 대응하는 기간이고, 다음의 신호 기록 처리가 행하여지기 직전까지의 동작 기간이다. 기간($TP(32)_0$) 내지 기간($TP(32)_3$)에 수행되는 동작은 제 1의 실시예에 의해 수행되는 동작과 동일하다. 구체적으로는, 기간($TP(32)_0$) 내지 기간($TP(32)_3$)에서, 제 (n,m) 번째의 유기 EL 소자(10)는 비발광 상태에 있다. 즉, 이 기간($TP(32)_0$) 내지 기간($TP(32)_3$)은, 예를 들면, 앞의 표시 프레임에서의 제 $(m+m')$ 번째의 수평 주사 기간의 시작으로부터, 현재 표시 프레임에서의 제 $(m-1)$ 번째의 수평 주사 기간의 종료까지의 어떤 시간 길이의 기간이다. 또한, 기간($TP(32)_1$) 내지 기간($TP(32)_3$)을, 현재 표시 프레임에서의 제 m 번째의 수평 주사 기간 내에 포함하는 구성으로 할 수도 있다. 또한, 설명의 편의를 위해, 기간($TP(32)_4$)의 시작 및 종료는, 각각, 제 m 번째의 수평 주사 기간의 시작 및 종료에 일치하는 것으로 하여 설명한다.
- [0411] 이하, 기간($TP(32)_0$) 내지 기간($TP(32)_3$)의 각 기간에 관해 설명한다. 또한, 제 1의 실시예에서 설명한 것과 마찬가지로, 기간($TP(32)_1$) 내지 기간($TP(32)_4$)의 각 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.
- [0412] 기간($TP(32)_0$)(도 34의 (B) 참조)
- [0413] 이 기간($TP(32)_0$)은, 예를 들면, 앞의 표시 프레임과 현재 표시 프레임에 대해 수행되는 동작에 할당된 기간이다. 즉, 이 기간($TP(32)_0$)은, 앞의 표시 프레임에서의 제 $(m+m')$ 번째의 수평 주사 기간으로부터, 현재 표시 프레임에서의 제 $(m-1)$ 번째의 수평 주사 기간까지의 기간이다. 그리고, 이 기간($TP(32)_0$)에서, 제 (n,m) 번째의 유기 EL 소자(10)는, 원칙적으로 비발광 상태에 있다. 여기서, 기간($TP(32)_{-1}$)에서 기간($TP(32)_0$)으로 이동하는 시점에서, 전류 공급부(100)로부터 공급되는 전압을, 전압(V_{CC-H})에서 전압(V_{CC-L})으로 전환한다. 그 결과, 제 2의 노드(ND_2)(소자 구동 트랜지스터(T_{Drv})의 소스 영역 또는 유기 EL 발광 소자(ELP)의 아노드 전극)의 전위는 V_{CC-L} 까지 저하되고, 유기 EL 발광 소자(ELP)는 비발광 상태가 된다. 또한, 제 2의 노드(ND_2)의 전위 저하를 따르도록, 부유 상태의 제 1의 노드(ND_1)(소자 구동 트랜지스터(T_{Drv})의 게이트 전극)의 전위도 저하된다.
- [0414] 기간($TP(32)_1$)(도 34의 (C) 참조)
- [0415] 그리고, 기간($TP(32)_1$)의 시작시, 제 1의 노드 초기화 트랜지스터 제어 회로(104)의 동작에 의거하여 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})을 하이 레벨로 함에 의해, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{ofs} (예를 들면, 0볼트)가 된다. 제 2의 노드(ND_2)의 전위는 V_{CC-L} (예를 들면, -10볼트)을 유지한다.
- [0416] 상기한 처리에 의해, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}) 이상이 되고, 소자 구동 트랜지스터(T_{Drv})는 온 상태가 된다.
- [0417] 기간($TP(32)_2$)(도 34의 (D) 참조)
- [0418] 다음에, 기간($TP(32)_2$) 동안, 임계 전압 캔슬 처리가 행하여진다. 즉, 제 1의 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 전류 공급부(100)로부터 공급되는 전압을, 전압(V_{CC-L})에서 전압(V_{CC-H})으로 전환한다. 그 결과, 제 1의 노드(ND_1)의 전위는 변화하지 않지만($V_{ofs}=0$ 볼트를 유지), 제 1의 노드(ND_1)의 전위로부터 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})을 뺀 전위를 향하여, 제 2의 노드(ND_2)의 전위는 변화한다. 즉, 부유 상태의 제 2의 노드(ND_2)의 전위가 상승한다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 소자 구동 트랜지스터(T_{Drv})가 오프 상태

가 된다. 즉, 부유 상태의 제 2의 노드(ND_2)의 전위가 상승한다. 그리고, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에 도달하면, 소자 구동 트랜지스터(T_{Drv})가 오프 상태가 된다. 구체적으로는, 부유 상태의 제 2의 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}$)=-3볼트에 근접하고, 최종적으로 ($V_{ofs}-V_{th}$)가 된다. 여기서, 상술한 식 (3)이 보증되어 있으면, 환언하면, 식 (3)을 만족하도록 전위를 선택, 결정하여 두면, 유기 EL 발광 소자(ELP)가 발광하는 일은 없다.

[0419] 이 기간($TP(32)_2$)에서는, 제 2의 노드(ND_2)의 전위는, 최종적으로, ($V_{ofs}-V_{th}$)가 된다. 즉, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th}), 및, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})에만 의존하여, 제 2의 노드(ND_2)의 전위가 결정된다. 그리고, 제 2의 노드(ND_2)의 전위는 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL})과는 관계가 없다.

[0420] 기간($TP(32)_3$)(도 35의 (A) 참조)

[0421] 뒤이어, 후속하는 기간($TP(32)_3$)에서, 제 1의 노드 초기화 트랜지스터 제어 회로(104)의 동작에 의거하여 제 1의 노드 초기화 트랜지스터 제어선(AZ_{ND1})을 로우 레벨로 함에 의해, 제 1의 노드 초기화 트랜지스터(T_{ND1})를 오프 상태로 한다. 제 1의 노드(ND_1) 및 제 2의 노드(ND_2)의 전위는, 실질상, 변화하지 않는다. 실제로는, 소자 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 용량(C_{gs}) 등의 정전 결합에 의해 전위 변화가 생길 수 있지만, 통상, 이들은 무시할 수 있다.

[0422] 기간($TP(32)_4$)(도 35의 (B) 참조)

[0423] 다음에, 후속하는 기간($TP(32)_4$)에서, 소자 구동 트랜지스터(T_{Drv})에 대한 신호 기록 처리, 및, 이동도 보정 처리를 수행한다. 이동도 보정 처리는 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거하여 소자 구동 트랜지스터(T_{Drv})의 소스 영역인 제 2의 노드(ND_2)의 전위를 보정하는 처리이다. 구체적으로는, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 유기 EL 발광 소자(ELP)에서의 휘도를 제어하기 위한 영상 신호(V_{Sig})로 하고, 뒤이어, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1의 노드(ND_1)의 전위는, V_{Sig} 로 상승하고, 소자 구동 트랜지스터(T_{Drv})는 온 상태가 된다.

[0424] 제 1의 실시예에서 설명한 것과는 달리, 소자 구동 트랜지스터(T_{Drv})의 드레인 영역에는 전류 공급부(100)로부터 전위(V_{CC-H})가 인가되기 때문에, 소자 구동 트랜지스터(T_{Drv})의 소스 영역의 전위는 상승한다. 소정의 시간(t_0)이 경과한 후, 주사선(SCL)을 로우 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하여, 제 1의 노드(ND_1)(소자 구동 트랜지스터(T_{Drv})의 게이트 전극)를 부유 상태로 한다. 또한, 이 기간($TP(32)_4$)의 전 시간(t_0)은, 제 2의 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}+\Delta V$)가 되도록, 유기 EL 표시 장치를 설계할 때, 설계치로서 미리 결정하여 두면 좋다.

[0425] 이 기간($TP(32)_4$)에서도, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 큰 경우, 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 크고, 소자 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 작은 경우, 소자 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)은 작다.

[0426] 기간($TP(32)_5$)(도 35의 (C) 참조)

[0427] 이상의 조작에 의해, 임계 전압 캔슬 처리, 신호 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 제 1의 실시예에서 설명한 기간($TP(5)_7$)에서 수행되는 처리와 동일한 처리가 이루어지고, 제 2의 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{Cat}$)를 초과하기 때문에, 유기 EL 발광 소자(ELP)는 발광을 시작한다. 이때, 유기 EL 발광 소자(ELP)를 흐르는 전류는, 전술한 식 (5)에서 얻을 수 있기 때문에, 유기 EL 발광 소자(ELP)를 흐르는 전류(I_{ds})는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{Drv})의 임계 전압(V_{th})에는 의존하

지 않는다. 즉, 유기 EL 발광 소자(ELP)의 발광량인 유기 EL 발광 소자(ELP)의 휘도는, 유기 EL 발광 소자(ELP)의 임계 전압(V_{th-EL}), 및, 소자 구동 트랜지스터(T_{drv})의 임계 전압(V_{th})의 영향을 받지 않는다. 더하여, 소자 구동 트랜지스터(T_{drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.

[0428] 그리고, 유기 EL 발광 소자(ELP)의 발광 상태를 제 $(m+m'-1)$ 번째의 수평 주사 기간까지 계속한다. 이 시점은, 기간($TP(32)_{-i}$)의 끝에 상당한다.

[0429] 이상에 의해, 유기 EL 소자(10)인 제 (n,m) 번째의 부화소의 발광의 동작이 완료된다.

[0430] 제 10의 실시예의 유기 EL 표시 장치, 유기 EL 표시 장치에 이용되는 유기 EL 소자(10), 및, 유기 EL 소자의 유기 EL 발광 소자(ELP)를 구동하기 위한 구동 회로인 유기 EL 소자의 제 2의 3Tr/1C 구동 회로의 구성에 대해 설명하였다. 또한, 도 31에 도시하는 구동 회로에, 제 2의 노드 초기화 트랜지스터(T_{ND2})를 추가한 구성, 또는, 발광 제어 트랜지스터 발광 제어 트랜지스터(T_{ELC})를 추가한 구성으로 할 수도 있다. 예를 들면, 제 2의 노드 초기화 트랜지스터(T_{ND2})를 추가한 구성에서는, 전류 공급부(100)로부터 전압(V_{CC-L})을 공급할 필요는 없고, 제 1의 실시예에서 설명한 것과 같은 방법에 의해 제 2의 노드(ND_2)에 초기화 전압을 인가할 수 있다. 또한, 발광 제어 트랜지스터(T_{ELC})를 추가한 구성에서는, 예를 들면, 전류 공급부(100)는 전압(V_{CC}) 일정으로 하여 두고, 제 9의 실시예의 제 2의 변형예에서 도 24의 (C) 및 (D)를 참조하여 설명한 것과 같은 방법에 의해 제 2의 노드(ND_2)에 초기화 전압을 인가할 수 있다.

[0431] 이상, 본 발명을 바람직한 실시예에 의거하여 설명하였지만, 본 발명은 이들의 실시예로 한정되는 것이 아니다. 실시예에서 설명한 유기 EL 표시 장치나 유기 EL 소자의 구성 및 구조는 예시이고, 적절히, 변경할 수 있다. 또한, 실시예에서 설명한 구동 회로의 동작이나, 유기 EL 발광 소자(ELP)의 구동 방법은 예시이고, 적절히, 변경할 수 있다.

도면의 간단한 설명

[0432] 도 1은 제 1의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.

[0433] 도 2는 제 1의 실시예에 따른 유기 EL 표시 장치의 개념도.

[0434] 도 3은 제 1의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.

[0435] 도 4는 제 1의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로의 타이밍 차트를 모식적으로 도시하는 도면.

[0436] 도 5의 (A) 내지 (D)는 제 1의 실시예에 따른 유기 EL 소자의 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.

[0437] 도 6의 (A) 내지 (E)는, 도 5의 (D)에 계속해서, 제 1의 실시예에 따른 유기 EL 소자의 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.

[0438] 도 7의 (A)는 기간($TP(5)_7$) 동안, 영상 신호 기록 트랜지스터가 오프 상태에 있을 때의, 제 2 채널 형성 영역 부근의 상황을 모식적으로 도시한 도면.

[0439] 도 7의 (B)는 실드 전극을 부가함에 의한 전류-전압 특성의 변화를 모식적으로 도시한 도면.

[0440] 도 8은 제 2의 실시예에 따른 유기 EL 소자에 이용되는 구동 회로의 등가 회로도.

[0441] 도 9의 (A)는 제 2의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.

[0442] 도 9의 (B)는, 도 7의 (A)에 대응하는 도면으로, 기간($TP(5)_7$) 동안, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태에 있을 때의, 제 2 채널 형성 영역 부근의 상황을 모식적으로 도시한 도면.

[0443] 도 10의 (A)는 제 3의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.

[0444] 도 10의 (B)는 제 3의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.

[0445] 도 11의 (A)는 제 4의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.

[0446] 도 11의 (B)는 제 4의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.

- [0447] 도 12의 (A)는 제 5의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.
- [0448] 도 12의 (B)는 제 5의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.
- [0449] 도 13의 (A)는 제 6의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.
- [0450] 도 13의 (B)는 제 6의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.
- [0451] 도 14의 (A)는 제 7의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.
- [0452] 도 14의 (B)는 제 7의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.
- [0453] 도 15의 (A)는 제 8의 실시예에 따른 유기 EL 소자에서 이용되는 구동 회로의 등가 회로도.
- [0454] 도 15의 (B)는 제 8의 실시예에 따른 유기 EL 소자의 일부분의 모식적인 일부 단면도.
- [0455] 도 16은 제 9의 실시예에 따른 유기 EL 소자에서 이용되는 4Tr/1C 구동 회로 기본 구성을 구현하는 제 1의 변형예의 등가 회로도.
- [0456] 도 17은 4Tr/1C 구동 회로를 구비하는 유기 EL 소자를 이용하는 유기 EL 표시 장치의 개념도.
- [0457] 도 18은 4개의 트랜지스터와 하나의 커패시터를 기본적으로 이용하는 4Tr/1C 구동 회로의 타이밍 차트를 모식적으로 도시하는 도면.
- [0458] 도 19의 (A) 내지 (D)는 4Tr/1C 구동 회로에서 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- [0459] 도 20의 (A) 내지 (D)는, 도 19의 (D)에 계속해서, 4Tr/1C 구동 회로에서 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- [0460] 도 21은 제 9의 실시예에 따른 유기 EL 소자에서 이용되는 3Tr/1C 구동 회로 기본 구성을 구현하는 제 2의 변형예의 등가 회로도.
- [0461] 도 22는 3Tr/1C 구동 회로를 구비하는 유기 EL 소자를 이용하는 유기 EL 표시 장치의 개념도.
- [0462] 도 23은 기본적으로 3개의 트랜지스터와 하나의 커패시터를 이용하는 3Tr/1C 구동 회로의 타이밍 차트를 모식적으로 도시하는 도면.
- [0463] 도 24의 (A) 내지 (D)는 3Tr/1C 구동 회로에 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- [0464] 도 25의 (A) 내지 (E)는, 도 24의 (D)에 계속해서, 3Tr/1C 구동 회로에서 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- [0465] 도 26은 제 9의 실시예에 따른 유기 EL 소자에서 이용되는 2Tr/1C 구동 회로 기본 구성을 구현하는 제 3의 변형예의 등가 회로도.
- [0466] 도 27은 2Tr/1C 구동 회로를 구비하는 유기 EL 소자를 이용하는 유기 EL 표시 장치의 개념도.
- [0467] 도 28은 기본적으로 2개의 트랜지스터와 하나의 커패시터를 이용하는 2Tr/1C 구동 회로의 타이밍 차트를 모식적으로 도시하는 도면.
- [0468] 도 29의 (A) 내지 (F)는 2Tr/1C 구동 회로에서 이용되는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- [0469] 도 30은 도 28에 도시된 타이밍 차트와는 상이한 2Tr/1C 구동 회로의 타이밍 차트를 모식적으로 도시하는 도면.
- [0470] 도 31은 제 10의 실시예에 따른 유기 EL 소자에서 이용되는 제 2의 3Tr/1C 구동 회로의 등가 회로도.
- [0471] 도 32는 제 2의 3Tr/1C 구동 회로를 구비하는 유기 EL 소자를 이용하는 유기 EL 표시 장치의 개념도.
- [0472] 도 33은 기본적으로 3개의 트랜지스터와 하나의 커패시터를 이용하는 제 2의 3Tr/1C 구동 회로의 타이밍 차트를 모식적으로 도시하는 도면.
- [0473] 도 34의 (A) 내지 (D)는 제 2의 3Tr/1C 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로

도시하는 도면.

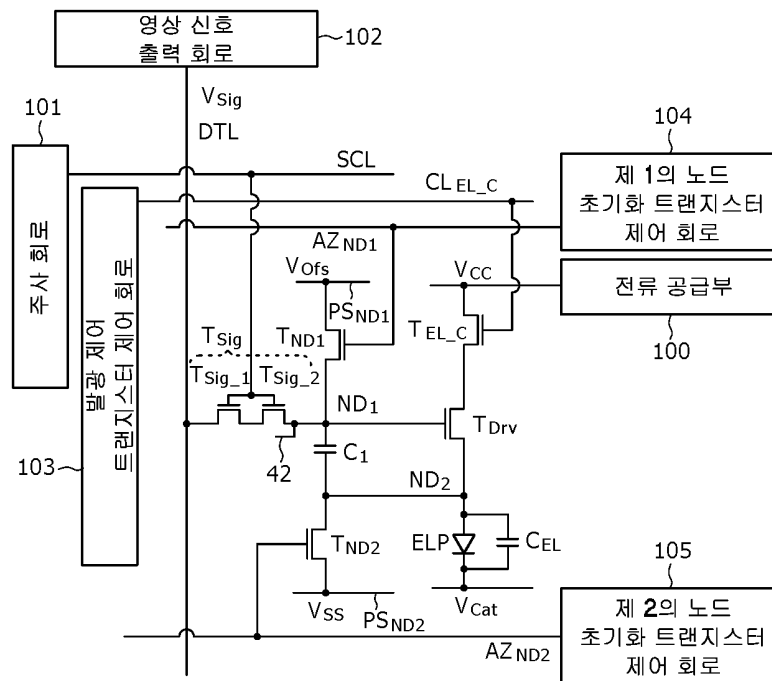
- [0474] 도 35의 (A) 내지 (C)는, 도 34의 (D)에 계속해서, 제 2의 3Tr/1C 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- [0475] 도 36은 유기 EL 소자에서 이용되는 5Tr/1C 구동 회로의 등가 회로도.
- [0476] 도 37은 영상 신호 기록 트랜지스터(T_{Sig})를 듀얼 게이트 구조로 한 5Tr/1C 구동 회로의 등가 회로도.
- [0477] 도 38의 (A) 내지 (C)는 상기 5Tr/1C 구동 회로의 상세 구성을 도시하는 도면.
- [0478] (도면의 주요 부분에 대한 부호의 설명)
- [0479] T_{Sig} : 영상 신호 기록 트랜지스터
- [0480] T_{Sig_1} : 제 1의 서브 트랜지스터
- [0481] T_{Sig_2} : 제 2의 서브 트랜지스터
- [0482] T_{Drv} : 구동 트랜지스터
- [0483] T_{EL_C} : 발광 제어 트랜지스터
- [0484] T_{ND1} : 제 1의 노드 초기화 트랜지스터
- [0485] T_{ND1_1} : 제 1의 서브 트랜지스터
- [0486] T_{ND1_2} : 제 2의 서브 트랜지스터
- [0487] T_{ND2} : 제 2의 노드 초기화 트랜지스터
- [0488] C_1 : 커패시터
- [0489] ELP : 유기 EL 발광 소자(발광 소자)
- [0490] C_{A1} , C_{A2} , C_{A3} : 트랜지스터의 기생 용량
- [0491] C_{EL} : 유기 EL 발광 소자(ELP)의 기생 용량
- [0492] ND_1 : 제 1의 노드
- [0493] ND_2 : 제 2의 노드
- [0494] SCL : 주사선
- [0495] DTL : 데이터선
- [0496] CL_{EL_C} : 발광 제어 트랜지스터 제어선
- [0497] AZ_{ND1} : 제 1의 노드 초기화 트랜지스터 제어선
- [0498] AZ_{ND2} : 제 2의 노드 초기화 트랜지스터 제어선
- [0499] PS_{ND1} : 제 1의 노드 초기화 전압 공급선
- [0500] PS_{ND2} : 제 2의 노드 초기화 전압 공급선
- [0501] 10 : 유기 EL 소자
- [0502] 20 : 지지체
- [0503] 21 : 기판

[0504]	31A : 제 1의 게이트 전극
[0505]	31B : 제 2의 게이트 전극
[0506]	32 : 게이트 절연층
[0507]	33 : 반도체층
[0508]	34A : 제 1의 채널 형성 영역
[0509]	34B : 제 2의 채널 형성 영역
[0510]	35A : 한쪽의 소스/드레인 영역
[0511]	35B : 다른 쪽의 소스/드레인 영역
[0512]	35C : 공통 영역
[0513]	131A : 제 1의 게이트 전극
[0514]	131B : 제 2의 게이트 전극
[0515]	132 : 게이트 절연층
[0516]	133 : 반도체층
[0517]	134A : 제 1의 채널 형성 영역
[0518]	134B : 제 2의 채널 형성 영역
[0519]	135A : 한쪽의 소스/드레인 영역
[0520]	135B : 다른 쪽의 소스/드레인 영역
[0521]	135C : 공통 영역
[0522]	36 : 다른 쪽의 전극
[0523]	37 : 한쪽의 전극
[0524]	38 : 배선
[0525]	138 : 배선
[0526]	39 : 배선
[0527]	40 : 절연층
[0528]	41 : 배선
[0529]	42 : 실드 전극(제 1의 실드 전극)
[0530]	43 : 제 2의 실드 전극
[0531]	44 : 제 3의 실드 전극
[0532]	45 : 제 4의 실드 전극
[0533]	140 : 절연층
[0534]	141 : 배선
[0535]	142 : 실드 전극(제 1의 실드 전극)
[0536]	143 : 제 2의 실드 전극
[0537]	144 : 제 3의 실드 전극
[0538]	145 : 제 4의 실드 전극
[0539]	46 : 층간 절연층

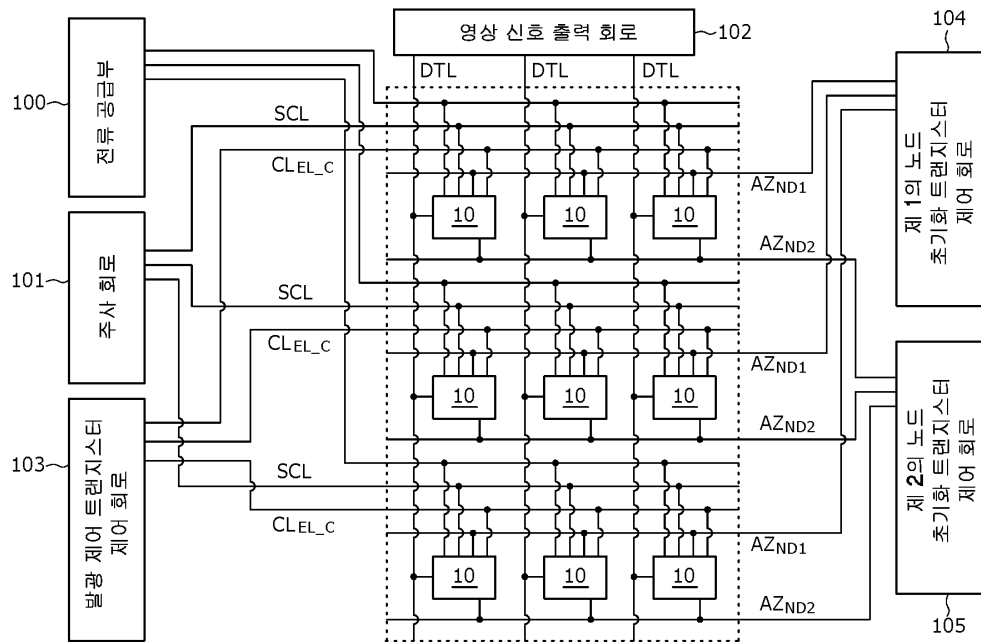
- [0540] 51 : 아노드 전극
- [0541] 52 : 정공 수송층, 발광층 및 전자 수송층
- [0542] 53 : 캐소드 전극
- [0543] 54 : 제 2의 층간 절연층
- [0544] 55, 56 : 콘택트 홀
- [0545] 100 : 전류 공급부
- [0546] 101 : 주사 회로
- [0547] 102 : 영상 신호 출력 회로
- [0548] 103 : 발광 제어 트랜지스터 제어 회로
- [0549] 104 : 제 1의 노드 초기화 트랜지스터 제어 회로
- [0550] 105 : 제 2의 노드 초기화 트랜지스터 제어 회로

도면

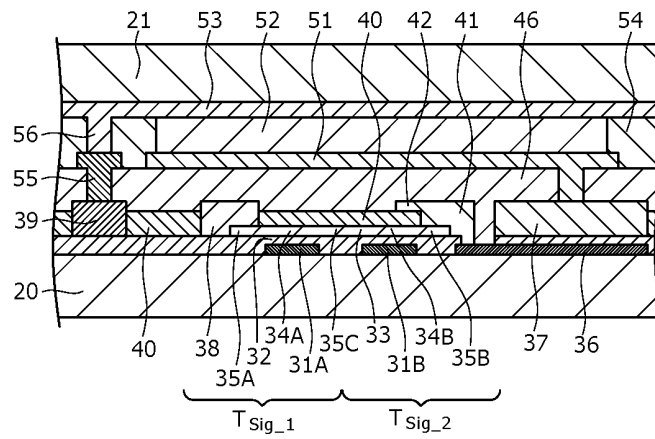
도면1



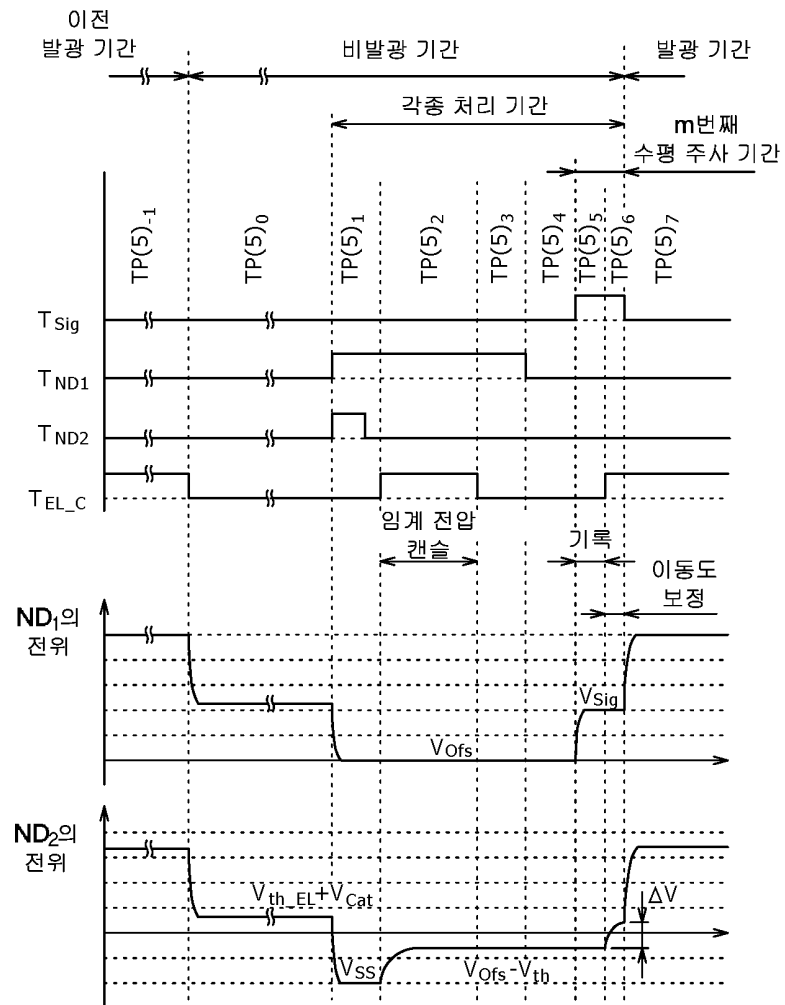
도면2



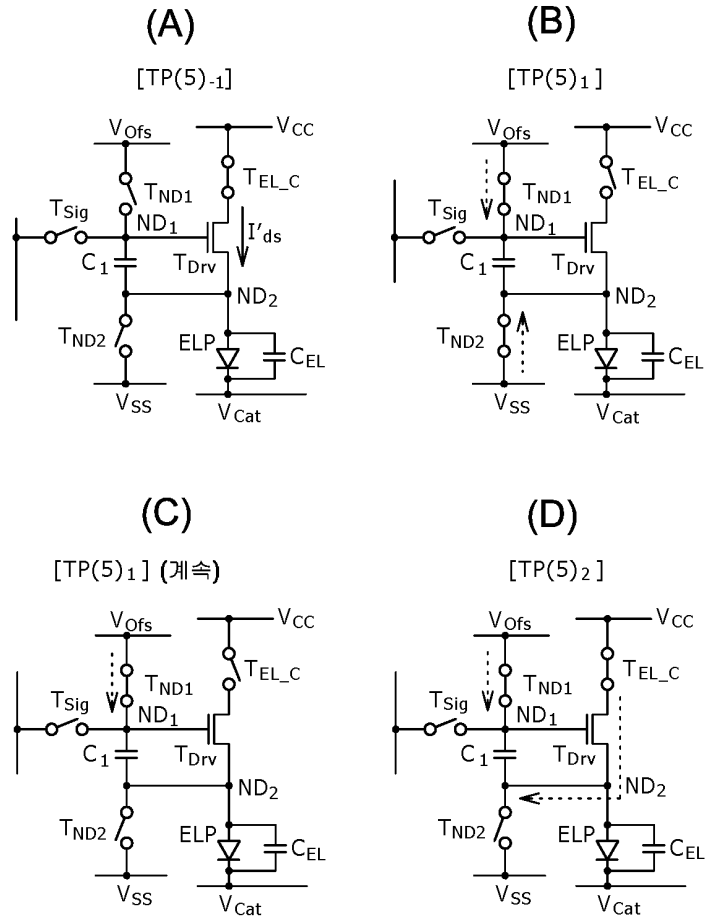
도면3



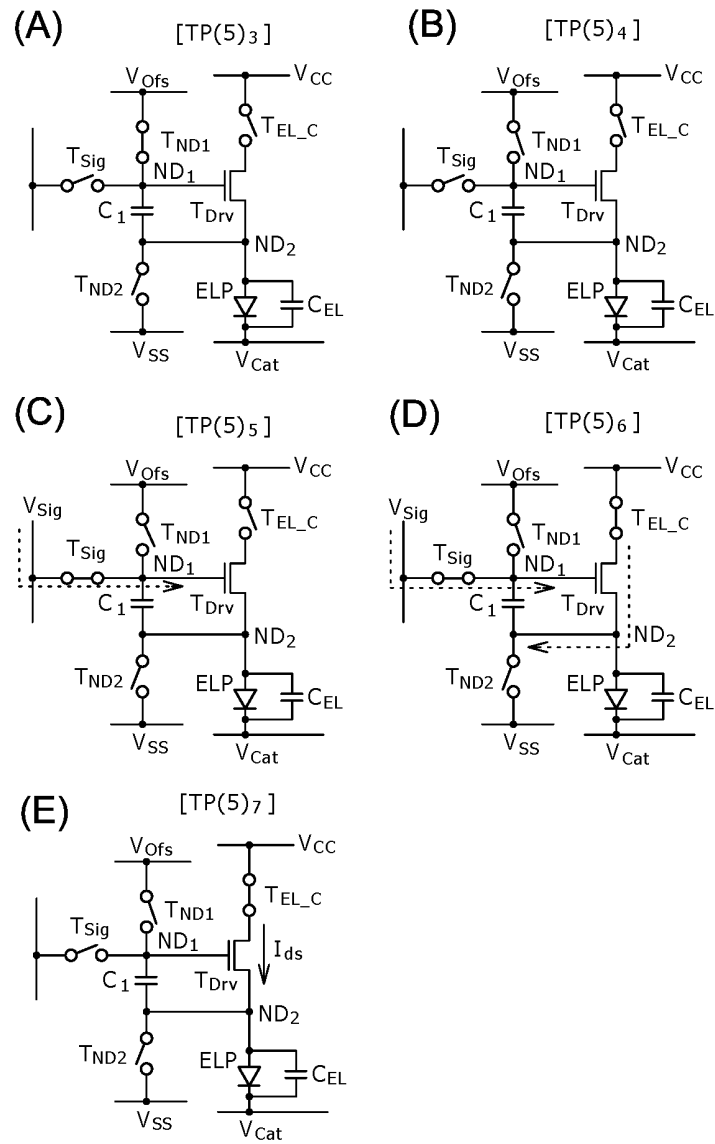
도면4



도면5

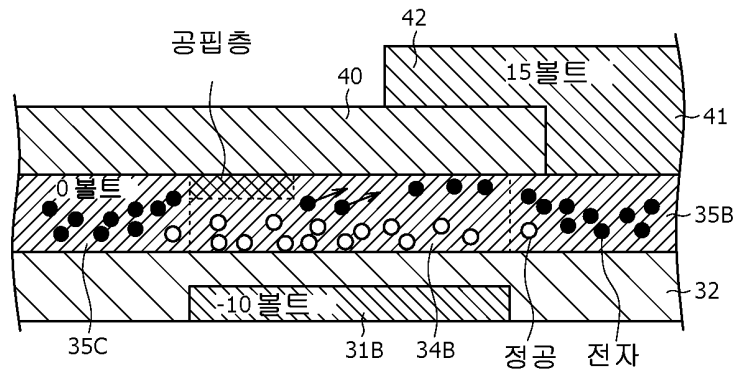


도면6

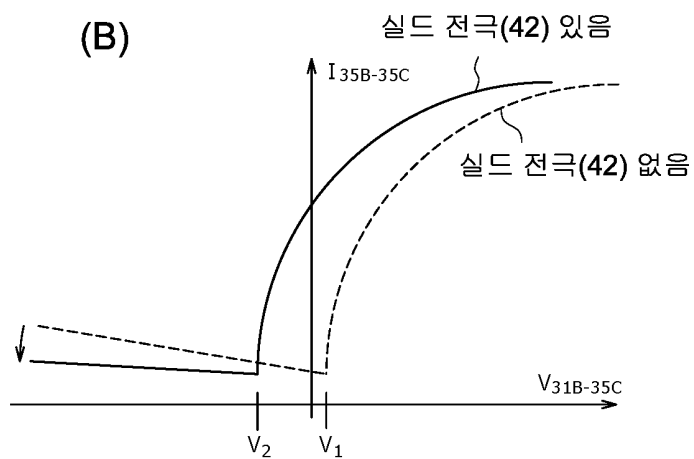


도면7

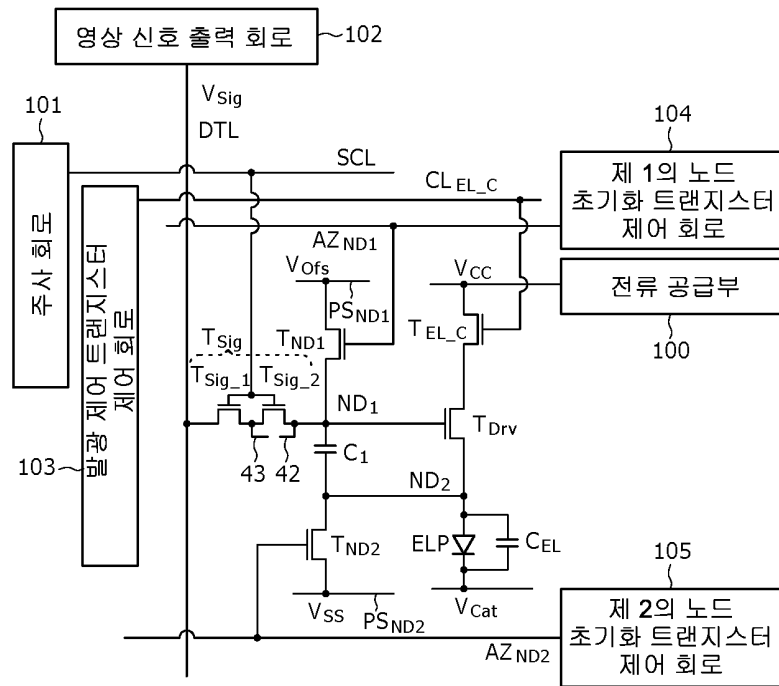
(A)



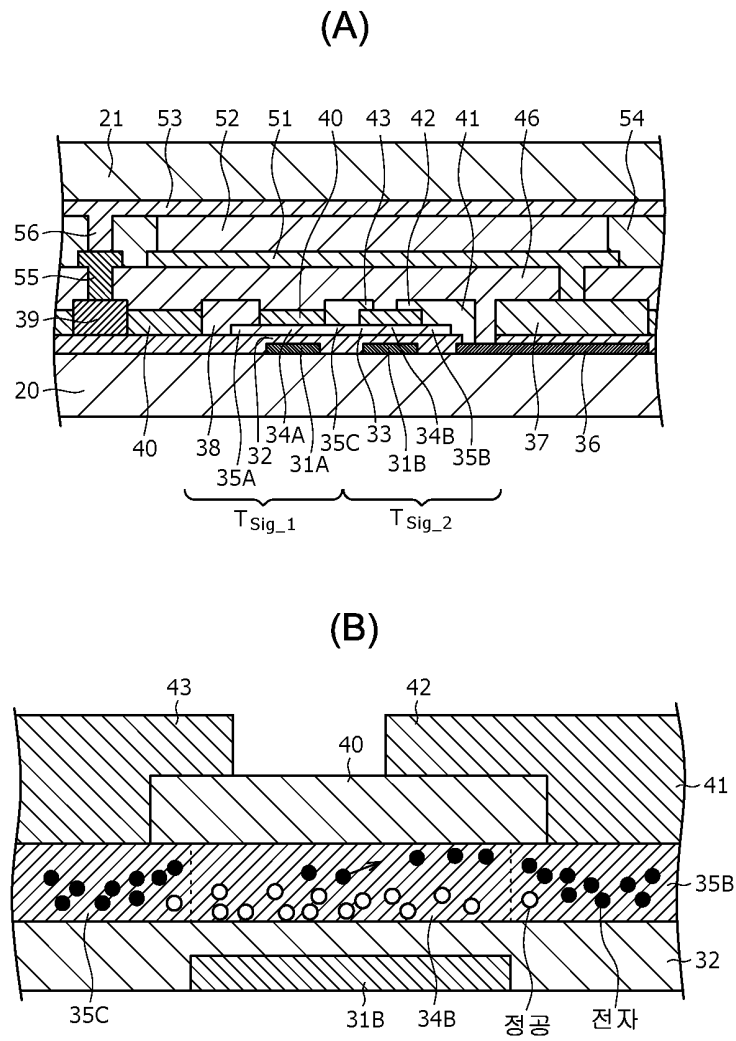
(B)



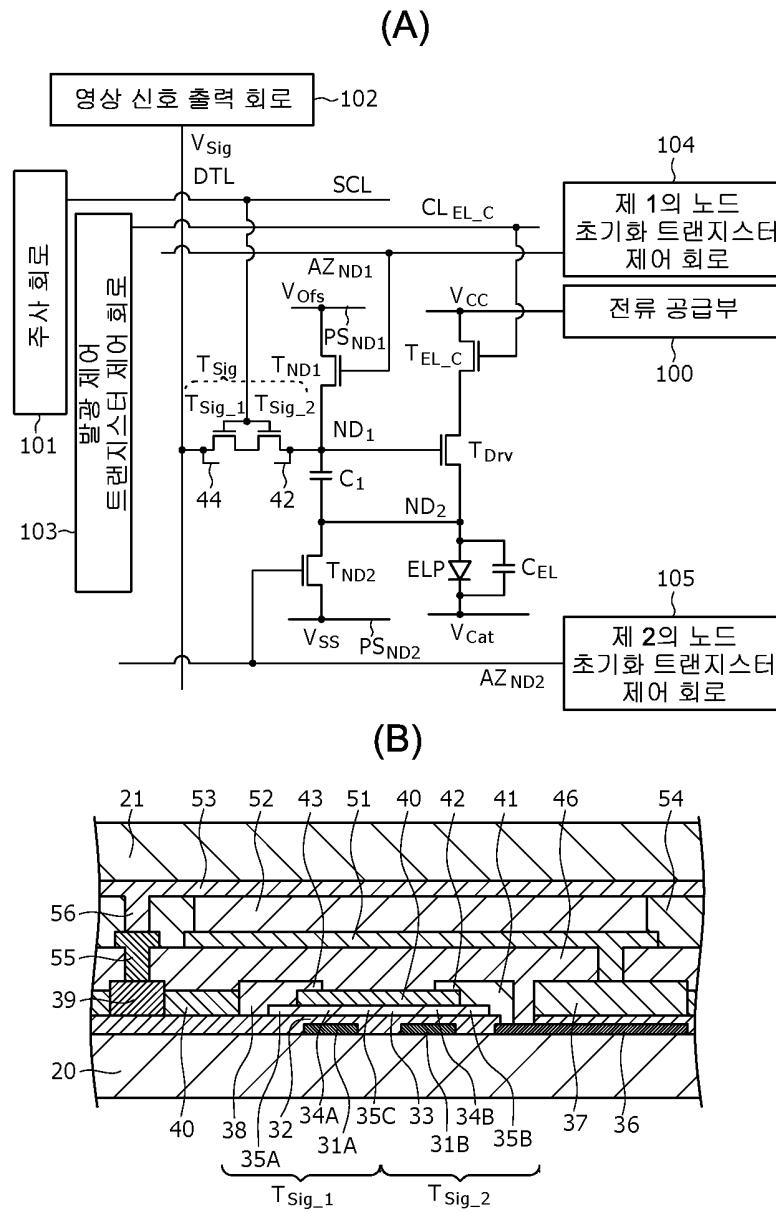
도면8



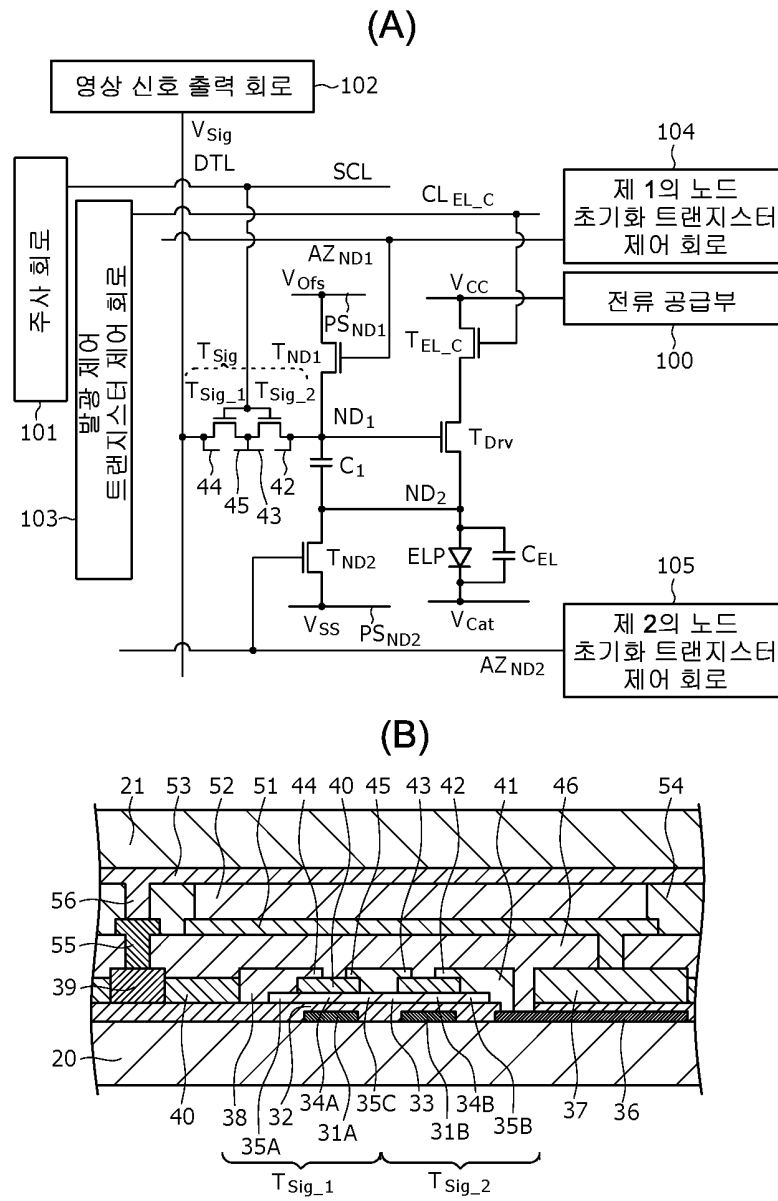
도면9



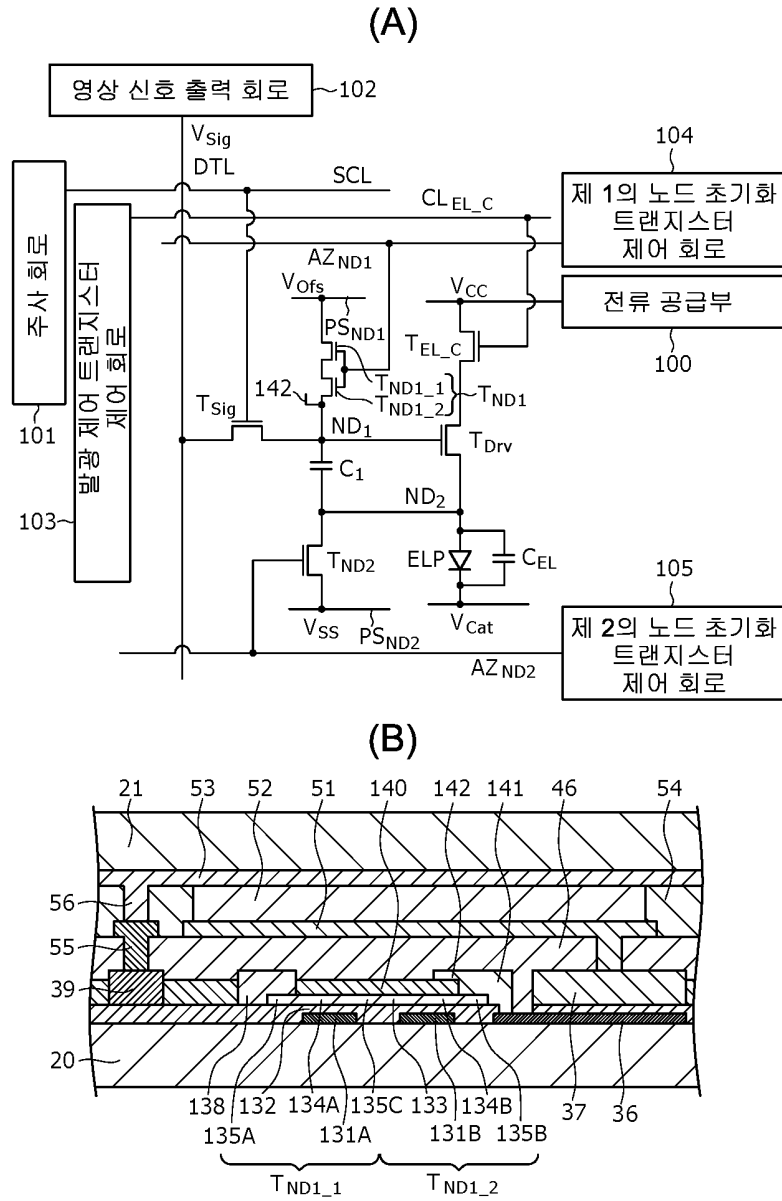
도면10



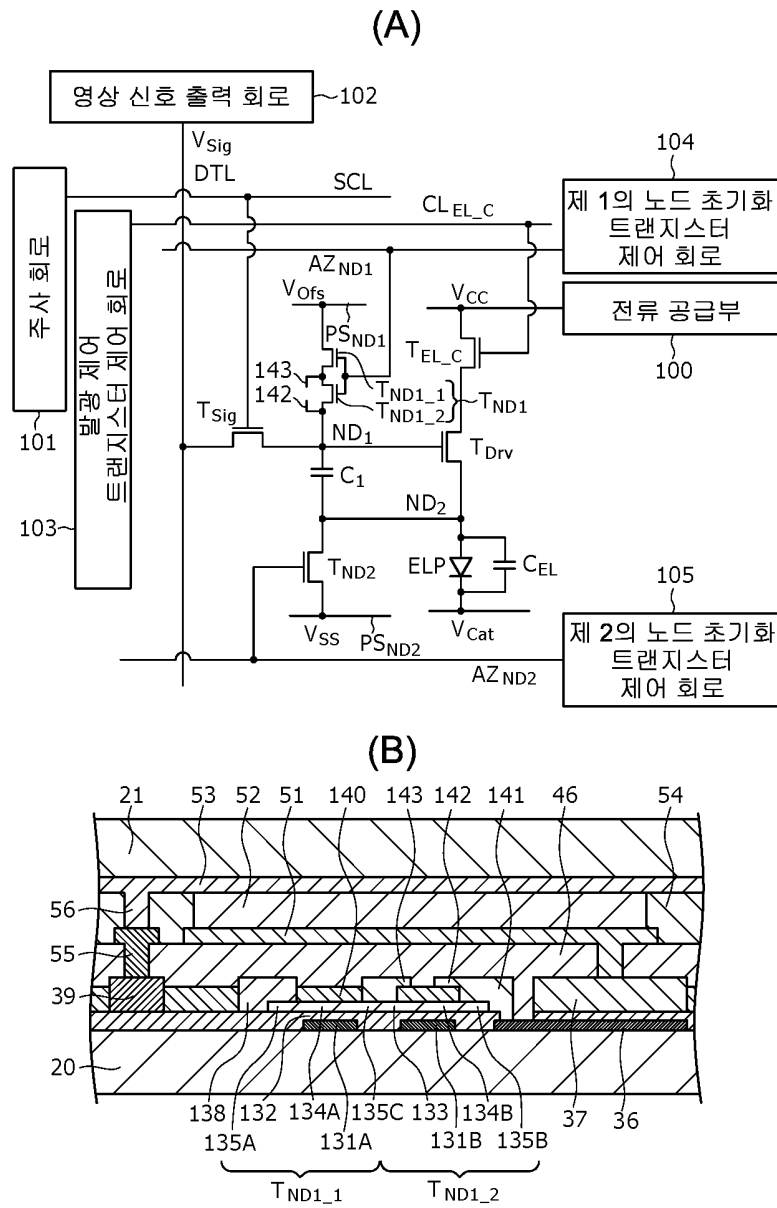
도면11



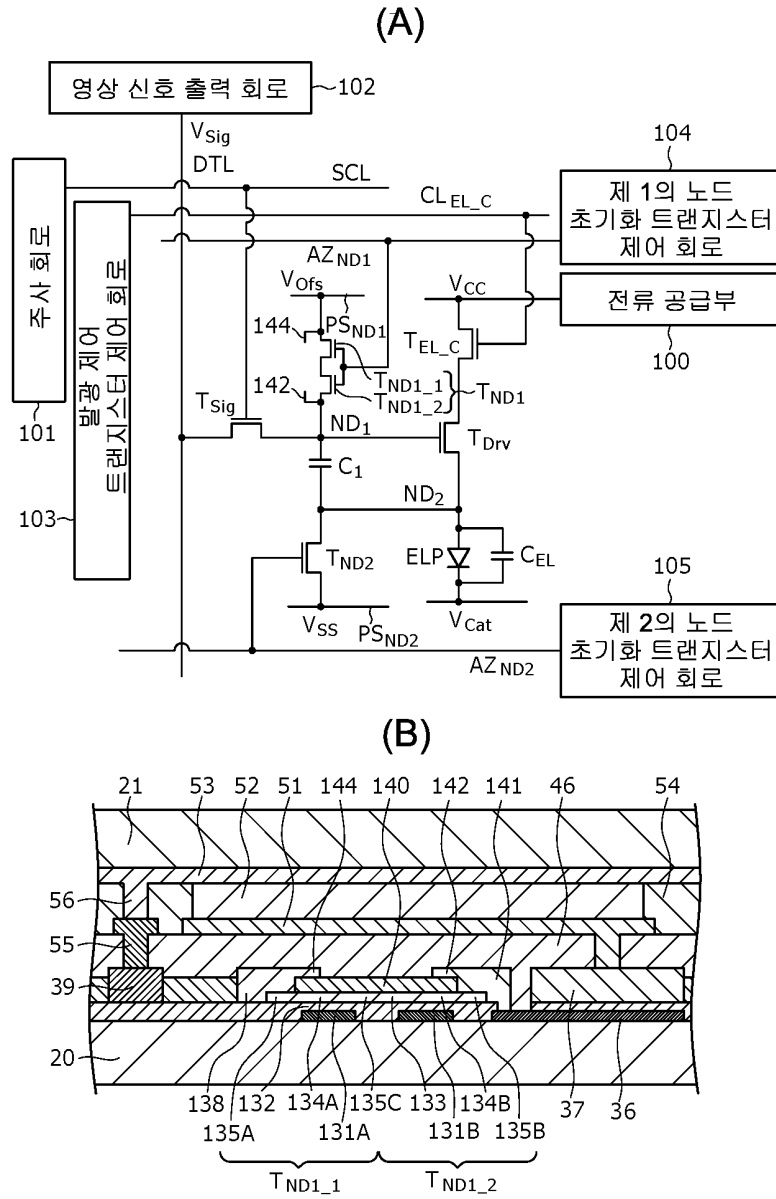
도면12



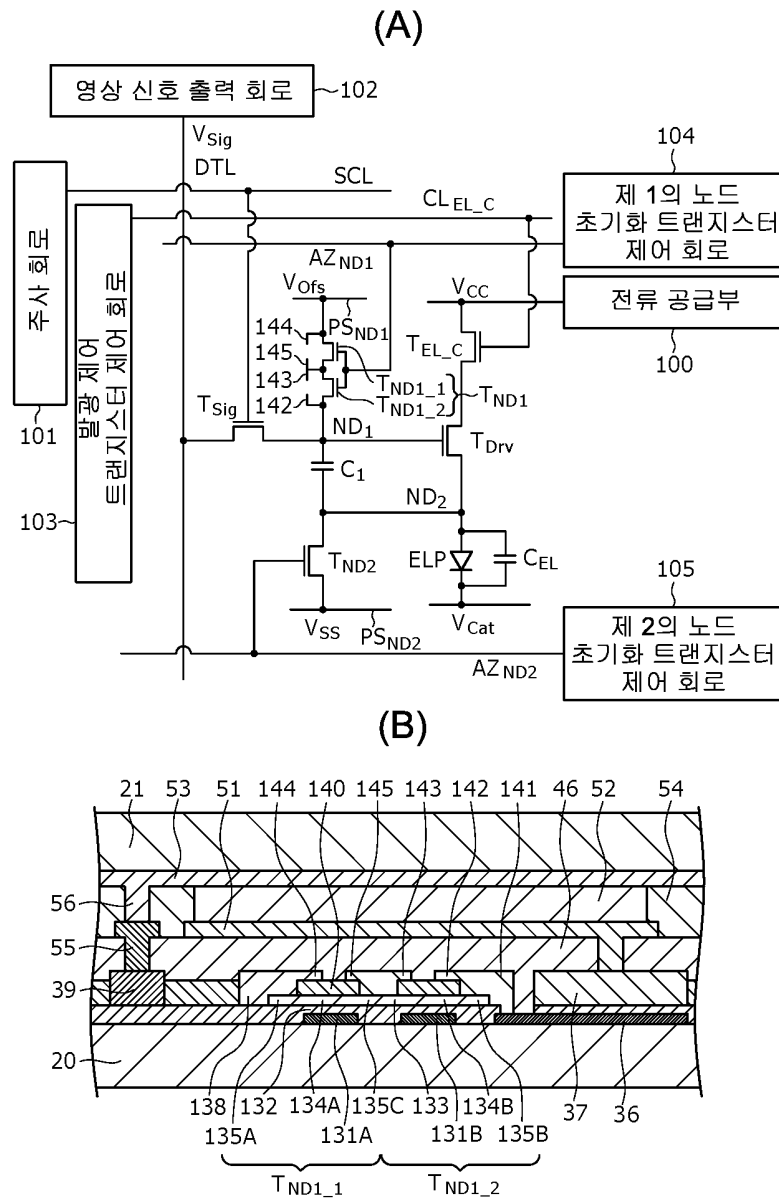
도면13



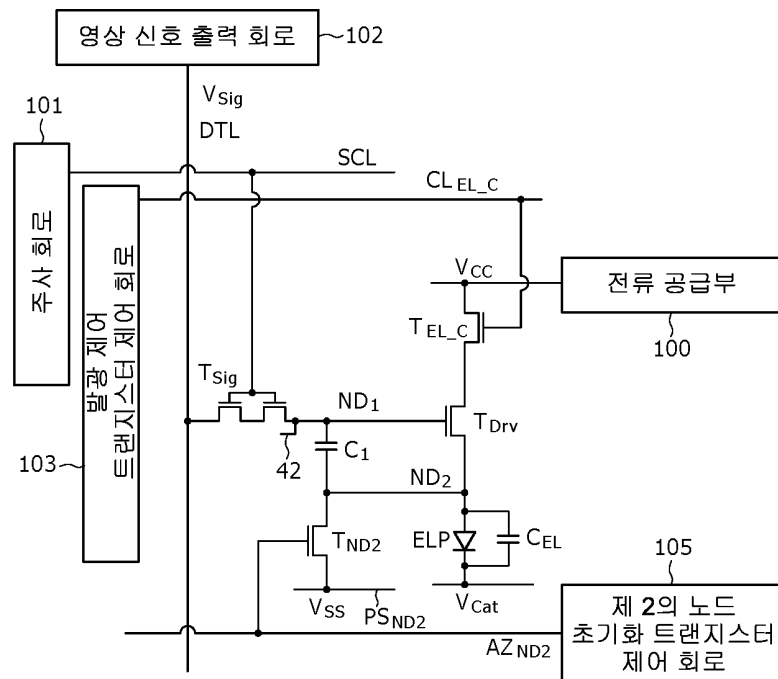
도면14



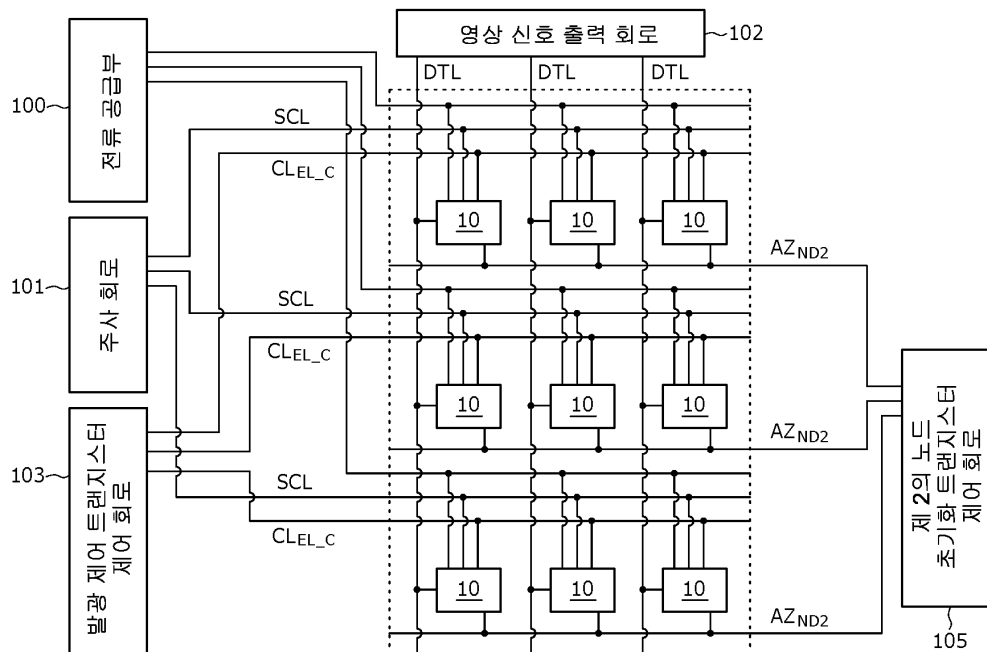
도면15



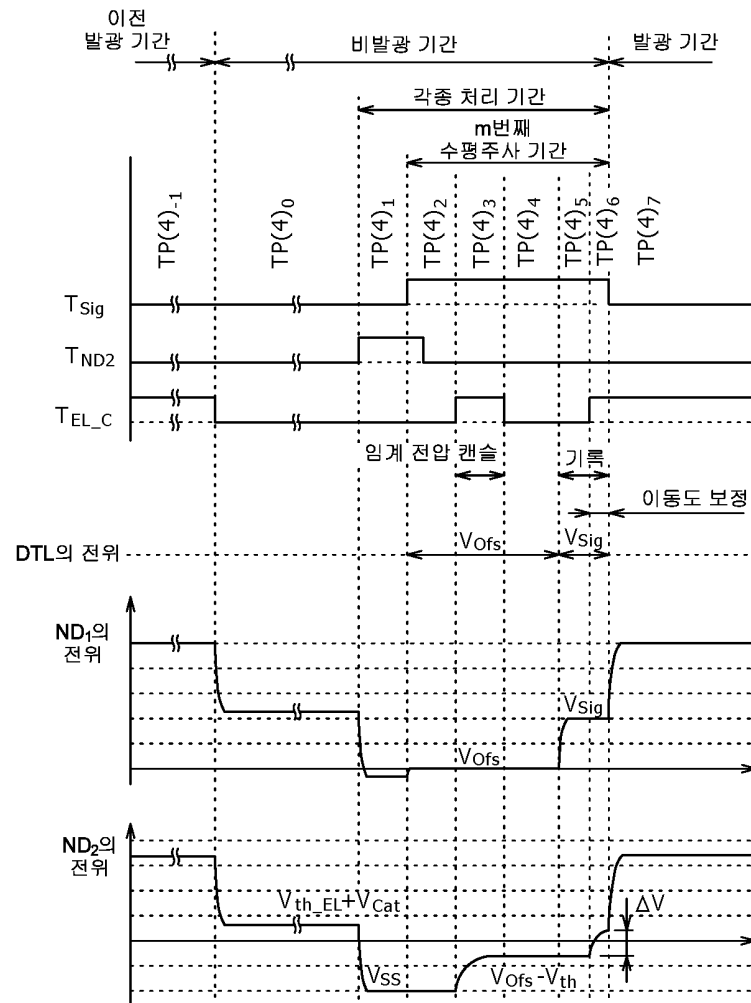
도면16



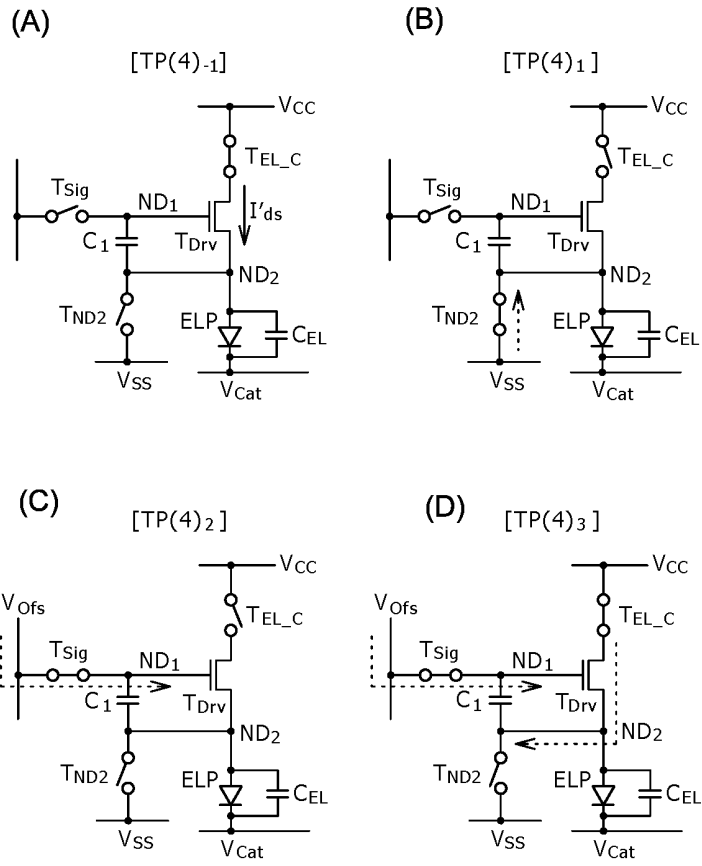
도면17



도면18



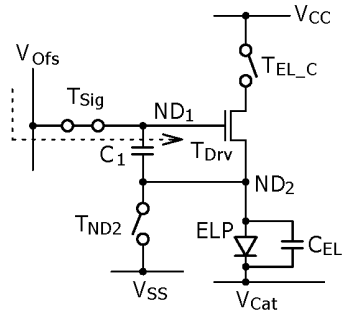
도면19



도면20

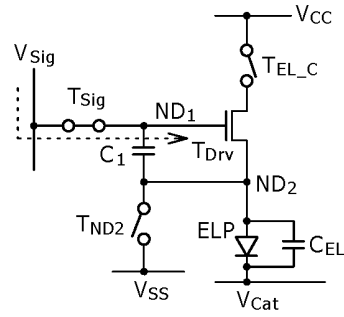
(A)

[TP(4)₄]



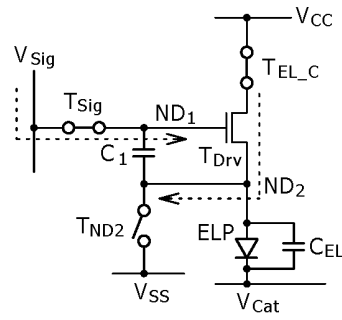
(B)

[TP(4)₅]



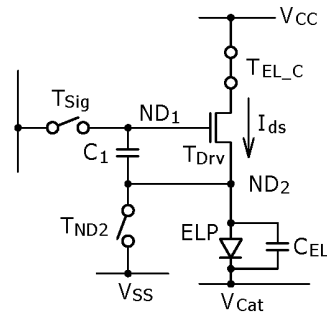
(C)

[TP(4)₆]

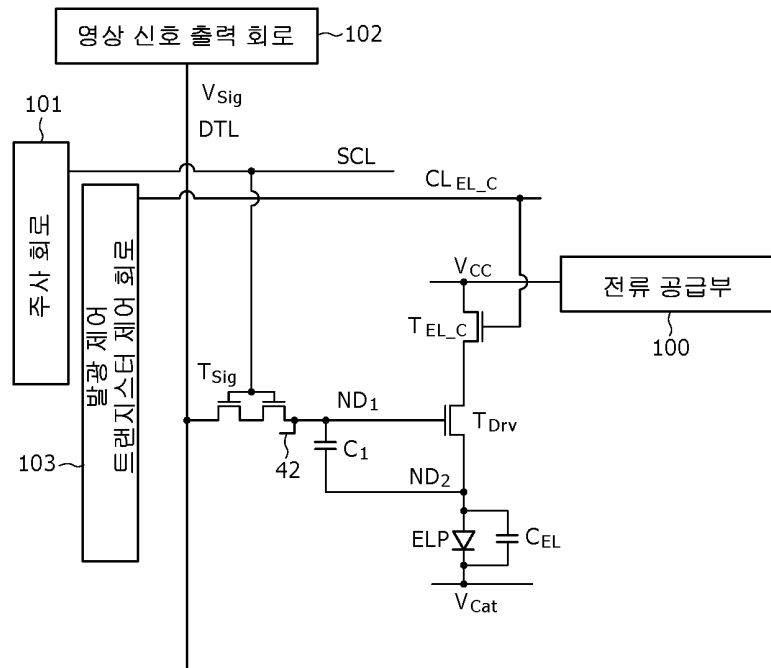


(D)

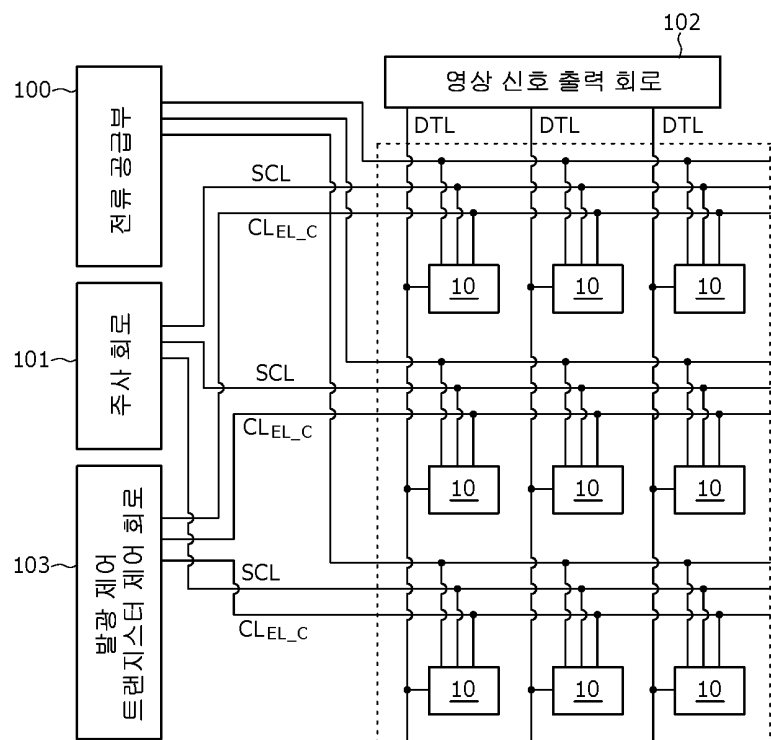
[TP(4)₇]



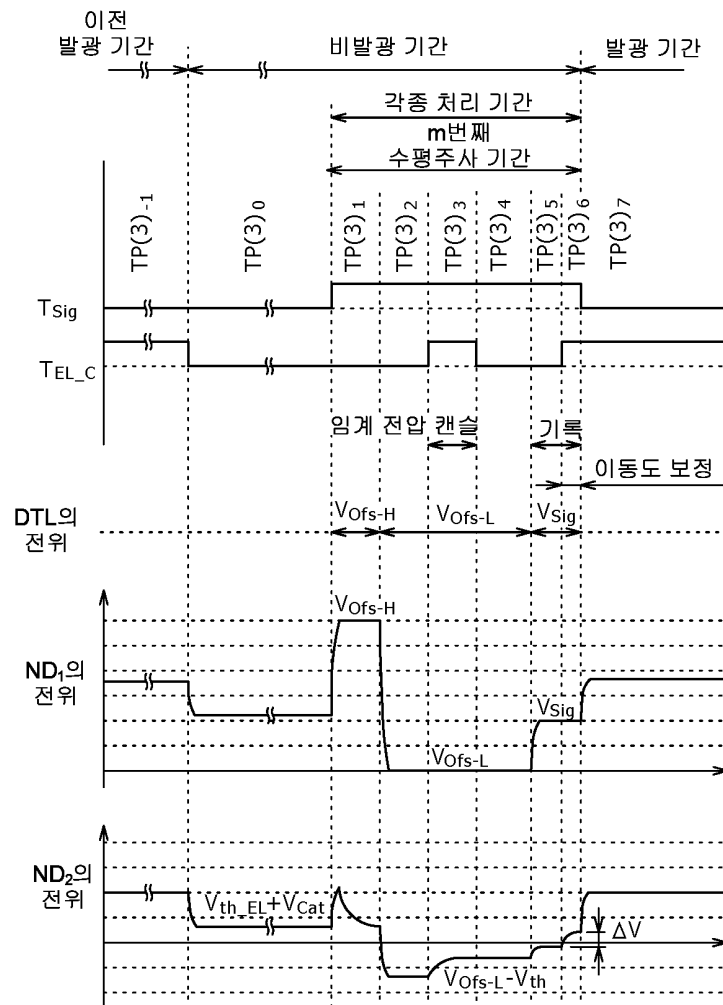
도면21



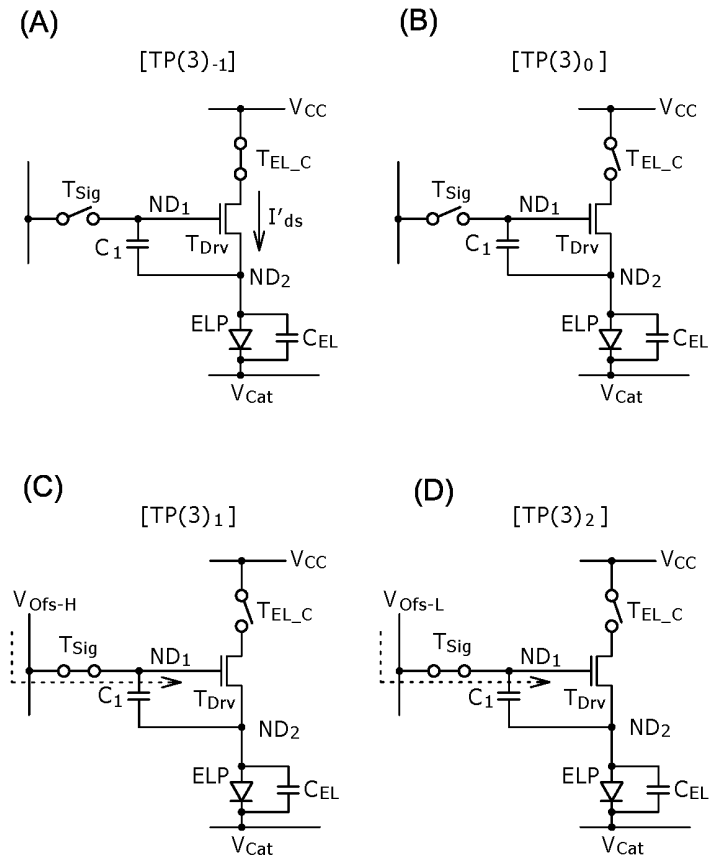
도면22



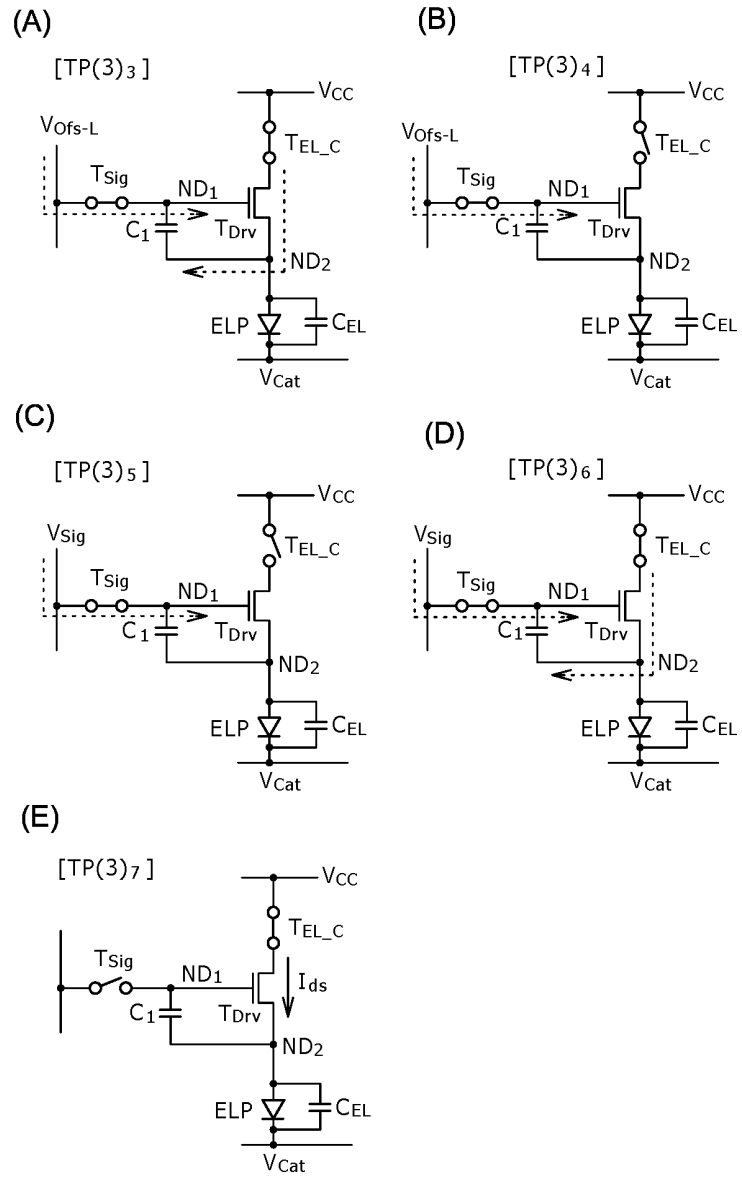
도면23



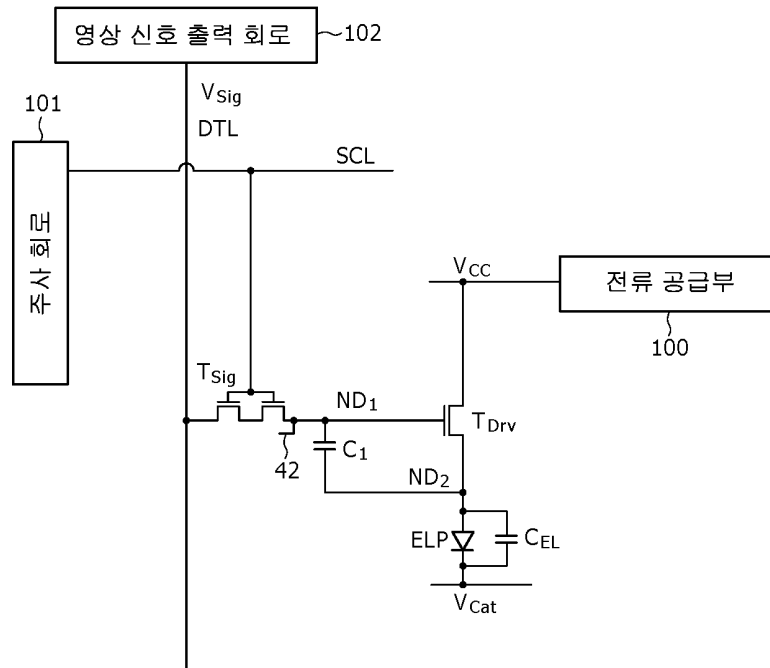
도면24



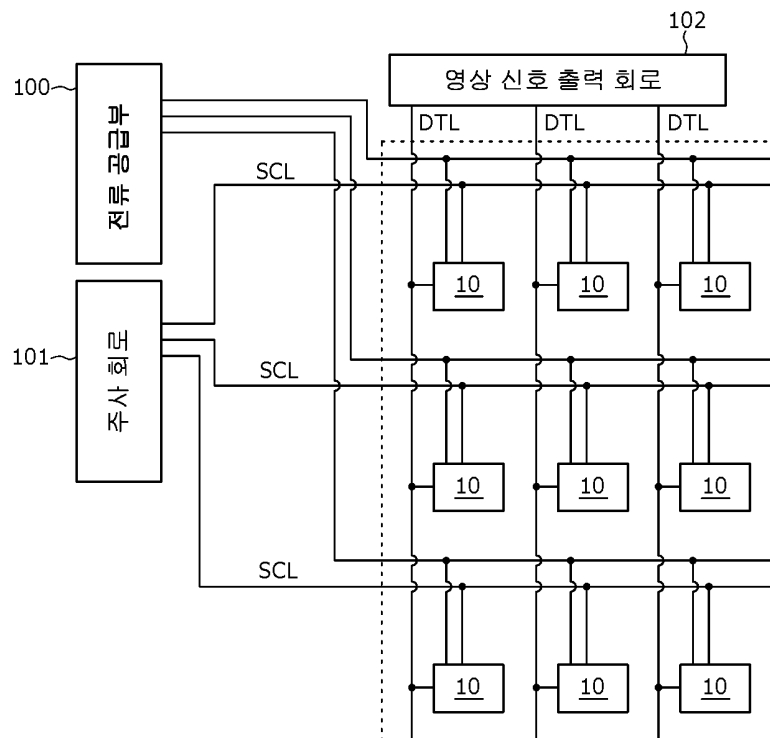
도면25



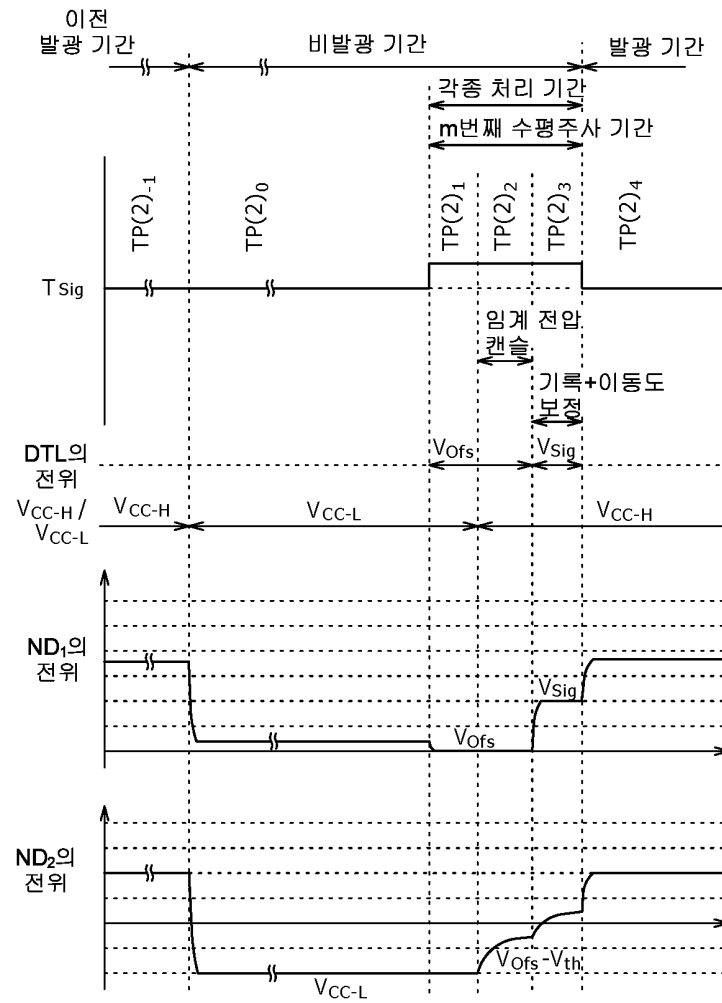
도면26



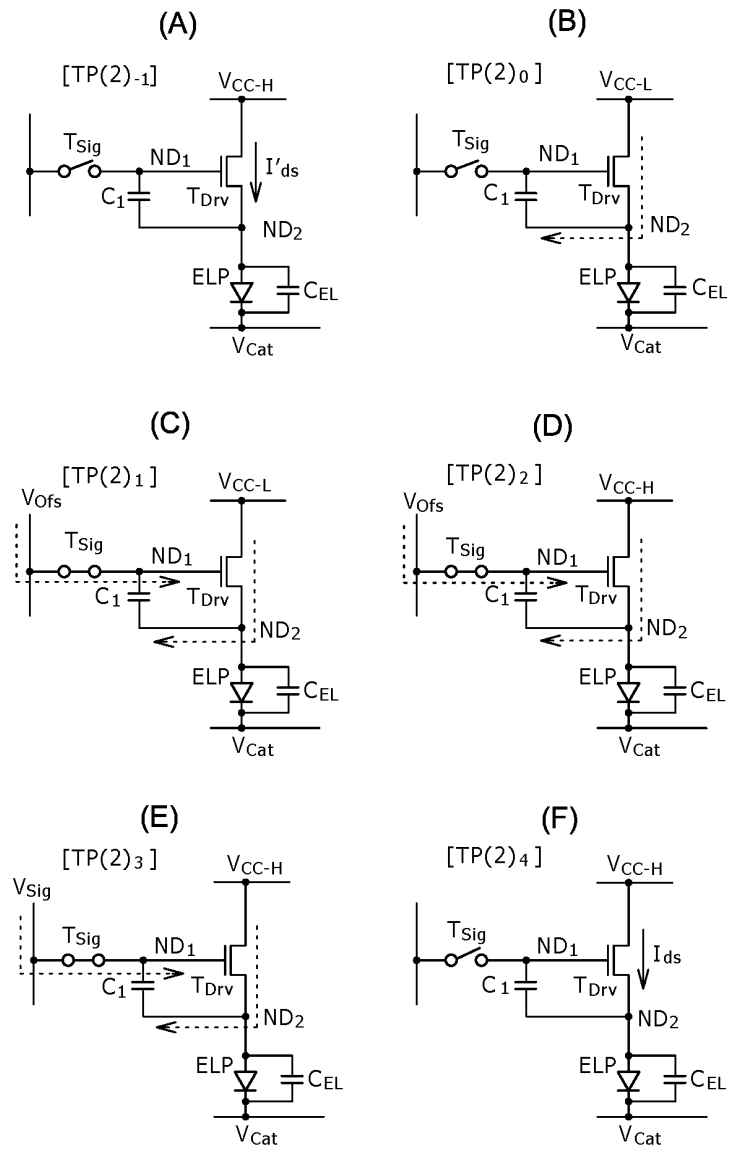
도면27



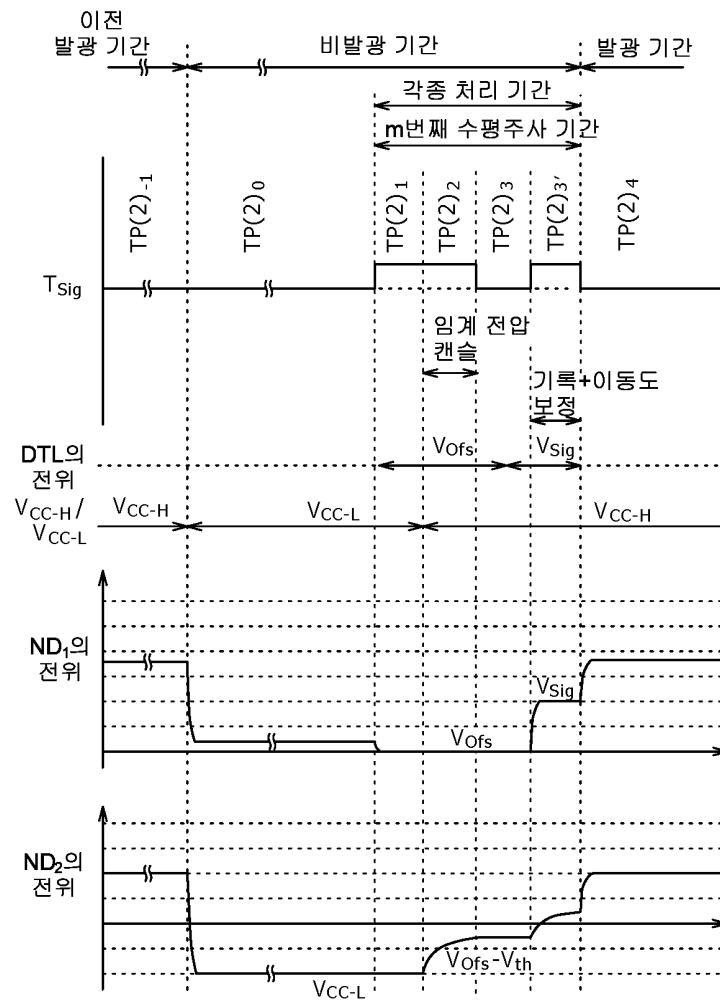
도면28



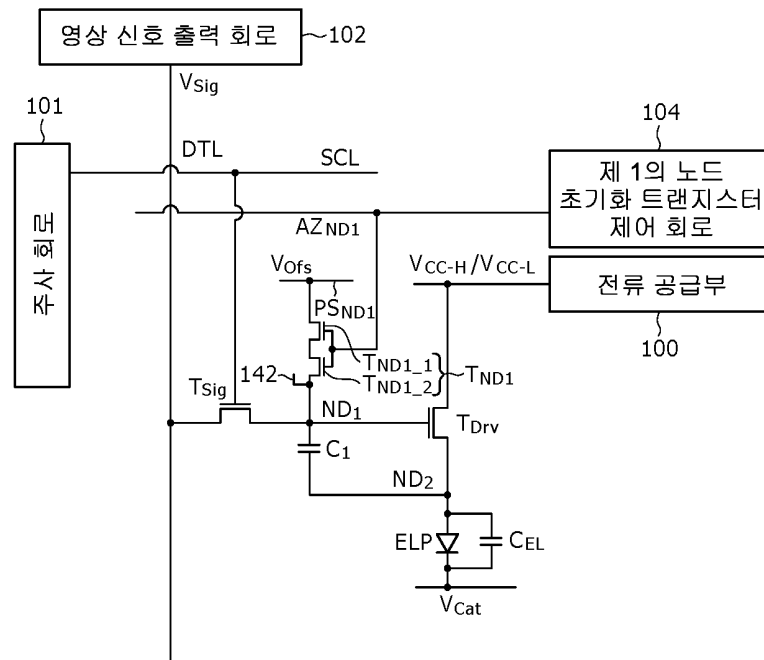
도면29



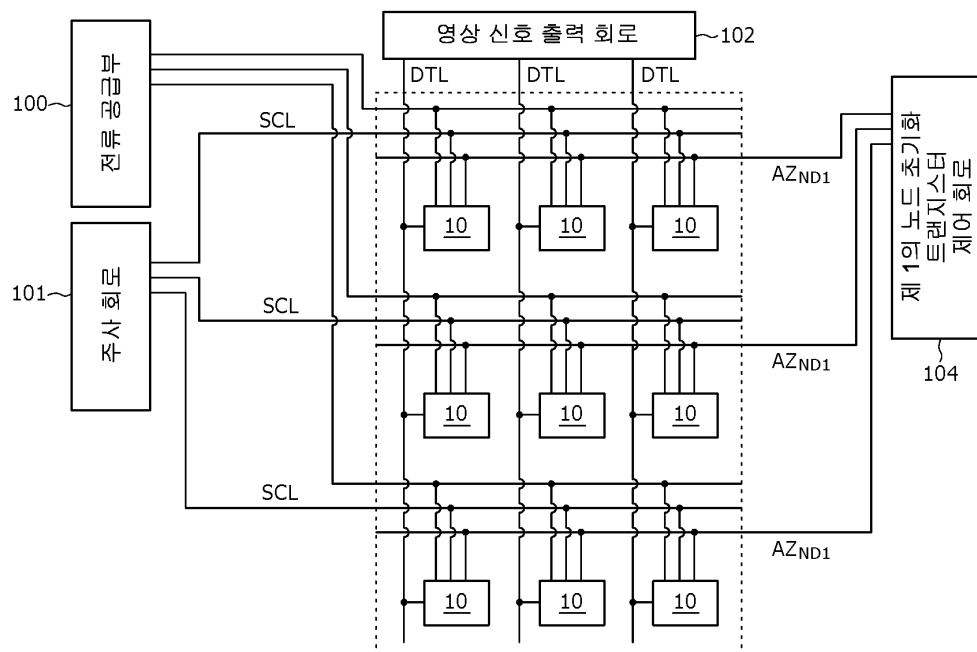
도면30



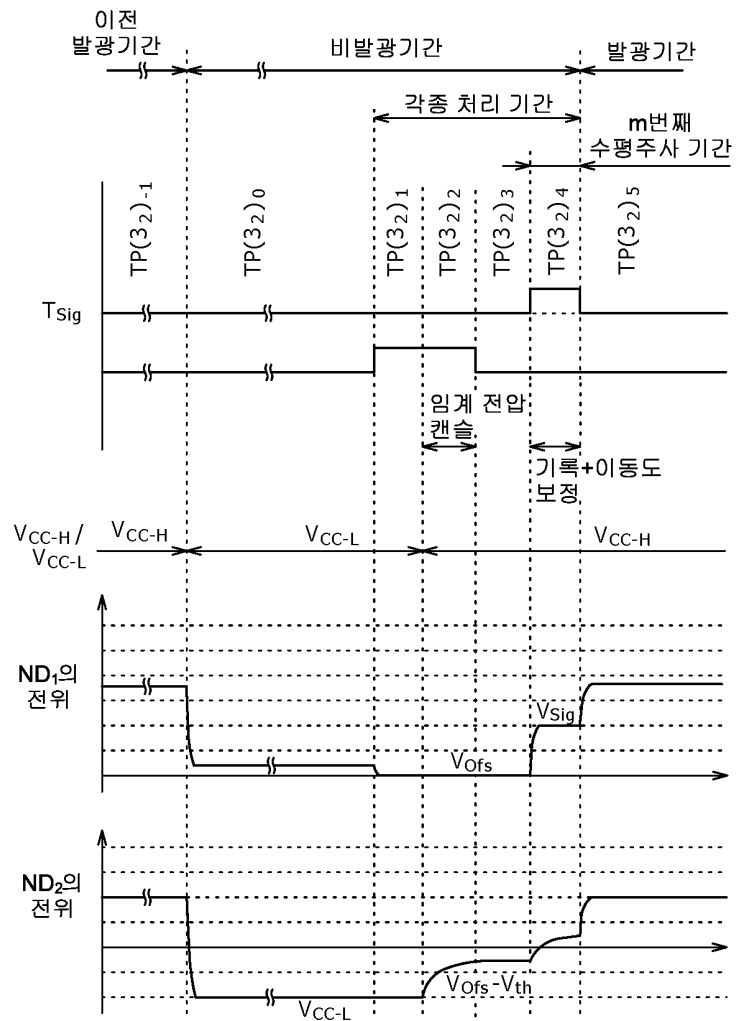
도면31



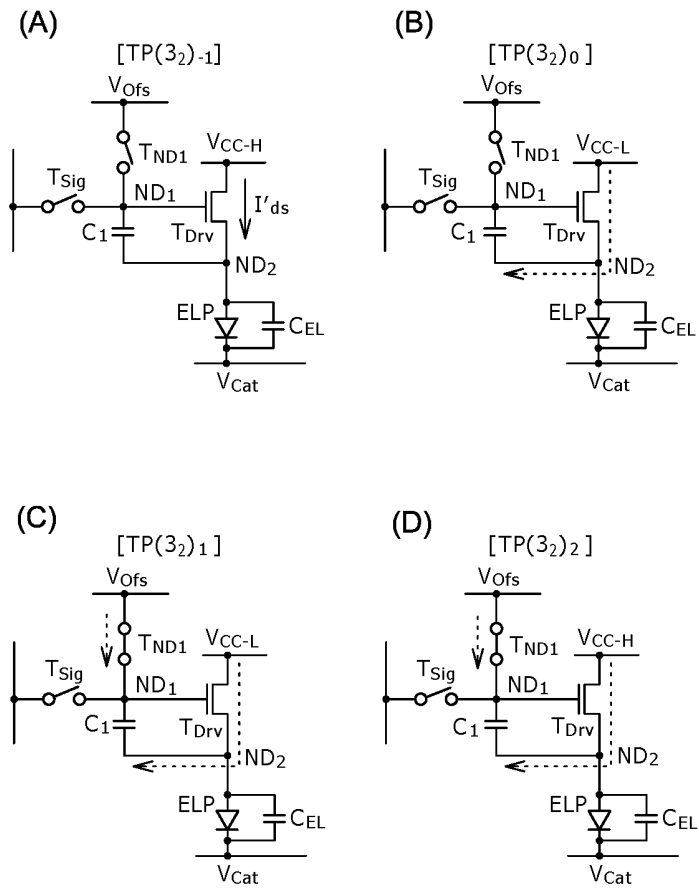
도면32



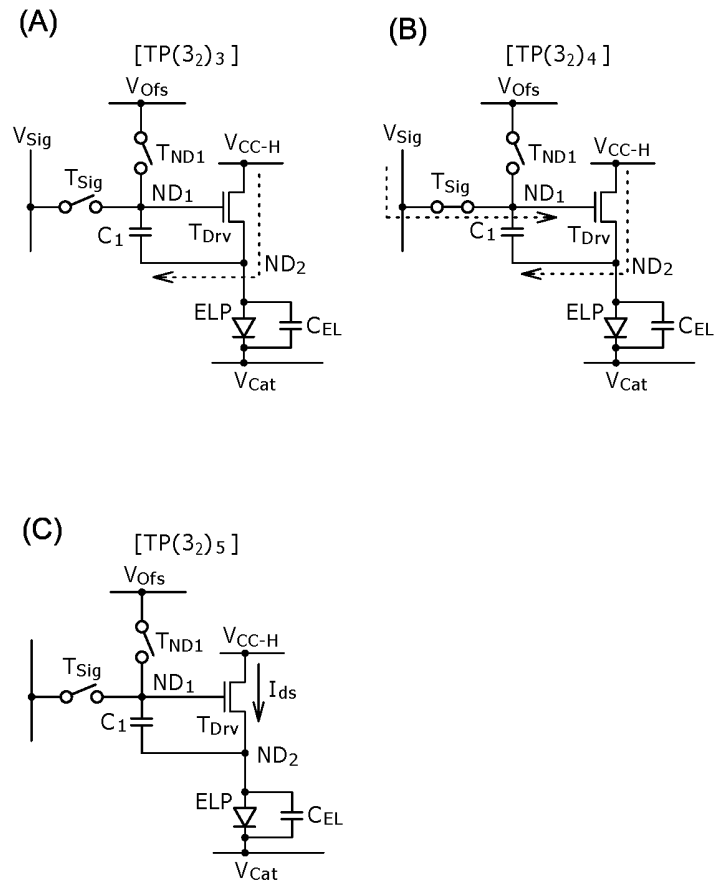
도면33



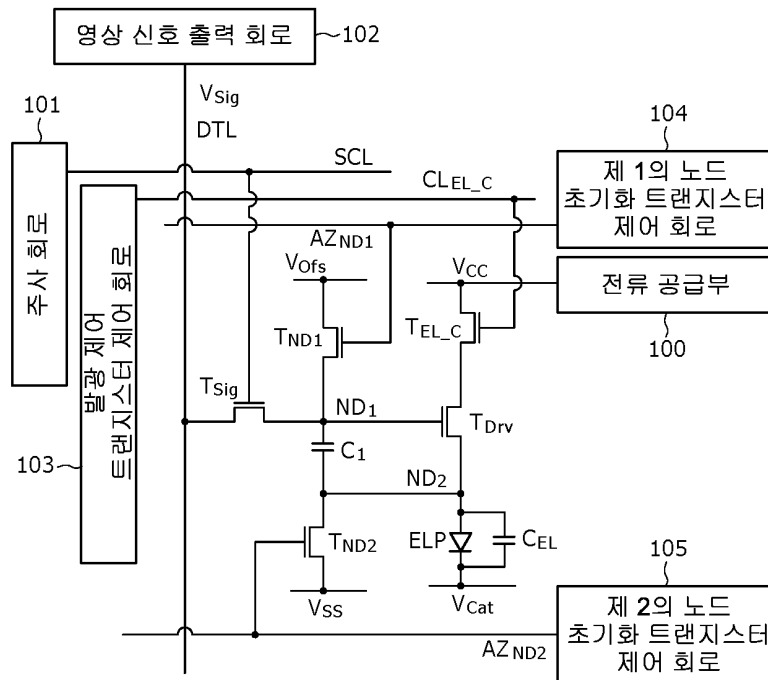
도면34



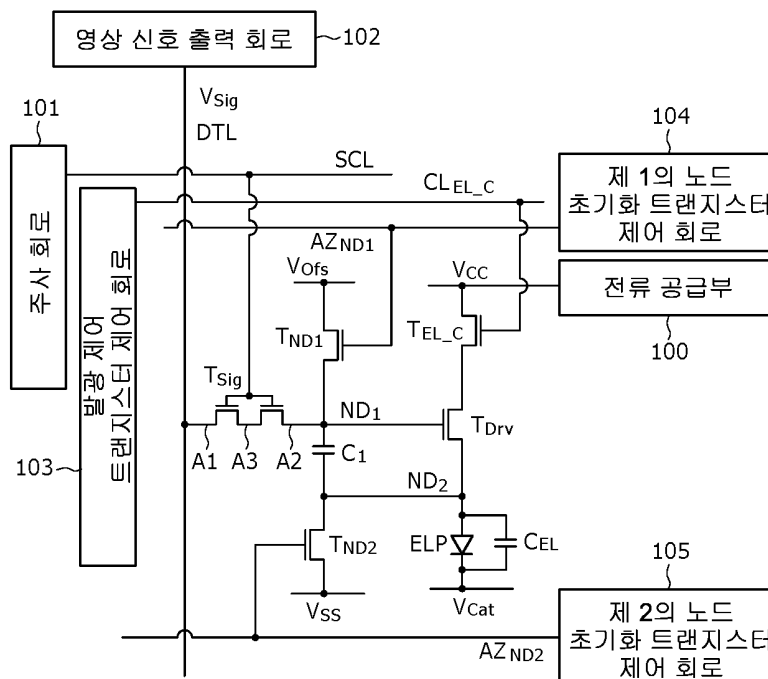
도면35



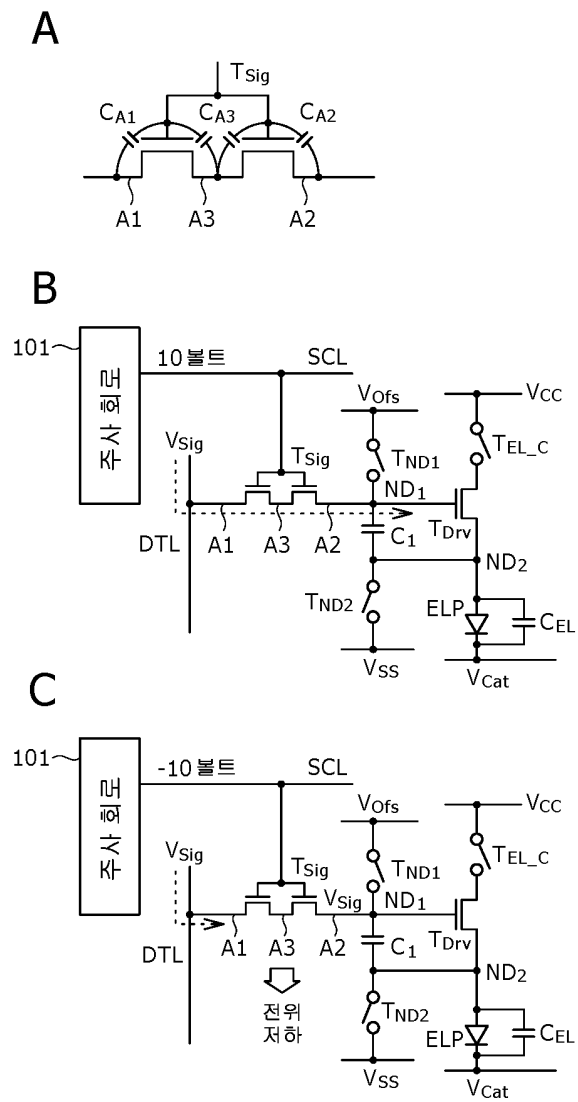
도면36



도면37



도면38



专利名称(译)	发明名称有机EL器件和有机EL显示器件		
公开(公告)号	KR101474565B1	公开(公告)日	2014-12-18
申请号	KR1020080063314	申请日	2008-07-01
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUhide 우치노카츠히데 YAMASHITA JUNICHI 야마시타준이치		
发明人	야마모토테츠로 우치노카츠히데 야마시타준이치		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	H01L27/3262 G09G2300/0426 G09G2320/043 G09G2310/0256 G09G2300/0842 G09G2320/0238 G09G2320/0233 G09G2300/0819 G09G2300/0866 G09G2300/0861 G09G3/3233		
优先权	2007175540 2007-07-03 JP		
其他公开文献	KR1020090004635A		
外部链接	Espacenet		

摘要(译)

根据本发明的有机EL器件包括：有机EL发光元件；以及用于驱动有机EL发光元件的驱动电路，其中驱动电路包括：(A) 器件驱动晶体管，(B) 视频信号写入晶体管，和(C) 具有一对电极的电容器(A-1)设置在元件驱动晶体管一侧的源极/漏极区域，用作元件驱动晶体管的源/漏区之一，连接到电流源单元，-2)在元件驱动晶体管的另一侧上设置的源极/漏极区域，用作元件驱动晶体管的另一个源极/漏极区域，连接到有机EL发光元件的阳极电极，并且连接到一个电极以构成第二节点。

