



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월09일
 (11) 등록번호 10-1404951
 (24) 등록일자 2014년05월30일

- (51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *G09G 3/30* (2006.01)
- (21) 출원번호 10-2012-7002578
- (22) 출원일자(국제) 2012년04월02일
 심사청구일자 2012년01월30일
- (85) 번역문제출일자 2012년01월30일
- (65) 공개번호 10-2012-0048588
- (43) 공개일자 2012년05월15일
- (86) 국제출원번호 PCT/JP2010/056067
- (87) 국제공개번호 WO 2011/001728
 국제공개일자 2011년01월06일
- (30) 우선권주장
 JP-P-2009-156970 2009년07월01일 일본(JP)
- (56) 선행기술조사문헌
 JP2001326362 A*
 JP2004227870 A*
 KR100560780 B1*
 KR1020030061359 A*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
샤프 가부시기가이샤
 일본 오사카후 오사카시 아베노꾸 나가이계조 22방 22고
- (72) 발명자
노구찌 노보루
 일본 545-8522 오사카후 오사카시 아베노꾸 나가이계조 22방 22고 샤프 가부시기가이샤 내
- (74) 대리인
이중희, 장수길, 박충범

전체 청구항 수 : 총 8 항

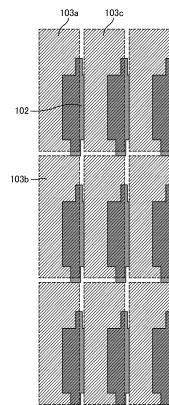
심사관 : 우만웅

(54) 발명의 명칭 **액티브 매트릭스 기판 및 유기 EL 표시 장치**

(57) 요약

본 발명은 전류 발광 소자의 응답 속도의 저하가 억제된 액티브 매트릭스 기판 및 유기 EL 표시 장치를 제공하는 것이다. 본 발명의 액티브 매트릭스 기판은 전류 발광 소자 및 구동 트랜지스터를 구비하는 복수의 화소가 형성되고, 상기 전류 발광 소자는 상기 구동 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 상기 구동 트랜지스터는 상기 화소 전극을 개재하여 상기 전류 발광 소자에 전류를 공급하는 아날로그 계조 구동의 액티브 매트릭스 기판이며, 상기 복수의 화소는 인접하여 배치된 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소가 구비하는 구동 트랜지스터의 게이트 전극은 기판 주면을 평면에서 보았을 때에, 상기 제1 화소가 구비하는 전류 발광 소자의 화소 전극과, 상기 제2 화소가 구비하는 전류 발광 소자의 화소 전극 사이에 배치되는 액티브 매트릭스 기판이다.

대표도 - 도2



특허청구의 범위

청구항 1

전류 발광 소자 및 구동 트랜지스터를 구비하는 복수의 화소가 형성되고,

상기 전류 발광 소자는, 상기 구동 트랜지스터의 드레인 전극에 전기적으로 접속된 화소 전극을 갖고,

반도체층, 제1 층간 절연막, 제1 배선층, 제2 층간 절연막, 제2 배선층, 제3 층간 절연막 및 상기 화소 전극이 순서대로 형성되며,

상기 제1 배선층에 주사선이 설치되고, 상기 제2 배선층에 신호선이 설치되며,

상기 구동 트랜지스터는, 상기 화소 전극을 개재하여 상기 전류 발광 소자에 전류를 공급하는 아날로그 계조 구동의 액티브 매트릭스 기관으로서,

상기 복수의 화소는 인접하여 배치된 제1 화소 및 제2 화소를 포함하고,

상기 제1 화소가 구비하는 구동 트랜지스터의 게이트 전극은, 기관 주면을 평면에서 보았을 때에, 상기 제1 화소가 구비하는 전류 발광 소자의 화소 전극과, 상기 제2 화소가 구비하는 전류 발광 소자의 화소 전극 사이에 배치되며,

상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극은, 상기 제1 배선층의 상기 주사선과 겹치는 부분에서, 콘택트 홀을 개재하여 상기 제1 배선층으로부터 상기 제2 배선층에 넘어가게 되며, 상기 제1 화소의 화소 전극의 바로 아래의 제2 배선층에 설치되고,

상기 반도체층과 상기 제1 배선층에 설치된 전원선이 상기 제1 층간 절연막을 사이에 두고 중첩하는 부분, 및 상기 전원선과 상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극의 상기 제2 배선층의 부분이 상기 제2 층간 절연막을 사이에 두고 중첩하는 부분에서, 콘덴서가 형성되어 있는

것을 특징으로 하는 액티브 매트릭스 기관.

청구항 2

제1항에 있어서, 상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극은, 상기 제2 화소의 화소 전극과 겹치지 않는 것을 특징으로 하는 액티브 매트릭스 기관.

청구항 3

제1항에 있어서, 상기 제1 화소는, 상기 제2 화소 다음에 주사되는 화소이며,

상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극은, 상기 제2 화소의 화소 전극과 겹치는 것을 특징으로 하는 액티브 매트릭스 기관.

청구항 4

제1항에 있어서, 상기 제1 화소의 화소 전극은, 상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극과 겹치는 위치에 개구가 형성되어 있는 것을 특징으로 하는 액티브 매트릭스 기관.

청구항 5

전류 발광 소자 및 구동 트랜지스터를 구비하는 복수의 화소가 형성되고,

상기 전류 발광 소자는, 상기 구동 트랜지스터의 드레인 전극에 전기적으로 접속된 화소 전극을 갖고,

반도체층, 제1 층간 절연막, 제1 배선층, 제2 층간 절연막, 제2 배선층, 제3 층간 절연막 및 상기 화소 전극이 순서대로 형성되며,

상기 제1 배선층에 주사선이 설치되고, 상기 제2 배선층에 신호선이 설치되며,

상기 구동 트랜지스터는, 상기 화소 전극을 개재하여 상기 전류 발광 소자에 전류를 공급하는 아날로그 계조 구

동의 액티브 매트릭스 기관으로서,

상기 복수의 화소는 인접하여 배치된 제1 화소 및 제2 화소를 포함하고,

상기 제1 화소가 구비하는 전류 발광 소자의 화소 전극은, 상기 제1 화소가 구비하는 구동 트랜지스터의 게이트 전극과 겹치는 위치에 개구가 형성되고,

상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극은, 상기 제1 배선층의 상기 주사선과 겹치는 부분에서, 콘택트 홀을 개재하여 상기 제1 배선층으로부터 상기 제2 배선층에 넘어가게 되며, 상기 제1 화소의 화소 전극의 바로 아래의 제2 배선층에 형성되고,

상기 반도체층과 상기 제1 배선층에 형성된 전원선이 상기 제1 층간 절연막을 사이에 두고 중첩하는 부분, 및 상기 전원선과 상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극의 상기 제2 배선층의 부분이 상기 제2 층간 절연막을 사이에 두고 중첩하는 부분에서, 콘덴서가 형성되어 있는

것을 특징으로 하는 액티브 매트릭스 기관.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 화소의 상기 구동 트랜지스터의 게이트 전극은 선단이 가늘고 중앙부가 두꺼운 형상을 가지며, 상기 두꺼운 형상의 일부는 상기 제1 화소가 구비하는 전류 발광 소자의 화소 전극과, 상기 제2 화소가 구비하는 전류 발광 소자의 화소 전극의 사이에 배치된 것을 특징으로 하는, 액티브 매트릭스 기관.

청구항 7

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 복수의 화소 각각에는, 각 화소가 구비하는 구동 트랜지스터의 임계값 전압의 편차를 보상하기 위한 보상 회로가 더 형성되어 있는 것을 특징으로 하는 액티브 매트릭스 기관.

청구항 8

제1항 내지 제5항 중 어느 한 항에 기재된 액티브 매트릭스 기관을 구비하는 유기 EL 표시 장치로서,

상기 복수의 화소가 구비하는 전류 발광 소자는 유기 EL 소자이며,

상기 복수의 화소가 구비하는 전류 발광 소자의 화소 전극은, 상기 유기 EL 소자의 양극 또는 음극인 것을 특징으로 하는 유기 EL 표시 장치.

명세서

기술분야

[0001] 본 발명은 액티브 매트릭스 기관 및 유기 EL 표시 장치에 관한 것이다. 보다 상세하게는, 유기 EL 소자 등의 전류 발광 소자를 구비하는 표시 장치에 적합한 액티브 매트릭스 기관과, 그것을 사용한 유기 EL 표시 장치에 관한 것이다.

배경기술

[0002] 유기 EL 표시 장치의 구동 방식에는 패시브 매트릭스 방식, 액티브 매트릭스 방식의 2종류가 존재한다. 액티브 매트릭스 방식은 구동 방식의 주류가 되고 있고, 특히 대형의 표시 장치의 경우에서 그 경향이 현저하다.

[0003] 액티브 매트릭스 방식의 유기 EL 표시 장치의 화소에는, 통상 1개의 유기 EL 소자에 대하여, 데이터 신호를 전달하기 위한 스위칭 트랜지스터와, 스위칭 트랜지스터에 의해 전달된 데이터 신호에 의해 유기 EL 소자를 구동시키는 구동 트랜지스터가 형성되어 있다(예를 들어, 특허문헌 1 참조). 화소에 형성된 이들의 부재와 주사선, 신호선 등의 배선층 사이에는 기생 용량이 발생한다. 이 기생 용량에 기인하는 크로스 토크라고 불리는 표시 불량을 억제하는 방법으로서, 주사선 및 신호선에 대하여 전계 실드가 되는 전계 패턴을 배치하는 방법이 개시되어 있다(예를 들어, 특허문헌 2 참조).

[0004] 화소마다 구동 트랜지스터의 임계값 전압에 편차가 있는 경우, 각 화소의 구동 트랜지스터를 동일한 게이트 전압으로 구동시키면, 구동 트랜지스터로부터 유기 EL 소자에 공급되는 전류값에 편차가 발생하여, 표시 불균일의

원인이 된다. 이 문제를 해결하는 방법으로서, 디지털 계조 구동에 의해, 면적 계조 표현이나 시분할 계조 표현을 행하는 방법이 알려져 있다. 또한, 아날로그 계조 구동의 경우에는, 화소마다 구동 트랜지스터의 임계값 전압의 변동을 검출하고, 또한 그 변동을 보상하는 소위 보상 회로를 형성하는 방법이 개시되어 있다(예를 들어, 특허문헌 3 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본 특허 공개 제2006-47999호 공보
- (특허문헌 0002) 일본 특허 공개 제2006-30635호 공보
- (특허문헌 0003) 일본 특허 공개 제2005-31630호 공보

발명의 내용

해결하려는 과제

- [0006] 도 8은 보상 회로를 구비하는 종래의 유기 EL 표시 장치의 화소를 나타내는 회로도이다. 이 화소에는 6개의 트랜지스터(T1 내지 T6)와, 2개의 콘덴서(C1 및 C2)와, 1개의 유기 EL 소자 OLED가 형성되어 있다. 도 8에 있어서, scan [n-1], scan [n]은 각각 [n-1]번째, [n]번째의 주사선인 것을 나타내고, Vini [n]은 [n]번째의 초기화 전압선인 것을 나타내고, em [n]은 [n]번째의 발광 제어선인 것을 나타내고 있다. 트랜지스터 T1은 주사선 scan [n-1]로부터 입력되는 주사 신호에 응답하고, 콘덴서 C1, C2에 저장된 데이터 신호를 초기화 전압선 Vini [n]을 개재하여 방전시킴으로써, 트랜지스터 T4의 게이트 전압을 초기화한다. 트랜지스터 T2는 트랜지스터 T4의 임계값 전압의 편차를 보상한다. 트랜지스터 T3은 주사선 scan [n]으로부터 입력되는 주사 신호에 응답하고, 신호선 data로부터 입력되는 데이터 신호의 스위칭을 행한다. 트랜지스터 T4는 트랜지스터 T3을 개재하여 입력되는 데이터 신호에 응답하고, 유기 EL 소자 OLED에 전류를 공급하기 위한 전류량을 결정한다. 트랜지스터 T5는 발광 제어선 em [n]으로부터 입력되는 발광 신호에 응답하고, 전원선 ELVDD로부터 트랜지스터 T4에 공급되는 전류의 스위칭을 행한다. 트랜지스터 T6은 발광 제어선 em [n]으로부터 입력되는 발광 신호에 응답하고, 트랜지스터 T4로부터 유기 EL 소자 OLED에 공급되는 전류의 스위칭을 행한다. 콘덴서 C1은 트랜지스터 T4에 입력된 게이트 전압을 저장한다. 콘덴서 C2는 콘덴서 C1을 보조하기 위한 것이다. 유기 EL 소자 OLED는 트랜지스터 T4로부터 공급된 전류에 대응하여 발광한다. 유기 EL 소자 OLED의 양극은 트랜지스터 T6의 드레인에 접속되고, 유기 EL 소자 OLED의 음극은 전원선 ELVSS에 접속되어 있다.
- [0007] 이어서, 도 8의 회로도에서 나타난 화소에 있어서의 각 부재의 배치 관계를 도 9, 도 10을 참조하여 설명한다. 도 9는 보상 회로를 구비하는 종래의 유기 EL 표시 장치의 화소를 나타내는 평면 모식도이며, 도 10은 도 9 중의 X1-X2 선을 따른 단면 모식도이다.
- [0008] 주사선 scan [n-1], scan [n], scan [n+1]과, 발광 제어선 em [n]과, 초기화 전압선 Vini는 동일한 계층(제1 배선층)에 형성되고, 도 9의 가로 방향으로 연신되어 있다. 또한, 본 명세서에 있어서, 층 A와 층 B가 동일 계층에 있으면, 층 A에 접하는 하층과 층 B에 접하는 하층이 공통되거나, 층 A에 접하는 상층과 층 B에 접하는 상층이 공통되는 것 중 적어도 어느 하나를 만족시키는 상태를 말한다. 또한, 신호선 data는 제2 배선층에 형성되고, 도 9의 세로 방향으로 연신되어 있다. 또한, 트랜지스터 T4의 게이트 전극(102)과 전원선 ELVDD는 콘택트 홀을 개재하여, 제1 배선층 및 제2 배선층에 형성되어 있고, 제1 배선층에 배치된 주사선 등과 겹치는 부분에서, 제1 배선층으로부터 제2 배선층으로 넘어가게 되어 있다. 또한, 도 10에 있어서는 게이트 전극(102)의 제2 배선층에 형성된 부분만이 도시되어 있다. 제1 배선층은 제2 배선층보다도 기판(100)에 가까운 계층에 배치되어 있다.
- [0009] 주사선 scan [n-1], 주사선 scan [n+1], 전원선 ELVDD, 신호선 data로 구획되는 영역에는 유기 EL 소자 OLED가 양극으로서 기능하는 화소 전극(103)이 하나씩 배치된다. 이 영역이 하나의 화소로서 기능한다. 화소에는, 트랜지스터 T1 내지 T6의 반도체층(101)과, 트랜지스터 T4의 게이트 전극(102)이 배치된다. 영역 A는 유기 EL 표시 장치의 표시 영역으로서 기능하는 화소 영역의 개구 부분을 나타내고 있다.
- [0010] 도 10에 도시하는 바와 같이, 층간 절연막(110), 제1 전극(전원선 ELVDD의 제1 배선층에 형성된 부분), 층간 절

연막(111) 및 층간 절연막(112)이 기판(100)측으로부터 이 순서대로 적층되어 있다. 반도체층(101)은 기판(100)과 층간 절연막(110) 사이에 배치되어 있다. 제1 전극은 층간 절연막(110)과 층간 절연막(111) 사이에 배치되어 있다. 제2 전극(게이트 전극(102) 및 전원선 ELVDD의 제2 배선층에 형성된 부분) 및 신호선 data는 층간 절연막(111)과 층간 절연막(112) 사이에 배치되어 있다. 화소 전극(103)은 층간 절연막(112) 상에 배치되어 있다. 화소 전극(103)의 단부는 에지 커버(113)로 덮여 있다. 에지 커버(113)는 화소 전극(103)의 단부 주변을 덮음으로써, 화소 전극(103)과, 유기 EL층을 끼워서 화소 전극(103)에 대하여 배치되는 음극(전원선 ELVSS)이 단락되는 것을 방지할 수 있다. 에지 커버(113)와 겹치지 않는 부분의 화소 전극(103)이 표시 영역 A로서 기능한다.

[0011] 도 11은 도 9에 도시한 화소의 배치 형태를 나타내는 평면 모식도이다. 또한, 도 11에서는 화소 전극(103) 및 T4의 게이트 전극(102)만을 기재하고 있다. 도 11에 나타내는 바와 같이, 유기 EL 표시 장치는 복수의 화소가 병치된 구성을 갖는다.

[0012] 도 8 내지 도 11을 사용하여 설명해 온 유기 EL 표시 장치에 있어서, 계조간의 응답을 관측하면, 계조를 전환한 직후의 프레임(1 프레임은 16.7ms의 표시 기간)으로는 본래의 휘도에 도달할 수 없고, 그 이후의 프레임에서 겨우 본래의 휘도에 도달한다고 하는 스텝 형상의 응답을 나타내는 현상이 관측되었다.

[0013] 도 12는 보상 회로를 구비하는 종래의 유기 EL 표시 장치의 응답 특성의 측정 결과를 나타내는 그래프이다. 도 12는 흑색 표시로부터 백색 표시로 변경한 경우의 결과를 나타내고 있다. 도 12에 나타내는 바와 같이, 흑색 표시로부터 백색 표시로 변경한 직후의 프레임에서는, 그 이후의 프레임과 비교하여 휘도가 매우 낮다. 이 결과는 1 프레임의 시간보다도 응답 시간(원래 도달하는 휘도의 90% 이상에 도달할 때까지의 시간)이 긴 것을 나타내고 있다. 응답 시간이 1 프레임의 시간보다도 길어지면, 화면을 스크롤링할(동화상 표시를 행할) 때에, 「꼬리 잔상(caudate afterimage)」라고 불리는 불필요한 선 형상의 패턴이 시인되고, 표시 성능을 떨어뜨리는 원인이 된다. 이와 같이, 보상 회로를 갖는 종래의 유기 EL 표시 장치에 있어서는, 유기 EL 소자가 원래 갖는 고속 응답 특성이 발휘되지 않는다는 점에서, 개선의 여지가 있었다.

[0014] 본 발명은 상기 현재 상황을 감안하여 이루어진 것이며, 전류 발광 소자의 응답 속도의 저하가 억제된 아날로그 계조 구동의 액티브 매트릭스 기판 및 유기 EL 표시 장치를 제공하는 것을 목적으로 하는 것이다.

과제의 해결 수단

[0015] 본 발명자는 전류 발광 소자의 응답 속도의 저하가 억제된 아날로그 계조 구동의 액티브 매트릭스 기판에 대해서 다양한 검토를 한 바, 전류 발광 소자의 화소 전극과, 전류 발광 소자를 구동하기 위한 트랜지스터(구동 트랜지스터)의 게이트 전극이 겹치는 영역에 착안하였다. 구동 트랜지스터로부터 전류 발광 소자에 공급되는 전류의 경로는 가능한 한 짧은 것이 바람직하기 때문에, 전류 발광 소자와 구동 트랜지스터는 서로 근접하여 배치되는 경우가 많다. 또한, 발광 영역을 가능한 한 넓게 확보한다고 하는 관점에서, 통상 화소 전극의 면적 비율은 높게 설정되어 있다. 이러한 이유로 인하여, 전류 발광 소자의 화소 전극과 구동 트랜지스터의 게이트 전극은 겹쳐서 배치되는 경우가 많고, 기생 용량이 발생하기 쉽다. 특히, 보상 회로를 구비하는 화소에 있어서는, 화소에 배치되는 부재가 많고, 각 부재의 레이아웃이 복잡해지기 때문에, 전류 발광 소자의 화소 전극과 구동 트랜지스터의 게이트 전극이 겹치는 영역이 커지기 쉽다. 또한, 도 8 내지 도 11에 나타난 유기 EL 표시 장치와 같이, 보상 회로가 복수의 트랜지스터로 구성되어 있는 경우에는, 전류 발광 소자의 화소 전극이 구동 트랜지스터의 게이트 전극의 전체와 겹치는 경우도 있다. 도 8 내지 도 11에 나타난 유기 EL 표시 장치에 있어서는, 트랜지스터 T4(구동 트랜지스터)의 게이트 전극(102)과 유기 EL 소자 OLED의 화소 전극(103)(양극) 사이에 기생 용량(이하, Cad라고 기재함)이 발생한다. 본 발명자는 이 Cad가 도 12에 나타난 측정 결과에 있어서, 스텝 형상의 응답이 발생된 원인이 아닌가라고 생각하였다.

[0016] 상기 검토 결과를 검증하기 위해서, 도 8 내지 도 11에 나타난 유기 EL 표시 장치에 대하여, Cad를 변화시킨 경우의 응답 파형의 시뮬레이션을 행하였다. 도 13, 도 14, 도 15는 각각 Cad가 0, 20, 60fF인 경우의 시뮬레이션에서 얻어진 전류의 응답 파형을 나타내는 그래프이다.

[0017] 도 13 내지 도 15에 나타내는 바와 같이, Cad가 0fF인 경우에는, 스텝 형상의 응답은 보이지 않지만, Cad가 20, 60fF인 경우에는, 스텝 형상의 응답이 발생되고 있다. 도 14, 도 15의 파선으로 둘러싸인 영역은 스텝 형상의 응답이 발생되고 있는 개소를 나타내고 있다. 또한, Cad가 20fF로부터 60fF로 커짐에 따라, 1 프레임체의 전류와 2 프레임체의 전류의 차가 커지는 것을 알 수 있다.

[0018] 상기 응답 파형의 시뮬레이션의 결과에 기초하여, 유기 EL 소자에 공급되는 전류와 Cad의 관계를 평가하였다.

도 16은 유기 EL 소자에 공급되는 전류와 Cad의 관계를 나타낸 그래프이다. 또한, 도 16에는 Cad가 0, 20, 60fF 이외인 경우에 행한 시뮬레이션의 결과도 반영시키고 있다. 도 16에 있어서, 종축의 「전류비」는 흑색 표시로부터 백색 표시 또는 중간조 표시로 전환한 후의 1 프레임째와 3 프레임째의 전류비를 의미하고 있으며, 1 프레임째의 전류의 평균값을 3 프레임째의 전류의 평균값으로 나눈 값이다.

- [0019] 도 16에 나타내어진 결과로부터, Cad가 커짐에 따라, 전류비가 작아지는 경향이 있는 것을 알 수 있다. 즉, Cad가 커지면, 1 프레임째의 전류와 3 프레임째의 전류의 차가 커지는 경향이 있다.
- [0020] 유기 EL 소자의 휘도는 구동 트랜지스터로부터 공급되는 전류에 비례한다. 즉, 도 16에 있어서의 전류비는 1 프레임째와 3 프레임째의 휘도비와 동등하다. 따라서, 응답 시간을 1 프레임의 시간보다도 짧게 하여, 스텝 형상의 응답 특성의 발생을 방지하기 위해서는, 도 16에 있어서의 전류비가 0.9를 초과할 필요가 있다. 도 16에 나타내어진 결과로부터, 전류비가 0.9를 초과하고 있는 것은, 흑색 표시로부터 백색 표시로 전환한 경우에 있어서는, Cad가 대략 20fF 미만인 경우이며, 흑색 표시로부터 중간조 표시로 전환한 경우에 있어서는, Cad가 대략 16fF 미만인 경우라고 생각된다. 그러나, 도 8 내지 도 11에 나타낸 유기 EL 표시 장치에서는, 도 12에 나타낸 바와 같이, 전류비가 0.9 이하이며, 응답 시간은 1 프레임의 시간보다도 길었다.
- [0021] 여기서부터는, 도 8에 나타낸 화소의 구동 방법과 함께, Cad에 의해 스텝 형상의 응답이 발생하는 이유에 대해서 설명한다. 도 17은 도 8에 나타낸 화소의 1 프레임째의 타이밍 차트이다. 도 17에서는, 세로 방향의 변위가 각 배선의 전압 변화를 나타내고, 좌측으로부터 우측으로 시간의 경과를 나타내고 있다. 도 17에서는 같은 시각에서의 각 배선의 전압을 비교하기 쉽도록, 상하로 배열한 각 배선의 시간이 맞춰지도록 기재하고 있다. 또한, 도 17에 있어서, Vgs는 트랜지스터 T4의 게이트 전압을 나타내고 있다.
- [0022] 1 프레임에서는 초기화 기간 a, 프로그램 기간 b 및 발광 기간 c의 세 개의 스텝이 이 순서대로 행해진다. 이하, 각각의 스텝에 대해서 설명한다.
- [0023] 우선, 초기화 기간 a에서는, 주사선 scan [n-1]을 온으로 하고, 콘덴서 C1, C2에 저장된 전하(데이터 신호)를 초기화 전압선 Vini [n]을 개재하여 방전한다. 이에 의해, 트랜지스터 T4의 게이트 전압이 초기화된다.
- [0024] 이어서, 프로그램 기간 b에서는 주사선 scan [n]을 온으로 하고, 신호선 data로부터 입력되는 각 계조의 데이터를 트랜지스터 T4에 기입함으로써, 트랜지스터 T4의 임계값 전압의 보상을 행한다. 이 때, 트랜지스터 T4의 게이트 전압은 신호선 data로부터 입력되는 전압(Vdata)보다도, 트랜지스터 T4의 임계값 전압(Vth)만큼 낮은 값이 된다. 또한, 콘덴서 C1, C2에도 트랜지스터 T4의 게이트 전압에 상당하는 전하가 저장된다.
- [0025] 그리고, 발광 기간 c에서는 발광 제어선 em [n]을 온으로 하고, 트랜지스터 T4의 게이트 전압, 즉, Vdata-Vth에 따른 전류가 유기 EL 소자 OLED에 공급됨으로써, 유기 EL 소자 OLED가 발광한다.
- [0026] 이어서, 트랜지스터 T4의 게이트 전압과, 트랜지스터 T4로부터 유기 EL 소자 OLED에 공급되는 전류의 관계에 대해서 설명한다. 도 18은, 트랜지스터 T4(구동 트랜지스터)의 TFT 특성을 나타내는 모식도이다. 도 18에 있어서, V8(V), V255(V)는 각각 계조값이 8, 255인 경우의 트랜지스터 T4의 게이트 전압(Vgs)을 나타내고 있다.
- [0027] 프로그램 기간 b에서는, 트랜지스터 T4의 임계값 전압이 보상되고, 트랜지스터 T4의 게이트 전압에 Vdata-Vth가 설정된다. 발광 기간 c에서는 트랜지스터 T4의 게이트 전압에 따른 전류가 흐른다. Vdata₁<Vdata₂의 관계일 때, 발광 시의 트랜지스터 T4의 게이트 전압(Vgs)은 Vgs₁<Vgs₂가 된다. 즉, 신호선 data로부터 입력되는 전압(Vdata)이 커지면, 트랜지스터 T4의 게이트 전압(Vgs)은 커진다. 이에 의해, 전류값(Ids)은 작아진다. 도 18에 나타낸 TFT 특성에 있어서는, Vgs₁이 V255(V)에, Vgs₂가 V8(V)에 상당한다.
- [0028] 이어서, Cad에 의해 스텝 형상의 응답이 발생하는 이유에 대해서 설명한다. 도 17의 발광 기간 c에 있어서, 발광 제어선 em [n]이 온이 될 때에 주목하면, 트랜지스터 T4의 게이트 전압(Vgs)은 a로 나타낸 폭만큼 전압이 높아져 있다. 이것은, 유기 EL 소자 OLED 자신이 갖는 용량 성분이 원인이라고 생각된다. 비표시 기간(발광 제어선 em [n]이 오프인 기간)에 유기 EL 소자 OLED의 화소 전극의 전하가 완전히 빠지지 않으므로, 발광 제어선 em [n]을 온으로 했을 때에, Cad를 개재하여 트랜지스터 T4의 Vgs가 전 프레임의 전압 방향으로 밀어 올려져, 본래의 전압과는 상이한 전압이 된다.
- [0029] 단, 다음 프레임 이후에서는, 유기 EL 소자 OLED의 화소 전극의 전위는 본래의 전위로 밀어 올림(또는 밀어 내림)분이 가해진 전위가 되기 때문에, 계조를 전환했을 때의 최초의 프레임과 비교하여, 전 프레임의 영향은 받기 어렵고, 본래의 게이트 전압에 보다 가까워진다. 이와 같이 하여, 계조를 전환했을 때, 최초의 프레임과 다음 프레임에서는, 스텝 형상의 응답 특성을 나타내게 된다.

- [0030] 따라서, 스텝 형상의 응답 특성을 해소하기 위해서는, Cad를 저감할 필요가 있다고 말할 수 있다. 이에, 본 발명자가 더 검토한 결과, 전류 발광 소자의 화소 전극을 최적인 위치에 배치하고, 구동 트랜지스터의 게이트 전극과 겹치는 영역을 적게 하거나, 전류 발광 소자의 화소 전극에 개구를 형성함으로써, Cad가 저감되고, 스텝 형상의 응답 특성의 발생이 억제되는 것을 발견하여, 상기 과제를 훌륭하게 해결할 수 있는 것에 상도하여, 본 발명에 도달한 것이다.
- [0031] 즉, 본 발명은 전류 발광 소자 및 구동 트랜지스터를 구비하는 복수의 화소가 형성되고, 상기 전류 발광 소자는 상기 구동 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 상기 구동 트랜지스터는 상기 화소 전극을 개재하여 상기 전류 발광 소자에 전류를 공급하는 아날로그 계조 구동의 액티브 매트릭스 기관이며, 상기 복수의 화소는 인접하여 배치된 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소가 구비하는 구동 트랜지스터의 게이트 전극(이하, 제1 게이트 전극이라고도 함)은 기관 주면을 평면에서 보았을 때에, 상기 제1 화소가 구비하는 전류 발광 소자의 화소 전극(이하, 제1 화소 전극이라고도 함)과, 상기 제2 화소가 구비하는 전류 발광 소자의 화소 전극(이하, 제2 화소 전극이라고도 함) 사이에 배치되는 액티브 매트릭스 기관(이하, 본 발명의 제1 액티브 매트릭스 기관이라고도 함)이다. 이와 같이, 본 발명의 제1 액티브 매트릭스 기관은 제1 화소 전극의 배치를 최적화하고 있으며, 제1 게이트 전극과 겹치는 영역이 적어지는 위치에 제1 화소 전극을 배치하고 있다. 또한, 제1 게이트 전극은 기관 주면을 평면에서 보았을 때에, 적어도 일부가 제1 화소 전극과 제2 화소 전극 사이에 배치되어 있으면 된다.
- [0032] 또한, 본 발명은 전류 발광 소자 및 구동 트랜지스터를 구비하는 복수의 화소가 형성되고, 상기 전류 발광 소자는 상기 구동 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 상기 구동 트랜지스터는 상기 화소 전극을 개재하여 상기 전류 발광 소자에 전류를 공급하는 아날로그 계조 구동의 액티브 매트릭스 기관이며, 상기 복수의 화소는 제1 화소를 포함하고, 상기 제1 화소가 구비하는 전류 발광 소자의 화소 전극(이하, 제1 화소 전극이라고도 함)은 상기 제1 화소가 구비하는 구동 트랜지스터의 게이트 전극(이하, 제1 게이트 전극이라고도 함)과 겹치는 위치에 개구가 형성되어 있는 액티브 매트릭스 기관이기도 하다(이하, 본 발명의 제2 액티브 매트릭스 기관이라고도 함). 이와 같이, 본 발명의 제2 액티브 매트릭스 기관은 제1 화소 전극에 개구가 형성된 액티브 매트릭스 기관이다.
- [0033] 본 발명의 제1 및 제2 액티브 매트릭스 기관의 구성으로서는, 이와 같은 구성 요소를 필수로서 형성되는 것인 한, 그 밖의 구성 요소에 의해 특히 한정되는 것은 아니다. 또한, 본 발명의 제1 액티브 매트릭스 기관과 본 발명의 제2 액티브 매트릭스 기관은 조합하여 사용해도 좋다. 즉, 본 발명의 제1 액티브 매트릭스 기관에 있어서, 상기 제1 화소의 화소 전극(제1 화소 전극)은 상기 제1 화소의 게이트 전극(제1 게이트 전극)과 겹치는 위치에 개구가 형성되어 있어도 좋다. 이에 의해, Cad를 보다 저감할 수 있다.
- [0034] 본 발명의 제1 및 제2 액티브 매트릭스 기관에 있어서의 바람직한 형태에 대하여 이하에 상세하게 설명한다.
- [0035] 본 발명의 제1 액티브 매트릭스 기관의 바람직한 형태의 하나로서, 상기 제1 화소의 게이트 전극은 상기 제2 화소의 화소 전극(제2 화소 전극)과 겹치지 않는 형태를 들 수 있다. 이에 의해, Cad를 저감함과 함께, 제1 게이트 전극이 제2 화소 전극의 영향을 받아, 신호 노이즈 등이 발생하는 것을 방지할 수 있다.
- [0036] 표시 성능을 높이기 위해서 화소 전극의 면적을 크게 하면, 설계 상의 제약에 의해, 제1 게이트 전극은 제1 화소 전극과 겹치게 된다. 한편으로, Cad를 보다 저감한다는 관점에서는, 본 발명의 제1 액티브 매트릭스 기관에 있어서, 상기 제1 게이트 전극은 기관 주면을 평면에서 보았을 때, 상기 제1 화소 전극과, 상기 제2 화소 전극 사이에 배치되는 부분의 면적이 최대가 되는 위치에 배치되는 것이 바람직하다.
- [0037] 본 발명의 제1 액티브 매트릭스 기관의 바람직한 형태의 하나로서, 상기 제1 화소는 상기 제2 화소 다음에 주사되는 화소이며, 상기 제1 화소의 게이트 전극은 상기 제2 화소의 화소 전극과 겹치는 형태를 들 수 있다. 이 경우, 제1 게이트 전극과 제1 화소 전극이 겹치는 영역이 적어지고, Cad는 저감할 수 있지만, 제1 게이트 전극이 제2 화소 전극의 영향을 받는 것이 우려된다. 그러나, 제2 화소 전극에는 제1 화소 전극에 입력되는 신호와 표시 화상 상 거의 동일한 신호가 이미 입력되어 있고, 또한 다음 주사에서 제1 화소의 주사를 행하기 때문에, 제1 게이트 전극에 대한 제2 화소 전극의 영향은 무시할 수 있을 정도로 작다고 생각된다. 따라서, 제2 화소 전극에 의해, 제1 화소 전극의 전압이 밀어 올려(push up)(또는 밀어 내려(push down))지는 경우는 없다. 또한, 본 형태에 있어서, 제1 게이트 전극은, 기관 주면을 평면에서 보았을 때에, 제1 화소와 인접하는 화소 중, 제2 화소 이외의 화소(예를 들어, 제1 화소보다도 후에 주사되는 화소)가 구비하는 전류 발광 소자의 화소 전극(제n 화소 전극)과 겹쳐도 좋다. 그러나, 제n 화소 전극은 제2 화소와 비교하여 제1 게이트 전극에 미치는 영향이 크므로, 제1 게이트 전극은 기관 주면을 평면에서 보았을 때, 제n 화소 전극과 겹치지 않는 것이 바람직

하다.

- [0038] 제1 게이트 전극과 제1 화소 전극이 가까워짐에 따라, Cad는 커진다. 따라서, 제1 게이트 전극이 제1 화소 전극의 바로 아래의 배선층에 형성되어 있는 경우에, 특히 Cad가 커지기 쉽다. 이와 같이, 상기 제1 화소의 게이트 전극이 상기 제1 화소의 화소 전극의 바로 아래의 배선층에 형성되어 있는 경우에, 본 발명은 특히 유효하다.
- [0039] 구동 트랜지스터의 임계값 전압의 편차를 보상하기 위한 보상 회로가 화소에 형성되어 있는 경우, 화소마다 형성하는 구성 요소의 수가 많아져, 화소 내의 레이아웃 조정의 자유도가 작아진다. 이와 같이, 화소의 레이아웃이 복잡해지면, 제1 화소 전극과, 제1 게이트 전극이 겹치는 영역이 커지기 쉽다고 하는 경향이 있다. 이와 같이, 상기 복수의 화소 각각에, 각 화소가 구비하는 구동 트랜지스터의 임계값 전압의 편차를 보상하기 위한 보상 회로가 더 형성되어 있는 경우에, 본 발명은 특히 유효하다.
- [0040] 도 9 및 도 10을 사용하여 설명한 바와 같이, 통상 구동 트랜지스터의 게이트 전극(게이트 전극(102))은 콘택트홀을 개재하여, 제1 배선층 및 제2 배선층에 형성되어 있고, 제1 배선층에 배치된 주사선 등과 겹치는 부분에서, 제1 배선층으로부터 제2 배선층으로 넘어가게 되어 있다. 도 8 내지 도 11에 도시한 유기 EL 표시 장치와 같이, 보상 회로가 복수의 트랜지스터를 포함하여 구성되어 있는 경우, 화소의 레이아웃이 복잡해지기 때문에, 게이트 전극(102)과 제1 배선층에 형성된 주사선 등의 겹침이 발생하기 쉽다. 따라서, 이 경우에는, 게이트 전극(102)의 제2 배선층(화소 전극(103)의 바로 아래의 배선층)에 형성되는 부분의 면적이 커져서, Cad가 커진다고 하는 경향이 있다. 본 발명에 따르면, Cad를 저감하는 것이 가능하기 때문에, 상기 형태에 있어서의 과제를 효과적으로 해결할 수 있다. 즉, 본 발명은 상기 보상 회로가 복수의 트랜지스터를 포함하여 구성되는 경우에 특히 유효하다.
- [0041] 본 발명은 또한, 본 발명의 제1 또는 제2 액티브 매트릭스 기관을 구비하는 유기 EL 표시 장치이며, 상기 복수의 화소가 구비하는 전류 발광 소자는 유기 EL 소자이며, 상기 복수의 화소가 구비하는 전류 발광 소자가 갖는 화소 전극은 상기 유기 EL 소자의 양극 또는 음극인 유기 EL 표시 장치이기도 하다. 본 발명의 제1 또는 제2 액티브 매트릭스 기관에 의하면, Cad가 저감되고, 스텝 형상의 응답 특성의 발생이 억제되기 때문에, 표시 성능이 우수한 유기 EL 표시 장치를 실현할 수 있다.
- [0042] 전술한 각 형태는, 본 발명의 요지를 일탈하지 않는 범위에서 적절히 조합되어도 좋다.

발명의 효과

- [0043] 본 발명의 액티브 매트릭스 기관 및 유기 EL 표시 장치에 의하면, 전류 발광 소자의 응답 속도의 저하가 억제된 액티브 매트릭스 기관 및 유기 EL 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0044] 도 1은 실시 형태 1의 유기 EL 표시 장치의 화소를 도시하는 평면 모식도.
- 도 2는 실시 형태 2의 유기 EL 표시 장치의 화소를 도시하는 평면 모식도.
- 도 3은 실시 형태 2의 다른 유기 EL 표시 장치의 화소를 도시하는 평면 모식도.
- 도 4는 실시 형태 3의 유기 EL 표시 장치의 화소를 도시하는 평면 모식도.
- 도 5는 도 1에 에지 커버를 추가한 도면.
- 도 6은 도 2에 에지 커버를 추가한 도면.
- 도 7은 도 4에 에지 커버를 추가한 도면.
- 도 8은 보상 회로를 구비하는 종래의 유기 EL 표시 장치의 화소를 나타내는 회로도.
- 도 9는 보상 회로를 구비하는 종래의 유기 EL 표시 장치의 화소를 도시하는 평면 모식도.
- 도 10은 도 9 중의 X1-X2 선을 따른 단면 모식도.
- 도 11은 도 9에 도시한 화소의 배치 형태를 도시하는 평면 모식도.
- 도 12는 보상 회로를 구비하는 종래의 유기 EL 표시 장치의 응답 특성의 측정 결과를 나타내는 그래프.

- 도 13은 Cad가 0fF인 경우의 응답 파형의 시뮬레이션으로 얻어진 전류의 응답 파형을 나타내는 그래프.
- 도 14는 Cad가 20fF인 경우의 응답 파형의 시뮬레이션으로 얻어진 전류의 응답 파형을 나타내는 그래프.
- 도 15는 Cad가 60fF인 경우의 응답 파형의 시뮬레이션으로 얻어진 전류의 응답 파형을 나타내는 그래프.
- 도 16은 유기 EL 소자에 공급되는 전류와 Cad의 관계를 나타낸 그래프.
- 도 17은 도 8에 나타난 화소의 1 프레임째의 타이밍 차트.
- 도 18은 트랜지스터 T4(구동 트랜지스터)의 TFT 특성을 나타내는 모식도.

발명을 실시하기 위한 구체적인 내용

- [0045] 본 명세서에 있어서, 「화소 전극」이란, 전류 발광 소자에 포함되는 전극 중에서, 구동 트랜지스터의 드레인 전극에 전기적으로 접속된 전극을 말한다. 유기 EL 소자의 경우, 화소 전극은 양극이어도 좋고, 음극이어도 좋다.
- [0046] 본 명세서에 있어서, 「전류 발광 소자」란, 공급된 전류에 의해 스스로 발광하는 소자이면 좋고, 특별히 한정되지 않는다. 본 발명이 특히 유효한 것으로서는 유기 EL 소자, 무기 EL 소자 등의 면 형상의 전류 발광 소자를 들 수 있다.
- [0047] 본 명세서에 있어서, 「화소 전극의 바로 아래의 배선층」이란, 화소 전극보다도 기판측에 배치된 배선층 중, 화소 전극으로부터 세워서 첫번째의 배선층을 말한다. 통상, 화소 전극과 배선층 사이에는 층간 절연막이 배치되어 있다. 따라서, 「화소 전극의 바로 아래의 배선층」은 「층간 절연막을 개재하여 화소 전극에 인접하는 배선층」이라고도 말할 수 있다.
- [0048] 이하에 실시 형태를 들어, 본 발명을 도면을 참조하여 더 상세하게 설명하지만, 본 발명은 이들의 실시 형태에만 한정되는 것은 아니다. 또한, 이하의 실시 형태에서는 설명을 간략화하기 위해서, 도 8 내지 도 11에 도시한 유기 EL 표시 장치에 대하여 본 발명을 적용한 경우에 대해서 설명한다.
- [0049] (실시 형태 1)
- [0050] 도 1은 실시 형태 1의 유기 EL 표시 장치의 화소를 도시하는 평면 모식도이다. 실시 형태 1의 유기 EL 표시 장치는, 도 8 내지 도 11에 도시한 유기 EL 표시 장치에 있어서, 화소 전극(103)에 개구를 형성한 것이다.
- [0051] 도 1에 도시하는 바와 같이, 실시 형태 1의 유기 EL 표시 장치에 있어서, 화소 전극(103)은 게이트 전극(102)과 겹치는 위치에 개구가 형성되어 있다. 또한, 그 개구의 평면 형상은 게이트 전극(102)의 평면 형상과 동일하다. 이에 의해, 화소 전극(103)과 게이트 전극(102)이 겹치는 경우는 없기 때문에, Cad를 한없이 제로에 가깝게 할 수 있다. 이에 의해, 스텝 형상의 응답의 발생이 억제되어, 표시 성능이 우수한 유기 EL 표시 장치를 실현할 수 있다.
- [0052] (실시 형태 2)
- [0053] 도 2는 실시 형태 2의 유기 EL 표시 장치의 화소를 도시하는 평면 모식도이다. 실시 형태 2의 유기 EL 표시 장치는, 도 8 내지 도 11에 도시한 유기 EL 표시 장치에 있어서, 화소 전극(103)을 배치하는 위치를 변경한 것이다. 도 2에 있어서, 화소 전극(103a, 103b, 103c)은 도 1 등에서 설명한 화소 전극(103)과 동일한 기능을 갖는 부재이며, 각각이 배치되어 있는 화소를 구별하기 위해서, 상이한 부호를 붙인 것이다. 화소 전극(103a)이 배치되어 있는 것은, 게이트 전극(102)이 형성된 화소이다. 화소 전극(103b)이 배치되어 있는 것은, 도 2에 있어서, 화소 전극(103a)이 배치된 화소와 세로 방향으로 인접하는 화소이다. 화소 전극(103c)이 배치되어 있는 것은, 도 2에 있어서, 화소 전극(103a)이 배치된 화소와 가로 방향으로 인접하는 화소이다.
- [0054] 도 2에 도시하는 바와 같이, 게이트 전극(102)은 기판 주면을 평면에서 보았을 때, 화소 전극(103a, 103b, 103c) 사이에 배치되어 있다. 이에 의해, Cad를 저감할 수 있고, 스텝 형상의 응답 특성의 발생을 억제할 수 있다. 또한, 게이트 전극(102)은 화소 전극(103b, 103c)과는 겹치지 않는다. 이에 의해, 게이트 전극(102)이 화소 전극(103b, 103c)의 영향을 받아, 신호 노이즈 등이 발생하는 것을 방지할 수 있다.
- [0055] 또한, 게이트 전극(102)의 형상은, 도 2에 도시한 평면 형상과 상이해도 좋다. 도 3은, 실시 형태 2의 다른 유기 EL 표시 장치의 화소를 도시하는 평면 모식도이다. 도 3에 도시하는 바와 같이, 게이트 전극(102)이 도 2에 도시한 평면 형상을 갖는 경우에는, 기판 주면을 평면에서 보았을 때, 게이트 전극(102)의 단부가 화소 전극

(103b, 103c)의 단부에 일치하도록, 게이트 전극(102)을 배치하는 것이 바람직하다. 이에 의해, Cad의 저감 효과를 크게 할 수 있다.

- [0056] (실시 형태 3)
- [0057] 도 4는 실시 형태 3의 유기 EL 표시 장치를 도시하는 평면 모식도이다. 실시 형태 3의 유기 EL 표시 장치는, 도 8 내지 도 11에 도시한 유기 EL 표시 장치에 있어서, 화소 전극(103)을 배치하는 위치를 변경한 것이다. 도 4에 있어서, 화소 전극(103a, 103b, 103c)은 도 2에서 설명한 실시 형태 2와 마찬가지로의 관계를 갖고 있다. 또한, 실시 형태 3의 유기 EL 표시 장치에 있어서, 화소 전극(103b)이 배치된 화소는, 화소 전극(103a)이 배치된 화소 앞에 주사된다.
- [0058] 도 4에 도시하는 바와 같이, 게이트 전극(102)은 기관 주면을 평면에서 보았을 때, 화소 전극(103a, 103b, 103c) 사이에 배치되어 있다. 이에 의해, Cad를 저감할 수 있고, 스텝 형상의 응답 특성의 발생을 억제할 수 있다.
- [0059] 또한, 실시 형태 3에 있어서는, 게이트 전극(102)이 화소 전극(103b)과 겹침으로써, 화소 전극(103b)의 영향을 받는 것이 우려된다. 그러나, 화소 전극(103b)이 배치된 화소(제2 화소)는 화소 전극(103a)이 배치된 화소(제1 화소)의 직전에 주사되어 있으므로, 화소 전극(103b)에는 화소 전극(103a)에 입력되는 신호와 표시 화상 상 거의 동일한 신호가 이미 입력되어 있고, 또한 다음 주사에서 제1 화소의 주사를 행하기 때문에, 게이트 전극(102)에 대한 화소 전극(103b)의 영향은 무시할 수 있는 정도로 작다고 생각된다. 따라서, 화소 전극(103b)에 의해 화소 전극(103a)의 전압이 밀어 올려(또는 밀어 내림)지는 경우는 없다.
- [0060] 여기까지는, 각 실시 형태의 특징을 이해하기 쉽게 하기 위해서, 게이트 전극(102) 및 화소 전극(103)(화소 전극(103a, 103b, 103c))만을 기재한 도 1 내지 도 4를 사용하여 설명했지만, 각 실시 형태의 유기 EL 표시 장치는 도 9 및 도 10에 도시한 유기 EL 표시 장치와 마찬가지로 예지 커버를 구비하고 있다. 도 5는 도 1에 예지 커버를 추가한 도면이며, 도 6은 도 2에 예지 커버를 추가한 도면이며, 도 7은 도 4에 예지 커버를 추가한 도면이다. 도 5 내지 도 7에 있어서, 예지 커버가 형성되어 있지 않은 영역이 표시 영역 A로서 가능하다.
- [0061] 도 5에 도시하는 바와 같이, 실시 형태 1의 유기 EL 표시 장치에 있어서는, 화소 전극(103)에 개구가 형성되어 있고, 표시 영역 A 내에 화소 전극(103)이 배치되어 있지 않은 영역이 존재한다. 이에 의해, 표시 영역 A의 실질적인 면적(개구율)은 저하된다. 단, 도 5에 도시한 형태는, Cad를 저감하는 효과가 가장 커지도록 개구를 설계한 경우이며, 화소 전극(103)의 개구는 게이트 전극(102)보다 작게 해도 좋다. 이에 의해, Cad를 저감하는 효과는 작아지지만, 개구율의 저하를 억제할 수 있다. 이와 같이, 실시 형태 1의 유기 EL 표시 장치에 있어서, Cad를 저감하는 효과와 개구율은 상반의 관계에 있다.
- [0062] 한편, 도 6 및 도 7에 도시하는 바와 같이, 실시 형태 2 및 3의 유기 EL 표시 장치에 있어서는, 화소 전극(103)(화소 전극(103a, 103b, 103c))에 개구가 형성되어 있지 않기 때문에, 개구율이 저하되는 경우는 없다. Cad를 저감하는 효과를 보다 높인다는 관점에서는, 실시 형태 2 및 3의 유기 EL 표시 장치에 있어서도, 실시 형태 1의 유기 EL 표시 장치와 마찬가지로 화소 전극(103)(화소 전극(103a, 103b, 103c))의 게이트 전극(102)과 겹치는 부분에 개구를 형성해도 좋다.
- [0063] 전술한 실시 형태에 있어서의 각 형태는, 본 발명의 요지를 일탈하지 않는 범위에서 적절히 조합되어도 좋다.
- [0064] 또한, 본원은 2009년 7월 1일에 출원된 일본 특허 출원 제2009-156970호를 기초로 하여, 파리 조약 또는 이행하는 국가에 있어서의 법규에 기초하여 우선권을 주장하는 것이다. 상기 출원의 내용은, 그 전체를 본원 중에 참조로서 인용하기로 한다.

부호의 설명

- [0065] T1, T2, T3, T4, T5, T6: 트랜지스터
- C1, C2: 콘덴서
- OLED: 유기 EL 소자
- scan [n-1], scan [n], scan [n+1]: 주사선
- Vini [n]: 초기화 전압선

em [n]: 발광 제어선

ELVDD, ELVSS: 전원선

data: 신호선

100: 기판

101: 반도체층

102: 게이트 전극

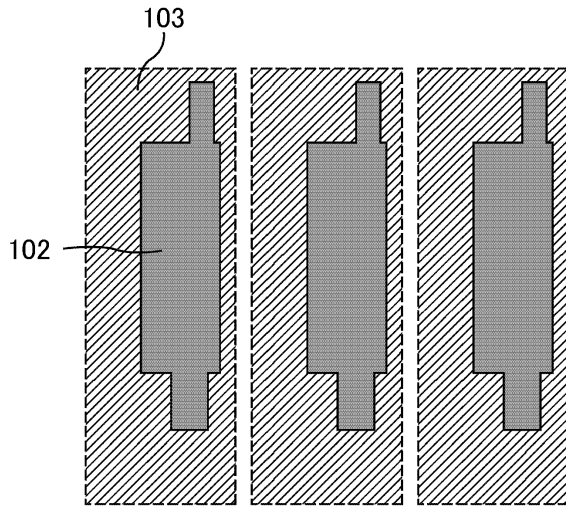
103, 103a, 103b, 103c: 화소 전극(양극)

110, 111, 112: 층간 절연막

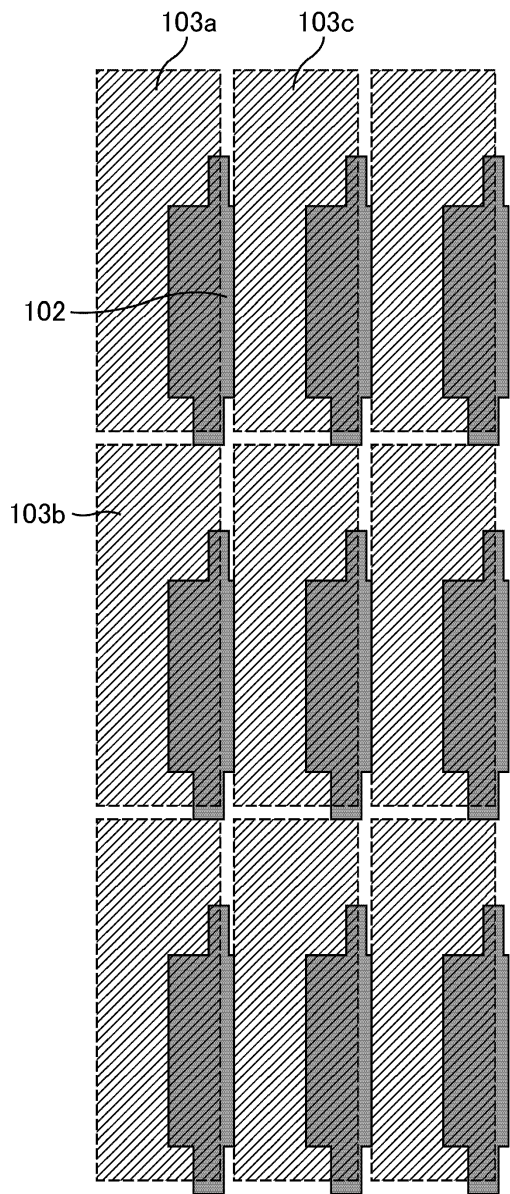
113: 에지 커버

도면

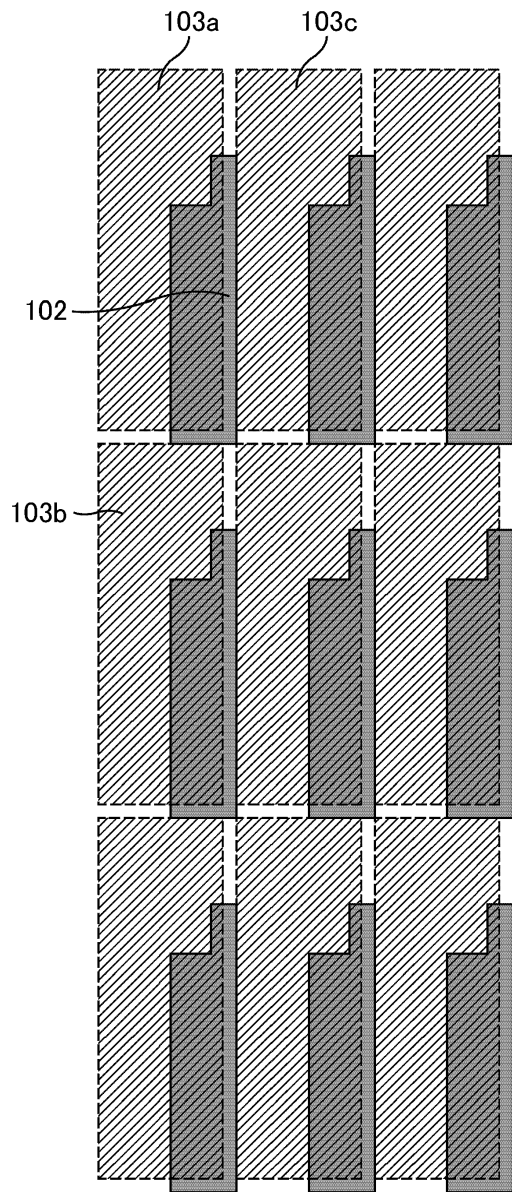
도면1



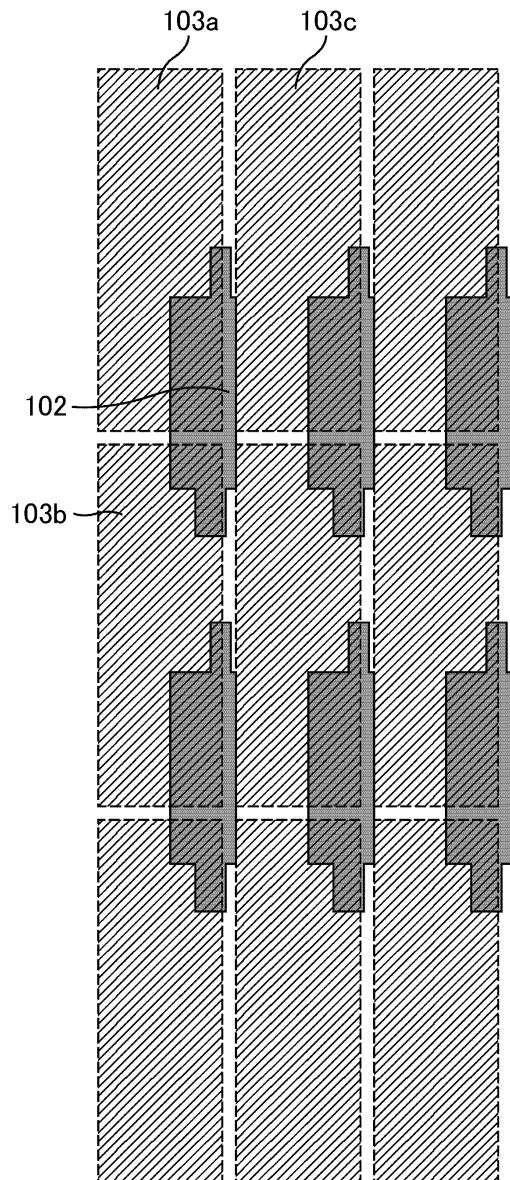
도면2



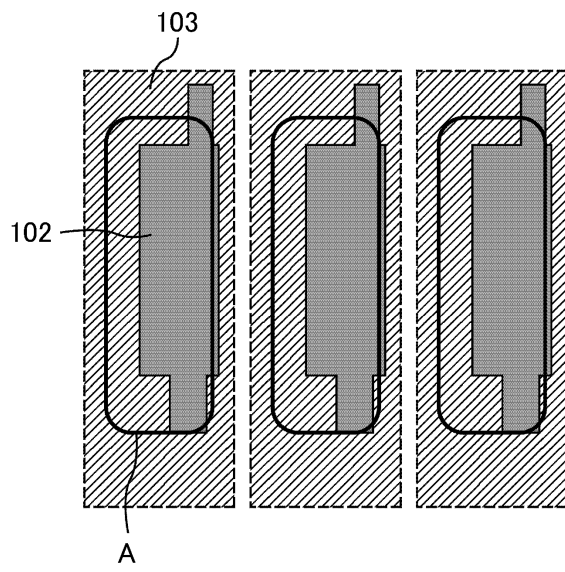
도면3



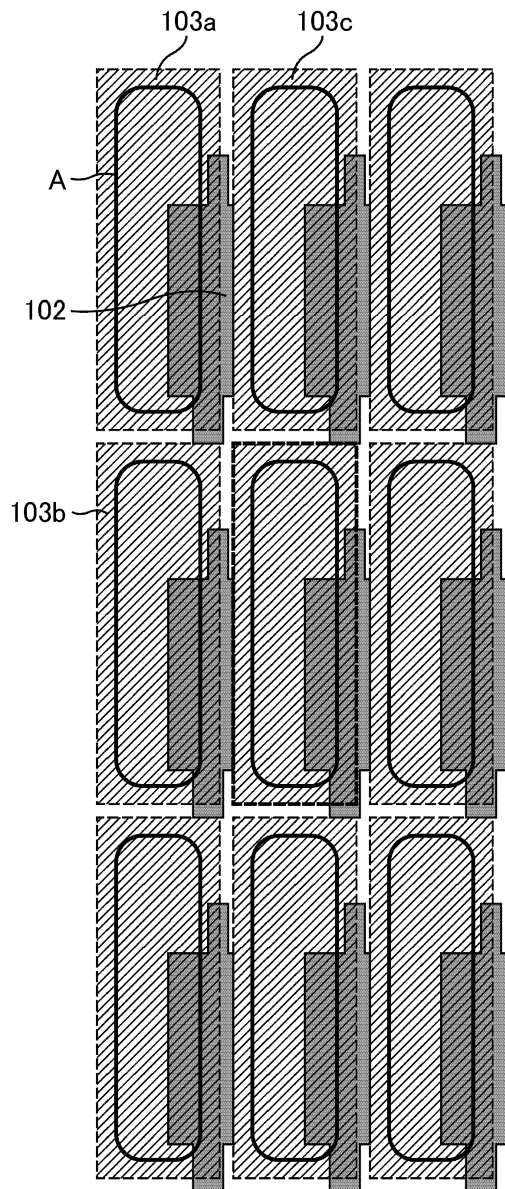
도면4



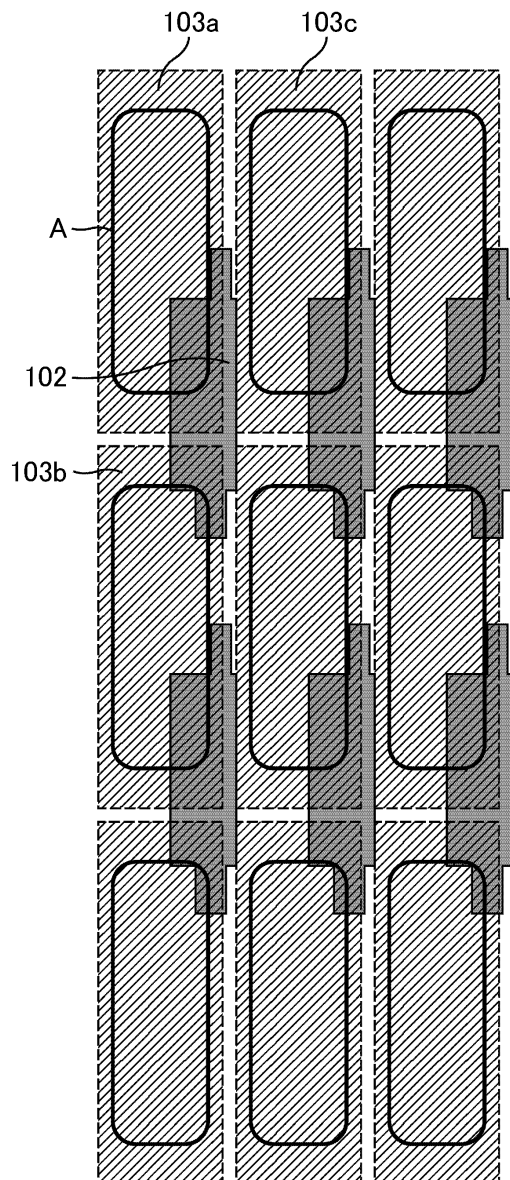
도면5



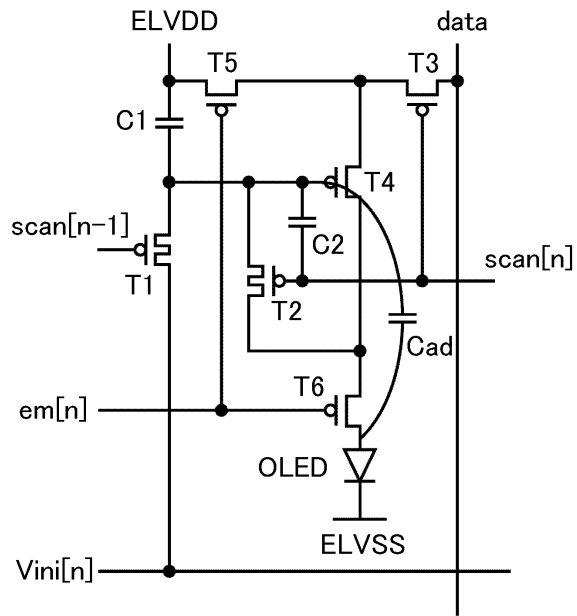
도면6



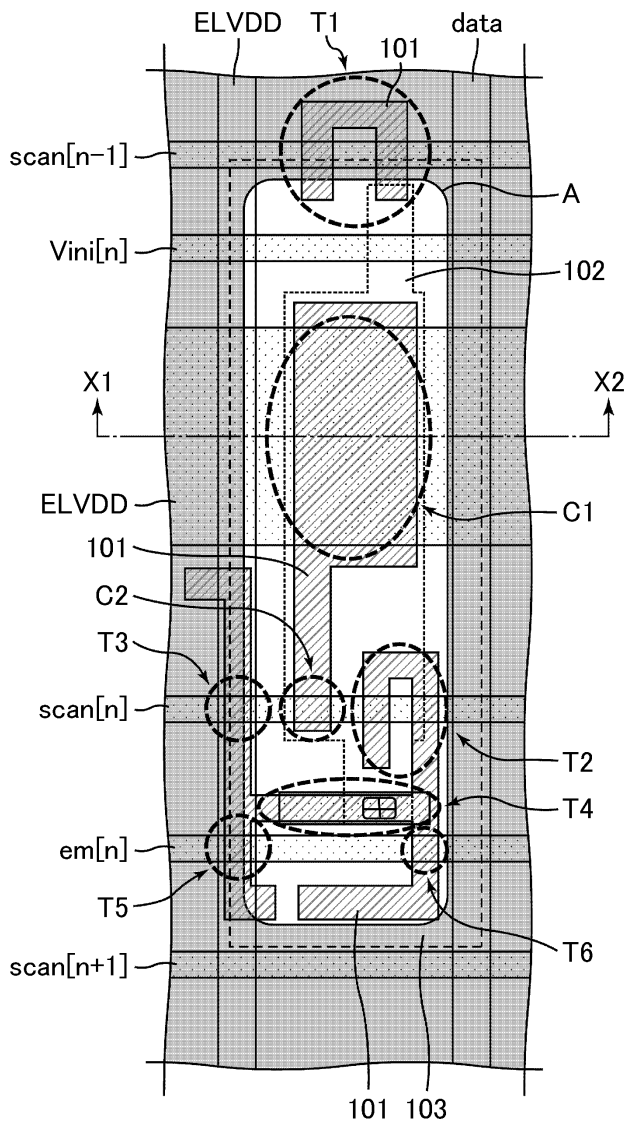
도면7



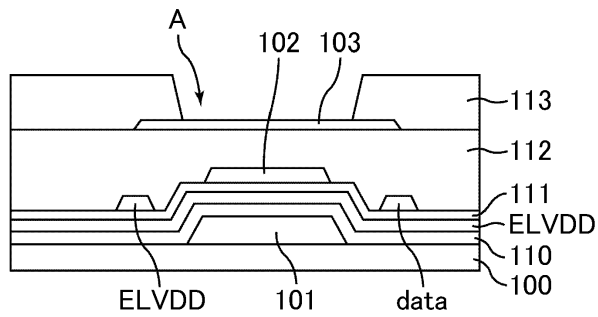
도면8



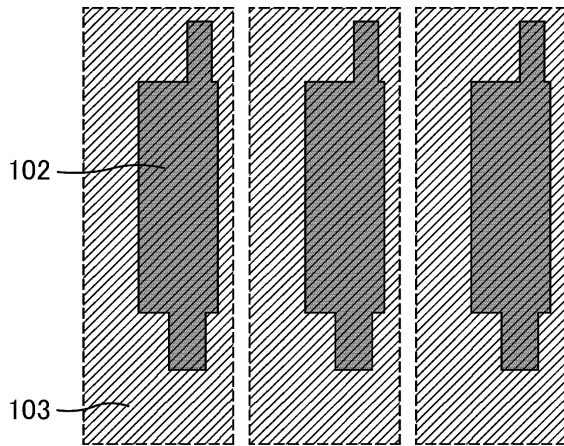
도면9



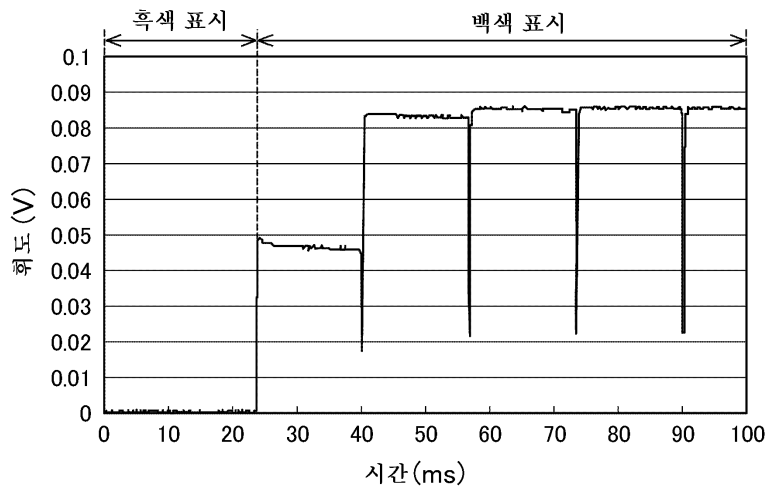
도면10



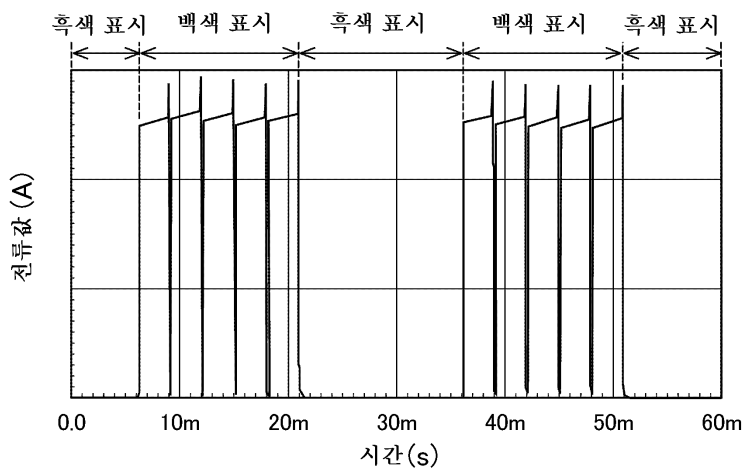
도면11



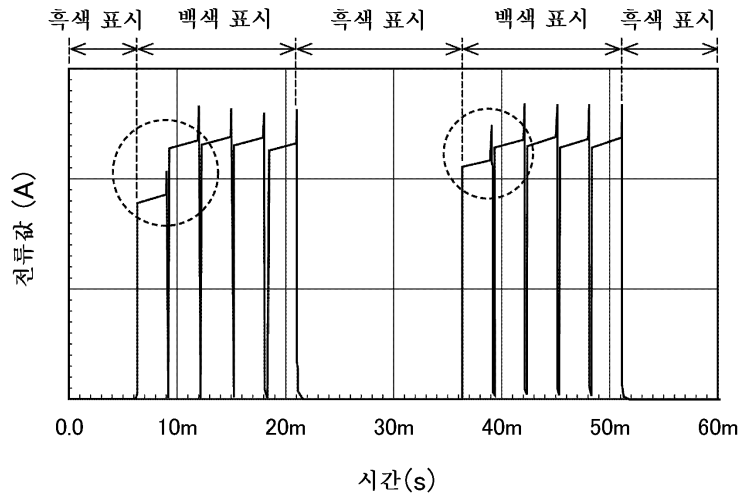
도면12



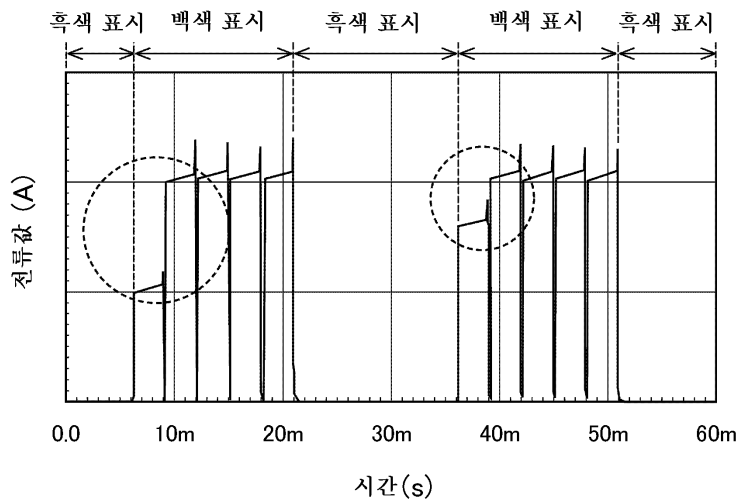
도면13



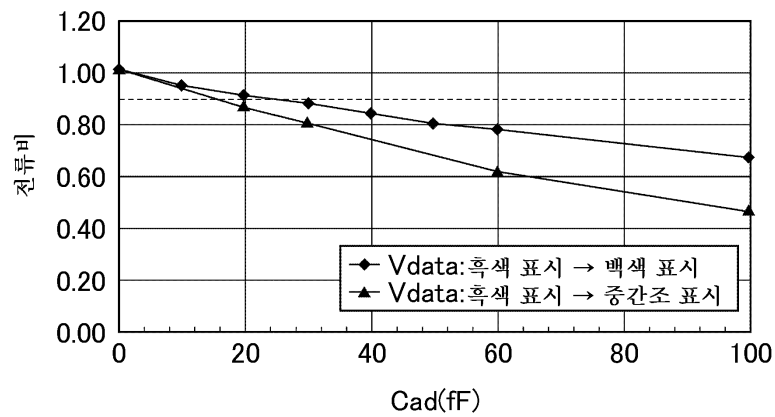
도면14



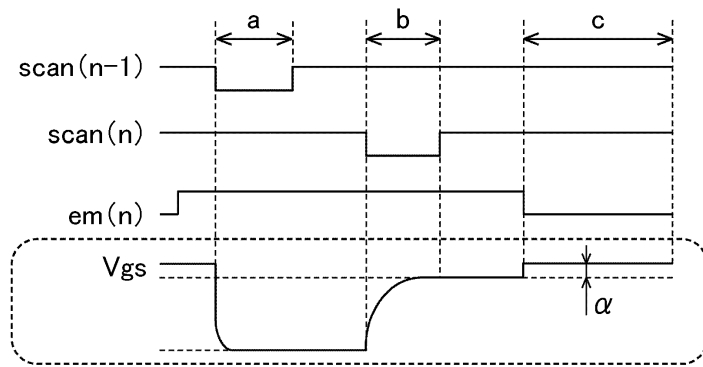
도면15



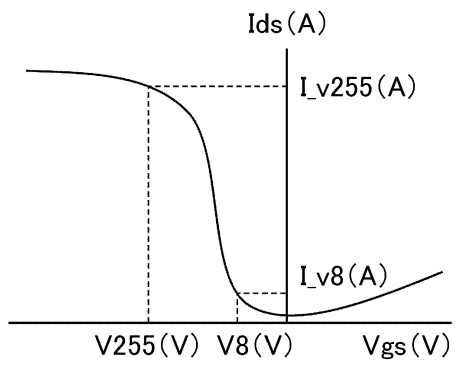
도면16



도면17



도면18



专利名称(译)	标题：有源矩阵衬底和有机EL显示器件		
公开(公告)号	KR101404951B1	公开(公告)日	2014-06-09
申请号	KR1020127002578	申请日	2010-04-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	NOGUCHI NOBORU		
发明人	NOGUCHI, NOBORU		
IPC分类号	H01L51/50 G09G3/30		
CPC分类号	H01L27/3262 G09G2300/0852 G09G2300/0861 G09G2320/0214 G09G2320/043 G09G2320/0252 G09G3/3233 G09G2300/0819		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2009156970 2009-07-01 JP		
其他公开文献	KR1020120048588A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有源矩阵基板和有机EL显示装置，其中抑制了电流驱动的发光元件的响应速率的降低。本发明的有源矩阵基板是模拟灰度驱动有源矩阵基板，包括多个像素，每个像素包括电流驱动的发光元件和驱动晶体管。电流驱动的发光元件包括与驱动晶体管电耦合的像素电极。驱动晶体管通过像素电极向电流驱动的发光元件提供电流。多个像素包括彼此相邻设置的第一像素和第二像素。第一像素的驱动晶体管的栅极设置在平面图中的第一像素的电流驱动的发光元件的像素电极和第二像素的电流驱动的发光元件的像素电极之间基板主面的视图。

