



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월29일
 (11) 등록번호 10-0924137
 (24) 등록일자 2009년10월22일

(51) Int. Cl.
H05B 33/22 (2006.01) *H05B 33/10* (2006.01)
H01L 51/56 (2006.01)
 (21) 출원번호 10-2008-0010244
 (22) 출원일자 2008년01월31일
 심사청구일자 2008년01월31일
 (65) 공개번호 10-2009-0084202
 (43) 공개일자 2009년08월05일
 (56) 선행기술조사문헌
 KR1020050030296 A
 JP2003347041 A
 JP2004047458 A
 KR100793546 B1

(73) 특허권자
삼성모바일디스플레이주식회사
 경기도 용인시 기흥구 농서동 산24번지
 (72) 발명자
권정현
 경기 용인시 기흥구 공세동 삼성SDI중앙연구소
 (74) 대리인
박상수

전체 청구항 수 : 총 17 항

심사관 : 추장희

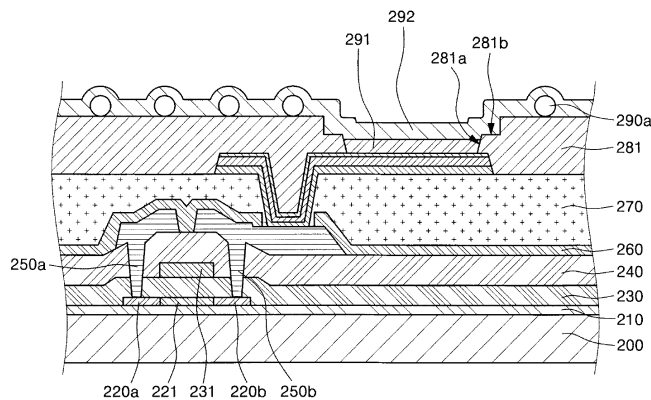
(54) 유기전계발광표시장치 및 그의 제조방법

(57) 요약

본 발명은 증착마스크에 의하여 발광층을 포함하는 유기막층을 형성함에 있어서, 화소정의막의 상부에 위치하는 불형 스페이서를 사용하여, 증착마스크의 요철에 의한 화소정의막 등의 손상을 방지하기 위한 것으로, 기판; 상기 기판 상에 위치하는 제1전극; 상기 제1전극 상에 위치하고, 상기 제1전극을 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 구비하는 화소정의막; 상기 화소정의막의 제2영역에 위치하는 다수개의 불형 스페이서; 상기 제1전극의 상부에 위치하며, 발광층을 포함하는 유기막층; 및 상기 유기막층의 상부에 위치하는 제2전극을 포함하며, 상기 제1영역은 상기 개구부의 에지부를 따라 위치하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

또한, 본 발명은 기판을 제공하고, 상기 기판의 상부에 제1전극을 형성하고, 상기 제1전극의 상부에 화소정의막을 형성하고, 상기 화소정의막의 상부에 다수개의 불형 스페이서를 도포하고, 상기 화소정의막 상에 제1전극의 일부를 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 형성하고, 상기 제1전극의 상부에 위치하며, 발광층을 포함하는 유기막층을 형성하고, 상기 유기막층의 상부에 제2전극을 형성하는 것을 포함하는 것을 포함하고, 상기 제1영역은 상기 개구부의 에지부를 따라 형성되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.

대표도



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 제1전극;

상기 제1전극 상에 위치하고, 상기 제1전극을 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 구비하는 화소정의막;

상기 화소정의막의 제2영역에 위치하는 다수개의 불형 스페이서;

상기 제1전극의 상부에 위치하며, 발광층을 포함하는 유기막층; 및

상기 유기막층의 상부에 위치하는 제2전극을 포함하며,

상기 제1영역은 상기 개구부의 에지부를 따라 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제1영역은 상기 제2영역보다 단차가 낮은 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 1 항에 있어서,

상기 제1영역의 폭은 상기 불형 스페이서의 크기의 1/2이상인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,

상기 불형 스페이서의 크기는 3 μ m 내지 10 μ m인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 1 항에 있어서,

상기 화소정의막은 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly(phenylenethers) resin), 폴리페닐렌설파이드계 수지(poly(phenylenesulfides) resin) 및 벤조사이클로부텐(benzocyclobutene, BCB)으로 이루어진 군에서 선택된 하나의 물질로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서,

상기 제1전극은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 이루어 지고, 상기 제2전극은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질로 이루어지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제 1 항에 있어서,

상기 제1전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물로 이루어지는 군에서 선택되는 어느 하나의 물질로 반사막을 형성한 후, 상기 반사막의 상부에 ITO(Indium Tin Oxide), IZO(Indium Zinc

Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질인 투명전극의 적층구조로 이루어지고, 상기 제2전극은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제 1 항에 있어서,

상기 제1전극은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 이루어지는 하부전극; 상기 하부전극 상에 위치하고, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물로 이루어지는 군에서 선택되는 어느 하나의 물질로 이루어지는 반사전극; 및 상기 반사전극 상에 위치하고, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 이루어지는 상부전극의 적층구조로 이루어지고, 상기 제2전극은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 1 항에 있어서,

상기 기판상에 형성되고, 소오스/드레인 영역을 구비하는 반도체층 및 상기 반도체층과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막트랜지스터를 더 포함하고,

상기 제1전극은 상기 소오스/드레인 전극 중 어느 하나에 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

기판을 제공하고,

상기 기판의 상부에 제1전극을 형성하고,

상기 제1전극의 상부에 화소정의막을 형성하고,

상기 화소정의막의 상부에 다수개의 불형 스페이서를 도포하고,

상기 화소정의막 상에 제1전극의 일부를 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 형성하고,

상기 제1전극의 상부에 위치하며, 발광층을 포함하는 유기막층을 형성하고,

상기 유기막층의 상부에 제2전극을 형성하는 것을 포함하는 것을 포함하고,

상기 제1영역은 상기 개구부의 에지부를 따라 형성되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 11

제 10 항에 있어서,

상기 화소정의막을 형성한 이후에, 화소정의막 상에 개구부, 제1영역 및 제2영역을 형성하기 위하여 화소정의막을 노광하는 공정을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 12

제 11 항에 있어서,

상기 화소정의막을 노광하는 공정은 하프톤 마스크를 사용하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 하프톤 마스크는 광차단영역, 반투과영역 및 투과영역으로 이루어지고,

상기 화소정의막이 양성(positive) 재료물질인 경우에는, 개구부로 예정된 부분이 투과영역이고, 제1영역으로 예정된 부분이 반투과영역이고, 제2영역으로 예정된 부분이 차단영역인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 14

제 12 항에 있어서,

상기 하프톤 마스크는 광차단영역, 반투과영역 및 투과영역으로 이루어지고,

상기 화소정의막이 음성(negative) 재료물질인 경우에는, 개구부로 예정된 부분이 차단영역이고, 제1영역으로 예정된 부분이 반투과영역이고, 제2영역으로 예정된 부분이 투과영역인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 15

제 10 항에 있어서,

상기 불형 스페이서를 도포한 이후에, 불형 스페이서를 포함하는 기판을 베이킹하는 공정을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 베이킹 공정의 온도범위는 50℃ 내지 200℃인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 17

제 10 항에 있어서,

상기 기판상에 소오스/드레인 영역을 구비하는 반도체층 및 상기 반도체층과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막트랜지스터를 형성하는 공정을 더 포함하고,

상기 제1전극은 상기 소오스/드레인 전극 중 어느 하나에 연결되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 증착마스크에 의하여 발광층을 포함하는 유기막층을 형성함에 있어서, 화소정의막의 상부에 위치하는 불형 스페이서를 사용하여, 증착마스크의 요철에 의한 화소정의막 등의 손상을 방지하기 위한 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

배경기술

<2> 일반적으로, 유기전계발광소자는 ITO와 같은 투명전극인 제 1 전극(anode)과 일함수가 낮은 금속(Ca, Li, Al 등)을 사용한 제 2 전극(cathode) 사이에 유기막층이 있는 구조로 구성된다. 이러한 유기전계발광소자에 순방향의 전압을 인가하면, 양극과 음극에서 각각 정공(hole)과 전자(electron)는 결합하여 엑시톤(exciton)을 형성하고, 엑시톤이 발광 재결합하여 전기 발광 현상을 일으킨다.

<3> 상기 제 1 전극은 반사형 즉, 빛을 반사하도록 형성하고 상기 제 2 전극은 투과형 즉, 빛을 투과하도록 형성함으로써, 상기 유기막층으로부터 방출되는 빛을 상기 제 2 전극방향으로 방출시키는 유기전계발광소자를 제조할 수 있다.

<4> 이때 상기 유기막층은 여러 방법으로 형성될 수 있는데, 그 중 한 방법이 증착이며, 상기 증착 방법을 이용하여 유기전계발광표시장치를 제작하기 위해서는 박막 등이 형성될 면에 형성될 박막 등의 패턴과 동일한 패턴을 가지는 마스크를 밀착시키고 박막 등의 재료를 증착하여 소정 패턴의 박막을 형성한다.

- <5> 도 1은 증착용 마스크를 구비한 증착 장치를 개략적으로 도시한 단면도이다.
- <6> 도 1을 참조하면, 마스크(1)를 이용하여 유기전계발광표시장치의 박막, 즉 발광층을 포함하는 유기막층을 증착하기 위해서는, 진공챔버(2)에 설치된 박막 증착 용기(crucible ; 3)와 대응되는 측에 마스크와 결합된 프레임(4)을 설치하고 이의 상부에 박막 등이 형성될 대상물(5)을 장착한다. 그리고 그 상부에는 프레임(4)에 지지된 마스크(1)를 박막 등이 형성될 대상물(5)에 밀착시키기 위한 마그네트 유니트(6)를 구동시켜 상기 마스크(1)가 상기 박막 등이 형성될 대상물(5)에 밀착되도록 한다. 이 상태에서 상기 박막 증착 용기(3)의 작동으로 이에 장착된 물질이 상기 대상물(5)에 증착되게 된다.
- <7> 하지만, 상기 마스크의 표면에는 2~3 μ m의 요철이 형성되어 있고, 상기 마스크(1)와 박막 등이 형성될 대상물(5)이 밀착됨에 있어서, 상기 마스크의 요철에 의하여 대상물의 박막, 예를 들면, 화소정의막에 스크래치(scratch)를 주기 때문에 이를 방지하기 위하여 대상물과 마스크 표면 사이에 스페이서 구조물을 형성한다.
- <8> 도 2a 및 도 2b는 종래의 유기전계발광표시장치의 제조방법을 설명한 단면도이다.
- <9> 도 2a를 참조하면, 기관(100)상에 형성된 버퍼층(110), 상기 버퍼층(110) 상에 형성된 소오스/드레인 영역(120a, 120b) 및 채널영역(121)으로 이루어지는 반도체층과, 게이트 절연막(130) 상에 형성된 게이트 전극(131)과, 층간 절연막 상에 형성되어, 콘택홀을 통해 각각 소오스/드레인영역(120a, 120b)과 전기적으로 연결되는 소오스/드레인 전극(150a, 150b)을 구비한다.
- <10> 한편, 상기 기관(100) 상에는 유기전계발광소자가 형성된다. 상기 유기전계발광소자는 박막트랜지스터 상부에 형성되어 있는 보호막(160) 및 평탄화막(170) 상에 형성되어, 비어홀을 통해 상기 드레인 전극(150b)과 전기적으로 연결되는 애노드로서의 제 1 전극(180)과 상기 제 1 전극의 일정영역을 노출시키고, 화소를 정의하는 개구부를 포함하는 화소정의막(190)이 형성된다.
- <11> 또한, 상기 화소정의막(190) 상에 스페이서 필름을 코팅하고, 상기 스페이서 필름의 상부에 포토레지스트막(미도시)을 형성하고, 상기 포토레지스트막(미도시)을 새도우 마스크를 사용하여 노광 및 현상함으로써, 포토레지스트 패턴(미도시)을 형성한 후, 상기 포토레지스트 패턴(미도시)을 마스크로 하여 상기 스페이서 필름을 패터닝하여 스페이서 패턴(191)을 형성한다.
- <12> 이어서, 도 2b를 참조하면, 상기한 바와 같은 증착용 마스크를 구비한 증착 장치에 의하여 발광층을 포함하는 유기막층(192)을 형성한다. 또한, 스퍼터링 등의 방법에 의하여 상기 유기막층(192)의 상부에 제2전극(193)을 형성한다. 이때, 증착장치에 의하여 유기막층을 형성함에 있어서, 상기 스페이서 패턴은 상기 증착용 마스크가 상기 화소정의막이 형성된 기관상에 밀착됨에 따른 증착용 마스크의 요철에 의하여 화소정의막 등이 손상받는 것을 방지하는 역할을 한다.
- <13> 하지만, 상기한 바와 같은 종래의 유기전계발광표시장치는 스페이서 패턴을 형성하기 위한 사진식각(photolithography) 공정이 1회 추가되고, 또한, 스페이서 필름의 형성에 따른 재료비가 상승하게 되므로 양산성을 저하시키는 문제점이 있다.
- <14> 또한, 상기한 바와 같은 종래의 유기전계발광표시장치는 사진 공정에 의하여 스페이서 필름을 패터닝하여 상기과 같은 스페이서 패턴을 형성하므로, 상기 제1전극상에 스페이서 필름의 잔막이 남아 유기전계발광소자의 성능을 저하시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <15> 따라서 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 증착마스크에 의하여 발광층을 포함하는 유기막층을 형성함에 있어서, 화소정의막의 상부에 위치하는 불형 스페이서를 사용하여, 증착마스크의 요철에 의한 화소정의막 등의 손상을 방지함으로써, 종래의 스페이서 패턴을 형성하기 위한 사진공정을 배제하는 유기전계발광표시장치 및 그의 제조방법을 제공하는데 목적이 있다.

과제 해결수단

- <16> 전술한 바와 같은 목적을 달성하기 위하여, 본 발명은 기관; 상기 기관 상에 위치하는 제1전극; 상기 제1전극 상에 위치하고, 상기 제1전극을 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 구비하는 화소정의막; 상기 화소정의막의 제2영역에 위치하는 다수개의 불형 스페이서; 상기 제1전극의 상부에 위치하며,

발광층을 포함하는 유기막층; 및 상기 유기막층의 상부에 위치하는 제2전극을 포함하며, 상기 제1영역은 상기 개구부의 에지부를 따라 위치하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

- <17> 또한, 본 발명은 상기 제1영역은 상기 제2영역보다 단차가 낮은 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- <18> 또한, 본 발명은 상기 제1영역의 폭은 상기 구형 스페이서의 크기의 1/2이상인 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- <19> 또한, 본 발명은 상기 구형 스페이서의 크기는 3 μ m 내지 10 μ m인 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- <20> 또한, 본 발명은 기판을 제공하고, 상기 기판의 상부에 제1전극을 형성하고, 상기 제1전극의 상부에 화소정의막을 형성하고, 상기 화소정의막의 상부에 다수개의 불형 스페이서를 도포하고, 상기 화소정의막 상에 제1전극의 일부를 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 형성하고, 상기 제1전극의 상부에 위치하며, 발광층을 포함하는 유기막층을 형성하고, 상기 유기막층의 상부에 제2전극을 형성하는 것을 포함하는 것을 포함하고, 상기 제1영역은 상기 개구부의 에지부를 따라 형성되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- <21> 또한, 본 발명은 상기 화소정의막을 형성한 이후에, 화소정의막 상에 개구부, 제1영역 및 제2영역을 형성하기 위하여 화소정의막을 노광하는 공정을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- <22> 또한, 본 발명은 상기 화소정의막을 노광하는 공정은 하프톤 마스크를 사용하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- <23> 또한, 본 발명은 상기 하프톤 마스크는 광차단영역, 반투과영역 및 투과영역으로 이루어지고, 상기 화소정의막이 양성(positive) 재료물질인 경우에는, 개구부로 예정된 부분이 투과영역이고, 제1영역으로 예정된 부분이 반투과영역이고, 제2영역으로 예정된 부분이 차단영역인 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공하며, 또한, 상기 화소정의막이 음성(negative) 재료물질인 경우에는, 개구부로 예정된 부분이 차단영역이고, 제1영역으로 예정된 부분이 반투과영역이고, 제2영역으로 예정된 부분이 투과영역인 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- <24> 또한, 본 발명은 상기 불형 스페이서를 도포한 이후에, 불형 스페이서를 포함하는 기판을 베이킹하는 공정을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공하며, 또한, 상기 베이킹 공정의 온도범위는 50 $^{\circ}$ C 내지 200 $^{\circ}$ C인 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.

효과

- <25> 따라서, 본 발명에 따른 유기전계발광표시장치는 증착마스크에 의하여 발광층을 포함하는 유기막층을 형성함에 있어서, 화소정의막의 상부에 위치하는 불형 스페이서를 사용하여, 증착마스크의 요철에 의한 화소정의막 등의 손상을 방지함으로써 종래의 스페이서 패턴을 형성하기 위한 공정을 배제하는 효과가 있다.
- <26> 또한, 본 발명에 따른 유기전계발광표시장치는 상기 스페이서 패턴을 형성하기 위한 공정을 배제하므로, 스페이서 패턴을 형성하기 위한 사진공정(photolithography) 공정을 줄일 수 있으며, 스페이서 필름의 형성에 따른 재료비가 상승을 방지하는 효과가 있다.
- <27> 또한, 본 발명에 따른 유기전계발광표시장치는 스페이서 필름의 패턴 공정을 배제하므로, 제1전극상에 스페이서 필름의 잔막이 남아 유기전계발광소자의 성능을 저하시키는 문제점을 해결하는 효과가 있다.
- <28> 또한, 본 발명에 따른 유기전계발광표시장치는 화소정의막의 개구부의 에지부를 따라 위치할 수 있는 불형 스페이서를 제거함으로써, 유기막층 형성시 유기막층의 에지영역에서 유기막층 패턴의 두께 및 형상 등이 불균일해지는 섀도우(shadow) 현상을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- <29> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일

한 참조번호들은 동일한 구성요소들을 나타낸다.

- <30> 도 3은 일반적인 유기전계발광표시장치의 단위화소를 나타낸 평면도이다.
- <31> 도면을 참조하면, 하나의 단위화소에는 스위칭 트랜지스터(Tr1)와 구동 트랜지스터(Tr2), 커패시터(40), 유기발광 다이오드(50)가 형성되어 신호에 따라 빛이 방출된다. 또한 게이트 라인(10)과 데이터 라인(20) 및 전원공급 라인(30)이 각 소자들에 연결된다.
- <32> 상기 스위칭 트랜지스터(Tr1)는 게이트 라인(10)에 인가되는 스캔 신호에 의해 구동되며, 데이터 라인(20)에 인가되는 데이터 신호를 구동 트랜지스터(Tr2)로 전달하는 역할을 한다.
- <33> 상기 구동 트랜지스터(Tr2)는 상기 스위칭 트랜지스터(Tr1)로부터 전달된 데이터 신호와 전원공급 라인(30)으로부터 전달된 신호, 즉 게이트와 소스간의 전압차에 의해 유기발광 다이오드(50)를 통해 흐르는 전류량을 결정한다.
- <34> 또한 상기 커패시터(40)는 상기 스위칭 트랜지스터(Tr1)를 통해 전달된 데이터 신호를 한 프레임 동안 저장하는 역할을 한다.
- <35> 도 4a 내지 4e는 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 나타내는 단면도이다.
- <36> 도 4a를 참조하면, 투명절연기판(200)의 전면에 실리콘산화물을 플라즈마-강화 화학기상증착(plasma-enhanced chemical vapor deposition, PECVD)방법으로 소정 두께의 버퍼층(210)을 형성한다. 이때, 상기 버퍼층(210)은 후속 공정으로 형성되는 비정질실리콘층의 결정화 공정 시 상기 투명절연기판(200) 내의 불순물이 확산되는 것을 방지한다.
- <37> 상기 버퍼층(210) 상부에 반도체층인 비정질실리콘층(도시안됨)을 소정두께 증착한다. 이어서, 상기 비정질실리콘층을 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization)법 등을 사용하여 결정화하고, 사진식각 공정으로 패터닝하여 단위 화소 내의 반도체층 패턴을 형성한다.
- <38> 상기 반도체층패턴을 포함하는 기판 전면에 게이트 절연막(230)을 형성한다. 이때, 상기 게이트절연막(230)은 실리콘산화막(SiO₂), 실리콘질화막(SiN_x) 또는 이들의 이중층으로 형성할 수 있다.
- <39> 상기 게이트 절연막(230) 상의 상기 반도체층 패턴의 채널영역(221)과 대응되는 일정영역에 게이트 전극(231)을 형성한다. 상기 게이트 전극(231)은 알루미늄(Al), 알루미늄 합금(Al-alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo-alloy)으로 이루어진 군에서 선택되는 하나로 형성할 수 있다.
- <40> 그 다음, 상기 게이트전극(231)을 이온주입마스크로 사용하여 상기 반도체층패턴(220)에 불순물을 이온주입하여 소오스/드레인영역(220a, 220b)을 형성한다. 이때, 상기 이온주입공정은 n+ 또는 p+ 불순물을 도펀트로 이용하여 실시된다.
- <41> 다음으로, 전체표면 상부에 소정 두께의 층간절연막(240)을 형성한다. 이때, 상기 층간절연막(240)은 실리콘산화막(SiO₂), 실리콘질화막(SiN_x) 또는 이들의 이중층으로 형성할 수 있다.
- <42> 그 다음, 사진식각공정으로 상기 층간절연막(240) 및 게이트절연막(230)을 식각하여 상기 소오스/드레인영역(220a, 220b)을 노출시키는 콘택홀을 형성한다.
- <43> 다음, 상기 콘택홀을 포함한 전체표면 상부에 소오스/드레인 전극물질을 형성하고, 사진식각공정으로 상기 소오스/드레인 전극물질을 식각하여 상기 소오스/드레인영역(220a, 220b)에 접속되는 소오스/드레인전극(250a, 250b)을 형성한다. 이때, 상기 소오스/드레인 전극(250a, 250b)을 형성함에 있어, 상기 소오스/드레인 전극 물질로는 Mo, W, MoW, AlNd, Ti, Al, Al 합금, Ag 및 Ag 합금 등으로 이루어진 군에서 선택되는 하나의 물질로 단일층으로 형성하거나, 배선 저항을 줄이기 위해 저저항물질인 Mo, Al 또는 Ag의 2층 구조 또는 그 이상의 다중막 구조, 즉, Mo/Al/Mo, MoW/Al-Nd/MoW, Ti/Al/Ti, Mo/Ag/Mo 및 Mo/Ag-합금/Mo 등으로 이루어진 군에서 선택되는 하나의 적층구조로 형성한다.
- <44> 상기 소오스/드레인 전극(250a, 250b) 상부에는 절연막이 위치하고, 상기 절연막은 무기막(260), 유기막(270) 또는 그들의 이중층일 수 있다. 또한, 상기 절연막 내의 비아홀을 통하여 연결되는 제1전극층(280)이 상기 절연막 상에 위치한다.
- <45> 상기 제1전극층(280)은 배면발광형의 경우에는 투명전극으로, 전면발광형의 경우에는 반사형전극으로 구비될 수

있다. 상기 제1전극층이 투명전극으로 사용될 때에는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나로 구비될 수 있고, 반사형전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물로 이루어지는 군에서 선택되는 어느 하나로 반사막을 형성한 후, 그 위에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 투명전극을 적층하여 형성할 수 있다.

- <46> 또한, 상기 제 1 전극층(280)은 전면발광형의 경우에 하부전극층(280a), 반사전극층(280b) 및 상부전극층(280c)의 적층구조로 하여 형성할 수 있다.
- <47> 상기 하부전극층(280a)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나로 형성할 수 있다. 이때, 상기 하부전극층(280a)은 50 내지 100Å의 두께를 지니도록 형성한다. 상기 하부전극층(280a)의 두께가 50Å이하일 경우 균일도 확보가 어렵고, 100Å 이상일 경우 하부전극층 자체 스트레스 때문에 접착력이 약화된다.
- <48> 상기 반사전극층(280b)은 Al, Al 합금, Ag 및 Ag 합금 등으로 이루어진 군에서 선택되는 하나의 물질을 이용하여 형성할 수 있으며, 이때, 반사전극층(280b)의 두께는 900~2000Å으로 형성할 수 있다. 두께가 900Å 이하인 경우 빛의 일부가 투과하게 되며, 1000Å 정도가 빛이 투과하지 않는 최소의 두께이다. 또한, 2000Å 이상일 경우 원가 측면이나 공정 시간 등에서 바람직하지 않다.
- <49> 이때, 상기 반사전극층(280b)은 광 반사 역할을 하여 휘도와 광 효율을 증가시킬 수 있다.
- <50> 상기 상부전극층(280c)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나로 형성할 수 있다. 이때, 상기 상부전극층(280c)의 두께는 50~100Å으로 형성한다. 상기 상부전극층(280c) 두께가 50Å이하일 경우 박막의 균일도를 보장할 수 없으며, 100Å 이상일 경우 간섭효과로 인하여 블루 영역에서 특히 반사율이 10%~15% 이상 낮아지게 된다.
- <51> 이어서, 상기 제1전극(280) 상에 절연막을 형성한다. 이때, 상기 절연막은 화소정의막(pixel defined layer; 281)일 수 있다.
- <52> 상기 화소정의막(281)은 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리 에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly(phenylenethers) resin) , 폴리페닐렌설파이드계 수지(poly(phenylenesulfides) resin) 및 벤조사이클로부텐(benzocyclobutene, BCB)으로 이루어진 군에서 선택된 하나의 물질로 형성할 수 있다.
- <53> 이때, 상기 화소정의막(281)은 양성(positive) 재료물질 또는 음성(negative) 재료물질로 이루어질 수 있다.
- <54> 상기 양성(positive) 재료물질의 경우 사진식각(photolithography) 공정에서 빛을 조사받은 부분의 구조가 약해져(softening), 현상 공정시 빛을 조사받은 부분이 제거가 일어나는 물질이며, 상기 음성(negative) 재료물질의 경우 사진식각(photolithography)공정에서 빛을 조사받은 부분의 구조가 강해져(hardening), 현상 공정시 빛을 조사받지 않은 부분이 제거가 일어나는 물질이다.
- <55> 이어서, 상기 화소정의막(281)에 상기 제1전극의 일부를 노출시키는 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 형성하기 위한 사진식각(photolithography) 공정을 실시한다.
- <56> 도 4b를 참조하면, 상기 사진식각(photolithography) 공정은 먼저, 하프톤(282)를 사용하여 상기 화소정의막을 노광(expose)한다.
- <57> 상기 하프톤 마스크(282)는 광차단영역(282a), 반투과영역(282b) 및 투과영역(282c)으로 이루어져 있으며, 상기 광차단영역(282a)은 빛을 완전히 차단하는 영역이고, 상기 반투과영역(282b)은 빛의 일부분만을 투과하는 영역이며, 상기 투과영역(282c)은 빛을 모두 투과하는 영역에 해당한다.
- <58> 이때, 상기 하프톤 마스크는 상기 화소정의막의 재료에 따라 구조가 달라질 수 있다.
- <59> 즉, 도 4b에 개시된 바와 같이, 상기 하프톤 마스크(282)는 상기 화소정의막의 물질이 양성(positive) 재료물질인 경우에는, 개구부로 예정된 부분이 투과영역이고, 제1영역으로 예정된 부분이 반투과영역이며, 제2영역으로 예정된 부분이 차단영역으로, 상기 하프톤 마스크를 통하여 조사된 빛에 의하여, 빛을 조사받은 부분의 구조가 약해져(softening), 이후 현상 공정시 빛을 조사받은 영역의 제거가 일어나게 되는데, 상기 개구부로 예정되는 영역의 화소정의막은 완전히 제거가 일어나고, 상기 제1영역으로 예정된 부분의 화소정의막은 일부 제거가 일어

나며, 제2영역으로 예정된 부분의 화소정의막은 제거가 일어나지 않게 된다.

- <60> 또한, 도면에는 도시되지 않았지만, 상기 하프톤 마스크는 상기 화소정의막의 물질이 음성(negative) 재료물질인 경우에는, 개구부로 예정된 부분이 차단영역이고, 제1영역으로 예정된 부분이 반투과영역이며, 제2영역으로 예정된 부분이 투과영역으로, 상기 하프톤 마스크를 통하여 조사된 빛에 의하여, 빛을 조사받은 부분의 구조가 강해져(hardening), 이후 현상 공정시 빛을 조사받지 않은 영역의 제거가 일어나게 되는데, 상기 개구부로 예정되는 영역의 화소정의막은 완전히 제거가 일어나고, 상기 제1영역으로 예정된 부분의 화소정의막은 일부 제거가 일어나며, 제2영역으로 예정된 부분의 화소정의막은 제거가 일어나지 않게 된다.
- <61> 따라서, 상술한 바와 같은 하프톤 마스크를 통하여 화소정의막을 노광함으로써, 상기 화소정의막은 이후에 진행되는 현상공정에 의하여, 개구부는 완전히 제거되고, 제1영역은 일부 제거되며, 제2영역은 제거가 일어나지 않게 되어, 제1영역은 제2영역보다 단차가 낮게 형성된다.
- <62> 이어서, 도 4c를 참조하면, 상기 하프톤 마스크(282)에 의하여 화소정의막(281)을 노광(exposing)한 이후, 상기 화소정의막(281) 상에 불형 스페이서(290a)를 도포한다.
- <63> 상기 불형 스페이서의 크기는 3 μ m 내지 10 μ m인 것이 바람직하다. 상기 불형 스페이서의 크기가 3 μ m미만인 경우는 이후 진행되는 유기막층 증착공정에서 증착용 마스크의 요철에 의한 화소정의막 등의 손상을 방지하는 것이 어렵고, 10 μ m를 초과하는 경우 화소정의막 상의 불형 스페이서로 인하여 추후의 공정에서 화소정의막 상에 형성되는 제2전극과 같은 막의 형성이 불균일하게 되는 문제점이 있다.
- <64> 이때, 상기 불형 스페이서(290a)를 도포하는 것은 스페이서 살포기(290)를 사용하여 도포할 수 있으며, 도면상에는 설명의 편의를 위하여 불형 스페이서의 간격이 균일하게 유지되는 것으로 표현하였으나, 실제로는 불균일하게 산포된다.
- <65> 이어서, 상기 불형 스페이서(290a)를 도포한 이후, 이를 상기 화소정의막(281) 상에 고정시키기 위한 베이킹 공정을 수행한다.
- <66> 도 5a 및 도 5b는 상기 베이킹 공정을 실시하지 않고 현상(developing)공정을 수행한 경우를 나타내는 사진이다.
- <67> 도 5a에서 알 수 있는 바와 같이, 현상공정을 수행하기 전에는 상기 불형 스페이서가 화소정의막 상에 위치하고 있었으나, 도 5b에서 알 수 있는 바와 같이, 현상공정을 수행한 이후에는 상기 불형 스페이서가 화소정의막 상에서 모두 제거되었음을 알 수 있다.
- <68> 도 6a 및 도 6b는 상기 베이킹 공정을 실시한 후 현상(developing)공정을 수행한 경우를 나타내는 사진이다.
- <69> 도 6a에서 알 수 있는 바와 같이, 현상공정을 수행하기 전에 상기 불형 스페이서가 화소정의막 상에 위치하고 있음을 알 수 있고, 또한, 도 5b에서 알 수 있는 바와 같이, 현상공정을 수행한 이후에도 여전히 상기 불형 스페이서가 화소정의막 상에서 위치하고 있음을 알 수 있다.
- <70> 즉, 본 발명에서는 화소정의막을 하프톤 마스크를 사용하여 노광한 후, 불형 스페이서를 산포하고, 이후 현상공정에 의하여 화소정의막에 개구부 및 제1영역과 제2영역으로 구분되는 비개구부를 형성하게 되는데, 이때, 상기 불형 스페이서를 산포한 후에 베이킹 공정을 실시하지 않은 경우에는 현상공정과 함께 불형 스페이서가 모두 제거되어 버리므로, 불형 스페이서가 화소정의막에 고정될 수 있도록 불형 스페이서 산포 이후 베이킹 공정을 실시한다.
- <71> 이때, 상기 베이킹 공정은 50 $^{\circ}$ C 내지 200 $^{\circ}$ C 온도로 실시할 수 있다. 상기 온도가 50 $^{\circ}$ C미만인 경우는 불형 스페이서가 화소정의막에 고정되는 효과가 미비하며, 200 $^{\circ}$ C를 초과하는 경우는 현상공정에서 제거되어야 할 화소정의막의 일정영역, 예를 들면, 개구부 또는 제1영역에 잔막이 발생하는 문제점이 있다.
- <72> 다음으로, 도 4d를 참조하면, 상기 베이킹 공정을 수행한 후, 상기 화소정의막을 현상(developing)하여, 화소정의막에 제1전극의 일부를 노출시키고, 발광영역을 정의하는 개구부(281a) 및 제1영역(A)과 제2영역(B)으로 구분되는 비개구부를 형성한다.
- <73> 상술한 바와 같이, 상기 개구부(281a) 및 제1영역(A)과 제2영역(B)으로 구분되는 비개구부를 형성하는 것은 상기 화소정의막의 물질이 양성(positive) 재료물질인 경우에는, 하프톤 마스크의 투과영역을 통하여 빛을 조사받은 개구부로 예정된 부분의 화소정의막과 하프톤 마스크의 반투과영역을 통하여 빛을 조사받는 제1영역으로 예정된 부분의 화소정의막은 제거되고, 하프톤 마스크의 차단영역으로 인하여 빛을 조사받지 않은 제2영역으로 예

정된 부분의 화소정의막은 제거되지 않음으로써 형성된다.

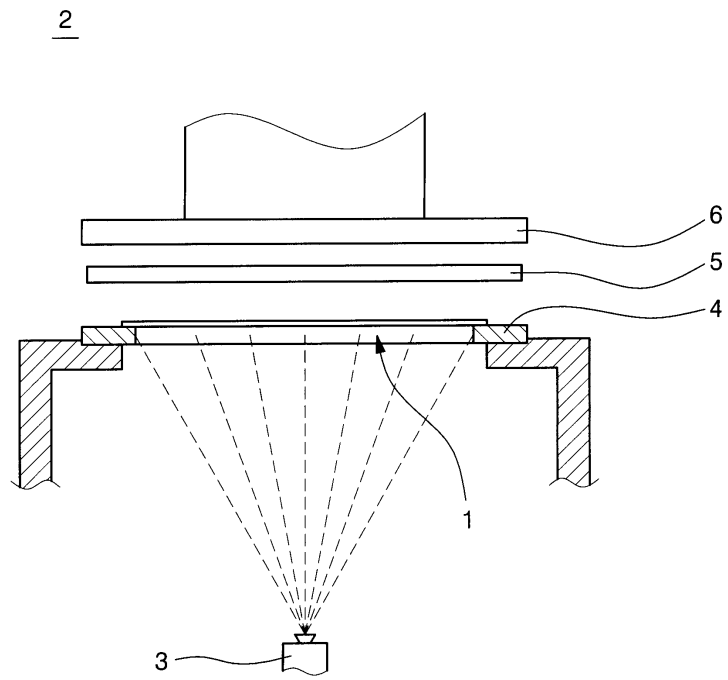
- <74> 또한, 상술한 바와 같이, 상기 개구부(281a) 및 제1영역(A)과 제2영역(B)으로 구분되는 비개구부를 형성하는 것은 상기 화소정의막의 물질이 음성(negative) 재료물질인 경우에는, 하프톤 마스크의 차단영역으로 인하여 빛을 조사받지 않은 개구부로 예정된 부분의 화소정의막과 하프톤 마스크의 반투과영역을 통하여 빛을 조사받는 제1영역으로 예정된 부분의 화소정의막은 제거되고, 하프톤 마스크의 개구영역을 통하여 빛을 조사받은 제2영역으로 예정된 부분의 화소정의막은 제거되지 않음으로써 형성된다.
- <75> 이때, 상기 개구부(281a)의 화소정의막은 완전히 제거되어 제1전극의 일부를 노출시켜 화소를 정의하고, 상기 제1영역(A)의 화소정의막은 일정 부분 제거되어 상기 제2영역(B)보다 낮은 단차를 갖게 된다.
- <76> 또한, 상기 개구부(281a)의 화소정의막과 상기 제1영역(A)의 화소정의막이 제거되면서, 그 상부에 위치하는 불형 스페이서도 함께 제거되게 되며, 따라서, 제2영역(B) 상에 위치하는 불형 스페이서는 여전히 화소정의막 상에 존재하게 되나, 개구부(281a)에 의하여 노출된 제1전극의 상부 및 제1영역의 화소정의막의 상부(281b)에는 불형 스페이서가 존재하지 않게 된다.
- <77> 이때, 상기 제1영역(A)은 상기 개구부(281a)의 에지(edge)부를 따라 형성된다.
- <78> 본 발명에서는 상기 제1영역(B)을 형성함으로써, 상기 개구부(281a)의 에지(edge)부에는 불형 스페이서가 존재하지 않도록 할 수 있다. 여기서, 개구부의 에지부라 함은 화소정의막의 상면영역을 기준으로 한 에지를 의미하는 것으로, 상기 제1영역과 일정부분 중첩될 수 있는 영역에 해당한다.
- <79> 즉, 상기 개구부의 에지부 상에도 불형 스페이서가 존재하는 경우, 후속 공정인 증착용 마스크를 사용하는 증착 방법에 의하여 유기막층을 형성하는 공정에서, 상기 에지부 상의 불형 스페이서가 장애물이 되어 유기막층의 에지영역에서 패턴의 두께 및 형상 등이 불균일해지는 쉐도우(shadow) 현상이 일어나게 되므로, 상기 개구부(281a)의 에지(edge)부에는 불형 스페이서가 존재하지 않도록 하는 것이다.
- <80> 이때, 상기 제1영역(A)의 폭은 구형 스페이서의 크기의 1/2이상인 것이 바람직하며, 상기 제1영역(A)의 폭이 구형 스페이서 크기 1/2미만인 경우는 상기 개구부(281a)의 에지(edge)부에 존재할 수 있는 구형 스페이서를 용이하게 제거할 수 없어 바람직하지 않다.
- <81> 또한, 상기 제1영역(A)의 폭의 상한치는 구형 스페이서가 존재하는 제2영역의 넓이를 고려하여 적절히 조절할 수 있으며, 제2영역 상에 구형 스페이서가 존재할 수 있는 범위내에서 제1영역의 폭의 상한치가 결정될 수 있음을 알 수 있다.
- <82> 이때, 상기 제1영역의 폭은 상술한 하프톤 마스크의 반투과영역의 폭을 조절함으로써 설정할 수 있다.
- <83> 이어서, 도 4e를 참조하면, 상기 제1전극(280) 상에 위치하며, 발광층을 포함하는 유기막층(291)을 형성하고, 이어서, 상기 유기막층(291) 상에 제2전극(292)을 형성한다.
- <84> 상기 발광층을 포함하는 유기막층(291)은 증착용 마스크를 사용하는 증착 장치에 의하여 형성한다. 이때, 증착 장치에 의하여 유기막층을 형성함에 있어서, 상기 불형 스페이서는 상기 증착용 마스크가 상기 화소정의막이 형성된 기판상에 밀착됨에 따른 증착용 마스크의 요철에 의하여 화소정의막 등이 손상받는 것을 방지하는 역할을 한다.
- <85> 즉, 상기와 같은 본 발명의 유기전계발광표시장치는 제1전극의 상부에 화소정의막을 형성하고, 하프톤 마스크를 사용하여 개구부로 예정되는 영역 및 제1영역과 제2영역으로 구분되는 비개구부로 예정되는 이외의 영역을 노광한 후, 불형 스페이서를 도포하고, 베이크 공정에 의하여 불형 스페이서를 화소정의막 상에 고정시킨 후, 화소정의막을 현상함으로써, 화소정의막의 제2영역에 불형 스페이서를 위치시켜, 이에 의하여 증착용 마스크의 요철에 의한 화소정의막의 손상을 방지할 수 있다.
- <86> 또한, 화소정의막의 제1영역의 일부를 제거하면서 상기 제1영역상에 위치할 수 있는 불형 스페이서를 함께 제거함으로써, 유기막층 형성시 유기막층의 에지영역에서 유기막층 패턴의 두께 및 형상 등이 불균일해지는 쉐도우(shadow) 현상을 방지할 수 있다.
- <87> 따라서, 본 발명의 유기전계발광표시장치는 종래의 유기전계발광표시장치와 같은, 스페이서 패턴을 형성하기 위한 사진식각(photolithography) 공정을 배제할 수 있고, 스페이서 패턴하는 공정을 배제하므로 제1전극상에 스페이서 필름의 잔막이 남아 유기전계발광소자의 성능을 저하시키는 문제점을 해결할 수 있으며, 이와 동시에 유기막층의 에지영역에서 유기막층 패턴의 두께 및 형상 등이 불균일해지는 쉐도우(shadow) 현상을 방지할 수 있다.

다.

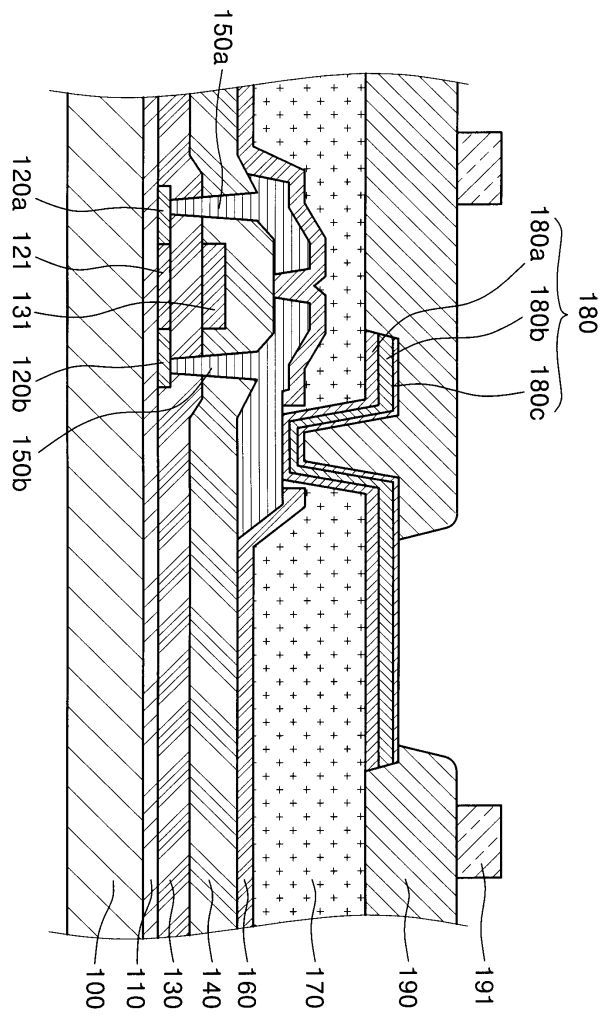
- <88> 상기 유기막층(291)은 발광층을 포함하며 그 외에 홀주입층, 홀수송층, 전자수송층 및 전자주입층 중 어느 하나 이상의 층을 추가로 포함할 수 있으며, 본 발명에서는 상기 유기막층의 구성 및 물질에 관하여 한정하는 것은 아니다.
- <89> 상기 홀 수송층을 형성하는 홀 수송성 물질로는 N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: α -NPB), N,N'-비스(3-메틸페닐)-N,N'-디페닐-[1,1'-비페닐]-4,4'-디아민(TPD) 등을 사용할 수 있다. 그리고 홀수송층의 막두께는 10 내지 50nm 범위로 형성할 수 있다. 상기 홀수송층의 두께 범위를 벗어나는 경우에는 홀 주입 특성이 저하되므로 바람직하지 못하다.
- <90> 이러한 홀수송층에는 홀수송성 물질이외에 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 부가할 수 있으며, 이러한 도펀트로는 4-(디시아노메틸렌)-2-tert-부틸-6-(1,1,7,7-테트라메틸줄로리딜-9-에닐)-4H-피란(4-(dicyanomethylene)-2-t-butyl-6-(1,1,7,7-tetramethyljulolidyl-9-enyl)-4H-pyran: DCJTb), 쿠마린 6(Coumarin 6), 루브레네(Rubrene), DCM, DCJTb, 페닐렌(Perylene), 퀴나크리돈(Quinacridone) 등을 이용하며, 그 함량은 홀수송층 형성용 물질 총중량에 대하여 0.1 내지 5중량%를 사용한다. 이와 같이 홀수송층 형성시 도펀트를 부가하면, 발광색을 도펀트 종류 및 함량에 따라 조절가능하며, 홀수송층의 열적 안정성을 개선하여 소자의 수명을 향상시키는 잇점이 있다.
- <91> 또한, 상기 홀주입층은 스타버스트(starburst) 아민계 화합물을 이용하여 형성할 수 있으며, 홀 주입층의 두께는 30 내지 100nm로 형성할 수 있다. 상기 홀주입층의 두께 범위를 벗어나는 경우에는 홀 주입 특성이 불량하므로 바람직하지 못하다. 상기 홀주입층을 통하여 대향전극과 홀수송층간의 접촉저항을 감소시키고, 애노드전극의 홀수송능력이 향상시켜 소자의 특성이 전반적으로 개선되는 효과를 얻을 수 있다.
- <92> 본 발명의 발광층의 형성재료는 특별히 제한되지는 않으며, 구체적인 예로서 CBP(4,4'-bis(carbazol-9-yl)-biphenyl)을 들 수 있다.
- <93> 본 발명의 발광층은 상술한 홀수송층과 마찬가지로 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 더 함유할 수 있으며, 이때, 도펀트 종류 및 함량은 홀수송층의 경우와 거의 동일한 수준이며, 상기 발광층의 막두께는 10 내지 40 nm 범위인 것이 바람직하다.
- <94> 상기 전자수송층을 형성하는 전자수송성 물질로는 트리스(8-퀴놀리놀라토)-알루미늄(tris(8-quinolinolate)-aluminium: Alq 3), Almq 3 을 이용하며, 상술한 홀수송층과 마찬가지로 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 더 함유하기도 한다. 이때, 도펀트 종류 및 함량은 홀수송층의 경우와 거의 동일한 수준이며, 상기 전자수송층의 막두께는 30 내지 100nm 범위로 할 수 있다. 상기 전자수송층의 두께 범위를 벗어나는 경우에는 효율 저하 및 구동전압이 상승하여 바람직하지 못하다.
- <95> 상기 발광층과 전자수송층 사이에는 홀 장벽층(HBL)이 더 형성될 수 있다. 여기에서 홀 장벽층은 인광발광물질에서 형성되는 엑시톤이 전자수송층으로 이동되는 것을 막아주거나 홀이 전자수송층으로 이동되는 것을 막아주는 역할을 하는 것으로, 상기 홀 장벽층 형성 재료로서 BAlq를 사용할 수 있다.
- <96> 상기 전자주입층은 LiF로 이루어진 물질로 형성할 수 있으며, 이의 두께는 0.1 내지 10nm 범위로 형성할 수 있다. 상기 전자주입층의 두께범위를 벗어나는 경우에는 구동전압이 상승하여 바람직하지 못하다.
- <97> 상기 유기막층 상부에 형성된 제2전극(292)은 배면발광형인 경우, 반사형으로 구성되며, 반사형으로 구성되는 경우 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질로 형성할 수 있다.
- <98> 또한, 상기 유기막층 상부에 형성된 제2전극(292)은 전면발광형인 경우, 반투과 캐소드형 또는 반투과 캐소드형성 후 투과형 캐소드형을 적층한 구조로 구성되며, 상기 반투과 캐소드형은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 이를 5 내지 30nm의 두께로 얇게 형성하여 구성할 수 있으며, 상기 반투과 캐소드형성후 투과형 캐소드형을 구성하는 방법은 일 함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 반투과형 캐소드를 형성한 후 저저항 특성을 갖는 ITO, IZO(Indium Zinc Oxide)등을 이용한 막을 추가적으로 형성하여 만든다. 이때, 반투과 캐소드의 두께가 5nm미만인 경우에는 저전압에서 전자주입을 못하고 만약 반투과 캐소드의 두께가 30nm 이상인 경우에는 경우에는 투과율이 현저하게 떨어져 바람직하지 못하다. 또한 반투과 캐소드와 투과형 캐소드를 합친 총두께는 10 내지 400nm의 두께가 적당하다.

도면

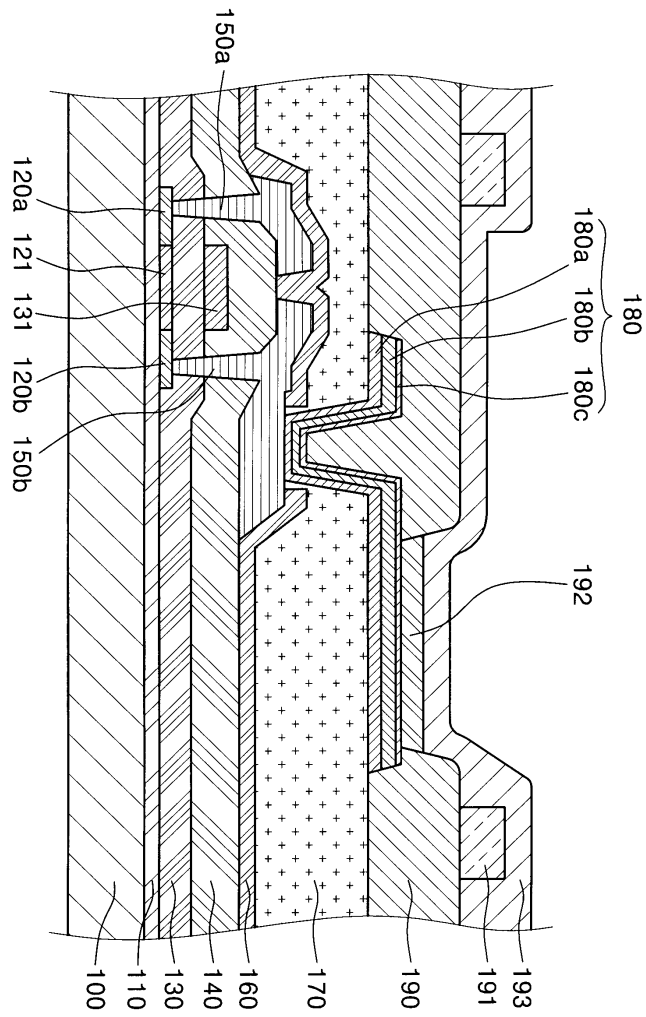
도면1



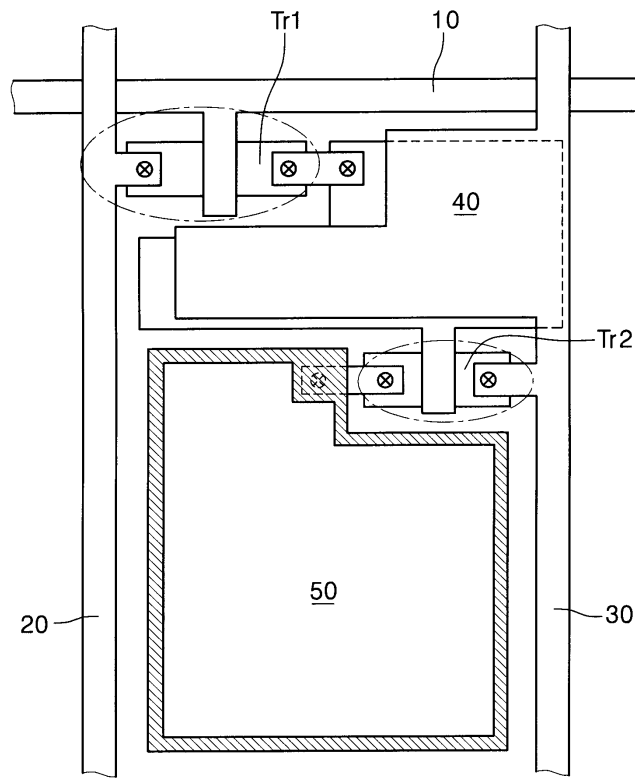
도면2a



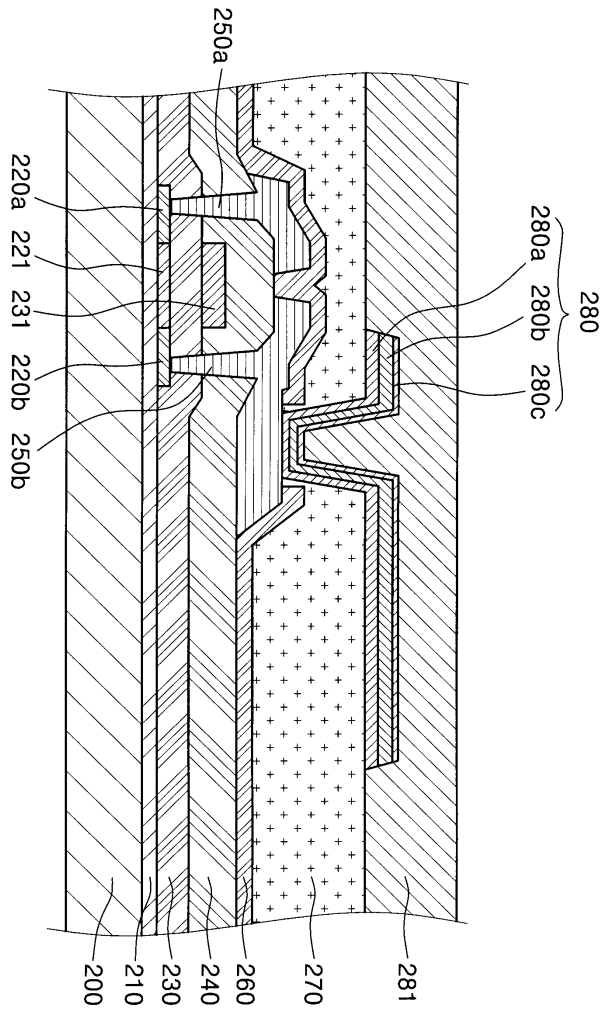
도면2b



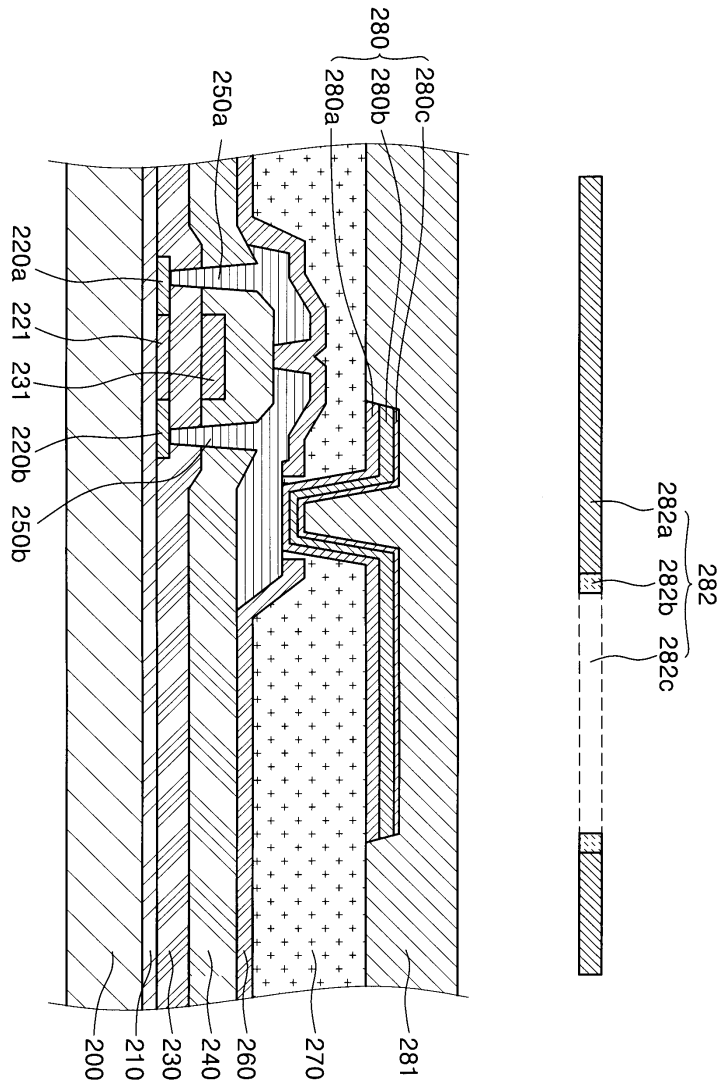
도면3



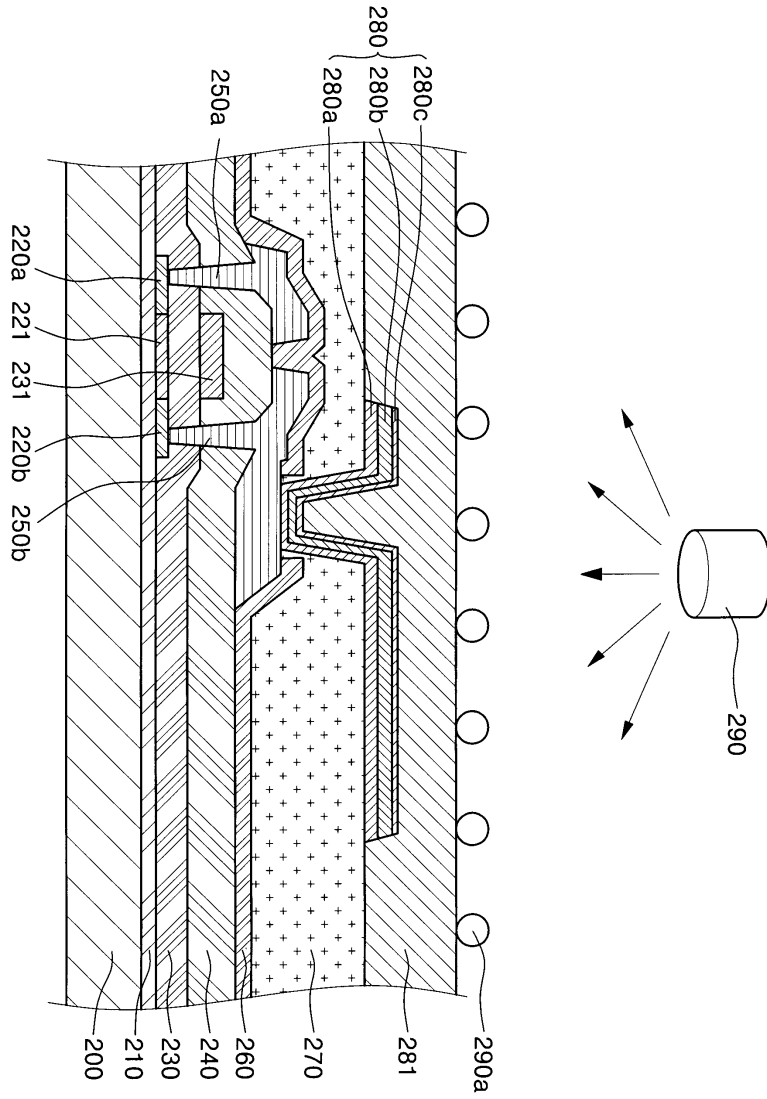
도면4a



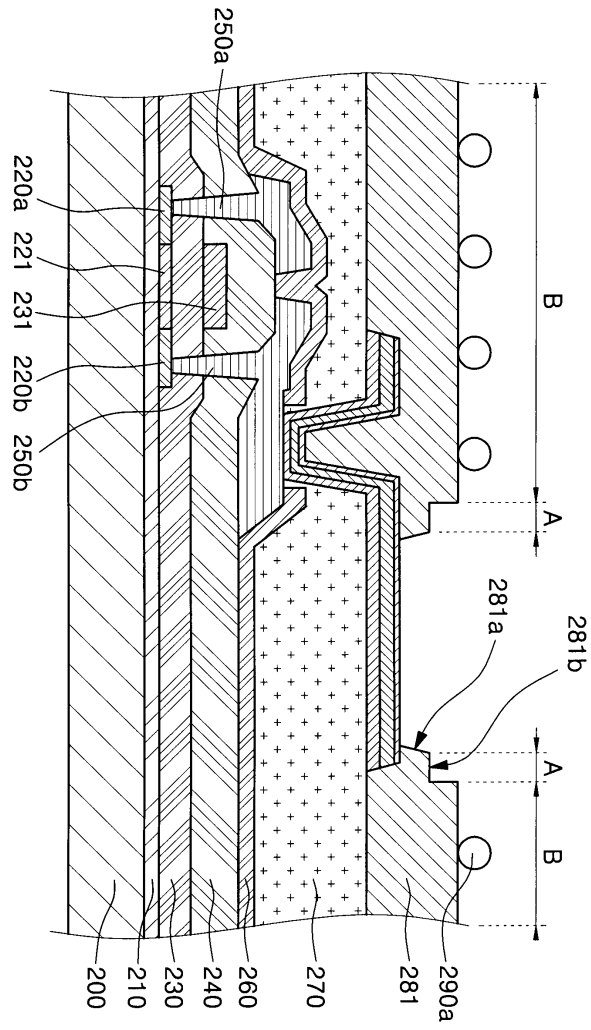
도면4b



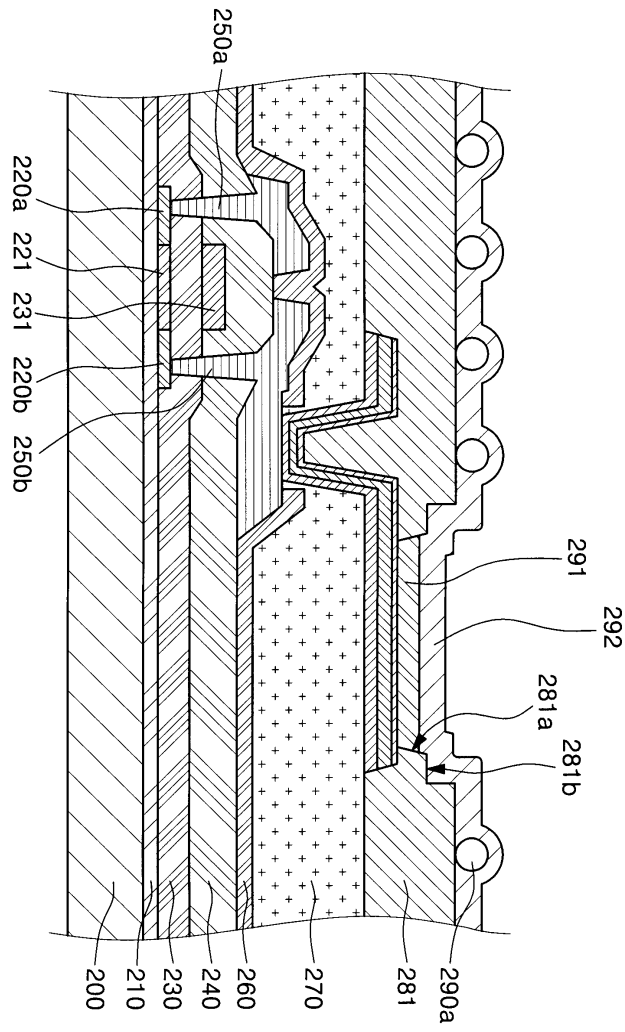
도면4c



도면4d



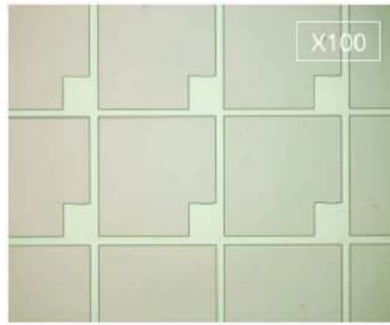
도면4e



도면5a



도면5b



도면6a



도면6b

