(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월29일
(11) 등록번호 10-0833754
(24) 등록일자 2008년05월23일

(51) Int. Cl.
G09G 3/30 (2006.01) *G09G 3/32* (2006.01)
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)
(21) 출원번호 10-2007-0004431
(22) 출원일자 2007년01월15일
심사청구일자 2007년01월15일
(56) 선행기술조사문헌
KR1020050122688 A

(73) 특허권자
삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자
김미해
경기 용인시 기흥구 공세동 428-5
(74) 대리인
서경민, 서만규

전체 청구항 수 : 총 22 항 심사관 : 김남인

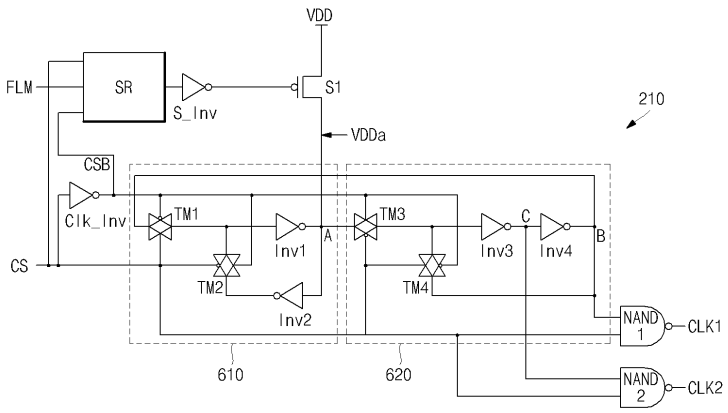
(54) 유기 전계 발광 표시 장치 및 그의 구동회로

(57) 요 약

본 발명은 유기 전계 발광 표시 장치 및 그의 구동회로에 관한 것으로, 해결하고자 하는 기술적 과제는 하나의 클럭신호에서 래치주사구동회로를 동작할 수 있는 두 개의 클럭신호를 생성하여 클럭입력단자를 하나로 줄여서 집적회로의 크기를 줄이고, 가격이 저렴해지는 효과를 갖는 유기 전계 발광 표시 장치 및 그의 구동회로를 제공하는 것이다.

이를 위해 본 발명은 시프트 레지스터와 초기화신호, 원시 클럭 신호, 원시 부클럭 신호 및 궤환신호를 전달받아 제1출력신호를 생성하는 제1신호처리부와 제1출력신호, 원시 클럭 신호 및 원시 부클럭 신호를 전달받아 제2출력신호를 생성하는 제2신호처리부와 원시 클럭 신호 및 제2출력신호를 전달받아 제1클럭 신호를 생성하는 제1낸드 게이트 및 원시 클럭 신호와 상기 제2부출력신호를 전달받아 제2클럭 신호를 생성하는 제2낸드 게이트를 포함하는 유기 전계 발광 표시 장치 및 그의 구동회로를 개시한다.

대표도 - 도6



특허청구의 범위

청구항 1

시프트 레지스터;

초기화신호, 원시 클럭 신호, 원시 부클럭 신호 및 궤환신호를 전달받아 제1출력신호를 생성하는 제1신호처리부;

상기 제1출력신호, 상기 원시 클럭 신호 및 상기 원시 부클럭 신호를 전달받아 제2출력신호와 제2부출력신호를 생성하는 제2신호처리부;

상기 원시 클럭 신호 및 상기 제2출력신호를 전달받아 제1클럭 신호를 생성하는 제1낸드 게이트; 및

상기 원시 클럭 신호 및 상기 제2부출력신호를 전달받아 제2클럭 신호를 생성하는 제2낸드 게이트를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 2

청구항 1 항에 있어서,

상기 시프트 레지스터의 부출력신호가 제어전극에 인가되어 제1전원전압을 상기 제1신호처리부와 상기 제2신호처리부에 전달하는 제1스위칭소자를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 3

청구항 2 항에 있어서,

상기 시프트 레지스터의 출력신호를 전달받아 시프트 레지스터의 부출력신호를 생성하는 시프트인버터를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 4

청구항 2 항에 있어서,

상기 제1전원전압은 상기 제1스위칭소자를 통해 상기 제1신호처리부 및 상기 제2신호처리부에 전달되는 상기 초기화신호인 것을 특징으로 하는 주사 구동 회로.

청구항 5

청구항 2 항에 있어서,

상기 시프트 레지스터는 초기구동신호, 상기 원시 클럭 신호 및 상기 원시 부클럭 신호를 전달받아 상기 초기구동신호를 일측으로 시프트한 시프트 레지스터의 출력신호를 출력하는 것을 특징으로 하는 주사 구동 회로.

청구항 6

청구항 1 항에 있어서, 상기 제1신호처리부는

상기 원시 클럭 신호와 상기 원시 부클럭 신호를 인가받아 상기 제2신호처리부에서 인가되는 궤환신호를 출력하는 제1트랜스미션게이트;

상기 제1트랜스미션게이트의 출력신호를 전달받아 제1출력신호를 생성하는 제1인버터;

상기 제1출력신호를 전달받아 출력신호를 생성하는 제2인버터; 및

상기 원시 클럭 신호와 상기 원시 부클럭 신호를 인가받아 상기 제2인버터의 출력신호를 상기 제1인버터로 전달하는 제2트랜스미션게이트를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 7

청구항 6 항에 있어서,

상기 초기화신호는 상기 제2인버터의 입력신호인 것을 특징으로 하는 주사 구동 회로.

청구항 8

청구항 6 항에 있어서,

상기 궤환신호는 상기 제2출력신호인 것을 특징으로 하는 주사 구동 회로.

청구항 9

청구항 6 항에 있어서,

상기 제1트랜스미션게이트는 상기 원시 클럭 신호가 하이레벨일때 동작하는 것을 특징으로 하는 주사 구동 회로.

청구항 10

청구항 6 항에 있어서,

상기 제2트랜스미션게이트는 상기 원시 클럭 신호가 로우레벨일때 동작하는 것을 특징으로 하는 주사 구동 회로.

청구항 11

청구항 1 항에 있어서, 상기 제2신호처리부는

상기 원시 클럭 신호와 상기 원시 부클럭 신호를 인가받아 상기 제1신호처리부에서 인가되는 제1출력신호를 출력하는 제3트랜스미션게이트;

상기 제3트랜스미션게이트의 출력신호를 전달받아 상기 제2부출력신호를 생성하는 제3인버터;

상기 제2부출력신호를 전달받아 상기 제2출력신호를 생성하는 제4인버터; 및

상기 원시 클럭 신호와 상기 원시 부클럭 신호를 전달받아 궤환신호를 상기 제3인버터로 전달하는 제4트랜스미션게이트를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 12

청구항 11 항에 있어서,

상기 초기화신호는 상기 제3트랜스미션게이트의 입력신호인 것을 특징으로 하는 주사 구동 회로.

청구항 13

청구항 11 항에 있어서,

상기 궤환신호는 상기 제2출력신호인것을 특징으로 하는 주사 구동 회로.

청구항 14

청구항 11 항에 있어서,

상기 제3트랜스미션게이트는 상기 원시 클럭 신호가 로우레벨일 때 동작하는 것을 특징으로 하는 주사 구동 회로.

청구항 15

청구항 11 항에 있어서,

상기 제4트랜스미션게이트는 상기 원시 클럭 신호가 하이레벨일 때 동작하는 것을 특징으로 하는 주사 구동 회로.

청구항 16

청구항 2 항에 있어서,

상기 제1클럭 신호와 상기 제2클럭 신호는 래치주사회로의 입력신호인 것을 특징으로 하는 주사 구동 회로.

청구항 17

청구항 16 항에 있어서, 상기 래치주사회로는

제1클럭 신호가 제어전극에 인가되어 래치주사회로의 입력신호를 전달하는 제1트랜지스터;

상기 제1트랜지스터의 출력신호가 제어전극에 인가되어 제2클럭 신호를 래치주사회로의 출력신호로 전달하는 제2트랜지스터;

상기 제1클럭 신호가 제어전극에 인가되어 제2전원전압을 전달하는 제3트랜지스터;

상기 제1트랜지스터의 출력신호가 제어전극에 인가되어 상기 제1클럭 신호를 전달하는 제4트랜지스터; 및

상기 제3트랜지스터와 상기 제4트랜지스터 사이에 제어전극이 전기적으로 연결되어 상기 제1전원전압을 상기 래치주사회로의 출력신호로 전달하는 제5트랜지스터를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 18

청구항 16 항에 있어서,

상기 래치주사회로의 출력신호는 화소회로로 전달되는 주사신호인것을 특징으로 하는 주사 구동 회로.

청구항 19

청구항 5 항에 있어서, 상기 시프트 레지스터는

상기 원시 클럭 신호에 의해 제1전원전압을 스위칭하는 제1피모스 스위칭소자;

상기 초기구동신호가 제어전극에 인가되어, 상기 제1피모스 스위칭소자에서 전달되는 제1전원전압을 제1노드에 전달하는 제2피모스 스위칭소자;

상기 원시 부클럭 신호에 의해 제2전원전압을 스위칭하는 제1엔모스 스위칭소자;

상기 초기구동신호가 제어전극에 인가되어, 상기 제1엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드에 전달하는 제2엔모스 스위칭소자;

상기 원시 부클럭 신호에 의해 상기 제1전원전압을 스위칭하는 제3피모스 스위칭소자;

제2노드에 제어전극이 전기적으로 연결되어, 상기 제3피모스 스위칭소자에서 전달되는 상기 제1전원전압을 상기 제1노드에 전달하는 제4피모스 스위칭소자;

상기 원시 클럭 신호에 의해 상기 제2전원전압을 스위칭하는 제3엔모스 스위칭소자;

상기 제2노드에 제어전극이 전기적으로 연결되어, 상기 제3엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드에 전달하는 제4엔모스 스위칭소자;

상기 제1노드에 제어전극이 전기적으로 연결되고, 상기 제1전원전압을 상기 제2노드에 전달하는 제5피모스 스위칭소자; 및

상기 제1노드에 제어전극이 전기적으로 연결되고, 상기 제2전원전압을 상기 제2노드에 전달하는 제5엔모스 스위칭소자를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 20

청구항 19 항에 있어서,

상기 시프트레지스터는 상기 제2노드로 상기 시프트 레지스터의 출력신호를 출력하는것을 특징으로 하는 주사 구동 회로.

청구항 21

청구항 1 항에 있어서,

상기 원시 클럭 신호를 전달받아 상기 원시 부클럭 신호를 생성하는 클럭인버터를 포함하여 이루어진 것을 특징으로 하는 주사 구동 회로.

청구항 22

청구항 1항의 주사구동회로를 포함하여 이루어진 유기 전계 발광 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<21> 본발명은 유기 전계 발광 표시 장치 및 그의 구동회로에 관한 것으로서, 보다 자세하게는 주사구동회로의 클럭 신호의 입력단자를 줄여서 집적회로의 크기를 줄이고, 가격이 저렴한 주사구동회로를 제공하는 데 있다.

<22> 종래의 유기 전계 발광 표시 장치는 형광성 또는 인광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, N×M개의 유기 발광셀들을 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드(ITO), 유기박막, 캐소드(metal)의 구조로 되어 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송 층(electron transport layer, ETL) 및 정공수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)층을 포함할 수 있다.

<23> 이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET을 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하여 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터와 커패시터를 각 ITO(indium tin oxide)화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

<24> 이러한 유기 전계 발광 표시 장치는 퍼스널 컴퓨터, 휴대전화기, PDA 등의 휴대 정보단말기 등의 표시장치나 각종 정보기기의 표시장치로서 사용되고 있다.

<25> 최근에 음극선관에 비교하여 무게와 부피가 작은 각종 발광 표시장치들이 개발되고 있으며, 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 유기전계발광 표시장치가 주목 받고 있다.

<26> 최근에 유기 전계발광 표시장치의 주사구동부는 클럭신호를 두개 입력하여 커플링 캐패시턴스(coupling capacitance)에 의해 주사신호가 변경되는 것을 방지하는 래치주사 회로를 이용한다. 이러한 래치주사회로는 두개의 클럭신호를 전달받아 구동하는 주사구동회로로 래치주사회로는 클럭신호가 입력될 수 있는 입력단자가 두개 생성되어 집적회로 [Integrated Circuit, IC]의 크기가 커지게 되고, 가격이 증가하는 문제점이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

<27> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 하나의 클럭신호에서 래치주사구동회로를 동작할 수 있는 두 개의 클럭신호를 생성하여 클럭입력단자를 하나로 줄여서 집적회로의 크기를 줄이고, 저가의 유기 전계 발광 표시 장치 및 그의 구동회로를 제공하는데 있다.

발명의 구성 및 작용

<28> 유기 전계 발광 소자는 양극(Anode), 유기층 및 캐소드(Cathode)으로 이루어져 있다. 상기 유기층은 전자와 정공이 만나 여기자(Exciton)를 형성하여 발광하는 발광층(EMitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는 전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 형성되고, 상기 정공 수송층의 일측면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다. 더불어, 인광형 유기 전계 발광 소자의 경우에는 정공 억제층(Hole Blocking Layer, HBL)이 발광층(EML)과 전자수송층(ETL) 사이에 선택적으로 형성될 수 있으며, 전자 억제층(Electron Blocking Layer, EBL)이 발광층(EML)과 정공 수송층(HTL) 사이에 선택적으로 형성될 수 있다.

<29> 또한, 상기 유기층은 두종류의 층을 혼합하여 그 두께를 감소시키는 슬림형 유기 전계 발광 소자(Slim OLED) 구조로 형성할 수도 있다. 예를 들면, 정공 주입층과 정공 수송층을 동시에 형성하는 정공 주입 수송층(Hole Injection Transport Layer, HITL) 구조 및 전자 주입층과 전자 수송층을 동시에 형성하는 전자 주입 수송층(Electron Injection Transport Layer, EITL)구조를 선택적으로 형성할 수 있다. 상기와 같은 슬림형 유기 전계 발광 소자는 발광 효율을 증가시키는데 그 사용의 목적이 있다.

<30> 또한, 양극과 발광층 사이에는 선택층으로서 버퍼층(Buffer Layer)을 형성할 수 있다. 상기 버퍼층은 전자를 버퍼링하는 전자 버퍼층(Electron Buffer Layer)과 정공을 버퍼링하는 정공 버퍼층(Hole Buffer Leyer)으로 구분할 수 있다. 상기 전자 버퍼층은 음극과 전자 주입층(EIL) 사이에 선택적으로 형성할 수 있으며, 상기 전자 주입층(EIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 발광층(EML)/전자 수송층(ETL)/전자 버퍼층(Electron Buffer Layer)/음극이 될 수 있다. 또한, 상기 정공 버퍼층은 양극과 정공 주입층(HIL) 사이에 선택적으로 형성할 수 있으며, 정공 주입층(HIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 양극/정공 버퍼층(Hole Buffer Leyer)/정공 수송층(HTL)/발광층(EML)이 될 수 있다.

<31> 상기 구조에 대하여 가능한 적층 구조를 기재하면 다음과 같다.

<32> a) 정상 적층 구조(Normal Stack Structure)

<33> 1) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<34> 2) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<35> 3) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극

<36> 4) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극

<37> 5)양극/정공 주입층/정공 버퍼층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<38> 6) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 버퍼층/전자 주입층/음극

<39> b) 정상 슬림 구조(Normal Slim Structure)

<40> 1) 양극/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극

<41> 2) 양극/정공 버퍼층/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극

<42> 3) 양극/정공 주입층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극

<43> 4) 양극/정공 버퍼층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극

<44> 5) 양극/정공 주입 수송층/정공 버퍼층/발광층/전자 수송층/전자 주입층/음극

<45> 6) 양극/정공 주입층/정공 수송층/발광층/전자 버퍼층/전자 주입수송층/음극

<46> c) 역상 적층구조(Inverted Stack Structure)

<47> 1) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극

<48> 2) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/정공 버퍼층/양극

<49> 3) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극

<50> 4) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/양극

<51> 5) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/정공 주입층/양극

<52> 6) 음극/전자 주입층/전자 버퍼층/전자 수송층/발광층/정공 수송층/정공 주입층/양극

<53> d) 역상 슬림 구조 (Inverted Silm Structure)

<54> 1) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/양극

<55> 2) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/정공 버퍼층/양극

<56> 3) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 주입층/양극

<57> 4) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 버퍼층/양극

<58> 5) 음극/전자 주입층/전자 수송층/발광층/정공 버퍼층/정공 주입 수송층/양극

<59> 6) 음극/전자 주입 수송층/전자 버퍼층/발광층/정공 수송층/정공 주입층/양극

<60> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로서는 수동 매트릭스(Passive matrix) 방식과 능동 매트릭스(Active matrix) 방식이 알려져 있다. 상기 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.

<61> 상술한 바와 같이 능동 매트릭스 방식에서는 유기 전계 발광 소자와 박막 트랜지스터를 기반으로 한 화소 회로 구성이 필수적인데, 이때, 박막트랜지스터의 결정화 방법으로는 다결정실리콘(Poly Silicon)으로 결정화 하는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC:Metal Induced Crystallization)과 고상결정화(SPC:Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA:High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidfication)방법들이 있다. 또한 비정질 실리콘(a-Si)과 다결정 실리콘(Poly Silicon)사이의 결정립 크기를 가지는 마이크로 실리콘(micro Silicon)으로 결정화하는 결정립 방법에는 크게 열결정화 방법(Thermal Crystallization Method)과 레이저 결정화 방법(Laser Crystallization Method)가 있다.

<62> 상기 마이크로 실리콘은 결정립의 크기가 1nm에서 100nm까지 인 것을 통상적으로 말한다. 상기 마이크로 실리콘의 전자이동도는 1에서 50이하이며 정공이동도는 0.01에서 0.2이하인 것인 특징이다. 상기 마이크로 실리콘은 상기 다결정 실리콘에 비해 결정립의 크기가 작은 것이 특징이며 폴리실리콘에 비해 결정립사이의 돌출부 영역이 작게 형성되어 결정립간에 전자가 이동할 경우에 지장을 주지 않게 되어 균일한 특성을 보여줄 수 있다.

<63> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 열결정화 방법은 비정질 실리콘을 증착함과 동시에 결정화구조를 얻는 방법과 재가열(Reheating)방법이 있다.

<64> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 레이저 결정화 방법은 비정질 실리콘을 화학진공증착(Chemical Vapor Deposition)방법으로 증착한 후 레이저를 이용하여 결정화 하는 방법인데 이때 사용되는 레이저의 종류는 주로 다이오드 레이저(Diode Laser)가 있다. 상기 다이오드 레이저는 주로 800nm대 적색 파장을 이용하며 상기 적색 파장은 마이크로 실리콘 결정질이 균일하게 결정화 되는데 기여하는 역할을 한다.

<65> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.

<66> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스핀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.

<67> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC:Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 섀도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 섀도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.

<68> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스핀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC:Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수 도 있고, 섀도우 마스크등을 사용하여 선택적으로 형성될 수 있다. 상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을

사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.

<69> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치 및 그의 구동회로는 시프트 레지스터와 초기화신호, 원시 클럭 신호, 원시 부클럭 신호 및 궤환신호를 전달받아 제1출력신호를 생성하는 제1신호처리부와 상기 제1출력신호, 상기 원시 클럭 신호 및 상기 원시 부클럭 신호를 전달받아 제2출력신호와 제2부출력신호를 생성하는 제2신호처리부와 상기 원시 클럭 신호 및 상기 제2출력신호를 전달받아 제1클럭 신호를 생성하는 제1낸드 게이트 및 상기 원시 클럭 신호 및 상기 제2부출력신호를 전달받아 제2클럭 신호를 생성하는 제2낸드 게이트를 포함할 수 있다.

<70> 상기 시프트 레지스터의 부출력신호가 제어전극에 인가되어 제1전원전압을 상기 제1신호처리부와 상기 제2신호처리부에 전달하는 제1스위칭소자를 포함할 수 있다.

<71> 상기 시프트 레지스터의 출력신호를 전달받아 시프트 레지스터의 부출력신호를 생성하는 시프트인버터를 포함할 수 있다.

<72> 상기 제1전원전압은 상기 제1신호처리부 및 상기 제2신호처리부에 전달되는 초기화신호일 수 있다.

<73> 상기 시프트 레지스터는 상기 원시 클럭 신호, 상기 원시 부클럭 신호 및 상기 초기구동신호를 전달받아 시프트 레지스터의 출력신호를 출력할 수 있다.

<74> 제1신호처리부는 상기 원시 클럭 신호와 상기 원시 부클럭 신호를 전달받아 궤환신호를 제1인버터로 전달하는 제1트랜스미션게이트와 상기 원시 클럭 신호와 상기 원시 부클럭 신호를 전달받아 제2인버터의 출력신호를 제1인버터로 전달하는 제2트랜스미션게이트와 상기 제1트랜스미션게이트 및 상기 제2트랜스미션게이트의 출력신호를 전달받아 제1출력신호를 생성하는 제1인버터 및 상기 제2인버터의 출력신호를 전달받아 상기 제2트랜스미션게이트로 전달하는 제2인버터를 포함할 수 있다.

<75> 상기 초기화신호는 상기 제2인버터의 입력신호일 수 있고, 상기 궤환신호는 상기 제2출력신호일 수 있다.

<76> 상기 제1트랜스미션게이트는 상기 원시 클럭 신호가 하이레벨일때 동작할 수 있고, 상기 제2트랜스미션게이트는 상기 원시 클럭 신호가 로우레벨일때 동작할 수 있다.

<77> 제2신호처리부는 상기 원시 클럭 신호와 상기 원시 부클럭 신호를 전달받아 상기 제1출력신호를 제3인버터로 전달하는 제3트랜스미션게이트와 상기 원시 클럭 신호와 상기 원시 부클럭 신호를 전달받아 상기 궤환신호를 제3인버터로 전달하는 제4트랜스미션게이트와 상기 제3트랜스미션게이트 및 제4트랜스미션게이트의 출력신호를 전달받아 제2부출력신호를 생성하는 제3인버터 및 상기 제2부출력신호를 전달받아 상기 제2출력신호를 생성하는 제4인버터를 포함할 수 있다.

<78> 상기 초기화신호는 상기 제3트랜스미션게이트의 입력신호일 수 있고, 상기 궤환신호는 상기 제2출력신호일 수 있다.

<79> 상기 제3트랜스미션게이트는 상기 원시 클럭 신호가 로우레벨일때 동작할 수 있고, 상기 제4트랜스미션게이트는 상기 원시 클럭 신호가 하이레벨일때 동작할 수 있다.

<80> 상기 제1클럭 신호 와 상기 제2클럭 신호는 래치주사회로의 입력신호일 수 있다.

<81> 래치주사회로는 제1클럭 신호가 제어전극에 인가되어 래치주사회로의 입력신호를 제2트랜지스터와 제4트랜지스터의 제어전극으로 전달하는 제1트랜지스터와 상기 제1트랜지스터의 출력신호가 제어전극에 인가되어 제2클럭 신호를 래치주사회로의 출력신호로 전달하는 제2트랜지스터와 상기 제1클럭 신호가 제어전극에 인가되어 제2전원전압을 제5트랜지스터의 제어전극으로 전달하는 제3트랜지스터와 상기 제1트랜지스터의 출력신호가 제어전극에 인가되어 상기 제1클럭 신호를 제5트랜지스터의 제어전극으로 전달하는 제4트랜지스터 및 상기 제3트랜지스터와 상기 제4트랜지스터에 제어전극이 전기적으로 연결되어 상기 제1전원전압을 상기 래치주사회로의 출력신호로 전달하는 제5트랜지스터를 포함할 수 있다.

<82> 상기 래치주사회로의 출력신호는 화소회로로 전달되는 주사신호일 수 있다.

<83> 시프트 레지스터는 상기 원시 클럭 신호에 의해 제1전원전압을 스위칭하는 제1피모스 스위칭소자와 상기 초기구동신호가 제어전극에 인가되어, 상기 제1피모스 스위칭소자에서 전달되는 상기 제1전원전압을 제1노드에 전달하는 제2피모스 스위칭소자와 상기 원시 부클럭 신호에 의해 제2전원전압을 스위칭하는 제1엔모스 스위칭소자와 상기 초기구동신호가 제어전극에 인가되어, 상기 제1엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드에 전달하는 제2엔모스 스위칭소자와 상기 원시 부클럭 신호에 의해 제1전원전압을 스위칭하는 제3피모스 스위칭소자와 제2노드에 제어전극이 전기적으로 연결되어, 상기 제3피모스 스위칭소자에서 전달되는 상기 제1전원전압을 상기 제1노드에 전달하는 제4피모스 스위칭소자와 상기 원시 클럭 신호에 의해 제2전원전압을 스위칭하는 제3엔모스 스위칭소자와 상기 제2노드에 제어전극이 전기적으로 연결되어, 상기 제3엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드에 전달하는 제4엔모스 스위칭소자와 상기 제1노드에 제어전극이 전기적으로 연결되고, 제1전원전압을 상기 제2노드에 전달하는 제5피모스 스위칭소자 및 상기 제1노드에 제어전극이 전기적으로 연결되고, 제2전원전압을 상기 제2노드에 전달하는 제5엔모스 스위칭소자를 포함할 수 있다.

<84> 상기 제2노드는 시프트 레지스터의 출력신호일 수 있다.

<85> 상기 원시 클럭 신호를 전달받아 상기 원시 부클럭 신호를 생성하는 클럭인버터를 포함할 수 있다.

<86> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그의 구동회로는 하나의 클럭신호에서 래치주사 구동회로를 동작할 수 있는 두 개의 클럭신호를 생성하여 클럭입력단자를 하나로 줄여서 집적회로의 크기를 줄이고, 가격이 저렴해지는 효과가 있다.

<87> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<88> 여기서, 명세서 전체를 통하여 유사한 구성 및 동작을 갖는 부분에 대해서는 동일한 도면 부호를 붙였다. 또한, 어떤 부분이 다른 부분과 전기적으로 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐만 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

<89> 도 1을 참조하면, 본 발명에 의한 유기 전계 발광 표시 장치의 구성을 나타내는 블록도이다.

<90> 도 1에서 도시된 바와 같이 유기 전계 발광 표시 장치(100)는 주사구동부(110), 데이터구동부(120) 및 유기 전계 발광 표시 패널(이하, 패널 (130))를 포함 할 수 있다.

<91> 상기 주사 구동부(110)는 주사선(Scan[1],Scan[2],…,Scan[n])을 통하여 상기 패널(130)에 주사신호를 순차적으로 공급할 수 있다.

<92> 상기 데이터 구동부(120)는 데이터선 (Data[1],Data[2],…,Data[m])을 통하여 상기 패널(130)에 데이터 신호를 공급할 수 있다.

<93> 또한 상기 패널(130)은 열방향으로 배열되어 있는 다수의 주사선(Scan[1],Scan[2],…,Scan[n])과, 행방향으로 배열되는 다수의 데이터선(Data[1],Data[2],…,Data[m])과, 상기의 다수의 주사선(Scan[1],Scan[2],…,Scan[n]) 및 데이터선 (Data[1],Data[2],…,Data[m])에 의해 정의되는 화소 회로(131, Pixel)를 포함할 수 있다.

<94> 여기서 상기 화소 회로(Pixel)는 이웃하는 두 주사선과 이웃하는 두 데이터선에 의해 정의 되는 화소 영역에 형성될 수 있다. 물론, 상술한 바와 같이 상기 주사선(Scan[1],Scan[2],…,Scan[n])에는 상기 주사 구동부(110)로부터 주사신호가 공급되고, 상기 데이터선 (Data[1],Data[2],…,Data[m])에는 상기의 데이터 구동부(120)로 부터 데이터 신호가 공급될 수 있다.

<95> 상기 패널(130)은 외부로부터 제 1전원전압(VDD) 및 제 2전원전압(VSS)을 공급받아 각각의 화소회로(131)로 공급한다. 제1전원전압(VDD) 및 제2전원전압(VSS)을 공급받은 화소회로(131)는 각각은 데이터신호에 대응하여 제1전원전압(VDD)으로부터 발광소자를 경유하여 제 2전원전압(VSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 발광을 한다.

<96> 상기 유기전계발광표시장치의 박막트랜지스터의 결정화 방법으로는 다결정실리콘(Poly Silicon)으로 결정화 하는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC:Metal Induced Crystallization)과 고상결정화(SPC:Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법

(HPA:High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidfication)방법들이 있다. 또한 비정질 실리콘(a-Si)과 다결정 실리콘(Poly Silicon)사이의 결정립 크기를 가지는 마이크로 실리콘(micro Silicon)으로 결정화하는 결정립 방법에는 크게 열결정화 방법(Thermal Crystallization Method)과 레이저 결정화 방법(Laser Crystallization Method)가 있다.

<97> 상기 마이크로 실리콘은 결정립의 크기가 1nm에서 100nm까지 인 것을 통상적으로 말한다. 상기 마이크로 실리콘의 전자이동도는 1에서 50이하이며 정공이동도는 0.01에서 0.2이하인 것인 특징이다. 상기 마이크로 실리콘은 상기 다결정 실리콘에 비해 결정립의 크기가 작은 것이 특징이며 폴리실리콘에 비해 결정립사이의 돌출부 영역이 작게 형성되어 결정립간에 전자가 이동할 경우에 지장을 주지 않게 되어 균일한 특성을 보여줄 수 있다.

<98> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 열결정화 방법은 비정질 실리콘을 증착함과 동시에 결정화구조를 얻는 방법과 재가열(Reheating)방법이 있다.

<99> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 레이저 결정화 방법은 비정질 실리콘을 화학진공증착(Chemical Vapor Deposition)방법으로 증착한 후 레이저를 이용하여 결정화 하는 방법인데 이때 사용되는 레이저의 종류는 주로 다이오드 레이저(Diode Laser)가 있다. 상기 다이오드 레이저는 주로 800nm대 적색 파장을 이용하며 상기 적색 파장은 마이크로 실리콘 결정질이 균일하게 결정화 되는데 기여하는 역할을 한다.

<100> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.

<101> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스핀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.

<102> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC:Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 섀도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 섀도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.

<103> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스핀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC:Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수 도 있고, 섀도우 마스크등을 사용하여 선택적으로 형성될 수 있다. 상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.

<104> 도 2를 참조하면, 본 발명에 의한 주사구동부의 구성을 나타내는 블록도이다.

<105> 도 2에 도시된 바와 같이 본 발명의 주사 구동회로(200 도 1의 주사구동부(110)와 동일)는 클럭분배기(210)와 래치주사회로(220) 를 포함할 수 있다.

<106> 상기 클럭분배기(210)는 원시클럭신호(CS)와 초기구동신호(FLM)를 전달받아 제1클럭신호(CLK1)와 제2클럭신호(CLK2)를 생성한다. 상기 제1 및 제2클럭신호(CLK1,CLK2)는 위상이 반전되고 하이 레벨에서 소정부분 오버랩되어 상기 래치주사회로(220)에 전달된다. 이러한 클럭분배기(210)는 원시클럭신호(CS)로 제1 및 제2 클럭신호

(CLK1,CLK2)를 생성하므로, 래치주사회로(220)의 입력단자가 두 개에서 하나로 줄어들게 된다. 이로 인하여 집적회로 측면에서 입력단자가 줄어들게 되어 주사구동회로의 면적이 줄어들게 되고, 면적이 줄어들어 가격 또한 줄어들게 된다.

<107> 상기 래치주사회로(220)는 주사신호를 순차적으로 출력하기 위해 n개를 구비할 수 있다. 상기 n개의 래치주사회로(220)는 주사선(Scan[1],Scan[2],…,Scan[n])을 통해 주사신호를 패널(140, 도1 참조)에 전달한다. 상기 래치주사회로(220)는 제1래치주사회로의 입력신호는 초기입력신호(IN)가 전달되고, 제2 내지 제n래치주사회로의 입력신호는 전단의 래치주사회로의 출력신호가 전달된다. 또한 주사신호를 출력하는 상기 주사 구동회로(200)의 각각의 래치주사회로(220)는 상기 제1 및 제2클럭신호(CLK1,CLK2)가 공급되는 제1클럭단자(CLKa) 와 제2클럭단자(CLKb)를 구비한다. 기수번째 래치주사회로(220)의 제1클럭단자(CLKa)에는 제1클럭신호(CLK1)가 공급되고, 제2클럭단자(CLKb)에는 제2클럭신호(CLK2)가 공급될 수 있다. 그리고 이와 반대로 우수번째 래치주사회로(220)의 제1클럭단자(CLKa)에는 제2클럭신호(CLK2)가 공급되며, 제2 클럭단자(CLKb)에는 제1클럭신호(CLK1)가 공급될 수 있다. 즉, 초기입력신호(IN) 또는 이전단 출력신호와, 제1 및 제2클럭신호(CLK1,CLK2)를 공급 받은 각 래치주사회로(220)는 상기 제1, 2클럭신호가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 로우 레벨의 주사신호를 출력한다.

<108> 상기 패널(140, 도1참조)은 열방향으로 배열된 주사선(Scan[1],Scan[2],…,Scan[n])과, 행방향으로 배열된 데이터선(Data[1],Data[2],…,Data[m])과, 상기의 다수의 주사선(Scan[1],Scan[2],…,Scan[n]) 및 데이터선(Data[1],Data[2],…,Data[m])에 의해 정의되는 화소 회로(131, Pixel, 도1참조)를 포함 할 수 있다.

<109> 도 3을 참조하면, 본 발명의 의한 주사구동부의 래치주사회로의 회로도이고, 도 4를 참조하면, 도 3에 도시된 주사구동부의 래치주사회로의 동작을 나타내는 타이밍도이다.

<110> 도 3에 도시된 바와같이, 본 발명의 의한 래치주사회로(220)는 주사 구동부(도1의 110 참조)의 기수번째 래치주사회로를 예로 하였기 때문에 도시된 바와 같이 상기 제1클럭단자에 제1클럭신호(CLK1)가 공급되고, 제2클럭단자에 제2클럭신호(CLK2)가 공급된다. 이와 반대로 상기 래치주사회로가 우수번째인 경우에는 상기 제1클럭단자에는 제2클럭신호(CLK2)가 공급되며, 제2클럭단자에는 제1클럭신호(CLK1)가공급된다. 또한, 상기 제2전원전압(VSS)은 별도의 음의 전원이 인가될 수 있으나, 도시된 바와 같이 접지(GND) 되어 구성될 수도 있다. 본 발명의 래치주사회로에서는 상기 제2전원전압(VSS)이 접지로 구현되는 것이 도시되어 있다.

<111> 이와 같은 각 래치주사회로는 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3), 제4트랜지스터(M4), 제5트랜지스터(M5) 및 제1용량성 소자를 포함할 수 있다.

<112> 도시된 바와 같이 상기 래치주사회로는 제1클럭신호(CLK1)가 로우 레벨, 제2클럭신호(CLK2)가 하이 레벨 및 입력신호(IN)가 로우레벨인 기간(제1기간(T41))이 프리차지 기간이 되고, 제 1클럭신호(CLK1)가 하이 레벨 이고 제2클럭신호(CLK2)가 로우 레벨인 기간(제3기간(T43))이 평가 기간이 된다. 이에 상기 프리차지 기간에서는 하이 레벨의 출력을 내고, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

<113> 상기 제 2 및 제 4기간을 통해 상기 클럭분배기에서 각 래치주사회로로 입력되는 클럭신호(CLK1,CLK2)가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 로우 레벨의 신호를 출력하도록 함으로써, 각 래치주사회로의 출력 신호간에 소정의 시간 간격을 두도록 하며, 이는 클럭 스큐(skew) 또는 지연(delay)에 대한 마진을 확보할 수 있게 한다.

<114> 도 3 및 도 4를 참조하여 기수번째 래치주사회로에 대한 회로의 동작을 살펴보면, 먼저 프리차지(Precharge) 기간 즉, 제1클럭신호(CLK1)가 로우 레벨 즉, 제2클럭신호(CLK2)가 하이 레벨로 입력되는 제1기간(T41) 동안에는 제1트랜지스터, 제3트랜지스터이 턴온(ON)되고, 이에 입력신호(IN)가 각각 제2트랜지스터, 제4트랜지스터의 제어전극에 전달되어 제2트랜지스터, 제4트랜지스터가 턴온된다. 따라서, 상기 프리차지 기간에는 상기 제1용량성 소자(C1)에 상기 입력 신호(IN)가 저장되고, 제5트랜지스터의 제어전극에는 제4트랜지스터에서 전달되는 제1클럭신호(CLK1) 또는 제3트랜지스터에서 전달되는 제2전원전압(VSS)에 의해 상기 제5트랜지스터가 턴온되어 제 1 전원전압(VDD)이 출력단(OUT)을 통해 출력된다. 즉, 상기 프리차지 기간에서 상기 래치주사회로의 출력은 하이 레벨이 된다.

<115> 또한, 평가(Evaluation) 기간 즉, 제 1클럭신호(CLK1)가 하이 레벨, 제 2클럭신호(CLK2)가 로우 레벨로 입력되는 제 3기간(T43) 동안에는 제1트랜지스터가 턴오프되어 입력 신호(IN)가 차단되고, 이에 제3트랜지스터, 제4트랜지스터 또한 턴오프된다. 이 때, 상기 프리차지 기간 동안에 제1용량성 소자에 저장되어 있던 전압(입력신호(IN))으로 제2트랜지스터는 턴온되어 래치주사회로는 여전히 하이 레벨을 출력하게 된다.

<116> 이에 상기 평가 기간에 있어서 상기 래치주사회로는 이전 프리차지 기간인 제 1기간(T41)에 입력 최초 입력신호(IN)가 로우 레벨인 경우에는 로우 레벨을 출력하는 동작을 수행한다.

<117> 이에 상기 제1 및 제2클럭신호(CLK1, CLK2)가 하이 레벨일 때 그 이전이 프리차지(Precharge) 기간 즉, 제 2기간(T42)이면 제 1클럭신호(CLK1)에 의해 제어되는 제1트랜지스터, 제3트랜지스터가 모두 오프 되고, 제1용량성 소자(C1)에 저장된 전압이 그대로 유지되므로 이전의 출력을 유지한다.

<118> 즉, 상기 제 4기간(T44)에서는 제 3기간(T43)에서와 같이 상기 제5트랜지스터가 턴온, 제2트랜지스터가 오프되거나, 제5트랜지스터가 턴오프 및 제2트랜지스터가 턴온 됨에 따라 상기 출력단(OUT)은 논-플로팅 상태가 된다.

<119> 결과적으로 상기 래치주사회로는 제 1기간(T41) 내지 제 4기간(T44)에서 래치주사회로의 출력단(OUT)이 항상 논-플로팅 상태를 유지하게 되며, 이에 따라 앞서 설명한 바와 같이 상기 주사선과 데이터선의 교차에 의해 발생되는 커플링 캐패시턴스로 인해 각 주사선에 인가되는 주사신호가 변동되는 것을 방지할 수 있는 것이다.

<120> 상기 래치주사회로의 박막트랜지스터의 결정화 방법으로는 다결정실리콘(Poly Silicon)으로 결정화 하는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC:Metal Induced Crystallization)과 고상결정화(SPC:Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA:High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidfication)방법들이 있다. 또한 비정질 실리콘(a-Si)과 다결정 실리콘(Poly Silicon)사이의 결정립 크기를 가지는 마이크로 실리콘(micro Silicon)으로 결정화하는 결정립 방법에는 크게 열결정화 방법(Thermal Crystallization Method)과 레이저 결정화 방법(Laser Crystallization Method)가 있다.

<121> 상기 마이크로 실리콘은 결정립의 크기가 1nm에서 100nm까지 인 것을 통상적으로 말한다. 상기 마이크로 실리콘의 전자이동도는 1에서 50이하이며 정공이동도는 0.01에서 0.2이하인 것인 특징이다. 상기 마이크로 실리콘은 상기 다결정 실리콘에 비해 결정립의 크기가 작은 것이 특징이며 폴리실리콘에 비해 결정립사이의 돌출부 영역이 작게 형성되어 결정립간에 전자가 이동할 경우에 지장을 주지 않게 되어 균일한 특성을 보여줄 수 있다.

<122> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 열결정화 방법은 비정질 실리콘을 증착함과 동시에 결정화구조를 얻는 방법과 재가열(Reheating)방법이 있다.

<123> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 레이저 결정화 방법은 비정질 실리콘을 화학진공증착(Chemical Vapor Deposition)방법으로 증착한 후 레이저를 이용하여 결정화 하는 방법인데 이때 사용되는 레이저의 종류는 주로 다이오드 레이저(Diode Laser)가 있다. 상기 다이오드 레이저는 주로 800nm대 적색 파장을 이용하며 상기 적색 파장은 마이크로 실리콘 결정질이 균일하게 결정화 되는데 기여하는 역할을 한다.

<124> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.

<125> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스핀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.

<126> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC:Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 섀도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 섀도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.

<127> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스핀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC:Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수 도 있고, 섀도우 마스크등을 사용하여 선택적으로 형성될 수 있다.

상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.

<128> 도 5를 참조하면, 본 발명의 주사구동회로를 구성하는 시프트 레지스터의 회로도이다.

<129> 도 5에서 도시된 바와 같이, 본 발명에 따른 유기 전계 발광 표시 장치의 주사구동회로의 클럭분배기의 구동회로의 시프트 레지스터는 원시클럭신호(CS), 원시 부클럭신호(CSB), 시프트레지스터 입력신호(IN[SR]), 제1전원 전압선(VDD), 제2전원 전압선(VSS), 제1피모스스위칭소자(P1), 제2피모스 스위칭소자(P2), 제3피모스 스위칭소자(P3), 제4피모스스위칭소자(P4), 제5피모스 스위칭소자(P5), 제1엔모스 스위칭소자(N1), 제2엔모스 스위칭소자(N2), 제3엔모스 스위칭소자(N3), 제4엔모스 스위칭소자(N4) 및 제5엔모스 스위칭소자(N5)를 포함할 수 있다.

<130> 상기 원시클럭신호(CS)와 상기 원시부클럭신호(CSB)는 반대되는 신호로 상기 원시클럭신호(CS)가 하이레벨일 경우에, 상기 원시부클럭신호(CSB)는 로우레벨이 되고, 상기 원시클럭신호(CS)가 로우레벨일 경우에, 상기 원시부클럭신호(CSB)는 하이레벨이 된다.

<131> 상기 제1전원 전압선(VDD)은 제1전원전압이 시프트레지스터(SR)에 공급되도록 한다.

<132> 상기 제2전원 전압선(VSS)은 제2전원전압이 시프트레지스터(SR)에 공급되도록 한다. 여기서, 상기 제1전원전압은 통상적으로 상기 제2전원전압에 비해 하이 레벨(high level)일 수 있다.

<133> 상기 제1피모스 스위칭소자(P1)의 제1전극(드레인 전극 또는 소스 전극)은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극(드레인 전극 또는 소스 전극)은 제2피모스 스위칭소자(P2)에 전기적으로 연결되고, 제어전극(게이트 전극)에는 원시클럭신호(CS)가 인가된다. 이러한 제1피모스 스위칭소자(P1)는 제어전극에 로우레벨의 원시클럭신호(CS)가 입력되면 턴온되어 제1전원전압(VDD)을 제2피모스 스위칭소자(P2)의 제1전극에 공급한다.

<134> 상기 제2피모스 스위칭소자(P2)의 제1전극은 상기 제1피모스 스위칭소자(P1)의 제2전극에 전기적으로 연결되고, 제2전극은 상기 제1엔모스 스위칭소자(N1)의 제1전극 즉, 제1노드(A)에 전기적으로 연결되고, 제어전극에는 시프트레지스터 입력신호(IN[SR])가 인가된다. 이러한 제2피모스 스위칭소자(P2)는 제어전극에 로우레벨의 시프트레지스터 입력신호(IN[SR])가 입력되면 턴온되어 제1피모스 스위칭소자(P1)에서 공급받은 제1전원전압(VDD)를 제1노드(A)로 공급한다.

<135> 상기 제3피모스 스위칭소자(P3)의 제1전극은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극은 제4피모스 스위칭소자(P4)에 전기적으로 연결되고, 제어전극에는 원시부클럭신호(CSB)가 인가된다. 이러한 제3피모스 스위칭소자(P3)는 제어전극에 로우레벨의 원시부클럭신호(CSB)가 입력되면 턴온되어 제1전원전압(VDD)을 제4피모스 스위칭소자(P4)의 제1전극에 공급한다.

<136> 상기 제4피모스 스위칭소자(P4)의 제1전극은 상기 제3피모스 스위칭소자(P3)의 제2전극에 전기적으로 연결되고, 제2전극은 상기 제3엔모스 스위칭소자(N3)의 제1전극 즉, 제1노드(A)에 전기적으로 연결되고, 제어전극에는 시프트레지스터 출력신호(OUT[SR])가 인가된다. 이러한 제4피모스 스위칭소자(P4)는 제어전극에 로우레벨의 시프트레지스터 출력신호(OUT[SR])가 입력되면 턴온되어 제3피모스 스위칭소자(P3)에서 공급받은 제1전원전압(VDD)를 제1노드(A)로 공급한다.

<137> 상기 제5피모스 스위칭소자(P5)의 제1전극은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극은 제5엔모스 스위칭소자(N5)의 제1전극에 전기적으로 연결되고, 제어전극은 제1노드(A)에 전기적으로 연결된다. 이러한 제5피모스 스위칭소자(P5)는 제어전극에 로우레벨의 신호가 제1노드(A)를 통해 입력되면 턴온되어 제1전원전압(VDD)을 시프트레지스터 출력신호(OUT[SR])로 출력한다.

<138> 상기 제1엔모스 스위칭소자(N1)의 제1전극은 제2엔모스 스위칭소자(N2)에 전기적으로 연결되고 제2전극은 제2전원전압(VSS)에 전기적으로 연결되고 제어전극에는 원시부클럭신호(CSB)가 인가된다. 이러한 제1엔모스 스위칭소

자(N1)는 제어전극에 하이레벨의 원시부클럭신호(CSB)가 입력되면 턴온되어 제2전원전압(VSS)을 제2엔모스 스위칭소자(N2)의 제2전극에 공급한다.

<139> 상기 제2엔모스 스위칭소자(N2)의 제1전극은 상기 제2피모스 스위칭소자(P2)의 제2전극 즉, 제1노드(A)에 전기적으로 연결되고, 제2전극은 상기 제1엔모스 스위칭소자(N1)의 제1전극에 전기적으로 연결되고, 제어전극에는 시프트레지스터 입력신호(IN[SR])가 인가된다. 이러한 제2엔모스 스위칭소자(N2)는 제어전극에 하이레벨의 시프트레지스터 입력신호(IN[SR])가 입력되면 턴온되어 제1엔모스 스위칭소자(N1)에서 공급받은 제2전원전압(VSS)를 제1노드(A)로 공급한다.

<140> 상기 제3엔모스 스위칭소자(N3)의 제1전극은 제4엔모스 스위칭소자(N4)에 전기적으로 연결되고 제2전극은 제2전원전압(VSS)에 전기적으로 연결되고 제어전극에 원시클럭신호(CS)가 인가된다. 이러한 제3엔모스 스위칭소자(N3)는 제어전극에 하이레벨의 원시클럭신호(CS)가 입력되면 턴온되어 제2전원전압(VSS)을 제4엔모스 스위칭소자(N4)의 제2전극에 공급한다.

<141> 상기 제4엔모스 스위칭소자(N4)의 제1전극은 상기 제4피모스 스위칭소자(P4)의 제2전극 즉, 제1노드(A)에 전기적으로 연결되고, 제2전극은 상기 제3엔모스 스위칭소자(N3)의 제1전극에 전기적으로 연결되고, 제어전극에 시프트레지스터 출력신호(OUT[SR])가 인가된다. 이러한 제4엔모스 스위칭소자(N4)는 제어전극에 하이레벨의 시프트레지스터 출력신호(OUT[SR])가 입력되면 턴온되어 제3엔모스 스위칭소자(N3)에서 공급받은 제2전원전압(VSS)를 제1노드(A)로 공급한다.

<142> 상기 제5엔모스 스위칭소자(N5)의 제5피모스 스위칭소자(P5)의 제2전극에 전기적으로 연결되고, 제2전극은 제2전원전압(VSS)에 전기적으로 연결되고, 제어전극은 제1노드(A)에 전기적으로 연결된다. 이러한 제5엔모스 스위칭소자(N5)는 제어전극에 하이레벨의 신호가 제1노드(A)를 통해 입력되면 턴온되어 제2전원전압(VSS)을 시프트레지스터 출력신호(OUT[SR])로 출력한다.

<143> 도 6을 참조하면, 본 발명의 일실시예에 의한 주사구동회로의 클럭분배기를 도시한 블록도이다.

<144> 도 6에서 도시된 바와 같이, 본 발명에 따른 유기 전계 발광 표시 장치의 주사구동회로의 클럭분배기(210)는 시프트레지스터(SR), 시프트인버터(S_Inv), 제1스위칭소자(S1), 클럭인버터(Clk_Inv), 제1구동부(610), 제2구동부(620), 제1낸드게이트(NAND1) 및 제2낸드게이트(NAND2)를 포함할 수 있다 .

<145> 상기 클럭분배기(210)는 원시클럭신호(CS), 초기구동신호(FLM), 제1전원전압(VDD)를 전달받아 제1클럭신호(CLK1) 및 제2클럭신호(CLK2)를 생성할 수 있다.

<146> 우선, 시프트레지스터(SR, 도5의 시프트레지스터 참조)는 원시클럭신호(CS), 원시부클럭신호(CSB) 및 초기구동신호(FLM)를 전달받아 시프트레지스터(SR)의 출력신호를 생성할 수 있다. 상기 시프트레지스터(SR)의 출력신호는 초기구동신호(FLM)를 일측으로 시프트한 신호이다. 상기 시프트레지스터(SR)의 출력신호는 시프트인버터(S_Inv)의 입력신호일 수 있다. 상기 원시클럭신호(CS)는 상기 클럭인버터(Clk_Inv)에 전달되어 상기 원시부클럭신호(CSB)를 생성한다.

<147> 또한, 시프트인버터(S_Inv)는 상기 시프트레지스터(SR)의 출력신호를 전달받아 상기 시프트레지스터(SR)의 부출력신호를 생성하여 제1스위칭소자(S1)의 제어전극에 공급할 수 있다. 그리고 상기 시프트레지스터(SR)의 출력신호가 하이레벨일 경우에, 상기 시프트레지스터(SR)의 부출력신호는 로우레벨이 되고, 상기 시프트레지스터(SR)의 출력신호가 로우레벨일 경우에, 상기 시프트레지스터(SR)의 부출력신호는 하이레벨이 되는 반대되는 신호이다.

<148> 또한, 제1스위칭소자(S1)는 제1전극(드레인 전극 또는 소스 전극)은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극(드레인 전극 또는 소스 전극)은 제1구동부(610)와 제2구동부(620)에 전기적으로 연결되고, 제어전극(게이트 전극)에는 시프트인버터(S_Inv)의 출력신호가 인가된다. 이러한 제1스위칭소자(S1)는 제어전극에 로우레벨의 시프트인버터(S_Inv)의 출력신호가 입력되면 턴온되어 제1전원전압(VDD)을 제1구동부(610)과 제2구동부(620)에 공급한다.

<149> 또한, 클럭인버터(Clk_Inv)는 상기 원시클럭신호(CS)를 전달받아 상기 원시부클럭신호(CSB)를 생성하여 주사구동회로에 공급할 수 있다. 그리고 상기 원시클럭신호(CS)가 하이레벨일 경우에, 상기 원시부클럭신호(CSB)는 로우레벨이 되고, 상기 원시클럭신호(CS)가 로우레벨일 경우에, 상기 원시부클럭신호(CSB)는 하이레벨이 되는 반대되는 신호이다.

<150> 또한, 제1구동부(610)는 제1트랜스미션게이트(TM1), 제2트랜스미션게이트(TM2), 제1인버터(Inv1), 제2인버터

(Inv2)를 포함할 수 있다. 상기 제1구동부(610)은 원시클럭신호(CS), 원시부클럭신호(CSB) 및 초기화신호(제1스위칭소자에서 전달되는 제1전원전압, VDDa)를 전달받아 제1구동부(610)의 제1출력신호(A)를 출력할 수 있다. 우선, 제1구동부(610)의 제1트랜스미션게이트(TM1)는 궤환신호(제2구동부의출력신호(B))와 원시클럭신호(CS) 및 원시부클럭신호(CSB)가 전달되어 제1트랜스미션게이트(TM1)의 출력신호를 생성한다. 상기 제1트랜스미션게이트(TM1)는 피모스트랜지스터와 엔모스트랜지스터로 이루어져있다. 상기 피모스트랜지스터는 제1전극에 엔모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 엔모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 로우레벨의 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 상기 엔모스트랜지스터는 제1전극에 피모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 피모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 하이레벨 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 즉, 제1트랜스미션게이트(TM1)는 엔모스트랜지스터의 제어전극에 하이레벨의 원시클럭신호(CS)가 인가되고, 피모스트랜지스터의 제어전극에 로우레벨의 원시부클럭신호(CSB)가 인가되면 턴온되어 궤환신호(B)를 제1인버터(Inv1)의 입력으로 전달한다.

<151> 다음, 제1구동부(610)의 제2트랜스미션게이트(TM2)는 제2인버터(Inv2)의 출력신호와 원시클럭신호(CS) 및 원시부클럭신호(CSB)가 전달되어 제2트랜스미션게이트(TM2)의 출력신호를 생성한다. 상기 제2트랜스미션게이트(TM2)는 피모스트랜지스터와 엔모스트랜지스터로 이루어져 있다. 상기 피모스트랜지스터는 제1전극에 엔모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 엔모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 로우레벨의 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 상기 엔모스트랜지스터는 제1전극에 피모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 피모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 하이레벨 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 즉, 제2트랜스미션게이트(TM2)는 엔모스트랜지스터의 제어전극에 하이레벨의 원시부클럭신호(CSB)가 인가되고, 피모스트랜지스터의 제어전극에 로우레벨의 원시클럭신호(CS)가 인가되면 턴온되어 제2인버터(Inv2)의 출력신호를 제1인버터(Inv1)의 입력으로 전달한다. 여기서 제1트랜스미션게이트(TM1)가 턴온되면 제2트랜스미션게이트(TM2)는 턴오프되고 제1트랜스미션게이트(TM1)가 턴오프되면 제2트랜스미션게이트(TM2)는 턴온되어 반대로 동작한다.

<152> 다음, 제1구동부(610)의 제1인버터(Inv1)는 상기 원시클럭신호(CS)가 하이레벨일때 제1트랜스미션게이트(TM1)의 출력신호를 전달받고, 원시클럭신호(CS)가 로우레벨일때 제2트랜스미션게이트(TM2)의 출력신호를 전달받아 상기 제1구동부(610)의 제1출력신호(A)를 생성할 수 있다.

<153> 마지막으로, 제1구동부(610)의 제2인버터(Inv2)는 초기구동시에는 제1스위칭소자(S1)에서 전달되는 제1전원전압(VDD)를 전달받아 제2트랜스미션게이트(TM2)로 출력신호를 생성하고, 초기구동 이후에는 제1인버터(Inv1)에서 전달되는 제1출력신호(A)를 전달받아 제2트랜스미션게이트(TM2)로 출력신호를 생성할 수 있다.

<154> 또한, 제2구동부(620)는 제3트랜스미션게이트(TM3), 제4트랜스미션게이트(TM4), 제3인버터(Inv3), 제4인버터(Inv4)를 포함할 수 있다. 상기 제2구동부(620)은 원시클럭신호(CS), 원시부클럭신호(CSB) 및 초기화신호(제1스위칭소자에서 전달되는 제1전원전압, VDDa)를 전달받아 제2구동부(620)의 제2출력신호(B)를 출력할 수 있다. 우선, 제2구동부(620)의 제3트랜스미션게이트(TM3)는 초기구동시에는 제1스위칭소자(S1)에서 전달되는 제1전원전압(VDD), 원시클럭신호(CS) 및 원시부클럭신호(CSB)를 전달받아 제3트랜스미션게이트(TM3)의 출력신호를 생성한다. 초기구동 이후에는 제1출력신호(A)와 원시클럭신호(CS) 및 원시부클럭신호(CSB)가 전달되어 제3트랜스미션게이트(TM3)의 출력신호를 생성한다. 상기 제3트랜스미션게이트(TM3)는 피모스트랜지스터와 엔모스트랜지스터로 이루어져있다. 상기 피모스트랜지스터는 제1전극에 엔모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 엔모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 로우레벨의 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 상기 엔모스트랜지스터는 제1전극에 피모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 피모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 하이레벨 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 즉, 제3트랜스미션게이트(TM3)은 엔모스트랜지스터의 제어전극에 하이레벨의 원시부클럭신호(CSB)가 인가되고, 피모스트랜지스터의 제어전극에 로우레벨의 원시클럭신호(CS)가 인가되면 턴온되어 제1출력신호(A) 또는 제1스위칭소자(S1)에서 전달되는 제1전원전압(VDD)을 제3인버터(Inv3)의 입력으로 전달한다.

<155> 다음, 제2구동부(620)의 제4트랜스미션게이트(TM4)는 제2출력신호(B)와 원시클럭신호(CS) 및 원시부클럭신호(CSB)가 전달되어 제4트랜스미션게이트(TM4)의 출력신호를 생성한다. 상기 제4트랜스미션게이트(TM4)는 피모스트랜지스터와 엔모스트랜지스터로 이루어져 있다. 상기 피모스트랜지스터는 제1전극에 엔모스트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 엔모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 로우레벨의 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 상기 엔모스트랜지스터는 제1전극에 피모스

트랜지스터의 제1전극이 전기적으로 연결되고, 제2전극에 피모스트랜지스터의 제2전극이 전기적으로 연결되어 제어전극에 하이레벨 입력신호가 인가되면 턴온되어 입력신호를 출력으로 전달한다. 즉, 제4트랜스미션게이트(TM4)는 엔모스트랜지스터의 제어전극에 하이레벨의 원시클럭신호(CS)가 인가되고, 피모스트랜지스터의 제어전극에 로우레벨의 원시부클럭신호(CSB)가 인가되면 턴온되어 제4인버터(Inv4)의 출력신호(제2출력신호와 동일)를 제3인버터(Inv3)의 입력으로 전달한다. 여기서 제3트랜스미션게이트(TM3)가 턴온되면 제4트랜스미션게이트(TM4)는 턴오프되고 제3트랜스미션게이트(TM3)가 턴오프되면 제4트랜스미션게이트(TM4)는 턴온되어 반대로 동작한다.

<156> 다음, 제2구동부(620)의 제3인버터(Inv3)는 상기 원시클럭신호(CS)가 로우레벨일때 제3트랜스미션게이트(TM3)의 출력신호를 전달받고, 원시클럭신호(CS)가 하이레벨일때 제4트랜스미션게이트(TM4)의 출력신호를 전달받아 상기 제2구동부(620)의 제2부출력신호(B)를 생성할 수 있다.

<157> 마지막으로, 제2구동부(620)의 제4인버터(Inv4)는 제3인버터(Inv3)에서 전달되는 제2부출력신호(C)를 전달받아 제2출력신호를 생성한다. 그리고 상기 제2출력신호(B)가 하이레벨일 경우에, 상기 제2부출력신호(C)는 로우레벨이 되고, 상기 제2출력신호(B)가 로우레벨일 경우에, 상기 제2부출력신호(C)는 하이레벨이 되는 반대되는 신호이다.

<158> 또한, 제1낸드게이트(NAND1)는 원시클럭신호(CS)와 제2구동부(620)의 제2출력신호를 전달받아 제1클럭신호(CLK1)를 생성한다.

<159> 마지막으로, 제2낸드게이트(NAND2)는 원시클럭신호(CS)와 제2구동부(620)의 제2부출력신호(C)를 전달받아 제2클럭신호(CLK2)를 생성한다. 상기 제1클럭신호(CLK1)와 상기 제2클럭신호(CLK2)는 하이레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 로우 레벨의 신호를 출력한다.

<160> 상기 클럭분배기의 박막트랜지스터의 결정화 방법으로는 다결정실리콘(Poly Silicon)으로 결정화 하는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC:Metal Induced Crystallization)과 고상결정화(SPC:Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA:High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidfication)방법들이 있다. 또한 비정질 실리콘(a-Si)과 다결정 실리콘(Poly Silicon)사이의 결정립 크기를 가지는 마이크로 실리콘(micro Silicon)으로 결정화하는 결정립 방법에는 크게 열결정화 방법(Thermal Crystallization Method)과 레이저 결정화 방법(Laser Crystallization Method)가 있다.

<161> 상기 마이크로 실리콘은 결정립의 크기가 1nm에서 100nm까지 인 것을 통상적으로 말한다. 상기 마이크로 실리콘의 전자이동도는 1에서 50이하이며 정공이동도는 0.01에서 0.2이하인 것인 특징이다. 상기 마이크로 실리콘은 상기 다결정 실리콘에 비해 결정립의 크기가 작은 것이 특징이며 폴리실리콘에 비해 결정립사이의 돌출부 영역이 작게 형성되어 결정립간에 전자가 이동할 경우에 지장을 주지 않게 되어 균일한 특성을 보여줄 수 있다.

<162> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 열결정화 방법은 비정질 실리콘을 증착함과 동시에 결정화구조를 얻는 방법과 재가열(Reheating)방법이 있다.

<163> 상기 마이크로 실리콘(micro Silicon)으로 결정화하는 상기 레이저 결정화 방법은 비정질 실리콘을 화학진공증착(Chemical Vapor Deposition)방법으로 증착한 후 레이저를 이용하여 결정화 하는 방법인데 이때 사용되는 레이저의 종류는 주로 다이오드 레이저(Diode Laser)가 있다. 상기 다이오드 레이저는 주로 800nm대 적색 파장을 이용하며 상기 적색 파장은 마이크로 실리콘 결정질이 균일하게 결정화 되는데 기여하는 역할을 한다.

<164> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.

<165> 상기 다결정실리콘(Poly Silicon)으로 결정화 하는 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스핀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.

<166> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이

있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC:Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 섀도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 섀도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.

<167> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스핀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC:Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수 도 있고, 섀도우 마스크등을 사용하여 선택적으로 형성될 수 있다. 상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.

<168> 도 7을 참조하면, 도 6에 도시된 주사구동회로의 클럭분배기를 도시한 블록도의 동작을 나타내는 타이밍도이다. 여기서, 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치의 주사 구동 회로의 클럭분배기의 동작에 대하여 설명한다.

<169> 도 7에서 보는 바와 같이 주사구동회로의 클럭분배기는 초기구동기간(T0), 제1지연기간(T1), 제1클럭신호출력기간(T2), 제2지연기간(T3), 제2클럭신호출력기간(T4) 및 제3지연기간(T5)으로 이루어져 있다.

<170> 우선, 초기구동기간(T0)은 시프트레지스터(SR)에 초기구동신호(FLM)가 하이레벨이고 원시클럭신호(CS)가 로우레벨이 인가되어, 초기구동신호(FLM)가 일측으로 시프트되어 하이레벨의 출력신호가 출력된다. 이러한 하이레벨의 출력신호가 시프트인버터(S_Inv)를 통해서 로우레벨의 출력신호가 출력된다. 로우레벨의 출력신호가 제1스위칭소자(S1)의 제어전극에 인가되어 제1스위칭소자(S1)은 턴온되어 제1전원전압(VDD)를 제1구동부(610)와 제2구동부(620)에 전달한다. 여기서 제1스위칭소자(S1)은 턴온되어 제1구동부(610)와 제2구동부(620)로 전달하는 제1전원전압(VDD)은 제1구동부(610)와 제2구동부(620)을 초기구동시키는 초기화신호(VDDa)이다. 상기 제1구동부(610)에 초기화신호(VDDa)가 하이레벨이고 원시클럭신호(CS)가 로우레벨이 인가되어 제2트랜스미션게이트(TM2)는 턴온된다. 하이레벨의 초기화신호(VDDa)가 제2인버터(Inv2)에 전달되어 로우레벨의 출력신호가 되고 제2트랜스미션게이트(TM2)를 통해 제1인버터(Inv1)로 전달되어 하이레벨의 제1출력신호(A)를 출력한다. 즉, 초기화 신호가 입력되어 제1인버터(Inv1), 제2트랜스미션게이트(TM2) 및 제2인버터(Inv2)를 순환한다. 상기 제2구동부(620)에 초기화신호(VDDa)가 하이레벨이고 원시클럭신호(CS)가 로우레벨이 인가되어 제3트랜스미션게이트(TM3)가 턴온된다. 하이레벨의 초기화신호(VDDa)가 제3트랜스미션게이트(TM3)를 통해 제3인버터(Inv3)로 전달되어 로우레벨의 제2부출력신호(C)를 생성하고, 제2부출력신호(C)가 제4인버터(Inv4)로 전달되어 하이레벨의 제2출력신호(B)를 생성한다. 제1낸드게이트(NAND1)에 하이레벨의 제2출력신호(B)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제1클럭신호(CLK1)를 생성한다. 제2낸드게이트(NAND2)에 로우레벨의 제2부출력신호(C)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제2클럭신호(CLK2)를 생성한다.

<171> 또한, 제1지연기간(T1)은 시프트레지스터(SR)에 초기구동신호(FLM)가 로우레벨이고 원시클럭신호(CS)가 로우레벨이 인가되어, 초기구동신호(FLM)가 일측으로 시프트되어 로우레벨의 출력신호가 출력된다. 이러한 로우레벨의 출력신호가 시프트인버터(S_Inv)를 통해서 하이레벨의 출력신호가 출력된다. 하이레벨의 출력신호가 제1스위칭소자(S1)의 제어전극에 인가되어 제1스위칭소자(S1)는 턴오프된다. 즉, 초기구동기간(T0)에 초기화신호(VDDa)가 제1구동부(610)와 제2구동부(620)에 전달되고 그외의 제1지연기간(T1) 내지 제3지연기간(T5)에는 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되지 않는다. 상기 제1구동부(610)에 원시클럭신호(CS)가 로우레벨이 인가되어 제2트랜스미션게이트(TM2)는 턴온된다. 하이레벨의 제1출력신호(A)가 제2인버터(Inv2)에 전달되어 로우레벨의 출력신호가 되고 제2트랜스미션게이트(TM2)를 통해 제1인버터(Inv1)로 전달되어 하이레벨의 제1출력신호(A)를 출력한다. 즉, 제2출력신호(B)가 입력되어 제1인버터(Inv1), 제2트랜스미션게이트(TM2) 및 제2인버터(Inv2)를 순환한다. 상기 제2구동부(620)에 원시클럭신호(CS)가 로우레벨이 인가되어 제3트랜스미션게

이트(TM3)가 턴온된다. 하이레벨의 제1출력신호(A)가 제3트랜스미션게이트(TM3)를 통해 제3인버터(Inv3)로 전달되어 로우레벨의 제2부출력신호(C)를 생성되고, 제2부출력신호(C)가 제4인버터(Inv4)로 전달되어 하이레벨의 제2출력신호(B)를 생성된다. 제1낸드게이트(NAND1)에 하이레벨의 제2출력신호(B)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제1클럭신호(CLK1)를 생성한다. 제2낸드게이트(NAND2)에 로우레벨의 제2부출력신호(C)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제2클럭신호(CLK2)를 생성한다.

<172> 또한, 제1클럭신호출력기간(T2)은 시프트레지스터(SR)에 초기구동신호(FLM)가 로우레벨이고 원시클럭신호(CS)가 하이레벨이 인가되어, 초기구동신호(FLM)가 일측으로 시프트되어 로우레벨의 출력신호가 출력된다. 이러한 로우레벨의 출력신호가 시프트인버터(S_Inv)를 통해서 하이레벨의 출력신호가 출력된다. 하이레벨의 출력신호가 제1스위칭소자(S1)의 제어전극에 인가되어 제1스위칭소자(S1)는 턴오프된다. 즉, 초기구동기간(T0)에 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되고 그외의 제1지연기간(T1) 내지 제2클럭신호출력기간에는 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되지 않는다. 상기 제1구동부(610)에 하이레벨의 원시클럭신호(CS)가 인가되어 제1트랜스미션게이트(TM1)가 턴온된다. 제2구동부(620)에서 전달되는 하이레벨의 제2출력신호가 제1트랜스미션게이트(TM1)를 통해 제1인버터(Inv1)로 전달되어 로우레벨의 제1출력신호가 생성된다. 상기 제2구동부(620)에 로우레벨의 원시클럭신호(CS)가 인가되어 제4트랜스미션게이트(TM4)가 턴온된다. 상기 제1지연기간(T1)에 제2구동부(620)에서 출력된 하이레벨의 제2출력신호(B)가 제4트랜스미션게이트(TM4)를 통해 제3인버터(Inv3)로 전달되어 로우레벨의 제2부출력신호(C)를 생성되고, 제2부출력신호(C)가 제4인버터(Inv4)로 전달되어 하이레벨의 제2출력신호(B)를 생성된다. 즉, 하이레벨의 제2출력신호(B)가 입력되어 제4트랜스미션게이트(TM4), 제3인버터(Inv3), 및 제4인버터(Inv4)를 순환한다. 제1낸드게이트(NAND1)에 하이레벨의 제2출력신호(B)와 하이레벨의 원시클럭신호(CS)가 인가되어 로우레벨의 제1클럭신호(CLK1)를 생성한다. 제2낸드게이트(NAND2)에 로우레벨의 제2부출력신호(C)와 하이레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제2클럭신호(CLK2)를 생성한다.

<173> 또한, 제2지연기간(T3)은 시프트레지스터(SR)에 초기구동신호(FLM)가 로우레벨이고 원시클럭신호(CS)가 로우레벨이 인가되어, 초기구동신호(FLM)가 일측으로 시프트되어 로우레벨의 출력신호가 출력된다. 이러한 로우레벨의 출력신호가 시프트인버터(S_Inv)를 통해서 하이레벨의 출력신호가 출력된다. 하이레벨의 출력신호가 제1스위칭소자(S1)의 제어전극에 인가되어 제1스위칭소자(S1)는 턴오프된다. 즉, 초기구동기간(T0)에 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되고 그외의 제1지연기간(T1) 내지 제2클럭신호출력기간에는 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되지 않는다. 상기 제1구동부(610)에 로우레벨의 원시클럭신호(CS)가 인가되어 제2트랜스미션게이트(TM2)가 턴온된다. 상기 제1클럭신호출력기간(T2)에서 전달되는 로우레벨의 제1출력신호(A)가 제2인버터(Inv2)에 전달되어 하이레벨의 출력신호가 되고 제2트랜스미션게이트(TM2)를 통해 제1인버터(Inv1)로 전달되어 로우레벨의 제1출력신호(A)를 출력한다. 즉, 제1출력신호(A)가 입력되어 제1인버터(Inv1), 제2트랜스미션게이트(TM2) 및 제2인버터(Inv2)를 순환한다. 상기 제2구동부(620)에 원시클럭신호(CS)가 로우레벨이 인가되어 제3트랜스미션게이트(TM3)가 턴온된다. 로우레벨의 제1출력신호(A)가 제3트랜스미션게이트(TM3)를 통해 제3인버터(Inv3)로 전달되어 하이레벨의 제2부출력신호(C)를 생성되고, 제2부출력신호(C)가 제4인버터(Inv4)로 전달되어 로우레벨의 제2출력신호(B)를 생성된다. 제1낸드게이트(NAND1)에 로우레벨의 제2출력신호(B)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제1클럭신호(CLK1)를 생성한다. 제2낸드게이트(NAND2)에 하이레벨의 제2부출력신호(C)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제2클럭신호(CLK2)를 생성한다. 제2지연기간은 제1클럭신호와 제2클럭신호의 하이레벨이 오버랩된 만큼 시간을 지연하는 기간이다. 이런 지연기간은 각 래치주사회로의 출력 신호간에 소정의 시간 간격을 두는 것으로, 이는 클럭스큐(skew) 또는 지연(delay)에 대한 마진을 확보할 수 있게 한다.

<174> 또한, 제2클럭신호출력기간(T4)은 시프트레지스터(SR)에 초기구동신호(FLM)가 로우레벨이고 원시클럭신호(CS)가 하이레벨이 인가되어, 초기구동신호(FLM)가 일측으로 시프트되어 로우레벨의 출력신호가 출력된다. 이러한 로우레벨의 출력신호가 시프트인버터(S_Inv)를 통해서 하이레벨의 출력신호가 출력된다. 하이레벨의 출력신호가 제1스위칭소자(S1)의 제어전극에 인가되어 제1스위칭소자(S1)는 턴오프된다. 즉, 초기구동기간(T0)에 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되고 그외의 제1지연기간(T1) 내지 제2클럭신호출력기간에는 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되지 않는다. 상기 제1구동부(610)에 하이레벨의 원시클럭신호(CS)가 인가되어 제1트랜스미션게이트(TM1)가 턴온된다. 제2구동부(620)에서 전달되는 로우레벨의 제2출력신호(B)가 제1트랜스미션게이트(TM1)를 통해 제1인버터(Inv1)로 전달되어 하이레벨의 제1출력신호가 생성된다. 상기 제2구동부(620)에 로우레벨의 원시클럭신호(CS)가 인가되어 제4트랜스미션게이트(TM4)가 턴온된다. 상기 제2지연기간(T3)에 제2구동부(620)에서 출력된 로우레벨의 제2출력신호(B)가 제4트랜스미션게이트(TM4)를 통해 제3인버터(Inv3)로 전달되어 하이레벨의 제2부출력신호(C)를 생성되고, 제2부출력신호(C)가 제4

인버터(Inv4)로 전달되어 로우레벨의 제2출력신호(B)를 생성된다. 즉, 로우레벨의 제2출력신호(B)가 입력되어 제4트랜스미션게이트(TM4), 제3인버터(Inv3), 및 제4인버터(Inv4)를 순환한다. 제1낸드게이트(NAND1)에 로우레벨의 제2출력신호(B)와 하이레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제1클럭신호(CLK1)를 생성한다. 제2낸드게이트(NAND2)에 하이레벨의 제2부출력신호(C)와 하이레벨의 원시클럭신호(CS)가 인가되어 로우레벨의 제2클럭신호(CLK2)를 생성한다.

<175> 마지막으로, 제3지연기간(T5)은 시프트레지스터(SR)에 초기구동신호(FLM)가 로우레벨이고 원시클럭신호(CS)가 로우레벨이 인가되어, 초기구동신호(FLM)가 일측으로 시프트되어 로우레벨의 출력신호가 출력된다. 이러한 로우레벨의 출력신호가 시프트인버터(S_Inv)를 통해서 하이레벨의 출력신호가 출력된다. 하이레벨의 출력신호가 제1스위칭소자(S1)의 제어전극에 인가되어 제1스위칭소자(S1)는 턴오프된다. 즉, 초기구동기간(T0)에 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되고 그외의 제1지연기간(T1) 내지 제2클럭신호출력기간에는 초기화신호(VDDa)가 제1구동부(610)과 제2구동부(620)에 전달되지 않는다. 상기 제1구동부(610)에 로우레벨의 원시클럭신호(CS)가 인가되어 제2트랜스미션게이트(TM2)가 턴온된다. 상기 제2클럭신호출력기간(T4)에서 전달되는 하이레벨의 제1출력신호(A)가 제2인버터(Inv2)에 전달되어 로우레벨의 출력신호가 되고 제2트랜스미션게이트(TM2)를 통해 제1인버터(Inv1)로 전달되어 하이레벨의 제1출력신호(A)를 출력한다. 즉, 제1출력신호(A)가 입력되어 제1인버터(Inv1), 제2트랜스미션게이트(TM2) 및 제2인버터(Inv2)를 순환한다. 상기 제2구동부(620)에 원시클럭신호(CS)가 로우레벨이 인가되어 제3트랜스미션게이트(TM3)가 턴온된다. 하이레벨의 제1출력신호(A)가 제3트랜스미션게이트(TM3)를 통해 제3인버터(Inv3)로 전달되어 로우레벨의 제2부출력신호(C)를 생성되고, 제2부출력신호(C)가 제4인버터(Inv4)로 전달되어 하이레벨의 제2출력신호(B)를 생성된다. 제1낸드게이트(NAND1)에 하이레벨의 제2출력신호(B)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제1클럭신호(CLK1)를 생성한다. 제2낸드게이트(NAND2)에 로우레벨의 제2부출력신호(C)와 로우레벨의 원시클럭신호(CS)가 인가되어 하이레벨의 제2클럭신호(CLK2)를 생성한다. 제3지연기간은 제1클럭신호와 제2클럭신호의 하이레벨이 오버랩된 만큼 시간을 지연하는 기간이다. 이런 지연기간은 각 래치주사회로의 출력 신호간에 소정의 시간 간격을 두는 것으로, 이는 클럭 스큐(skew) 또는 지연(delay)에 대한 마진을 확보할 수 있게 한다.

발명의 효과

<176> 상술한 바와 같이, 본 발명에 의한 유기 전계 발광 표시 장치 및 그의 구동회로는 하나의 클럭신호에서 래치주사구동회로를 동작할 수 있는 두 개의 클럭신호를 생성하여 클럭입력단자를 하나로 줄여서 집적회로의 크기를 줄이고, 가격이 저렴해지는 효과가 있다.

<177> 또한 상기와 같이 하여 본명에 의한 유기 전계 발광 표시 장치 및 그의 구동회로는 시프트레지스터를 이용하여 클럭분배기를 초기구동시키는 효과가 있다.

<178> 이상에서 설명한 것은 본 발명에 의한 유기 전계 발광 표시 장치 및 그의 구동회로를 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명에 의한 유기 전계 발광 표시 장치의 구성을 나타내는 블록도이다.

<2> 도 2는 본 발명에 의한 주사구동부의 구성을 나타내는 블록도이다.

<3> 도 3은 본 발명의 의한 주사구동부의 래치주사회로의 회로도이다.

<4> 도 4는 도 3에 도시된 주사구동부의 래치주사회로의 동작을 나타내는 타이밍도이다.

<5> 도 5는 본 발명의 주사구동회로를 구성하는 시프트 레지스터의 회로도이다.

<6> 도 6은 본 발명의 일실시예에 의한 주사구동회로의 클럭분배기를 도시한 블록도이다.

<7> 도 7은 도 6에 도시된 주사구동회로의 클럭분배기를 도시한 블록도의 동작을 나타내는 타이밍도이다.

<8> < 도면의 주요 부분에 대한 부호의 설명 >

<9> SR; 시프트레지스터 S1; 제1스위칭소자

<10> S_Inv; 시프트인버터 Clk_Inv; 클럭인버터

<11> TM1; 제1트랜스미션게이트 TM2; 제2트랜스미션게이트

<12> TM3; 제3트랜스미션게이트 TM4; 제4트랜스미션게이트

<13> Inv1; 제1인버터 Inv2; 제2인버터

<14> Inv3; 제3인버터 Inv4; 제4인버터

<15> NAND1; 제1낸드게이트 NAND2; 제2낸드게이트

<16> A; 제1출력신호 B;제2출력신호

<17> C; 제2부출력신호

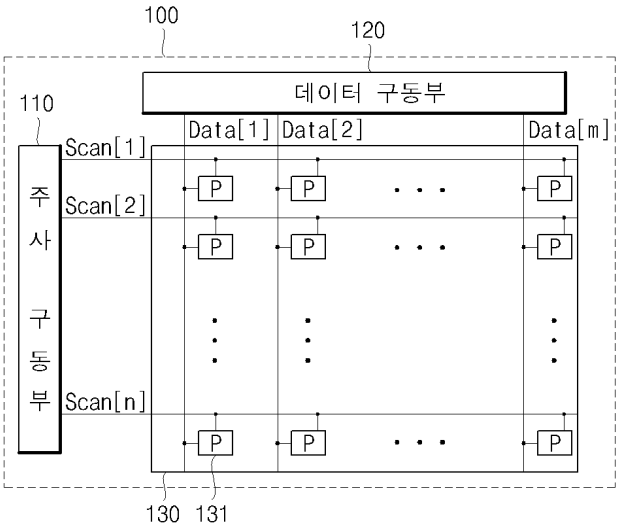
<18> VDDa; 초기화신호 FLM; 초기구동신호

<19> CS; 원시클럭신호 CSB; 원시부클럭신호

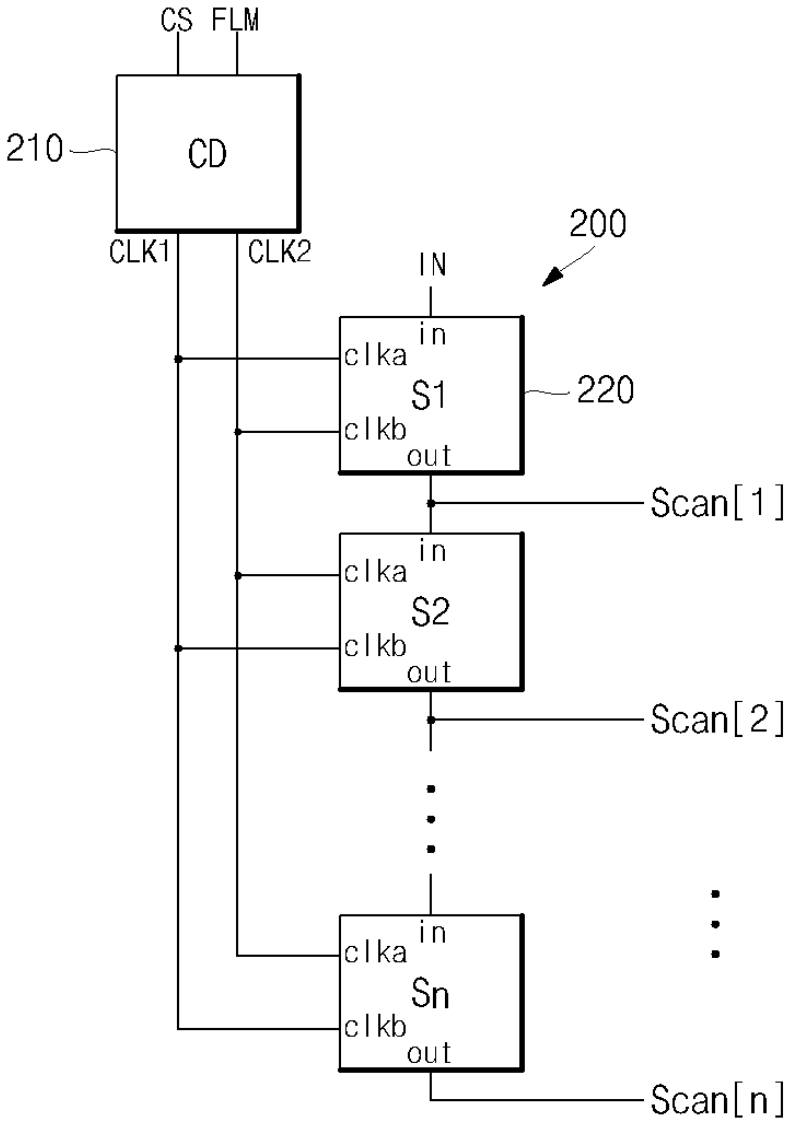
<20> CLK1; 제1클럭신호 CLK; 제2클럭신호

도면

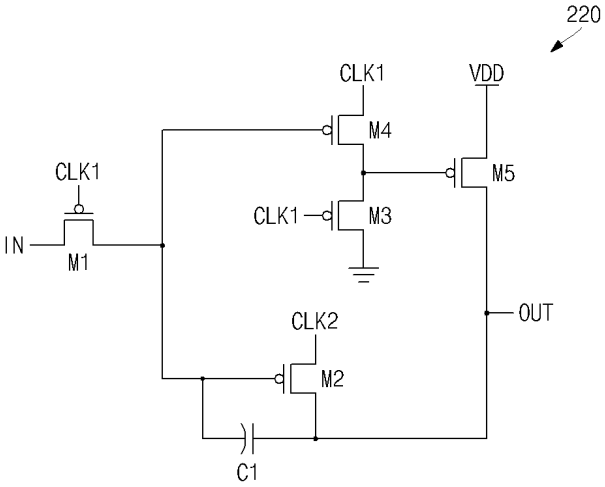
도면1



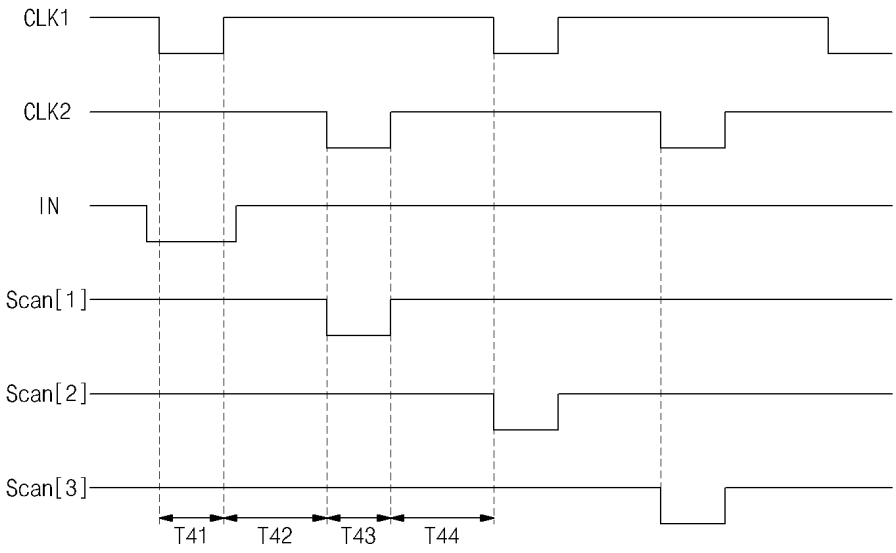
도면2


CS FLM
210
CD
CLK1
CLK2
200
IN
in
clka
S1
clkb
out
220
Scan[1]
in
clka
S2
clkb
out
Scan[2]
in
clka
Sn
clkb
out
Scan[n]

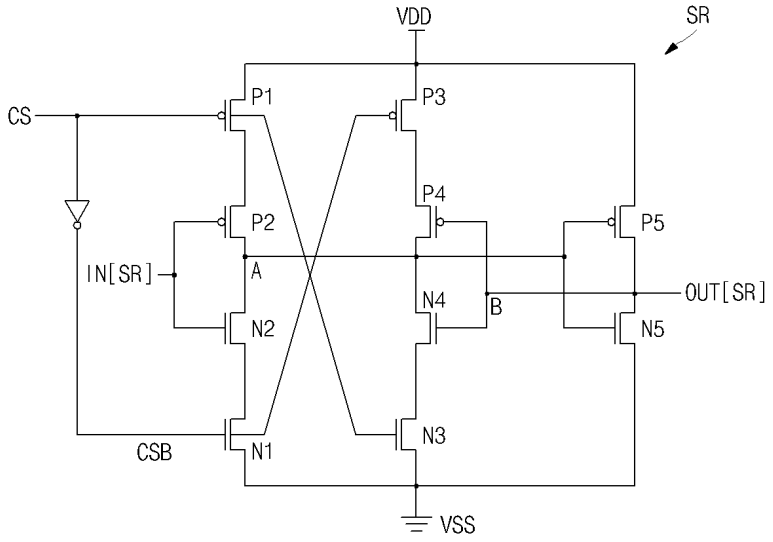
도면3


220
CLK1
VDD
M4
M5
CLK1
M3
IN
M1
OUT
CLK2
M2
C1

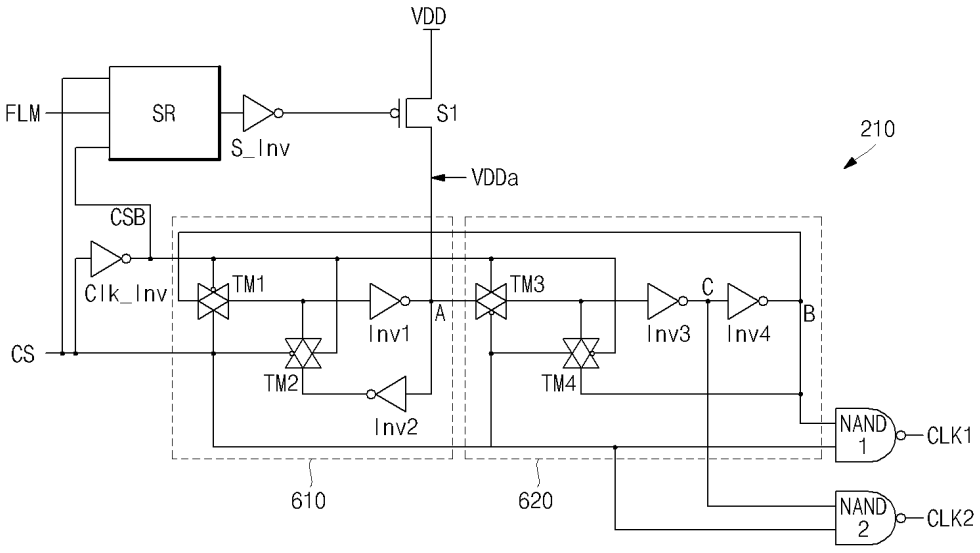
도면4


CLK1
CLK2
IN
Scan[1]
Scan[2]
Scan[3]
T41
T42
T43
T44

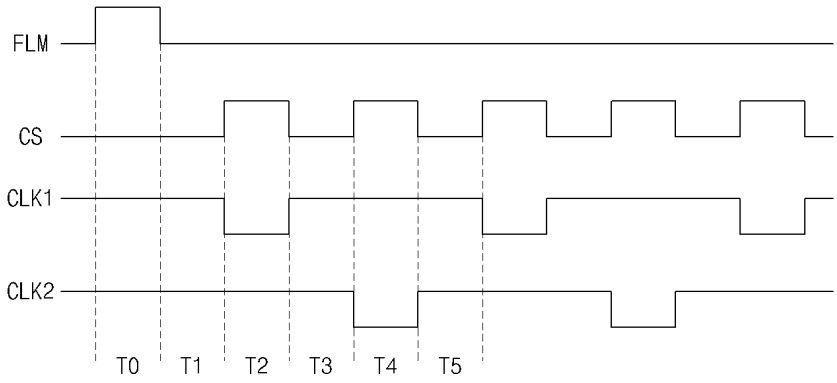
도면5


VDD
SR
CS
P1
P3
P4
P2
P5
IN[SR]
A
N4
B
OUT[SR]
N2
N5
CSB
N1
N3
VSS

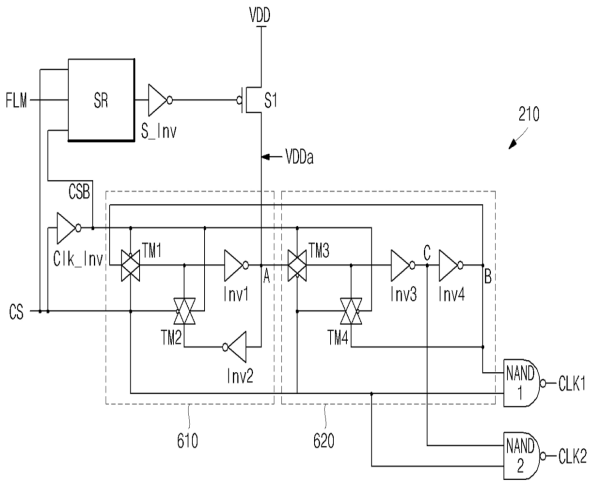
도면6


VDD
FLM
SR
S_Inv
S1
210
VDDa
CSB
Clk_Inv
TM1
TM3
C
Inv1
A
Inv3
Inv4
B
CS
TM2
TM4
Inv2
NAND 1
CLK1
610
620
NAND 2
CLK2

도면7



专利名称(译)	一种有机电致发光显示装置及其驱动电路		
公开(公告)号	KR100833754B1	公开(公告)日	2008-05-29
申请号	KR1020070004431	申请日	2007-01-15
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM MI HAE		
发明人	KIM, MI HAE		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 G11C19/00		
CPC分类号	G11C19/28 G09G3/3266 G11C19/184		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示装置及其驱动电路，提供有机电致发光显示装置及其驱动电路，在一个时钟信号中产生两个时钟信号操作锁存扫描驱动电路，并将时钟输入端子减少到一个并减小尺寸集成电路具有解决技术问题的成本效益。为此，本发明公开了包括第一与非门和原始时钟信号的有机电致发光显示装置，该原始时钟信号被通知第二输出信号并产生第一时钟信号，第二与非门被通知第二负输出信号。并产生第二时钟信号及其驱动电路。扫描驱动器，移位寄存器，OLED，时钟分配器，锁存器扫描电路。