



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01) G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월19일 10-0671659 2007년01월12일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0127233 2005년12월21일 2005년12월21일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자                    삼성에스디아이 주식회사  
    경기 수원시 영통구 신동 575

(72) 발명자                        최상무  
    경기도 수원시 영통구 영통동 1027-5번지 303호

(74) 대리인                        신영무

(56) 선행기술조사문헌 JP2001036408 A KR1020000019778 A * 심사관에 의하여 인용된 문헌	KR1019990074552 A KR1020020034832 A
---	--

심사관 : 최정윤

전체 청구항 수 : 총 19 항

(54) 데이터 구동부 및 이를 이용한 유기 발광 표시장치와 그의구동방법

(57) 요약

본 발명은 화질을 향상시킬 수 있도록 한 데이터 구동부에 관한 것이다.

본 발명의 데이터 구동부는 데이터의 상위비트들에 대응하여 외부로부터 공급되는 다수의 기준전압들 중 2개의 기준전압을 선택하여 제 1라인 및 제 2라인으로 공급하기 위한 제 1디지털-아날로그 변환부와, 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1라인 및 제 2라인 사이에 설치되어 상기 2개의 기준전압을 분압하여 복수의 계조전압을 생성하기 위한 제 1분압저항들과, 상기 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1분압저항들과 병렬로 위치되는 적어도 하나의 분압저항들을 가지는 적어도 분압 저항부와, 상기 제 1라인 및 제 2라인 중 어느 하나와 상기 적어도 하나의 분압저항들 각각의 사이에 설치되는 스위치들과, 상기 데이터의 하위 비트들에 대응하여 상기 스위치들의 턴-온 및 턴-오프를 제어하기 위한 디코더부를 구비한다.

대표도

도 6

특허청구의 범위

### 청구항 1.

데이터의 상위비트들에 대응하여 외부로부터 공급되는 다수의 기준전압들 중 2개의 기준전압을 선택하여 제 1라인 및 제 2라인으로 공급하기 위한 제 1디지털-아날로그 변환부와,

제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1라인 및 제 2라인 사이에 설치되어 상기 2개의 기준전압을 분압하여 복수의 계조전압을 생성하기 위한 제 1분압저항들과,

상기 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1분압저항들과 병렬로 위치되는 적어도 하나의 분압저항들을 가지는 적어도 분압 저항부와,

상기 제 1라인 및 제 2라인 중 어느 하나와 상기 적어도 하나의 분압저항들 각각의 사이에 설치되는 스위치들과,

상기 데이터의 하위 비트들에 대응하여 상기 스위치들의 턴-온 및 턴-오프를 제어하기 위한 디코더부를 구비하는 것을 특징으로 하는 데이터 구동부.

### 청구항 2.

제 1항에 있어서,

상기 디코더부는 상기 제 1기준전압 및 제 2기준전압 사이의 중간계조의 계조전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값이 상기 제 1기준전압 및 제 2기준전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값보다 낮게 설정되도록 상기 스위치들의 턴-온 및 턴-오프를 제어하는 것을 특징으로 하는 데이터 구동부.

### 청구항 3.

제 2항에 있어서,

상기 디코더부는 상기 제 1기준전압으로부터 상기 중간계조의 전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지도록 상기 스위치를 제어하면서 상기 계조전압을 출력하는 것을 특징으로 하는 데이터 구동부.

### 청구항 4.

제 2항에 있어서,

상기 디코더부는 상기 제 2기준전압으로부터 상기 중간계조의 전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지도록 상기 스위치를 제어하면서 상기 계조전압을 출력하는 것을 특징으로 하는 데이터 구동부.

### 청구항 5.

제 1항에 있어서,

상기 제 1분압저항들의 각각의 노드와 출력단자의 사이에 위치되어 상기 디코더부의 제어에 의하여 턴-온되면서 상기 출력단자로 상기 계조전압을 공급하기 위한 제 2스위치들을 구비하는 것을 특징으로 하는 데이터 구동부.

### 청구항 6.

제 1항에 있어서,

상기 분압 저항부는

상기 제 1분압저항들과 병렬로 설치되는 제 2분압저항들, 제 3분압저항들, 제 4분압저항들 및 제 5분압저항들을 구비하는 것을 특징으로 하는 데이터 구동부.

### 청구항 7.

제 6항에 있어서,

상기 스위치들은

상기 제 1라인 및 제 2라인 중 어느 하나와 상기 제 2분압저항들의 사이에 위치되는 제 2스위치와,

상기 제 1라인 및 제 2라인 중 어느 하나와 상기 제 3분압저항들의 사이에 위치되는 제 3스위치와,

상기 제 1라인 및 제 2라인 중 어느 하나와 상기 제 4분압저항들의 사이에 위치되는 제 4스위치와,

상기 제 1라인 및 제 2라인 중 어느 하나와 상기 제 5분압저항들의 사이에 위치되는 제 5스วิต치를 구비하는 것을 특징으로 하는 데이터 구동부.

### 청구항 8.

제 7항에 있어서,

상기 제 1분압저항들의 각각의 노드와 상기 제 2분압저항들 각각의 노드마다 설치되어 상기 제 2스위치와 동시에 턴-온되는 제 20스위치들과,

상기 제 2분압저항들의 각각의 노드와 상기 제 3분압저항들 각각의 노드마다 설치되어 상기 제 3스위치와 동시에 턴-온되는 제 30스위치들과,

상기 제 3분압저항들의 각각의 노드와 상기 제 4분압저항들 각각의 노드마다 설치되어 상기 제 4스위치와 동시에 턴-온되는 제 40스위치들과,

상기 제 4분압저항들의 각각의 노드와 상기 제 5분압저항들 각각의 노드마다 설치되어 상기 제 5스위치와 동시에 턴-온되는 제 50스위치들을 더 구비하는 것을 특징으로 하는 데이터 구동부.

### 청구항 9.

제 6항에 있어서,

상기 제 2분압저항들, 제 3분압저항들, 제 4분압저항들 및 제 5분압저항들 각각에 포함되는 저항들의 수는 상기 제 1분압저항들에 포함되는 저항의 수와 동일하게 설정되는 것을 특징으로 하는 데이터 구동부.

### 청구항 10.

제 1항에 있어서,

순차적으로 샘플링신호를 공급하기 위한 쉬프트 레지스터부와,

상기 샘플링신호에 응답하여 상기 데이터를 저장하기 위한 샘플링 래치부와,

상기 샘플링 래치부에 저장된 데이터를 저장하기 위한 홀딩 래치부와,

상기 홀딩 래치부로부터 상기 데이터를 공급받아 상기 데이터신호를 생성하기 위한 데이터신호 생성부를 구비하며;

상기 데이터신호 생성부의 각각의 채널에는 상기 제 1디지털-아날로그 변환부 및 제 2디지털-아날로그 변환부가 구비되는 것을 특징으로 하는 데이터 구동부.

### 청구항 11.

제 10항에 있어서,

상기 홀딩 래치부와 상기 데이터신호 생성부의 사이에 위치되어 상기 데이터의 전압레벨을 상승시키기 위한 레벨 쉬프트부와,

상기 데이터신호 생성부로부터 상기 데이터신호를 공급받는 버퍼부를 더 구비하는 것을 특징으로 하는 데이터 구동부.

### 청구항 12.

주사선들 및 데이터선들과 접속되는 복수의 화소들을 포함하는 화소부와,

상기 주사선들을 구동하기 위한 주사 구동부와,

상기 데이터선들을 구동하기 위한 데이터 구동부를 포함하며,

상기 데이터 구동부는

데이터의 상위비트들에 대응하여 외부로부터 공급되는 다수의 기준전압들 중 2개의 기준전압을 선택하여 제 1라인 및 제 2라인으로 공급하기 위한 제 1디지털-아날로그 변환부와,

제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1라인 및 제 2라인 사이에 설치되어 상기 2개의 기준전압을 분압하여 복수의 계조전압을 생성하기 위한 제 1분압저항들과,

상기 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1분압저항들과 병렬로 위치되는 적어도 하나의 분압저항들을 가지는 분압 저항부와,

상기 제 1라인 및 제 2라인 중 어느 하나와 상기 적어도 하나의 분압저항들 각각의 사이에 설치되는 스위치들과,

상기 데이터의 하위 비트들에 대응하여 상기 스위치들의 턴-온 및 턴-오프를 제어하기 위한 디코더부를 구비하는 것을 특징으로 하는 유기 발광 표시장치.

### 청구항 13.

제 12항에 있어서,

상기 디코더부는 상기 제 1기준전압 및 제 2기준전압 사이의 중간계조의 계조전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값이 상기 제 1기준전압 및 제 2기준전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값보다 낮게 설정되도록 상기 스위치들의 턴-온 및 턴-오프를 제어하는 것을 특징으로 하는 유기 발광 표시장치

#### 청구항 14.

제 13항에 있어서,

상기 디코더부는 상기 제 1기준전압으로부터 상기 중간계조의 전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지도록 상기 스위치를 제어하면서 상기 계조전압을 출력하는 것을 특징으로 하는 유기 발광 표시장치

#### 청구항 15.

제 13항에 있어서,

상기 디코더부는 상기 제 2기준전압으로부터 상기 중간계조의 전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지도록 상기 스위치를 제어하면서 상기 계조전압을 출력하는 것을 특징으로 하는 유기 발광 표시장치.

#### 청구항 16.

데이터의 상위비트들에 대응하여 복수의 기준전압들 중 2개의 기준전압을 제 1라인 및 제 2라인으로 공급하는 제 1단계와;

상기 2개의 기준전압들을 복수의 계조전압들로 분할하며, 상기 데이터의 하위비트들에 대응하여 상기 제 1라인 및 제 2라인 사이의 저항값을 조절하면서 상기 계조전압들을 출력하는 제 2단계를 포함하는 것을 특징으로 하는 유기 발광 표시장치의 구동방법.

#### 청구항 17.

제 16항에 있어서,

상기 제 2단계에서는 상기 제 1기준전압 및 제 2기준전압 사이의 중간계조의 계조전압을 출력할 때 상기 제 1라인 및 제 2라인 사이의 저항값을 상기 제 1기준전압 및 제 2기준전압이 상기 계조전압으로 출력될 때 보다 낮게 설정하는 것을 특징으로 하는 유기 발광 표시장치의 구동방법.

#### 청구항 18.

제 17항에 있어서,

상기 제 1기준전압으로부터 상기 중간계조의 계조전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지는 것을 특징으로 하는 유기 발광 표시장치의 구동방법.

#### 청구항 19.

제 17항에 있어서,

상기 제 2기준전압으로부터 상기 중간계조의 계조전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지는 것을 특징으로 하는 유기 발광 표시장치의 구동방법.

명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 데이터 구동부 및 이를 이용한 유기 발광 표시장치와 그의 구동방법에 관한 것으로, 특히 화질을 향상시킬 수 있도록 한 데이터 구동부 및 이를 이용한 유기 발광 표시장치와 그의 구동방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기 발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한, 유기 발광표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기 발광표시장치는 화소마다 형성되는 구동 박막 트랜지스터를 이용하여 데이터신호에 대응하는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛이 발광되게 한다.

이와 같은 유기 발광 표시장치는 외부로부터 공급되는 데이터를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 화소들로 공급함으로써 원하는 휘도의 영상을 표시한다. 여기서, 외부로부터 공급되는 데이터를 데이터신호로 변환하기 위한 데이터 구동부가 이용된다.

데이터 구동부에는 외부의 데이터를 데이터신호로 변환하기 위하여 데이터신호 생성부가 포함된다. 데이터신호 생성부에는 각각의 채널마다 위치되어 데이터를 데이터신호로 변환하기 위한 디지털-아날로그 변환부(Digital-Analog Converter : 이하 "DAC"라 함)가 포함된다. 여기서, DAC들은 데이터의 상위비트들에 대응하여 전압을 생성하는 제 1DAC들과, 데이터의 하위비트들에 대응하여 전압을 생성하는 제 2DAC들로 나누어진다.

도 1은 종래의 제 2DAC를 나타내는 도면이다.

도 1을 참조하면, 종래의 제 2DAC(2)는 제 1DAC로부터 제 1기준전압(ref1) 및 제 2기준전압(ref2)을 공급받는다. 실제로, 제 1DAC는 외부로부터 다수의 기준전압들을 공급받고, 데이터의 상위비트에 대응하여 다수의 기준전압들 중 제 1기준전압(ref1) 및 제 2기준전압(ref2)을 선택하여 제 2DAC(2)로 공급한다. 다시 말하여, 제 1DAC에 포함된 제 10스위치(SW10) 및 제 11스위치(SW11)는 데이터의 상위비트에 대응하여 턴-온된다. 이후, 설명의 편의성을 위하여 제 2기준전압(ref2)의 전압값이 제 1기준전압(ref1)의 전압값보다 낮게 설정된다고 가정하기로 한다.

제 2DAC(2)는 제 1기준전압(ref1)과 제 2기준전압(ref2)의 전압값을 분압하기 위한 복수의 분압저항들(R1 내지 R7)과, 분압저항들(R1 내지 R7)로부터 분압된 전압을 출력단자(out)로 공급하기 위한 복수의 스위치들(SW1 내지 SW8)을 구비한다.

그리고, 제 2DAC(2)는 제 11스위치(SW11)와 제 7저항(R7) 사이에 위치되는 제 10저항(R10)을 구비한다. 제 10저항(R10)은 분압저항들(R1 내지 R7)에서 균등하게 분할된 전압이 생성될 수 있도록 제 10스위치(SW10) 및 제 11스위치(SW11)의 스위치 저항을 보상한다.

분압저항들(R1 내지 R7)은 제 1기준전압(ref1)과 제 2기준전압(ref2) 사이에 직렬로 설치되어 제 1기준전압(ref1)과 제 2기준전압(ref2)의 전압값을 분압한다. 이를 위해, 분압저항들(R1 내지 R7) 각각의 저항값은 동일하게 설정된다. 그리고, 도 1에서는 데이터의 하위비트를 3비트로 가정하여 7개의 분압저항들(R1 내지 R7)을 도시하였지만 분압저항들(R1 내지 R7) 수는 데이터의 하위비트의 비트수에 대응하여 다양하게 설정된다.

스위치들(SW1 내지 SW8)은 분압저항들(R1 내지 R7)의 각각의 노드마다 설치되어 분압저항들(R1 내지 R7)에서 분압된 전압을 출력단자(out)로 공급한다.

제 1스위치(SW1)는 제 1노드(N1)와 출력단자(out) 사이에 설치되어 제 2기준전압(ref2)을 출력단자(out)로 공급한다. 제 2스위치(SW2)는 제 2노드(N2)와 출력단자(out) 사이에 설치되어 제 2노드(N2)의 전압값을 출력단자(out)로 공급한다. 제 3스위치(SW3)는 제 3노드(N3)와 출력단자(out) 사이에 설치되어 제 3노드(N3)의 전압값을 출력단자(out)로 공급한다. 제 4스위치(SW4)는 제 4노드(N4)와 출력단자(out) 사이에 설치되어 제 4노드(N4)의 전압값을 출력단자(out)로 공급한다. 제 5스위치(SW5)는 제 5노드(N5)와 출력단자(out) 사이에 설치되어 제 5노드(N5)의 전압값을 출력단자(out)로 공급한다. 제 6스위치(SW6)는 제 6노드(N6)와 출력단자(out) 사이에 설치되어 제 6노드(N6)의 전압값을 출력단자(out)로 공급한다. 제 7스위치(SW7)는 제 7노드(N7)와 출력단자(out) 사이에 설치되어 제 7노드(N7)의 전압값을 출력단자(out)로 공급한다. 제 8스위치(SW8)는 제 8노드(N8)와 출력단자(out) 사이에 설치되어 제 1기준전압(ref1)을 출력단자(out)로 공급한다.

여기서, 스위치들(SW1 내지 SW8)의 턴-온 여부는 데이터의 하위비트에 의하여 결정된다. 다시 말하여, 스위치들(SW1 내지 SW8) 중 어느 하나가 데이터의 하위비트에 대응하여 턴-온됨으로써 소정의 전압값이 출력단자(out)로 공급된다. 그리고, 출력단자(out)로 공급된 전압값은 데이터신호로써 화소에 공급된다.

하지만, 이와 같은 종래의 제 2DAC(2)는 데이터신호로써 제 1기준전압(ref1)과 제 2기준전압(ref2) 사이의 중간계조(예를 들면, N4 또는 N5 노드의 전압)를 공급할 때 구동능력이 저하되는 문제점이 발생한다. 다시 말하여, 중간계조의 전압은 많은 저항을 경유하여 출력단자(out)로 공급되기 때문에 화소에서 긴 충전시간이 소요되고, 이에 따라 화소에서 원하는 전압이 충전되지 못하는 문제점이 있다. 다시 말하여, 제 1기준전압(ref1) 및 제 2기준전압(ref2)과 인접된 계조전압(예를 들면, N1, N2, N6 및 N7 노드의 전압)은 짧은 시간동안 화소에 충전 가능하지만 중간계조의 전압은 긴 시간이 소모된다.

이와 같은 문제점을 극복하기 위하여, 제 1기준전압(ref1) 및 제 2기준전압(ref2) 사이의 분압저항들(R1 내지 R7)의 저항값을 낮추는 방법이 제안될 수 있다. 실제로, 제 1기준전압(ref1) 및 제 2기준전압(ref2) 사이의 저항값이 낮아지면 중간계조의 구동능력이 향상되어 화소에 짧은 시간 동안 원하는 전압을 충전할 수 있다. 하지만, 제 1기준전압(ref1) 및 제 2기준전압(ref2) 사이의 저항값이 낮아지면 분압저항들(R1 내지 R7)에 흐르는 정전류 값이 커지게 되어 전압강하 현상이 발생된다. 이와 같이 전압강하 현상이 발생하면 도 2에 도시된 바와 같이 제 1기준전압(ref1) 및 제 2기준전압(ref2)과 인접된 계조전압들의 전압값에 변화되어 원하는 데이터신호가 공급되지 못하는 문제점이 발생된다. 여기서, 중간계조의 전압값은 전압강하와 무관하게 대략 유사한 값을 유지한다.

즉, 종래의 유기 발광 표시장치는 제 1기준전압(ref1) 및 제 2기준전압(ref2) 사이의 분압저항들(R1 내지 R7)의 저항값을 크게하는 경우 중간계조의 구동능력이 저하되고, 분압저항들(R1 내지 R7)의 저항값을 작게하는 경우 제 1기준전압(ref1) 및 제 2기준전압(ref2)의 인접계조 전압값이 변화되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질을 향상시킬 수 있도록 한 데이터 구동부 및 이를 이용한 유기 발광 표시장치와 그의 구동방법을 제공하는 것이다.

### 발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제 1측면은 데이터의 상위비트들에 대응하여 외부로부터 공급되는 다수의 기준전압들 중 2개의 기준전압을 선택하여 제 1라인 및 제 2라인으로 공급하기 위한 제 1디지털-아날로그 변환부와, 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1라인 및 제 2라인 사이에 설치되어 상기 2개의 기준전압을 분압하여 복수의 계조전압을 생성하기 위한 제 1분압저항들과, 상기 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1분압저항들과 병렬로 위치되는 적어도 하나의 분압저항들을 가지는 적어도 분압 저항부와, 상기 제 1라인 및 제 2라인 중 어느 하나와 상기 적어도 하나의 분압저항들 각각의 사이에 설치되는 스위치들과, 상기 데이터의 하위 비트들에 대응하여 상기 스위치들의 턴-온 및 턴-오프를 제어하기 위한 디코더부를 구비하는 것을 특징으로 하는 데이터 구동부를 제공한다.

바람직하게, 상기 디코더부는 상기 제 1기준전압 및 제 2기준전압 사이의 중간계조의 계조전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값이 상기 제 1기준전압 및 제 2기준전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값보다 낮게 설정되도록 상기 스위치들의 턴-온 및 턴-오프를 제어한다. 상기 디코더부는 상기 제 1기준전압으로부터 상기

중간계조의 전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지도록 상기 스위치를 제어하면서 상기 계조전압을 출력한다. 상기 디코더부는 상기 제 2기준전압으로부터 상기 중간계조의 전압으로 갈수록 상기 제 1라인 및 제 2라인 사이의 저항값이 낮아지도록 상기 스위치를 제어하면서 상기 계조전압을 출력한다.

본 발명의 제 2측면은 주사선들 및 데이터선들과 접속되는 복수의 화소들을 포함하는 화소부와, 상기 주사선들을 구동하기 위한 주사 구동부와, 상기 데이터선들을 구동하기 위한 데이터 구동부를 포함하며, 상기 데이터 구동부는 데이터의 상위비트들에 대응하여 외부로부터 공급되는 다수의 기준전압들 중 2개의 기준전압을 선택하여 제 1라인 및 제 2라인으로 공급하기 위한 제 1디지털-아날로그 변환부와, 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1라인 및 제 2라인 사이에 설치되어 상기 2개의 기준전압을 분압하여 복수의 계조전압을 생성하기 위한 제 1분압저항들과, 상기 제 2디지털-아날로그 변환부 사이에 포함되며 상기 제 1분압저항들과 병렬로 위치되는 적어도 하나의 분압저항들을 가지는 분압 저항부와, 상기 제 1라인 및 제 2라인 중 어느 하나와 상기 적어도 하나의 분압저항들 각각의 사이에 설치되는 스위치들과, 상기 데이터의 하위 비트들에 대응하여 상기 스위치들의 턴-온 및 턴-오프를 제어하기 위한 디코더부를 구비하는 것을 특징으로 하는 유기 발광 표시장치를 제공한다.

바람직하게, 상기 디코더부는 상기 제 1기준전압 및 제 2기준전압 사이의 중간계조의 계조전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값이 상기 제 1기준전압 및 제 2기준전압이 출력될 때 상기 제 1라인 및 제 2라인 사이의 저항값보다 낮게 설정되도록 상기 스위치들의 턴-온 및 턴-오프를 제어한다.

본 발명의 제 3측면은 데이터의 상위비트들에 대응하여 복수의 기준전압들 중 2개의 기준전압을 제 1라인 및 제 2라인으로 공급하는 제 1단계와; 상기 2개의 기준전압들을 복수의 계조전압들로 분할하며, 상기 데이터의 하위비트들에 대응하여 상기 제 1라인 및 제 2라인 사이의 저항값을 조절하면서 상기 계조전압들을 출력하는 제 2단계를 포함하는 것을 특징으로 하는 유기 발광 표시장치의 구동방법을 제공한다.

바람직하게, 상기 제 2단계에서는 상기 제 1기준전압 및 제 2기준전압 사이의 중간계조의 계조전압을 출력할 때 상기 제 1라인 및 제 2라인 사이의 저항값을 상기 제 1기준전압 및 제 2기준전압이 상기 계조전압으로 출력될 때 보다 낮게 설정한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 3 내지 도 7을 참조하여 상세히 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차영역에 형성된 화소들(240)을 포함하는 화소부(230)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(210)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(220)와, 주사 구동부(210) 및 데이터 구동부(220)를 제어하기 위한 타이밍 제어부(250)를 구비한다.

주사 구동부(210)는 타이밍 제어부(250)로부터의 주사 구동제어신호들(SCS)에 응답하여 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다. 또한, 주사 구동부(210)는 주사 구동제어신호들(SCS)에 응답하여 발광 제어신호를 생성하고, 생성된 발광 제어신호를 발광 제어선들(E1 내지 En)로 순차적으로 공급한다.

데이터 구동부(220)는 타이밍 제어부(250)로부터의 데이터 구동제어신호들(DCS)에 응답하여 데이터신호들을 생성하고, 생성된 데이터신호들을 데이터선들(D1 내지 Dm)로 공급한다. 이를 위하여, 데이터 구동부(220)는 적어도 하나의 데이터 구동회로(222)를 구비한다. 데이터 구동회로(222)는 외부로부터 공급되는 데이터(Data)를 데이터신호로 변환하여 데이터선들(D1 내지 Dm)로 공급한다. 데이터 구동회로(222)의 상세한 구성은 후술하기로 한다.

타이밍 제어부(250)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(250)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(220)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(210)로 공급된다. 그리고, 타이밍 제어부(250)는 외부로부터 공급되는 데이터(Data)를 재정렬하여 데이터 구동부(220)로 공급한다.

화소부(230)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받는다. 화소부(230)로 공급된 제 1전원(ELVDD) 및 제 2전원(ELVSS)은 각각의 화소들(240)로 공급된다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(240)은 데이터 구동회로(222)로부터 공급되는 데이터신호에 대응되는 화상을 표시한다.

도 4a는 도 3에 도시된 데이터 구동회로를 상세히 나타내는 블록도이다. 도 4a에서는 설명의 편의성을 위하여 데이터 구동회로(222)가  $i$ 개의 채널을 갖는다고 가정하기로 한다.

도 4a를 참조하면, 본 발명의 실시예에 의한 데이터 구동회로(222)는 샘플링신호를 순차적으로 공급하기 위한 쉬프트 레지스터부(223)와, 샘플링신호에 응답하여 데이터(Data)를 순차적으로 저장하기 위한 샘플링 래치부(224)와, 샘플링 래치부(224)에 저장된 데이터(Data)들을 일시 저장함과 아울러 저장된 데이터(Data)들을 레벨 쉬프터부(226)로 공급하기 위한 홀딩 래치부(225)와, 데이터(Data)의 전압레벨을 상승시키기 위한 레벨 쉬프터부(226)와, 데이터(Data)의 비트값에 대응하는 데이터신호를 생성하기 위한 데이터신호 생성부(227)를 구비한다.

쉬프트 레지스터부(223)는 타이밍 제어부(250)로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받은 쉬프트 레지스터부(223)는 소스 쉬프트 클럭(SSC)에 대하여 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로  $i$ 개의 샘플링신호를 생성한다. 이를 위해, 쉬프트 레지스터부(223)는  $i$ 개의 쉬프트 레지스터(2231 내지 223i)를 구비한다.

샘플링 래치부(224)는 쉬프트 레지스터부(223)로부터 순차적으로 공급되는 샘플링신호에 대응하여 데이터(Data)를 순차적으로 저장한다. 이를 위해, 샘플링 래치부(224)는  $i$ 개의 데이터(Data)를 저장하기 위한  $i$ 개의 샘플링 래치들(2241 내지 224i)을 구비한다. 여기서, 샘플링 래치들(2241 내지 224i) 각각의 크기는  $k$ 비트의 데이터(Data)를 저장할 수 있도록 설정된다. 이후, 설명의 편의성을 위하여  $k$ 비트를 6비트로 가정하기로 한다.

홀딩 래치부(225)는 타이밍 제어부(250)로부터 공급되는 소스 출력 인에이블(SOE) 신호에 응답하여 샘플링 래치부(224)로부터 데이터(Data)를 입력받아 저장하고, 저장된 데이터(Data)들을 레벨 쉬프터부(226)로 공급한다. 이를 위해, 홀딩 래치부(225)는  $i$ 개의 홀딩 래치들(2251 내지 225i)을 구비한다. 그리고, 홀딩 래치들(2251 내지 225i) 각각은 데이터를 저장할 수 있도록  $k$ 비트로 구성된다.

레벨 쉬프터부(226)는 홀딩 래치부(225)로부터 공급되는 데이터(Data)의 전압레벨을 상승시켜 데이터신호 생성부(227)로 공급한다. 외부로부터 데이터 구동부(220)로 높은 전압을 가지는 데이터(Data)를 공급하려면 높은 전압레벨에 대응되는 회로 부품들이 설치되어야 하기 때문에 제조비용이 증가된다. 따라서, 데이터 구동부(220)의 외부에서는 낮은 전압레벨을 가지는 데이터(Data)를 공급하고, 이 낮은 전압레벨을 가지는 데이터(Data)를 레벨 쉬프터부(226)에서 높은 전압레벨로 승압한다. 한편, 레벨 쉬프터부(226)는 필요에 따라서 제거될 수 있다. 이 경우, 홀딩 래치부(225)는 데이터신호 생성부(227)와 직접 접속된다.

데이터신호 생성부(227)는 데이터(Data)의 비트값(또는 계조값)에 대응하는 데이터신호를 생성하고, 생성된 데이터신호를 데이터선들(D1 내지 Di)로 공급한다. 실제로, 데이터신호 생성부(227)는 감마 전압부(229)로부터 기준전압들(refs)을 공급받고, 공급받은 기준전압들(refs)을 이용하여 데이터신호를 생성한다. 이와 같은 데이터신호 생성부(227)의 상세한 구조는 후술하기로 한다.

감마 전압부(229)는 복수의 기준전압들(refs)을 데이터신호 생성부(227)로 공급한다. 이와 같은 감마 전압부(229)는 데이터 구동회로(222)의 내부 또는 외부에 설치된다.

한편, 본 발명에서는 도 4b와 같이 데이터신호 생성부(227)와 데이터선들(D1 내지 Di) 사이에 접속되는 버퍼부(228)를 더 구비할 수 있다. 버퍼부(228)는 데이터신호 생성부(227)로부터 공급되는 데이터신호를 데이터선들(D1 내지 Di)로 전달한다.

도 5는 도 4에 도시된 데이터신호 생성부를 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 의한 데이터신호 생성부(227)는 각각의 채널마다 설치되는 제 1DAC(300), 제 2DAC(302) 및 디코더부(304)를 구비한다.

제 1DAC(300)는 레벨 쉬프터부(226) 또는 홀딩 래치부(225)로부터 공급되는 데이터의 상위비트들에 대응하여 감마 전압부(229)로부터 공급되는 기준전압들(refs) 중에서 제 1기준전압(ref1) 및 제 2기준전압(ref2)을 선택한다. 그리고, 제 1DAC(300)는 제 1라인(L1) 및 제 2라인(L2)을 경유하여 제 1기준전압(ref1) 및 제 2기준전압(ref2)을 제 2DAC(302)로 공급한다. 다시 말하여, 제 1DAC(300)는 데이터(Data)의 상위 3비트의 비트값에 대응하여 다수의 기준전압들(refs) 중 2

개의 기준전압을 추출하고, 추출된 2개의 기준전압을 제 1기준전압(ref1) 및 제 2기준전압(ref2)으로써 제 2DAC(302)로 공급한다. 이후, 설명의 편의성을 위하여 제 2기준전압(ref2)의 전압값이 제 1기준전압(ref1)의 전압값보다 낮게 설정된다고 가정하기로 한다.

제 2DAC(302)는 제 1기준전압(ref1) 및 제 2기준전압(ref2)을 복수의 기준전압으로 분압한다. 그리고, 제 2DAC(302)는 데이터의 하위 3비트에 대응하여 제 1기준전압(ref1), 제 2기준전압(ref2) 및 분압된 전압들 중 어느 하나의 전압을 데이터신호로써 출력단자(out)로 공급한다.

디코더부(304)는 데이터의 하위 3비트에 대응하여 제 2DAC(302)에 포함되는 스위치들의 턴-온 및 턴-오프를 제어한다. 여기서, 디코더부(304)는 데이터의 하위 3비트에 대응하여 제 1라인(L1)과 제 2라인(L2) 사이에 저항값이 가변적으로 제어되도록 스위치들의 턴-온 및 턴-오프를 제어한다.

도 6은 본 발명의 제 1실시예에 의한 제 2DAC를 나타내는 도면이다.

도 6을 참조하면, 본 발명의 실시예에 의한 제 2DAC(302)는 제 1라인(L1)과 제 2라인(L2) 사이에 설치되는 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28), 제 3분압저항들(R31 내지 R38), 제 4분압저항들(R41 내지 R48) 및 제 5분압저항들(R51 내지 T58)을 구비한다.

제 1분압저항들(R11 내지 R18)은 제 1라인(L1)과 제 2라인(L2) 사이에 직렬로 설치되어 제 1기준전압(ref1)과 제 2기준전압(ref2)의 전압값을 분압한다. 여기서, 제 1기준전압(ref1) 및 제 2기준전압(ref2)이 균등하게 분압될 수 있도록 제 1분압저항들(R11 내지 R18) 각각의 저항값은 동일하게 설정된다.

그리고, 제 1분압저항들(R11 내지 R18)과 제 1라인(L1) 사이에는 제 1스위치(SW1)가 설치된다. 이와 같은 제 1스위치(SW1)는 항상 턴-온 상태를 유지하면서 제 1라인(L1)과 제 1분압저항들(R11 내지 R18)을 전기적으로 접속시킨다. 이와 같은 제 1스위치(SW1)는 추후 설명될 제 2스위치(SW2), 제 3스위치(SW3), 제 4스위치(SW4) 및 제 5스위치(SW5)의 턴-온저항을 보상하기 위하여 설치된다.

제 2분압저항들(R21 내지 R28)은 제 1라인(L1)과 제 2라인(L2) 사이에서 제 1분압저항들(R11 내지 R18)과 병렬로 설치된다. 그리고, 제 2분압저항들(R21 내지 R28)과 제 1라인(L1) 사이에는 제 2스위치(SW2)가 설치된다. 제 2스위치(SW2)는 디코더부(304)로부터 제 1제어신호(CS1)가 공급될 때 턴-온되어 제 2분압저항들(R21 내지 R28)과 제 1라인(L1)을 전기적으로 접속시킨다. 여기서, 제 2분압저항들(R21 내지 R28)이 제 1라인(L1)과 접속되면 제 1라인(L1)과 제 2라인(L2) 사이의 저항값이 제 1분압저항들(R11 내지 R18)이 설치된 경우보다 낮아지게 된다. 한편, 제 2분압저항들(R21 내지 R28)의 수는 제 1분압저항들(R11 내지 R18)의 수와 동일하게 설정된다.

제 3분압저항들(R31 내지 R38)은 제 1라인(L1)과 제 2라인(L2) 사이에서 제 2분압저항들(R21 내지 R28)과 병렬로 설치된다. 그리고, 제 3분압저항들(R31 내지 R38)과 제 1라인(L1) 사이에는 제 3스위치(SW3)가 설치된다. 제 3스위치(SW3)는 디코더부(304)로부터 제 2제어신호(CS2)가 공급될 때 턴-온되어 제 3분압저항들(R31 내지 R38)과 제 1라인(L1)을 전기적으로 접속시킨다. 여기서, 제 3분압저항들(R31 내지 R38)이 제 1라인(L1)과 접속되면 제 1라인(L1)과 제 2라인(L2) 사이의 저항값이 제 1분압저항들(R11 내지 R18) 및 제 2분압저항들(R21 내지 R28)이 설치된 경우보다 낮아지게 된다. 한편, 제 3분압저항들(R31 내지 R38)의 수는 제 1분압저항들(R11 내지 R18)의 수와 동일하게 설정된다.

제 4분압저항들(R41 내지 R48)은 제 1라인(L1)과 제 2라인(L2) 사이에서 제 3분압저항들(R31 내지 R38)과 병렬로 설치된다. 그리고, 제 4분압저항들(R41 내지 R48)과 제 1라인(L1) 사이에는 제 4스위치(SW4)가 설치된다. 제 4스위치(SW4)는 디코더부(304)로부터 제 3제어신호(CS3)가 공급될 때 턴-온되어 제 4분압저항들(R41 내지 R48)과 제 1라인(L1)을 전기적으로 접속시킨다. 여기서, 제 4분압저항들(R41 내지 R48)이 제 1라인(L1)과 접속되면 제 1라인(L1)과 제 2라인(L2) 사이의 저항값이 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28) 및 제 3분압저항들(R31 내지 R38)이 설치된 경우보다 낮아지게 된다. 한편, 제 4분압저항들(R41 내지 R48)의 수는 제 1분압저항들(R11 내지 R18)의 수와 동일하게 설정된다.

제 5분압저항들(R51 내지 R58)은 제 1라인(L1)과 제 2라인(L2) 사이에서 제 4분압저항들(R41 내지 R48)과 병렬로 설치된다. 그리고, 제 5분압저항들(R51 내지 R58)과 제 1라인(L1) 사이에는 제 5스위치(SW5)가 설치된다. 제 5스위치(SW5)는 디코더부(304)로부터 제 4제어신호(CS3)가 공급될 때 턴-온되어 제 5분압저항들(R51 내지 R58)과 제 1라인(L1)을 전기적으로 접속시킨다. 여기서, 제 5분압저항들(R51 내지 R58)이 제 1라인(L1)과 접속되면 제 1라인(L1)과 제 2라인

(L2) 사이의 저항값이 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28), 제 3분압저항들(R31 내지 R38) 및 제 4분압저항들(R41 내지 R48)이 설치된 경우보다 낮아지게 된다. 한편, 제 5분압저항들(R51 내지 R58)의 수는 제 1분압저항들(R11 내지 R18)의 수와 동일하게 설정된다.

본 발명에서는 설명의 편의성을 위하여 제 1분압저항들(R11 내지 R18)과 병렬로 4개의 분압저항열들(R21 내지 R28, R31 내지 R38, R41 내지 R48, R51 내지 R58)을 도시하였지만 본 발명이 이에 한정되는 것은 아니다. 실제로, 본 발명에서는 제 1분압저항들(R11 내지 R18)과 병렬로 위치되도록 적어도 하나의 분압저항열이 설치된다.

본 발명의 실시예에 의한 제 2DAC(302)는 제 10스위치들(SW11 내지 S18), 제 20스위치들(SW21 내지 SW27), 제 30스위치들(SW30 내지 SW37), 제 40스위치들(SW41 내지 SW47) 및 제 50스위치들(SW51 내지 SW57)을 더 구비한다.

제 10스위치들(SW11 내지 SW18)은 제 1분압저항들(R11 내지 R18) 각각의 노드마다 설치되어 제 1분압저항들(R11 내지 R18)에서 분압된 전압을 출력단자(out)로 공급한다.

제 11스위치(SW11)는 제 1노드(N1)와 출력단자(out) 사이에 설치되어 제 2기준전압(ref2)을 출력단자(out)로 공급한다. 제 12스위치(SW12)는 제 2노드(N2)와 출력단자(out) 사이에 설치되어 제 2노드(N2)의 전압값을 출력단자(out)로 공급한다. 제 13스위치(SW13)는 제 3노드(N3)와 출력단자(out) 사이에 설치되어 제 3노드(N3)의 전압값을 출력단자(out)로 공급한다. 제 14스위치(SW14)는 제 4노드(N4)와 출력단자(out) 사이에 설치되어 제 4노드(N4)의 전압값을 출력단자(out)로 공급한다. 제 15스위치(SW15)는 제 5노드(N5)와 출력단자(out) 사이에 설치되어 제 5노드(N5)의 전압값을 출력단자(out)로 공급한다. 제 16스위치(SW16)는 제 6노드(N6)와 출력단자(out) 사이에 설치되어 제 6노드(N6)의 전압값을 출력단자(out)로 공급한다. 제 17스위치(SW17)는 제 7노드(N7)와 출력단자(out) 사이에 설치되어 제 7노드(N7)의 전압값을 출력단자(out)로 공급한다. 제 18스위치(SW18)는 제 8노드(N8)와 출력단자(out) 사이에 설치되어 제 8노드(N8)의 전압값을 출력단자(out)로 공급한다.

여기서, 제 10스위치들(SW11 내지 SW18)은 데이터의 하위 3비트에 대응하여 디코더부(304)로부터 턴-온 및 턴-오프가 제어된다. 다시 말하여, 디코더부(304)는 데이터의 하위비트들에 대응하여 제 10스위치들(SW11 내지 SW18) 중 어느 하나를 턴-온 시킴으로써 소정의 전압값을 출력단자(out)로 공급한다. 그리고, 출력단자(out)로 공급된 전압값은 데이터신호로써 화소(240)로 공급된다. 여기서, 데이터신호는 버퍼부(228)를 경유하여 화소(240)로 공급될 수도 있다.

제 20스위치들(SW21 내지 SW27)은 제 1분압저항들(R11 내지 R18)의 각각의 노드와 제 2분압저항들(R21 내지 R28) 각각의 노드마다 설치된다. 이와 같은 제 20스위치들(SW21 내지 SW27)은 디코더부(304)로부터 공급되는 제 1제어신호(CS1)에 응답하여 제 2스위치(SW2)와 동시에 턴-온된다. 그러면, 제 1분압저항들(R11 내지 R18)과 제 2분압저항들(R21 내지 R28)의 각각의 노드가 전기적으로 접속된다.

제 30스위치들(SW31 내지 SW37)은 제 2분압저항들(R21 내지 R28)의 각각의 노드와 제 3분압저항들(R31 내지 R38) 각각의 노드마다 설치된다. 이와 같은 제 30스위치들(SW31 내지 SW37)은 디코더부(304)로부터 공급되는 제 2제어신호(CS2)에 응답하여 제 3스위치(SW3)와 동시에 턴-온된다. 그러면, 제 2분압저항들(R21 내지 R28)과 제 3분압저항들(R31 내지 R38) 각각의 노드가 전기적으로 접속된다.

제 40스위치들(SW41 내지 SW47)은 제 3분압저항들(R31 내지 R38)의 각각의 노드와 제 4분압저항들(R41 내지 R48) 각각의 노드마다 설치된다. 이와 같은 제 40스위치들(SW41 내지 SW47)은 디코더부(304)로부터 공급되는 제 3제어신호(CS3)에 응답하여 제 4스위치(SW4)와 동시에 턴-온된다. 그러면, 제 3분압저항들(R31 내지 R38)과 제 4분압저항들(R41 내지 R48) 각각의 노드가 전기적으로 접속된다.

제 50스위치들(SW51 내지 SW57)은 제 4분압저항들(R41 내지 R48)의 각각의 노드와 제 5분압저항들(R51 내지 R58) 각각의 노드마다 설치된다. 이와 같은 제 50스위치들(SW51 내지 SW57)은 디코더부(304)로부터 공급되는 제 4제어신호(CS4)에 응답하여 제 5스위치(SW5)와 동시에 턴-온된다. 그러면, 제 4분압저항들(R41 내지 R48)과 제 5분압저항들(R51 내지 R58) 각각의 노드가 전기적으로 접속된다.

이와 같은 본 발명의 실시예에 의한 제 2DAC(302)의 동작과정을 표 1과 결부하여 상세히 설명하기로 한다.

**[표 1]**

Data			스위치											
D2	D1	D0	SW11	SW12	SW13	SW14	SW15	SW16	SW17	SW18	SW2	SW3	SW4	SW5
0	0	0	on	off	off	off	off	off	off	off	off	off	off	off
0	0	1	off	on	off	off	off	off	off	off	on	off	off	off
0	1	0	off	off	on	off	off	off	off	off	on	on	off	off
0	1	1	off	off	off	on	off	off	off	off	on	on	on	off
1	0	0	off	off	off	off	on	off	off	off	on	on	on	on
1	0	1	off	off	off	off	off	on	off	off	on	on	on	off
1	1	0	off	off	off	off	off	off	on	off	on	on	off	off
1	1	1	off	off	off	off	off	off	off	on	on	off	off	off

표 1은 데이터(Data)의 하위 3비트에 대응하여 디코더부(304)에서 제어하는 스위치들의 턴-온 및 턴-오프를 나타내는 도면이다.

도 6 및 표 1을 결부하여 제 2DAC(302)의 동작과정을 상세히 설명하면, 먼저 "000"의 하위 3비트가 입력되는 경우 디코더부(304)는 제 11스위치(S11)를 턴-온시킨다. 그러면, 제 1노드(N1)에 인가된 제 2기준전압(ref2)이 출력단자(out)로 공급된다. 출력단자로 공급된 제 2기준전압(ref2)은 데이터신호로써 화소들(240)로 공급된다. 여기서, 제 2기준전압(ref2)이 인가되는 경우 제 1라인(L1)과 제 2라인(L2) 사이는 제 1분압저항들(R11 내지 R18)만이 접속되기 때문에 높은 저항값을 갖는다. 즉, 제 2기준전압(ref2)을 출력하는 경우 제 1라인(L1)과 제 2라인(L2) 사이의 저항값이 높게 설정되기 때문에 정전류에 의한 전압강하를 방지할 수 있고, 이에 따라 원하는 전압값을 가지는 데이터신호를 공급할 수 있다.

"100"의 하위 3비트가 입력되는 경우(즉, 중간계조의 전압이 출력되는 경우) 디코더부(304)는 제 2스위치(SW2), 제 3스위치(SW3), 제 4스위치(SW4), 제 5스위치(SW5) 및 제 15스위치(SW15)를 턴-온시킨다.

제 2스위치(SW2), 제 3스위치(SW3), 제 4스위치(SW4) 및 제 5스위치(SW4)가 턴-온되면 제 2분압저항들(R21 내지 R28), 제 3분압저항들(R31 내지 R38), 제 4분압저항들(R41 내지 R48) 및 제 5분압저항들(R51 내지 R58) 각각이 제 1분압저항들(R11 내지 R18)과 병렬로 접속된다. 이와 같이, 제 2분압저항들(R21 내지 R28), 제 3분압저항들(R31 내지 R38), 제 4분압저항들(R41 내지 R48) 및 제 5분압저항들(R51 내지 R58) 각각이 제 1분압저항들(R11 내지 R18)과 병렬로 접속되면 제 1라인(L1)과 제 2라인(L2) 사이의 저항값이 "000"의 하위 3비트가 입력되는 경우보다 낮아지게 된다.

한편, 디코더부(304)는 제 2스위치(SW2)와 동시에 제 20스위치들(SW21 내지 SW27)을 턴-온시키고, 제 3스위치들(SW3)과 동시에 제 30스위치들(SW31 내지 SW37)을 턴-온시킨다. 그리고, 디코더부(304)는 제 4스위치들(SW4)과 동시에 제 40스위치들(SW41 내지 SW47)을 턴-온시키고, 제 5스위치들(SW5)과 동시에 제 50스위치들(SW51 내지 SW57)을 턴-온시킨다. 그러면, 제 1 내지 제 5분압저항들(R11 내지 R18, R21 내지 R28, R31 내지 R38, R41 내지 R48, R51 내지 R58) 각각의 노드가 전기적으로 접속된다.

제 15스위치(SW15)가 턴-온되면 제 5노드(N5)에 인가된 전압값이 데이터신호로써 출력단자(out)로 공급된다. 즉, "100"의 하위 3비트가 입력되는 경우 중간계조의 전압이 출력단자(out)로 공급된다. 여기서, 중간계조의 전압이 출력단자(out)로 공급될 때 제 1라인(L1)과 제 2라인(L2) 사이의 저항은 제 2기준전압(ref2)의 출력될 때 보다 낮게 설정된다. 이와 같이 제 1라인(L1)과 제 2라인(L2) 사이의 저항이 낮게 설정되면 데이터신호로써 중간계조의 전압이 출력되는 경우에는 화소(240)에 충전되는 충전속도가 향상된다.

한편, "000" 내지 "100" 사이의 "001", "010", "011"의 계조를 표현할 때는 제 1라인(L1)과 제 2라인(L2) 사이의 저항이 순차적으로 낮아지도록 설정한다. 다시 말하여, 제 2계조전압(ref2)으로부터 중간계조로 갈수록 제 1라인(L1)과 제 2라인(L2) 사이의 저항을 순차적으로 낮아지도록 설정하면서 계조전압을 공급하게 된다. 다시 말하여, 하위 3비트로 "001"이 입력되는 경우 디코더부(304)는 제 2스위치(SW2)를 턴-온하여 제 2분압저항들(R21 내지 R28)과 제 1분압저항들(R11 내지 R18)을 병렬로 접속시킨다. 그리고, 하위 3비트로 "010"이 입력되는 경우 디코더부(304)는 제 2스위치(SW3) 및 제 3스위치(SW3)를 턴-온하여 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28) 및 제 3분압저항들(R31 내지 R38)을 병렬로 접속시킨다. 또한, 하위 3비트로 "011"이 입력되는 경우 디코더부(304)는 제 2스위치(SW2), 제 3스위치(SW3) 및 제 4스위치(SW4)를 턴-온하여 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28), 제 3분압저항들(R31 내지 R38) 및 제 4분압저항들(R41 내지 R48)을 병렬로 접속시킨다.

마찬가지로, 디코더부(304)는 제 1계조전압(ref1)으로부터 중간계조로 갈수록 제 1라인(L1)과 제 2라인(L2) 사이의 저항이 순차적으로 낮아지도록 설정하면서 계조전압을 공급한다.

다시 말하여, 하위 3비트로 "111"이 입력되는 경우 디코더부(304)는 제 2스위치(SW2)를 턴-온하여 제 2분압저항들(R21 내지 R28)과 제 1분압저항들(R11 내지 R18)을 병렬로 접속시킨다. 그리고, 하위 3비트로 "110"이 입력되는 경우 디코더부(304)는 제 2스위치(SW3) 및 제 3스위치(SW3)를 턴-온하여 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28) 및 제 3분압저항들(R31 내지 R38)을 병렬로 접속시킨다. 또한, 하위 3비트로 "101"이 입력되는 경우 디코더부(304)는 제 2스위치(SW2), 제 3스위치(SW3) 및 제 4스위치(SW4)를 턴-온하여 제 1분압저항들(R11 내지 R18), 제 2분압저항들(R21 내지 R28), 제 3분압저항들(R31 내지 R38) 및 제 4분압저항들(R41 내지 R48)을 병렬로 접속시킨다.

도 7은 본 발명의 제 2실시예에 의한 제 2DAC를 나타내는 도면이다. 도 7을 설명할 때 도 6과 동일한 구성에 대해서 상세한 설명은 생략하기로 한다.

도 7을 참조하면, 본 발명의 제 2실시예에 의한 제 2DAC(302)에서 제 1스위치(SW1)는 제 1분압저항들(R11 내지 R18)과 제 2라인(L2) 사이에 위치되고, 제 2스위치(SW2)는 제 2분압저항들(R21 내지 R28)과 제 2라인(L2) 사이에 위치된다. 그리고, 제 3스위치(SW3)는 제 3분압저항들(R31 내지 R38)과 제 2라인(L2) 사이에 위치되고, 제 4스위치(SW4)는 제 4분압저항들(R41 내지 R48)과 제 2라인(L2) 사이에 위치된다. 또한, 제 5스위치(SW5)는 제 5분압저항들(R51 내지 R58)과 제 2라인(L2) 사이에 위치된다. 이와 같은 본 발명의 제 2실시예에서는 제 1 내지 제 5스위치(SW1 내지 SW5)의 설치 위치만 변경될 뿐 구동과정을 도 6의 도시된 본 발명의 제 1실시예에 의한 제 2DAC(302)와 동일하게 설정된다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

### 발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 데이터 구동부 및 이를 이용한 유기 발광 표시장치와 그의 구동방법에 의하면 제 1기준전압 및 제 2기준전압을 데이터신호로 출력할 때 제 1라인과 제 2라인 사이의 저항값을 높게 설정하여 원하는 전압값을 가지는 데이터신호가 출력단자로 공급되도록 한다. 또한, 본 발명에서는 제 1기준전압과 제 2기준전압 사이의 중간계조 전압을 출력할 때 제 1라인과 제 2라인 사이의 저항값을 낮게 설정하여 화소에서 짧은 시간 동안 중간계조의 전압이 충전되도록 하여 구동능력을 향상한다. 그리고, 제 1기준전압으로부터 중간계조의 전압으로 갈수록 제 1라인 및 제 2라인 사이의 저항값을 점차적으로 낮게 설정하여 계조전압을 생성함으로써 구동능력 및 전압강하 없는 데이터신호를 생성할 수 있다. 마찬가지로, 제 2기준전압으로부터 중간계조의 전압으로 갈수록 제 1라인 및 제 2라인 사이의 저항값을 점차적으로 낮게 설정하여 계조전압을 생성함으로써 구동능력 및 전압강하 없는 데이터신호를 생성할 수 있다.

### 도면의 간단한 설명

도 1은 종래의 디지털-아날로그 변환부를 나타내는 도면이다.

도 2는 도 1에 도시된 분압저항들의 저항값이 낮아질 때 정전류에 의한 전압강하를 나타내는 도면이다.

도 3은 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 4a 및 도 4b는 도 3에 도시된 데이터 구동회로를 상세히 나타내는 블록도이다.

도 5는 도 4에 도시된 데이터신호 생성부를 나타내는 도면이다.

도 6은 도 5에 도시된 제 2디지털-아날로그 변환부의 제 1실시예를 나타내는 도면이다.

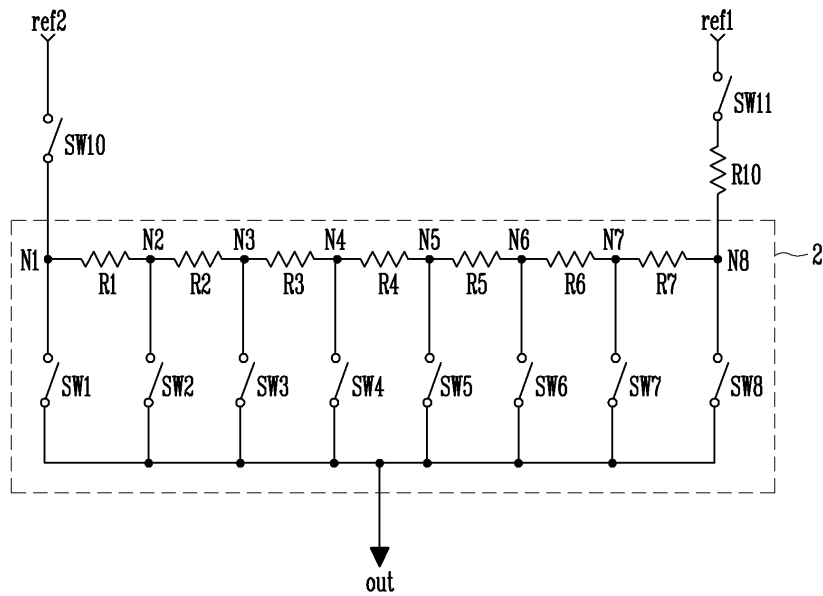
도 7은 도 5에 도시된 제 2디지털-아날로그 변환부의 제 2실시예를 나타내는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

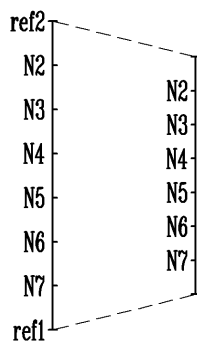
- 2,300,302 : DAC 210 : 주사 구동부
- 220 : 데이터 구동부 222 : 데이터 구동회로
- 223 : 쉬프트 레지스터부 224 : 샘플링 래치부
- 225 : 홀딩 래치부 226 : 레벨 쉬프터부
- 227 : 데이터신호 생성부 228 : 버퍼부
- 229 : 감마 전압부 230 : 화소부
- 240 : 화소 250 : 타이밍 제어부

도면

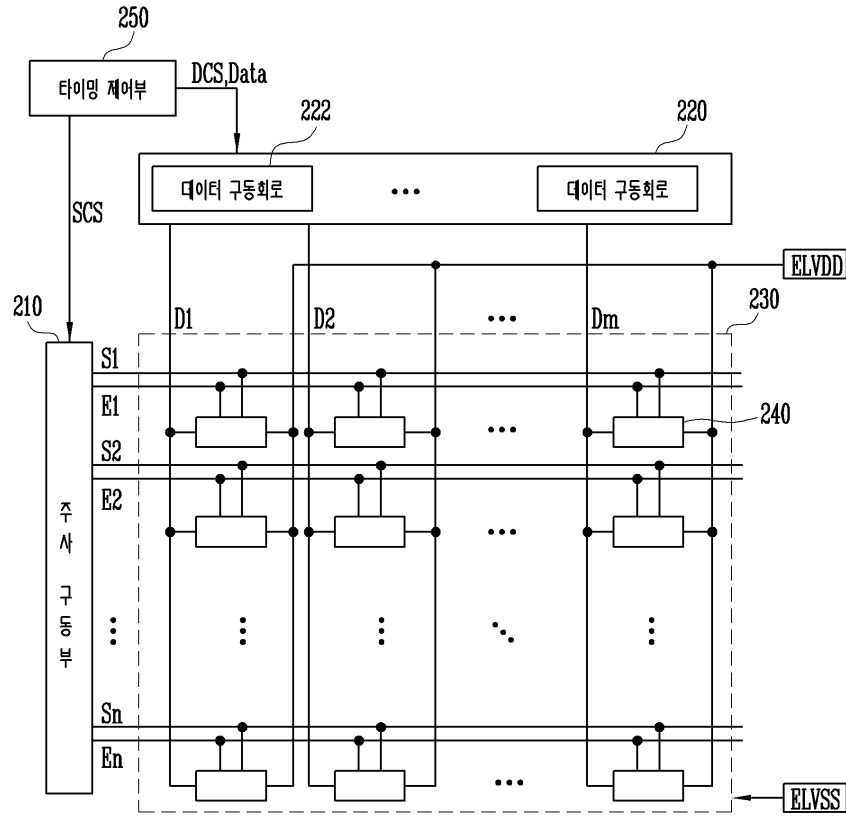
도면1



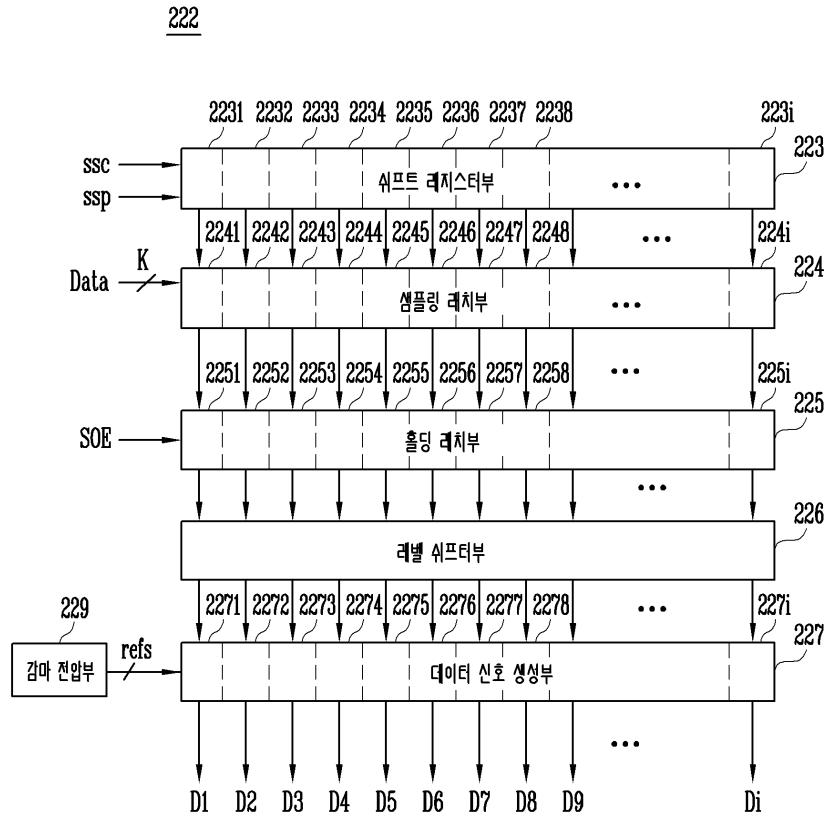
도면2



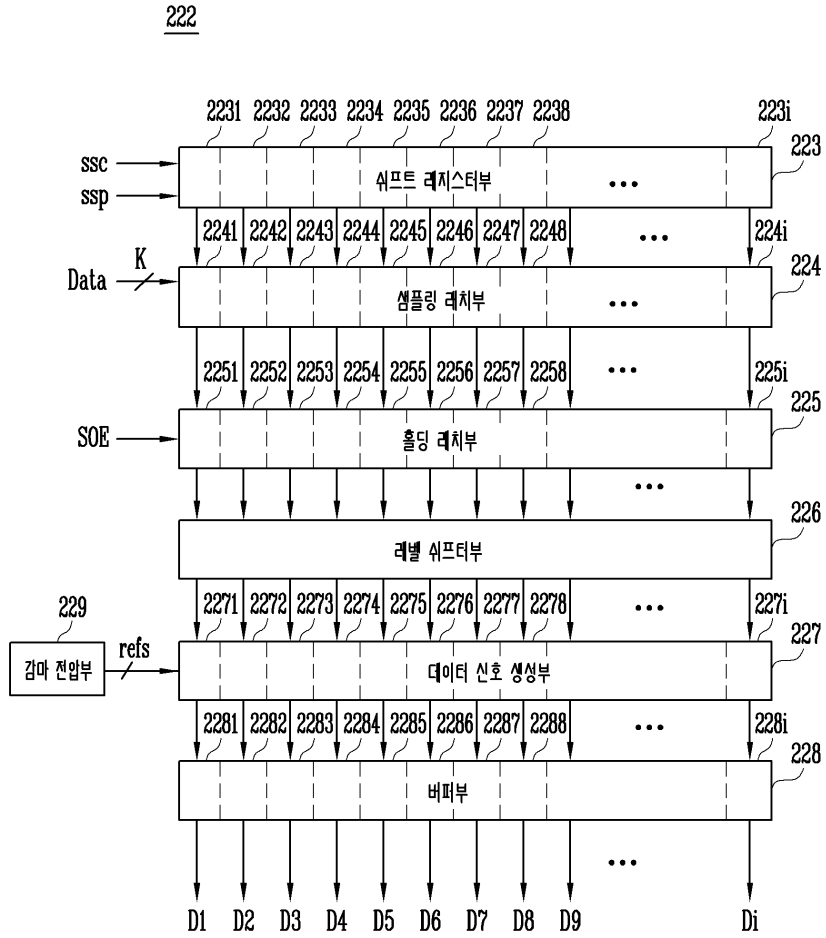
도면3



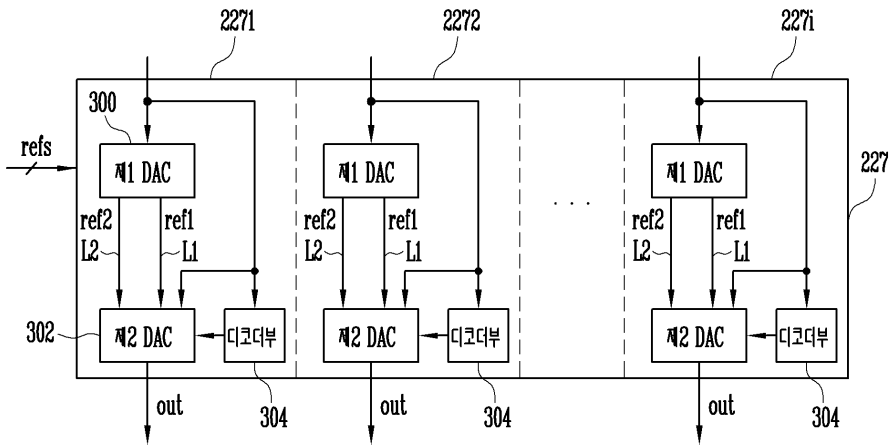
도면4a



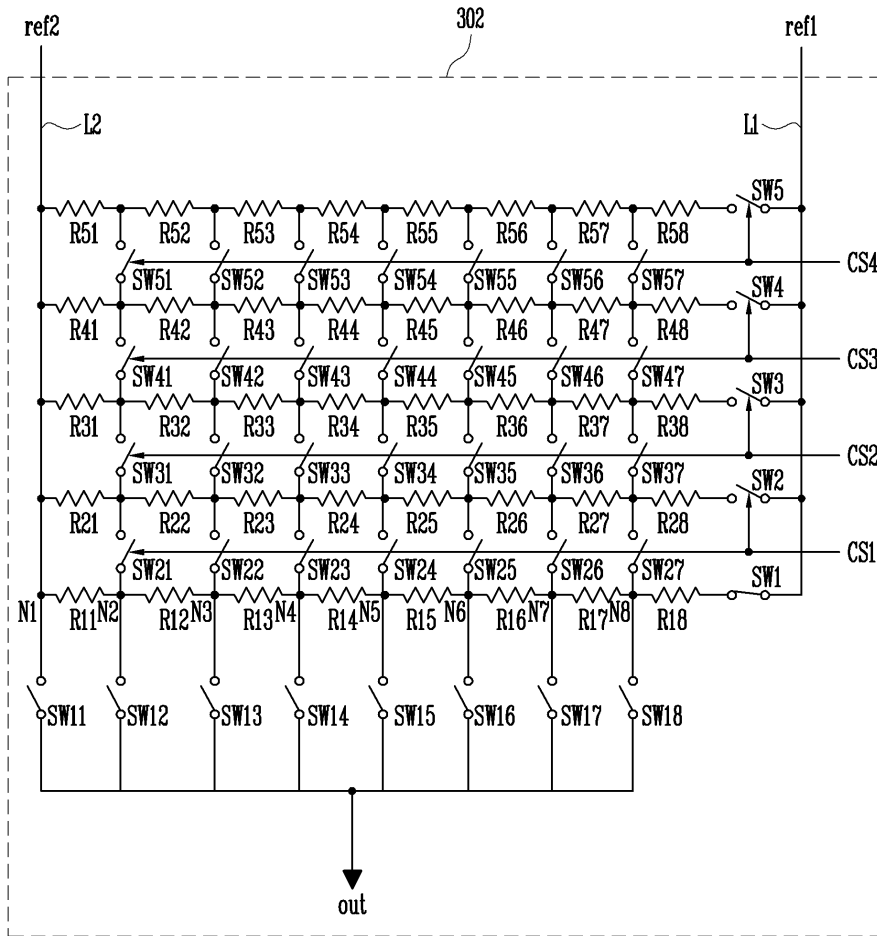
도면4b



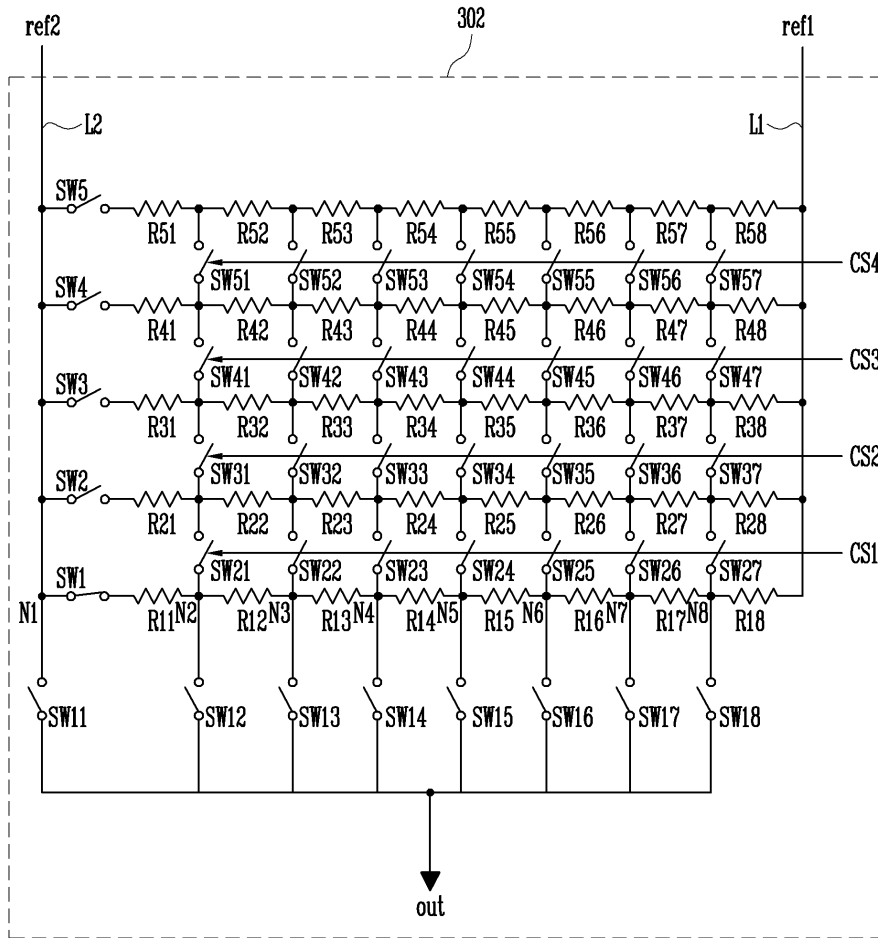
도면5



도면6



도면7



专利名称(译)	数据驱动器和使用其的有机发光显示器及其驱动方法		
公开(公告)号	<a href="#">KR100671659B1</a>	公开(公告)日	2007-01-19
申请号	KR1020050127233	申请日	2005-12-21
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SANGMOO CHOI 최상무		
发明人	최상무		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	H03M1/765 H03M1/68 G09G3/3208 G09G2320/0252 G09G2310/027 G09G2330/021 G09G3/2011 G09G2320/0223		
代理人(译)	SHIN , YOUNG MOO		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种数据驱动器和使用该数据驱动器的有机EL (电致发光) 显示装置及其驱动方法, 以通过在短时间内通过降低电阻来对具有灰度电压的像素充电来增强显示装置的驱动能力和第二条数据线。有机EL显示装置的数据驱动器包括第一DAC (数模转换器), 第一分压电阻器 (R11~R18), 分压电阻器单元, 开关和解码器。第一DAC从多个参考电压中选择两个参考电压, 这些参考电压相应于数据的高位从外部提供, 并将所选择的结果提供给第一和第二行。第一分压电阻器布置在第一和第二线之间, 并通过划分参考电压产生多个灰度电压。分压电阻器单元包括在第二DAC (302) 中并包括至少一个分压电阻器, 其与第一分压电阻器并联耦合。开关布置在第一和第二线之一与分压电阻之间。解码器相应于数据的较低位开启/关闭开关。

