



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.
 G09G 3/30 (2006.01)

(45) 공고일자 2007년01월10일
 (11) 등록번호 10-0666637
 (24) 등록일자 2007년01월03일

(21) 출원번호 10-2005-0078923
 (22) 출원일자 2005년08월26일
 심사청구일자 2005년08월26일

(65) 공개번호
 (43) 공개일자

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 정보용
 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인 박상수

(56) 선행기술조사문현
 JP2004177532 A KR1020050113683 A
 * 심사관에 의하여 인용된 문현

심사관 : 최정윤

전체 청구항 수 : 총 14 항

(54) 유기 전계발광 표시장치의 발광제어 구동장치

(57) 요약

SOP(System On Panel)용으로 사용되는 유기 전계발광 표시장치의 발광제어 구동장치에 대하여 개시한다. 발광제어 구동장치는 홀수 번째 라인에 발광제어신호를 인가하는 다수의 플립플롭으로 구성된 홀수라인 제어부와 짝수 번째 라인에 발광제어신호를 인가하는 다수의 플립플롭으로 구성된 짝수라인 제어부를 가진다. 홀수라인 제어부 및 짝수라인 제어부의 각각의 플립플롭은 클럭신호와 반전된 클럭신호가 교차하여 입력된다. 각각의 플립플롭은 9개의 PMOS 트랜지스터와 2개의 커패시터로 구성된다.

대표도

도 4

특허청구의 범위

청구항 1.

홀수 번째 발광제어라인에 발광제어신호를 순차적으로 인가하는 다수의 플립플롭들을 가지는 홀수라인 제어부; 및 짹수 번째 발광제어라인에 발광제어신호를 순차적으로 인가하는 다수의 플립플롭들을 가지는 짹수라인 제어부를 포함하며,

상기 플립플롭은,

입력신호를 인가받아 제어신호와 반전된 제어신호에 따라 일정 레벨 상태의 신호를 출력하는 입력부;

상기 입력부의 출력신호를 반전시키기 위한 제 1 인버터;

상기 제 1 인버터의 출력신호를 반전시키기 위한 제 2 인버터; 및

상기 제 2 인버터의 출력신호를 반전시켜 발광제어신호를 출력하기 위한 출력부를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 2.

제 1 항에 있어서,

상기 입력부는,

양의 전원전압과 제 1 노드 사이에 연결되고, 게이트 단자에 입력되는 상기 제어신호의 레벨 상태에 따라 스위칭 동작을 수행하는 제 1 트랜지스터;

제 2 노드에 제 1 전극이 연결되고, 게이트 단자에 입력되는 상기 제어신호의 레벨 상태에 따라 제 2 전극으로 인가되는 상기 입력신호를 전달 또는 차단하는 제 2 트랜지스터; 및

상기 제 1 노드와 상기 반전된 제어신호 라인 사이에 연결되고, 게이트 단자에 연결된 제 2 노드의 레벨 상태에 따라 스위칭 동작을 수행하는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 3.

제 2 항에 있어서,

상기 입력부는,

상기 제 2 트랜지스터의 소스-게이트 사이에 연결되어 일정시간 전압을 유지하는 제 1 커패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 4.

제 3 항에 있어서,

상기 홀수라인 제어부로 인가되는 제어신호 및 반전된 제어신호는 각각 제 1 클럭신호 및 반전된 제 1 클럭신호이고,

상기 짹수라인 제어부로 인가되는 제어신호 및 반전된 제어신호는 각각 제 2 클럭신호 및 반전된 제 2 클럭신호이며,

상기 제 2 클럭신호 및 반전된 제 2 클럭신호는 상기 제 1 클럭신호 및 반전된 제 1 클럭신호 보다 1/4주기 시프트되어 인가되는 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 5.

제 4 항에 있어서,

상기 홀수라인 제어부의 홀수 번째 플립플롭의 클럭입력단에는 상기 제 1 클럭신호가 인가되고, 짝수 번째 플립플롭의 클럭입력단에는 상기 반전된 제 1 클럭신호가 인가되며,

상기 짝수라인 제어부의 홀수 번째 플립플롭의 클럭입력단에는 상기 제 2 클럭신호가 인가되고, 짝수 번째 플립플롭의 클럭입력단에는 상기 반전된 제 2 클럭신호가 인가되는 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 6.

제 5 항에 있어서,

상기 제 1 인버터는,

양의 전원전압 라인과 제 3 노드 사이에 연결되고, 게이트 단자가 상기 입력부의 제 1 노드에 연결되며, 상기 제 1 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 4 트랜지스터; 및

음의 전원전압 라인과 제 3 노드 사이에 연결되고, 게이트 단자가 상기 제 1 트랜지스터의 게이트 단자와 연결되며, 상기 제어신호의 레벨상태에 따라 스위칭 동작을 수행하는 제 5 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 7.

제 6 항에 있어서,

상기 제 2 인버터는,

양의 전원전압 라인과 제 4 노드 사이에 연결되고, 게이트 단자가 상기 제 1 인버터의 제 3 노드에 연결되며, 상기 제 3 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 6 트랜지스터; 및

음의 전원전압 라인과 제 4 노드 사이에 연결되고, 게이트 단자가 상기 제 4 트랜지스터의 게이트 단자와 상기 입력부의 제 1 노드에 공통 연결되며, 상기 제 1 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 7 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 8.

제 7 항에 있어서,

상기 출력부는,

양의 전원전압 라인과 제 5 노드 사이에 연결되고, 게이트 단자가 상기 제 2 인버터의 제 4 노드에 연결되며, 상기 제 4 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 8 트랜지스터; 및

음의 전원전압 라인과 제 5 노드 사이에 연결되고, 게이트 단자가 상기 제 6 트랜지스터의 게이트 단자와 상기 제 1 인버터의 제 3 노드에 공통 연결되며, 상기 제 3 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 9 트랜지스터로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 9.

제 8 항에 있어서,

상기 출력부는,

상기 제 9 트랜지스터의 소스-게이트 사이에 연결되어 일정시간 전압을 유지하는 제 2 커패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 10.

제 9 항에 있어서,

상기 각각의 플립플롭은 상기 출력부의 제 5 노드로부터 상기 발광제어신호를 출력하고,

상기 제 2 인버터의 제 4 노드로부터 다음 단의 플립플롭의 입력신호를 인가하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 11.

제 10 항에 있어서,

상기 입력부, 제 1 인버터, 제 2 인버터 및 출력부를 구성하는 트랜지스터들은 PMOS 트랜지스터인 것을 특징으로 하는 유기 전계발광 표시장치의 발광제어 구동장치.

청구항 12.

소정의 영상을 표시하는 다수의 화소들의 발광을 제어하기 위한 발광제어신호를 생성하는 다수의 플립플롭으로 구성되는 발광제어 구동장치에 있어서,

상기 각각의 플립플롭은,

양의 전원전압과 제 1 노드 사이에 연결되고, 게이트 단자에 입력되는 제어신호의 레벨 상태에 따라 스위칭 동작을 수행하는 제 1 트랜지스터;

제 2 노드에 제 1 전극이 연결되고, 게이트 단자에 입력되는 상기 제어신호의 레벨 상태에 따라 제 2 전극으로 인가되는 상기 입력신호를 전달 또는 차단하는 제 2 트랜지스터;

상기 제 1 노드와 반전된 제어신호 라인 사이에 연결되고, 게이트 단자에 연결된 상기 제 2 노드의 레벨 상태에 따라 스위칭 동작을 수행하는 제 3 트랜지스터;

상기 양의 전원전압 라인과 제 3 노드 사이에 연결되고, 게이트 단자가 상기 제 1 노드에 연결되며, 상기 제 1 노드의 레벨 상태에 따라 스위칭 동작을 수행하는 제 4 트랜지스터;

상기 제 3 노드와 음의 전원전압 라인 사이에 연결되고, 게이트 단자가 상기 제 1 트랜지스터의 게이트 단자와 연결되며, 상기 게이트 단자로 인가되는 상기 제어신호의 레벨상태에 따라 스위칭 동작을 수행하는 제 5 트랜지스터;

상기 양의 전원전압 라인과 제 4 노드 사이에 연결되고, 게이트 단자가 상기 제 3 노드에 연결되며, 상기 제 3 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 6 트랜지스터;

상기 음의 전원전압 라인과 제 4 노드 사이에 연결되고, 게이트 단자가 상기 제 4 트랜지스터의 게이트 단자와 상기 제 1 노드에 공통 연결되며, 상기 제 1 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 7 트랜지스터;

상기 양의 전원전압 라인과 제 5 노드 사이에 연결되고, 게이트 단자가 상기 제 4 노드에 연결되며, 상기 제 4 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 8 트랜지스터; 및

상기 음의 전원전압 라인과 제 5 노드 사이에 연결되고, 게이트 단자가 상기 제 6 트랜지스터의 게이트 단자와 상기 제 3 노드에 공통 연결되며, 상기 제 3 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 9 트랜지스터를 포함하는 발광제어 구동장치.

청구항 13.

제 12 항에 있어서,

상기 발광제어 구동장치는,

상기 제 2 트랜지스터의 소스-게이트 사이에 연결되어 일정시간 전압을 유지하는 제 1 커패시터 및 상기 제 9 트랜지스터의 소스-게이트 사이에 연결되어 일정시간 전압을 유지하는 제 2 커패시터를 더 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 14.

제 13 항에 있어서,

상기 제 1 내지 제 9 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 발광제어 구동장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로서, 더 구체적으로는 화소부에 형성되는 다수의 화소들의 발광을 제어하기 위한 발광제어 신호를 발생하는 SOP(System On Panel)형태의 발광제어 구동부 및 이를 포함하는 유기 전계발광 표시장치에 관한 것이다.

평판표시장치는 음극선관을 이용한 표시장치보다 무게와 크기를 줄일 수 있는 장점으로 인하여 많은 연구 개발이 이루어져 왔고, 이러한 결과 액정표시장치(Liquid Crystal Display : LCD), 전계방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 유기전계발광표시장치(Organic Electroluminescent(EL) Display Device: 이하, '유기 EL 표시장치'라고 함.)등이 개발, 실용화되고 있다. 이 중 PDP는 대형화면 구성이 가능하지만 발광효율과 휘도가 낮아 소비전력이 크다는 문제점이 있고, LCD는 응답속도가 느리고, 백라이트에 의해 발광되기 때문에 소비전력이 크다는 문제가 있다.

이와 달리 유기 EL 표시장치는 유기물질을 이용하여 발광시키는 것으로써, LCD와 비교하여 시야각이 넓고, 응답속도가 빠르며, 자발광소자로써 콘트라스트(contrast)가 좋고, 시인성이 우수하다. 또한, 백라이트가 불필요함으로 소비전력이 적고, 박형화 경량화가 가능하다.

그러나, 유기 EL 표시장치는 대형화된 화면을 구성하는 경우 제조 공정 상의 제약으로부터, 유리기판 1장당의 EL 표시패널의 크기가 제한된다. 또한, 대화면의 경우, 화면의 일부에 결함이 발생한 때의 수율의 저하를 피할 수 없고, 면내의 균일성의 확보도 곤란하다.

위와 같이 대형 화면을 구성하기 곤란한 유기 EL 표시장치에 대한 해결방법의 하나로 개발된 기술이 타일링(Tiling) 기술로서, 이는 여러 개의 EL 표시패널을 타일형태로 접합시켜 하나의 표시패널을 형성하는 방법이다.

각 EL 표시패널은 종래와 같이 소정의 영상을 디스플레이 하는 다수의 화소들로 이루어져 있다. 상기 다수의 화소들을 활성화시키기 위하여 주사 구동부에서 주사신호를 인가하고, 상기 선택된 화소에 데이터 구동부에서 데이터 신호를 인가한다. 또한, 상기 데이터 신호의 정확한 프로그래밍과 발광시간을 제어하기 위하여 발광제어 구동부에서 각 화소에 발광제어 신호를 인가한다.

상기와 같이 EL 표시패널을 구동하기 위한 다양한 신호들을 인가하는 주사 구동부, 데이터 구동부 및 발광제어 구동부는 다양한 방식으로 각 EL 표시패널에 전기적으로 연결될 수 있다.

예를 들면, 각 EL 표시패널에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또한, 각 EL 표시패널에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있는데, 이를 COF(chip on flexible board, chip on film) 방식이라 한다. 이와는 달리 EL 표시패널의 유리 기판 위에 직접 장착될 수도 있는데, 이를 COG(chip on glass) 방식이라 한다.

상기와 같은 방법은 각 구동부를 따로 설계하여 전기적으로 연결하기 때문에 비용이 많이 들고, 모듈의 간소화 추세에 따르지 못한다는 문제가 있다. 따라서 최근에는 EL 표시패널 내부에 화소부, 주사/발광제어 구동부 또는/및 데이터 구동부를 설계하여 EL 표시패널 하나에 모든 시스템을 구축하려는 노력을 하고 있다. 이를 SOP(System On Panel)라 한다.

타일링(Tiling) 기술을 이용한 유기 EL 표시장치의 경우 여러 개의 EL 표시패널을 접합하여 형성하기 때문에 각 EL 표시패널들은 SOP 타입으로 만드는 것이 각 EL 표시패널들을 접합하기 쉽다. 또한, 각 구동부들이 들어가는 면적을 줄일 수 있으며, 각 구동부의 접적회로를 설계하는데 드는 비용과 노력을 줄일 수 있다.

그러나 상기와 같이 SOP 타입의 유기 EL 표시장치를 개발하기 위해서는 EL 표시패널 내부에서 데이터 구동부 또는 주사/발광제어 구동부의 구동 주파수와 전자 이동도 등과 같은 여러 가지 환경 및 조건들이 맞아야 한다. 현재 기술로써는 데이터 구동부의 경우 고속의 구동 주파수를 요구하기 때문에 패널 내부에 설계하기에는 어려움이 많다.

따라서 데이터 구동부는 CMOS기술을 이용한 접적회로 형태로 외부에서 연결하고, 주사 구동부 또는/및 발광제어 구동부는 EL표시패널 내부에 형성하고 있다. 따라서 EL 표시패널 내부에 SOP타입으로 설계되는 주사 구동부 및 발광제어 구동부가 최적으로 구동될 수 있고 구조가 단순한 회로설계가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 EL 표시패널 내부에 SOP 타입으로 설계되어 화소들의 발광시간을 제어하기 위한 발광제어 신호를 발생하는 새로운 구성의 발광제어 구동부를 설계하는데 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명의 유기 전계발광 표시장치의 발광제어 구동장치는 홀수 번째 발광제어라인에 발광제어신호를 순차적으로 인가하는 다수의 플립플롭을 가지는 홀수라인 제어부; 및 짹수 번째 발광제어라인에 발광제어신호를 순차적으로 인가하는 다수의 플립플롭들을 가지는 짹수라인 제어부를 포함하며, 상기 플립플롭은 입력신호를 인가받아 제

어신호와 반전된 제어신호에 따라 일정 레벨 상태의 신호를 출력하는 입력부; 상기 입력부의 출력신호를 반전시키기 위한 제 1 인버터; 상기 제 1 인버터의 출력신호를 반전시키기 위한 제 2 인버터; 및 상기 제 2 인버터의 출력신호를 반전시켜 발광제어신호를 출력하기 위한 출력부를 포함하는 것을 특징한다.

또한, 상기 목적은 소정의 영상을 표시하는 다수의 화소들의 발광을 제어하기 위한 발광제어신호를 생성하는 다수의 플립플롭으로 구성되는 발광제어 구동장치에 있어서, 상기 각각의 플립플롭은 양의 전원전압과 제 1 노드 사이에 연결되고, 게이트 단자에 입력되는 제어신호의 레벨 상태에 따라 스위칭 동작을 수행하는 제 1 트랜지스터; 제 2 노드에 제 1 전극이 연결되고, 게이트 단자에 입력되는 상기 제어신호의 레벨 상태에 따라 제 2 전극으로 인가되는 상기 입력신호를 전달 또는 차단하는 제 2 트랜지스터; 상기 제 1 노드와 반전된 제어신호 라인 사이에 연결되고, 게이트 단자에 연결된 상기 제 2 노드의 레벨 상태에 따라 스위칭 동작을 수행하는 제 3 트랜지스터; 상기 양의 전원전압 라인과 제 3 노드 사이에 연결되고, 게이트 단자가 상기 제 1 노드에 연결되며, 상기 제 1 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 4 트랜지스터; 상기 제 3 노드와 음의 전원전압 라인 사이에 연결되고, 게이트 단자가 상기 제 1 트랜지스터의 게이트 단자와 연결되며, 상기 게이트 단자로 인가되는 상기 제어신호의 레벨상태에 따라 스위칭 동작을 수행하는 제 5 트랜지스터; 상기 양의 전원전압 라인과 제 4 노드 사이에 연결되고, 게이트 단자가 상기 제 3 노드에 연결되며, 상기 제 3 노드의 레벨 상태에 따라 스위칭 동작을 수행하는 제 6 트랜지스터; 상기 음의 전원전압 라인과 제 4 노드 사이에 연결되고, 게이트 단자가 상기 제 4 노드에 연결되며, 상기 제 4 트랜지스터의 게이트 단자와 상기 제 1 노드에 공통 연결되며, 상기 제 1 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 7 트랜지스터; 상기 양의 전원전압 라인과 제 5 노드 사이에 연결되고, 게이트 단자가 상기 제 4 노드에 연결되며, 상기 제 4 노드의 레벨상태에 따라 스위칭 동작을 수행하는 제 8 트랜지스터; 및 상기 음의 전원전압 라인과 제 5 노드 사이에 연결되고, 게이트 단자가 상기 제 6 트랜지스터의 게이트 단자와 상기 제 3 노드에 공통 연결되며, 상기 제 3 노드의 레벨 상태에 따라 스위칭 동작을 수행하는 제 9 트랜지스터를 포함하는 발광제어 구동장치에 의해서도 달성될 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 타일링 기술을 이용한 대형 유기 EL 표시장치를 나타내는 블록도이다.

도 1을 참조하면, 본 발명의 실시예에 따른 타일링 기술을 이용한 유기 EL 표시장치는 다수의 유기 EL 표시장치(100)가 접합되어 구성된다. 도 1의 경우, 행(row)으로 4개의 소형 유기 EL 표시장치(100)가 접합되어 2열(column)로 구성되는 데, 설계자에 따라 다양한 크기로 접합할 수 있다.

상기 유기 EL 표시장치(100)는 영상을 디스플레이 할 수 있는 EL 표시패널(10)과 상기 EL 표시패널(10)에 영상 데이터신호를 공급하기 위한 데이터 구동부(20)로 구성된다.

상기 각각의 EL 표시패널(10)은 기본적으로 동일한 구조를 가지며, 각 에지(edge)면을 접착제로 접착하여 하나의 조합된 EL 표시패널을 형성한다. 접착제는 자외선 경화 수지나 열경화 수지 예를 들면, 에폭시(epoxy) 수지 등을 사용한다.

각 EL 표시패널(10)은 종래에 사용되는 유기전계발광표시장치의 EL 표시패널과 동일한 제조공정을 거쳐 생산될 수 있다. 따라서 동일한 제조공정을 거쳐 생산된 동일한 수개의 EL 표시패널을 부착하여 하나의 대형 EL 표시패널을 형성한다.

이러한 EL표시패널에 형성되는 주사 구동부, 발광제어 구동부 및 다수의 화소들의 박막 트랜지스터는 빠른 응답속도 및 균일성을 위하여 박막 트랜지스터의 채널로 폴리 실리콘을 갖는다. 이때 폴리 실리콘은 비정질 실리콘 층을 유리 기판 상에 형성한 후 저온 폴리 실리콘(Low Temperature Poly Silicon : LTPS)공정을 거쳐 폴리 실리콘으로 결정화시킨다.

이와 같은 LTPS 공정으로 형성된 폴리 실리콘을 이용하여 다수의 트랜지스터들을 형성하고, 상기 다수의 트랜지스터를 이용하여 EL 표시패널 내부에 레드, 그린, 블루 부화소들로 구성된 화소부와 상기 각 화소들을 선택하고 발광을 제어하기 위한 신호를 생성하는 주사 구동부 및 발광제어 구동부를 형성한다. 상기 EL 표시패널(10)에 대하여는 후술하기로 한다.

상기 각각의 데이터 구동부(20)는 CMOS형성 기술을 이용한 외장형 접적회로(IC)로 설계되어 상기 각 EL 표시패널(10)과 전기적으로 연결된다. 하나의 EL 표시패널(10)과 데이터 구동부(20) 사이의 전기적 연결은 가요성 필름상에 인쇄된 금속 패턴을 통해 달성된다. 즉, 데이터 구동부(20)의 출력 단자는 금속 패턴의 일단에 전기적으로 연결되고, 상기 EL표시패널(10) 상에 구비된 데이터라인은 상기 금속 패턴의 타단과 전기적으로 연결된다. 이를 테이프 캐리어 패키지(Tape Carrier Package : TCP)방식이라고 한다. 각각의 데이터 구동부(20)는 가요성 필름 상에 구비된 다수의 도전성 라인들을 통해 데이터 신호를 상기 EL 표시패널(10)의 화소부에 공급한다.

도 2는 도 1에 도시된 대표적인 유기 EL 표시장치를 상세히 나타낸 블록도이다.

도 2를 참조하면, 유기 EL 표시장치(100)는 EL 표시패널(10)과 데이터 구동부(20)로 구성된다.

EL 표시패널(10)은 화소부(12), 주사 구동부(14) 및 발광제어 구동부(16)로 구성된다.

화소부(12)는 다수의 데이터선(D1-Dm), 다수의 주사선(S1-Sn), 다수의 발광제어선(E1-En) 및 이 선들이 교차하는 영역에 형성된 다수의 화소(P11 내지 Pnm)를 구비한다.

상기 다수의 데이터선(D1-Dm)은 상기 데이터 구동부(20)와 전기적으로 연결되어 수직방향으로 연장되어, 각 화소들에 해당 데이터 신호를 전달한다.

또한, 다수의 주사선(S1-Sn)과 다수의 발광제어선(E1-En)은 종래와 다르게 데이터 구동부(20)와 같이 수직 방향으로 연장되지만, 수평방향으로 배열된 각 화소들에 동일한 주사 및 발광제어 신호를 전달하기 위하여 각 주사 및 발광제어선들(S1-Sn, E1-En)마다 콘택홀을 형성한다. 따라서 상기 콘택홀을 통하여 접속되는 금속배선을 수평방향으로 연장하여 수평방향의 화소들에 주사 및 발광제어 신호를 전달한다.

상기 각 화소들(P11 내지 Pnm)은 레드, 그린, 블루 3개의 부화소가 반복적으로 행과 열로 배열된다. 각 레드, 그린, 블루 부화소들은 실제 빛을 발광하는 유기 발광층의 유기 물질만 다를 뿐 배선 레이아웃이나 구동회로부의 회로 연결 관계는 모두 동일하다. 따라서 각 화소는 인가되는 데이터 신호에 해당하는 휘도로 레드, 그린, 블루 빛을 발광하고, 이들 3색의 조합으로 하나의 칼라를 표현한다.

주사 구동부(14)는 상기 데이터 구동부(20)와 화소부(12)사이에 형성된다. 이는 다수의 EL 표시패널(10)이 접합되어 하나의 대형 패널을 형성하기 때문에 각 주사 구동부(14)는 데이터 구동부(20)와 동일한 편(이를 '편축구동'이라 한다.)에 형성되어야 한다. 주사 구동부(14)는 다수의 주사선(S1-Sn)과 연결되며, 상기 화소부(12)에 순차적으로 주사신호를 인가하여 각 화소들(P11-Pnm)을 순차적으로 선택한다.

발광제어 구동부(16)는 상기 주사 구동부(14)와 화소부(12) 사이에 형성되며, 상기 다수의 발광제어선(E1-En)과 연결되어 상기 화소부(12)에 순차적으로 발광제어 신호를 인가하여 각 화소들(P11-Pnm)의 발광타임을 제어한다.

데이터 구동부(20)는 앞서 설명한 바와 같이 가요성 필름 상에 구비된 다수의 도전성 라인들을 통해 데이터 신호를 상기 EL 표시패널(10)의 화소부(12)에 공급한다.

위와 같은 본 발명의 실시예에 따른 유기 EL 표시장치(100)는 EL 표시패널(10)과 데이터 구동부(20)로 구성되고, 상기 EL 표시패널(10)은 화소부(12)와 주사 구동부(14)와 발광제어 구동부(16)로 구성된다.

발광제어 구동부를 바람직한 실시예를 참조하여 상세히 설명하기로 한다. 이하, 발광제어 구동부는 발광제어 구동장치로 명명하기로 한다.

실시예

도 3은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 발광제어 구동장치를 나타낸 블록도이다.

도 3을 참조하면, 본 발명의 실시예에 따른 발광제어 구동장치(16)는 다수의 플립플롭(FF1, FF2, FF3, FF4, ...)을 가진다. 즉, 발광제어 구동장치는 홀수 번째 발광제어 라인 각각에 발광제어신호 EMI[1], EMI[3], EMI[5],...를 인가하는 다수의 플립플롭(FF1, FF3, FF5, ...)으로 구성된 홀수라인 제어부(16_1)와 짝수 번째 발광제어 라인 각각에 발광제어신호 EMI[2], EMI[4], EMI[6],...를 인가하는 다수의 플립플롭(FF2, FF4, FF6, ...)으로 구성된 짝수라인 제어부(16_2)를 가진다.

상기 홀수라인 제어부(16_1)의 각 플립플롭들 FF1, FF3, ...은 제 1 클럭신호 CLK1와 반전된 제 1 클럭신호 CLKB1가 교차되어 입력된다. 즉, 제 1 플립플롭 FF1에는 클럭입력단 CLK에 제 1 클럭신호 CLK1이 입력되고 반전된 클럭입력단 CLKB에 반전된 제 1 클럭신호 CLKB1이 입력되지만, 제 3 플립플롭 FF3에는 클럭입력단 CLK에 반전된 제 1 클럭신호 CLKB1이 입력되고 반전된 클럭입력단 CLKB에 제 1 클럭신호 CLK1이 입력된다.

상기 짹수라인 제어부(16_2)의 각 플립플롭들 FF2, FF4, ...은 제 2 클럭신호 CLK2와 반전된 제 2 클럭신호 CLKB2가 교차되어 입력된다. 즉, 제 2 플립플롭 FF2에는 클럭입력단 CLK에 제 2 클럭신호 CLK2가 입력되고 반전된 클럭입력단 CLKB에 반전된 제 2 클럭신호 CLKB2가 입력되지만, 제 4 플립플롭 FF4에는 클럭입력단 CLK에 반전된 제 2 클럭신호 CLKB2가 입력되고 반전된 클럭입력단 CLKB에 제 2 클럭신호 CLK2가 입력된다.

홀수라인 제어부(16_1)의 제 1 플립플롭 FF1은 개시펄스 SP를 입력받아 제 1 클럭신호 CLK1 및 반전된 제 1 클럭신호 CLKB1에 동기되어 제 1 발광제어신호 EMI[1]을 출력한다. 제 1 발광제어신호 EMI[1]은 제 1 행에 있는 화소들의 발광을 제어한다. 또한, 제 1 플립플롭 FF1은 제 1 전달신호 Vfb1을 제 3 플립플롭 FF3에 입력신호로 인가한다.

제 3 플립플롭 FF3은 상기 제 1 플립플롭 FF1의 제 1 전달신호 Vfb1을 입력받아 반주기 시프트된 반전된 제 1 클럭신호 CLKB1 및 제 1 클럭신호 CLKB에 동기되어 제 3 발광제어신호 EMI[3]을 출력한다. 제 3 발광제어신호 EMI[3]은 제 3 행에 있는 화소들의 발광을 제어한다. 또한, 제 3 플립플롭 FF3은 제 3 전달신호 Vfb3을 다음 단의 제 5 플립플롭 FF5에 입력신호로 인가한다.

도 3에서는 홀수라인 제어부(16_1)에 2개의 플립플롭 FF1, FF3만 도시하였으나, 동일한 구성의 플립플롭이 발광제어라인의 수만큼 형성될 수 있다.

짹수라인 제어부(16_2)의 제 2 플립플롭 FF2는 제 1 플립플롭 FF1과 동일한 개시펄스 SP를 입력받아 제 1 클럭신호 CLK1보다 1/4주기 시프트된 제 2 클럭신호 CLK2 및 반전된 제 2 클럭신호 CLKB2에 동기되어 제 2 발광제어신호 EMI[2]을 출력한다. 제 2 발광제어신호 EMI[2]는 제 2 행에 있는 화소들의 발광을 제어한다. 또한, 제 2 플립플롭 FF2는 제 2 전달신호 Vfb2를 다음 단의 제 4 플립플롭 FF4에 입력신호로 인가한다.

제 4 플립플롭 FF4는 상기 제 2 플립플롭 FF2의 제 2 전달신호 Vfb2를 입력받아 반주기 시프트된 반전된 제 2 클럭신호 CLKB2 및 제 2 클럭신호 CLKB에 동기되어 제 4 발광제어신호 EMI[4]를 출력한다. 또한, 제 4 플립플롭 FF4는 제 4 전달신호 Vfb4를 다음 단의 제 6 플립플롭 FF6에 입력신호로 인가한다.

도 3에서는 짹수라인 제어부(16_2)에 2개의 플립플롭 FF2, FF4만 도시하였으나, 동일한 구성의 플립플롭이 발광제어라인의 수만큼 형성될 수 있다.

상기와 같은 구성의 플립플롭에 의해 발광제어신호는 클럭신호 CLK1, CLK2와 동일한 듀티(duty)를 가지고, 각 발광제어신호는 1/4주기 마다 시프트(shift)되어 출력된다.

이하, 상기 각 플립플롭의 상세한 회로도에 대하여 살펴보기로 한다.

도 4는 본 발명의 실시예에 따라 도 3에 도시된 대표적인 플립플롭을 도시한 회로도이다.

도 4에서는 홀수라인 제어부(16_1)의 홀수 번째 플립플롭 FF1 또는 짹수라인 제어부(16_2)의 홀수 번째 플립플롭 FF2를 대표적인 실시예로 들어 설명한다. 각 플립플롭은 동일한 회로구성을 가졌으며, 클럭입력단 CLK에 인가되는 제 1 클럭신호 CLK1 또는 제 2 클럭신호 CLK2는 클럭신호 CLK로 명명하여 설명하고, 반전된 클럭입력단 CLKB에 인가되는 반전된 제 1 클럭신호 CLKB1 또는 반전된 제 2 클럭신호 CLKB2는 반전된 클럭신호 CLKB로 명명하여 설명한다.

도 4를 참조하면, 본 발명의 실시예에 따른 플립플롭은 입력부(31), 제 1 인버터(33), 제 2 인버터(35) 및 출력부(37)로 구성된다.

입력부(31)는 개시펄스 SP, 클럭신호 CLK 및 반전된 클럭신호 CLKB를 인가받아 상기 반전된 클럭신호 CLKB의 레벨상태와 같은 레벨의 전압을 출력한다. 여기서, 다음단의 플립플롭에서의 개시펄스 SP 입력은 이전 단의 플립플롭에서 출력되는 전달신호 Vfb가 입력됨은 앞서 도 3에서 설명한바 있다.

상기 입력부(31)의 구성을 상세히 설명하면, 상기 입력부(31)는 3개의 트랜지스터들 M1, M2, M3 및 1개의 커패시터 C1을 가진다.

제 1 트랜지스터 M1은 양의 전원전압 Vdd 라인과 노드 N1 사이에 연결되고, 게이트 단자에는 클럭신호 CLK가 입력된다.

제 2 트랜지스터 M2는 제 1 전극이 노드 N1에 연결되고, 게이트 단자가 노드 N2에 연결된다. 또한, 제 2 트랜지스터 M2의 제 2 전극으로 반전된 클럭신호 CLKB가 입력된다.

제 3 트랜지스터 M3은 제 1 전극이 노드 N2에 연결되고, 제 2 전극에 개시펄스 SP가 입력되며, 게이트 단자에 클럭신호 CLK가 입력된다. 여기서, 제 3 트랜지스터의 제 2 전극에 인가되는 개시펄스 SP는 제 1 플립플롭 FF1 또는 제 2 플립플롭 FF2인 경우에 적용되며, 그 이후의 플립플롭들 FF3, FF4,...에는 이전 플립플롭의 전달신호 Vfb가 입력된다.

여기서, 상기 제 1 내지 제 3 트랜지스터 M1, M2, M3은 P타입의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)이다. 다만, 상기 트랜지스터가 P타입에 한정되는 것은 아니며, 당업자는 용이하게 N타입의 MOSFET을 이용하여 설계할 수 있다.

커패시터 C1은 노드 N1과 노드 N2 사이에 연결되며, 제 2 트랜지스터 M2의 소스-게이트 사이의 전압을 유지하는 역할을 한다. 상기 커패시터 C1에 의해 플립플롭은 풀 다운(Full-Down)이 가능해지며, 전체적으로 구동전압과 동일한 풀 스윙(Full Swing)이 가능해진다.

상기 입력부(31)의 동작을 설명한다. 클럭신호 CLK가 로우 레벨이고, 반전된 클럭신호 CLKB가 하이 레벨이며, 개시펄스 SP가 로우 레벨인 경우, 제 1 트랜지스터 M1과 제 3 트랜지스터 M3은 턴온(Turn-On)된다. 따라서 제 2 트랜지스터 M2의 게이트 단자로 로우 레벨의 개시펄스 SP가 입력되고, 제 2 트랜지스터 M2는 턴온된다. 그러나 제 2 트랜지스터 M2의 제 2 전극으로 하이 레벨의 반전된 클럭신호 CLKB가 인가되기 때문에 제 2 트랜지스터 M2를 통하여 전류가 흐르지 않게 된다. 따라서 노드 N1과 연결된 주사선으로 하이 레벨의 신호가 출력된다. 이때, 반전된 클럭신호 CLKB가 하이 레벨이 되기 때문에 제 2 트랜지스터 M2의 소스-드레인 사이의 전압차는 0V가 되어 제 2 트랜지스터 M2로 흐를 수 있는 정적 전류(Static Current)를 원천적으로 차단하였다.

다음으로, 클럭신호 CLK가 하이 레벨이고, 반전된 클럭신호 CLKB가 로우 레벨이며, 개시펄스 SP가 로우 레벨인 경우, 제 1 트랜지스터 M1과 제 2 트랜지스터 M3은 오프된다. 그러나, 제 2 트랜지스터 M2는 노드 N2가 로우 레벨상태로 플로팅되기 때문에 계속 턴온상태를 유지하고 있다. 따라서, 로우 레벨의 반전된 클럭신호 CLKB가 제 2 트랜지스터 M2의 제 2 전극에 인가되고 제 2 트랜지스터 M2는 전류를 흘려보낸다. 노드 N1에 저장되어 있던 하이 레벨의 전압으로 인하여 제 2 트랜지스터 M2를 통하여 전류가 흐르면서 노드 N1은 로우 레벨의 반전된 클럭신호 CLKB 만큼 전압이 떨어진다. 이는 커패시터 C1의 일단자가 연결된 노드 N2가 제 3 트랜지스터 M3이 오프되어 플로팅(floating)상태로 되기 때문에 노드 N2의 전압은 노드 N1의 전압이 강하되는 만큼 충분하게 강하되어 풀 다운(Full Down)이 가능하게 되기 때문이다. 따라서 노드 N1을 통하여 로우 레벨의 신호가 출력된다.

상기 플립플롭의 구성요소인 제 1 인버터(33)는 상기 입력부(31)에서 출력되는 신호를 반전하여 출력한다. 상세히 설명하면, 상기 제 1 인버터(33)는 2개의 트랜지스터 M4, M5로 구성된다. 제 4 트랜지스터 M4는 양의 전원전압 Vdd 라인과 노드 N3 사이에 연결된다. 또한, 제 4 트랜지스터 M4의 게이트 단자는 상기 입력부(31)의 출력단인 노드 N1과 연결된다. 따라서, 제 4 트랜지스터 M4는 상기 입력부(31)의 출력신호의 레벨 상태가 로우 레벨일 때는 턴온되어 양의 전원전압을 출력하고, 하이 레벨일 때는 오프되어 양의 전원전압을 차단한다.

제 5 트랜지스터 M5는 상기 노드 N3과 음의 전원전압 Vss 라인 사이에 연결된다. 또한, 제 5 트랜지스터 M5의 게이트 단자는 상기 입력부(31)의 제 1 트랜지스터 M1의 게이트 단자와 연결된다. 따라서, 제 5 트랜지스터 M5의 게이트 단자로 입력되는 클럭신호 CLK의 레벨 상태에 따라 스위칭 동작을 수행하여 음의 전원전압을 출력 또는 차단한다. 제 1 인버터(33)의 출력단은 노드 N3이다.

상기 제 1 인버터(33)의 동작을 살펴본다. 상기 입력부(31)의 출력신호가 하이 레벨일 경우, 상기 클럭신호 CLK는 로우 레벨상태이다. 이때, 제 4 트랜지스터 M4는 오프되고, 제 5 트랜지스터 M5는 턴온된다. 따라서 로우 레벨인 음의 전원전압이 출력된다.

다음으로 상기 입력부(31)의 출력신호가 로우 레벨일 경우, 상기 클럭신호 CLK는 하이 레벨 상태이다. 이때, 제 4 트랜지스터 M4는 턴온되고, 제 5 트랜지스터 M5는 오프된다. 따라서 하이 레벨인 양의 전원전압이 출력된다.

상기 제 4 트랜지스터 M4와 제 5 트랜지스터 M5는 P타입의 MOSFET이다. 다만, 상기 트랜지스터들 M4, M5는 P타입 MOSFET에 한정되는 것은 아니며, 당업자는 용이하게 N타입의 MOSFET을 이용하여 제 1 인버터를 설계할 수 있다.

다음 상기 플립플롭의 구성요소인 제 2 인버터(35)는 상기 제 1 인버터(33)에서 출력되는 신호를 반전하여 출력한다. 상세히 설명하면, 상기 제 2 인버터(35)는 2개의 트랜지스터 M6, M7로 구성된다. 제 6 트랜지스터 M6은 양의 전원전압 Vdd 라인과 노드 N4 사이에 연결된다. 또한, 제 6 트랜지스터 M6의 게이트 단자는 상기 제 1 인버터(33)의 출력단인 노드 N3과 연결된다. 따라서 제 6 트랜지스터 M6은 상기 제 1 인버터(33)의 출력신호의 레벨 상태가 로우 레벨일 때는 턴온되어 양의 전원전압을 출력하고, 하이 레벨일 때는 오프되어 양의 전원전압을 차단한다.

제 7 트랜지스터 M7은 상기 노드 N4와 음의 전원전압 Vss 라인 사이에 연결된다. 제 7 트랜지스터 M7의 게이트 단자는 상기 제 1 인버터(33)의 제 4 트랜지스터 M4의 게이트 단자와 상기 입력부(31)의 노드 N1과 공통으로 연결된다. 따라서 상기 입력부(31)의 출력신호의 레벨 상태에 따라 스위칭 동작을 수행하여 음의 전원전압을 출력 또는 차단한다. 제 2 인버터(35)의 출력단은 노드 N4이다.

상기 제 2 인버터(35)의 출력단인 노드 N4에서 출력되는 신호는 앞서 도 3에서 설명한 전달신호 Vfb이며, 상기 전달신호 Vfb는 다음 단의 플립플롭의 입력신호가 된다.

상기 제 2 인버터(35)의 동작을 살펴본다. 상기 제 1 인버터(33)의 출력신호가 하이 레벨일 경우, 상기 입력부(31)의 출력신호는 로우 레벨상태이다. 이때, 제 6 트랜지스터 M6은 오프되고, 제 7 트랜지스터 M7은 턴온된다. 따라서 로우 레벨인 음의 전원전압이 출력된다.

다음으로 상기 제 1 인버터(33)의 출력신호가 로우 레벨일 경우, 상기 입력부(31)의 출력신호는 하이 레벨 상태이다. 이때, 제 6 트랜지스터 M6은 턴온되고, 제 7 트랜지스터 M7은 오프된다. 따라서 하이 레벨인 양의 전원전압이 출력된다.

상기 제 6 트랜지스터 M6과 제 7 트랜지스터 M7은 P타입의 MOSFET이다. 다만, 상기 트랜지스터들 M6, M7은 P타입의 MOSFET에 한정되는 것은 아니며, 당업자는 용이하게 N타입의 MOSFET을 이용하여 제 2 인버터를 설계할 수 있다.

마지막으로 상기 플립플롭의 구성요소인 출력부(37)는 상기 제 2 인버터(35)에서 출력되는 신호를 반전하여 출력한다. 상세히 설명하면, 상기 출력부(37)는 2개의 트랜지스터 M8, M9와 1개의 커패시터 C2로 구성된다. 제 8 트랜지스터 M8은 양의 전원전압 Vdd 라인과 노드 N5 사이에 연결된다. 또한, 제 8 트랜지스터 M8의 게이트 단자는 상기 제 2 인버터(35)의 출력단인 노드 N4와 연결된다. 따라서 제 8 트랜지스터 M8은 상기 제 2 인버터(33)의 출력신호의 레벨 상태가 로우 레벨일 때는 턴온되어 양의 전원전압을 출력하고, 하이 레벨일 때는 오프되어 양의 전원전압을 차단한다.

제 9 트랜지스터 M9는 상기 노드 N5와 음의 전원전압 Vss 라인 사이에 연결된다. 제 9 트랜지스터 M9의 게이트 단자는 상기 제 2 인버터(35)의 제 6 트랜지스터 M6의 게이트 단자와 상기 제 1 인버터(33)의 노드 N3과 공통으로 연결된다. 따라서 상기 제 1 인버터(33)의 출력신호의 레벨 상태에 따라 스위칭 동작을 수행하여 음의 전원전압을 출력 또는 차단한다. 상기 출력부(37)의 노드 N5에서 출력되는 발광제어신호 EMI[n]은 n번째 행의 화소들에 인가된다.

제 2 커패시터 C2는 상기 노드 N5와 노드 N3 사이에 연결되어 상기 제 9 트랜지스터 M9의 소스-게이트 사이의 전압을 일정시간 유지한다.

상기 출력부(37)의 동작을 살펴본다. 상기 제 2 인버터(35)의 출력신호가 하이 레벨일 경우, 상기 제 1 인버터(33)의 출력신호는 로우 레벨상태이다. 이때, 제 8 트랜지스터 M8은 오프되고, 제 9 트랜지스터 M9는 턴온된다. 따라서 발광제어신호 EMI[n]은 로우 레벨인 음의 전원전압이 된다.

다음으로 상기 제 2 인버터(35)의 출력신호가 로우 레벨일 경우, 상기 제 1 인버터(33)의 출력신호는 하이 레벨 상태이다. 이때, 제 8 트랜지스터 M8은 턴온되고, 제 9 트랜지스터 M9는 오프된다. 따라서 발광제어신호 EMI[n]은 하이 레벨인 양의 전원전압이 된다.

상기 제 8 트랜지스터 M8과 제 9 트랜지스터 M9는 P타입의 MOSFET이다. 다만, 상기 트랜지스터들 M8, M9는 P타입의 MOSFET에 한정되는 것은 아니며, 당업자는 용이하게 N타입의 MOSFET을 이용하여 제 2 인버터를 설계할 수 있다.

상기 도 4는 제 1 플립플롭 FF1 또는 제 2 플립플롭 FF2를 실시예로 들어 설명하였다. 홀수라인 제어부(16_1)의 짹수 번째 플립플롭 FF3 또는 짹수라인 제어부(16_2)의 짹수 번째 플립플롭 FF4의 경우도 상기 도 4와 동일한 회로구성을 가진다. 다만, 클럭입력단 CLK에 반전된 제 1 클럭신호 CLKB1 또는 반전된 제 2 클럭신호 CLKB2가 인가되고, 반전된 클럭

입력단 CLKB에 제 1 클럭신호 CLK1 또는 제 2 클럭신호 CLK2가 인가된다. 상기 제 3 플립플롭 FF3 또는 제 4 플립플롭 FF4의 회로 구성 및 동작은 상기 도 4에서의 설명을 참조하면 본 발명의 기술분야에 있는 당업자는 용이하게 이해할 수 있기 때문에 그 설명을 생략하기로 한다.

도 5는 본 발명의 실시예에 따른 발광제어 구동장치의 동작을 나타내는 타이밍도이다.

도 3 내지 도 5를 참조하면, 먼저, 홀수라인 제어부(16_1)의 제 1 플립플롭 FF1의 동작에 대하여 설명한다.

제 1 플립플롭 FF1에 로우 레벨의 제 1 클럭신호 CLK1와 하이 레벨의 반전된 제 1 클럭신호 CLKB1 및 로우 레벨의 개시펄스 SP가 입력된다. 이때, 입력부(31)의 제 1 트랜지스터 M1, 제 2 트랜지스터 M2 및 제 3 트랜지스터 M3이 모두 턴온된다. 따라서 노드 N1에는 하이 레벨의 신호가 출력된다. 이때, 제 2 트랜지스터 M2는 턴온 되지만, 제 2 트랜지스터 M2의 제 2 전극으로 인가되는 하이 레벨의 반전된 제 1 클럭신호 CLKB1 때문에 소스-드레인간의 전압차가 0V가 되어 실질적으로 정적 전류(static current)의 흐름이 차단된다. 따라서 정적 전류에 의한 소비 전력이 감소된다.

상기 입력부(31)에서 출력되는 하이 레벨의 신호와 로우 레벨의 제 1 클럭신호 CLK1에 의하여 제 1 인버터(33)의 제 4 트랜지스터 M4는 오프되고, 제 5 트랜지스터 M5는 턴온된다. 따라서, 제 1 인버터(33)는 로우 레벨의 신호를 출력한다.

상기 제 1 인버터(33)에서 출력되는 로우 레벨의 신호와 상기 입력부(31)에서 출력되는 하이 레벨의 신호가 제 2 인버터(35)에 입력되면, 제 2 인버터(35)의 제 6 트랜지스터 M6는 턴온되고, 제 7 트랜지스터 M7은 오프된다. 따라서, 제 2 인버터(35)는 하이 레벨의 신호를 출력한다. 상기 하이 레벨의 신호 Vfb1는 다음단인 제 3 플립플롭 FF3의 입력신호가 된다.

상기 제 2 인버터(35)에서 출력되는 하이 레벨의 신호와 상기 제 1 인버터(33)에서 출력되는 로우 레벨의 신호가 출력부(37)에 입력되면, 출력부(37)의 제 8 트랜지스터 M8은 오프되고, 제 9 트랜지스터 M9는 턴온된다. 따라서, 최종적으로 로우 레벨의 제 1 발광제어신호 EMI[1]가 출력된다.

다음, 제 1 클럭신호 CLK1가 반주기 시프트되어 제 1 플립플롭 FF1의 입력부(31)에 하이 레벨의 제 1 클럭신호 CLK1과 로우 레벨의 반전된 제 1 클럭신호 CLKB1 및 로우 레벨의 개시펄스 SP가 입력된다. 따라서 제 1 트랜지스터 M1과 제 3 트랜지스터 M3이 오프된다. 이때, 노드 N2에 연결된 커뮤니케이터 C의 일 단자는 플로팅(floating)된다. 제 2 트랜지스터 M2는 턴온 상태에서 소스-드레인간의 전압차와 소스-드레인의 전압차에 의해 전류를 흘려보낸다. 따라서 노드 N1은 로우 레벨의 반전된 제 1 클럭신호 CLKB1만큼의 전압으로 강하되어 로우 레벨의 신호를 출력한다.

상기 입력부(31)에서 출력되는 로우 레벨의 신호와 하이 레벨의 제 1 클럭신호 CLK1에 의하여 제 1 인버터(33)의 제 4 트랜지스터 M4는 턴온되고, 제 5 트랜지스터 M5는 오프된다. 따라서, 제 1 인버터(33)는 하이 레벨의 신호를 출력한다.

상기 제 1 인버터(33)에서 출력되는 하이 레벨의 신호와 상기 입력부(31)에서 출력되는 로우 레벨의 신호가 제 2 인버터(35)에 입력되면, 제 2 인버터(35)의 제 6 트랜지스터 M6은 오프되고, 제 7 트랜지스터 M7은 턴온된다. 따라서, 제 2 인버터(35)는 로우 레벨의 신호를 출력한다. 상기 로우 레벨의 신호 Vfb1는 다음단인 제 3 플립플롭 FF3의 입력신호가 된다.

상기 제 2 인버터(35)에서 출력되는 로우 레벨의 신호와 상기 제 1 인버터(33)에서 출력되는 하이 레벨의 신호가 출력부(37)에 입력되면, 출력부(37)의 제 8 트랜지스터 M8은 턴온되고, 제 9 트랜지스터 M9는 오프된다. 따라서, 최종적으로 하이 레벨의 제 1 발광제어신호 EMI[1]가 출력된다.

다음, 제 1 클럭신호 CLK1가 반주기 시프트되어 제 1 플립플롭 FF1의 입력부(31)에 로우 레벨의 제 1 클럭신호 CLK1과 하이 레벨의 반전된 제 1 클럭신호 CLKB1 및 로우 레벨에서 하이 레벨로 천이하는 개시펄스 SP가 입력된다. 이때, 로우 레벨에서 하이 레벨로 천이하는 개시펄스 SP로 인하여 제 2 트랜지스터 M2가 오프 상태가 되고, 입력부(31)는 하이 레벨의 신호를 출력한다. 따라서, 제 1 및 제 2 인버터(33, 35)를 거쳐 출력부(37)에서 최종 로우 레벨의 제 1 발광제어신호 EMI[1]을 출력한다.

이후 주기부터는, 제 1 클럭신호 CLK1과 반전된 제 1 클럭신호 CLKB1이 로우 레벨과 하이 레벨로 변화하지만, 개시펄스 SP가 하이 레벨로 고정되어 있기 때문에 제 1 발광제어신호 EMI[1]은 로우 레벨 상태를 유지한다.

다음으로, 홀수라인 제어부(16_1)의 제 3 플립플롭 FF3의 동작에 대하여 설명한다.

제 3 플립플롭 FF3의 입력부(31)에 반주기 시프트된 로우 레벨의 반전된 제 1 클럭신호 CLKB1과 하이 레벨의 제 1 클럭신호 CLK1 및 상기 제 1 플립플롭 FF1의 제 2 인버터의 출력신호 Vfb1인 로우 레벨의 입력신호가 인가된다. 이때, 제 3 플립플롭 FF3은 상기 제 1 플립플롭 FF1의 동작과 동일한 동작을 수행하기 때문에 설명을 생략한다. 따라서, 최종적으로 로우 레벨의 제 3 발광제어신호 EMI[3]을 출력한다.

다음, 제 1 클럭신호 CLK1이 반주기 시프트되어 제 3 플립플롭 FF3의 입력부(31)에 하이 레벨의 반전된 제 1 클럭신호 CLKB1과 로우 레벨의 제 1 클럭신호 CLK1 및 하이 레벨의 입력신호 Vfb1이 인가된다. 따라서 입력부(31)는 로우 레벨의 신호를 출력하며, 제 1 인버터(33)는 상기 입력부(31)에서 출력되는 로우 레벨의 신호를 반전하여 하이 레벨의 신호를 출력한다. 또한, 제 2 인버터(35)는 상기 제 1 인버터(33)에서 출력되는 하이 레벨의 신호를 반전하여 로우 레벨의 신호를 출력한다. 출력부(37)는 상기 제 2 인버터(35)의 로우 레벨의 신호를 입력받아 최종적으로 하이 레벨의 제 3 발광제어신호 EMI[3]를 출력한다.

다음, 제 1 클럭신호 CLK1가 반주기 시프트되어 제 3 플립플롭 FF3의 입력부(31)에 로우 레벨의 반전된 제 1 클럭신호 CLKB1과 하이 레벨의 제 1 클럭신호 CLK1 및 하이 레벨의 입력신호 Vfb1이 인가된다. 이때, 하이 레벨의 입력신호 Vfb1로 인하여 제 2 트랜지스터 M2가 오프 상태가 되어, 입력부(31)는 하이 레벨의 신호를 출력한다. 따라서, 제 1 및 제 2 인버터(33, 35)를 거쳐 출력부(37)에서 최종 로우 레벨의 제 3 발광제어신호 EMI[3]을 출력한다.

이후 주기부터는, 제 1 클럭신호 CLK1과 반전된 제 1 클럭신호 CLKB1이 로우 레벨과 하이 레벨로 변화하지만, 입력신호 Vfb1이 하이 레벨로 고정되어 있기 때문에 제 3 발광제어신호 EMI[3]은 로우 레벨 상태를 유지한다.

다음으로, 홀수라인 제어부(16_1)의 제 5 플립플롭 FF5 이후부터는 상기 제 1 플립플롭 FF1과 상기 제 3 플립플롭 FF3의 동작을 반복적으로 수행하여 제 1 클럭신호 CLK1 반주기마다 시프트된 발광제어신호를 출력한다.

상기와 같이 홀수라인 제어부(16_1)는 제 1 클럭신호 CLK1의 반주기마다 시프트되어 홀수라인에 발광제어신호를 순차적으로 출력한다.

짝수라인 제어부(16_2)는 상기 홀수라인 제어부(16_1)와 동일한 동작을 반복하여 짝수 번째 라인에 발광제어신호를 순차적으로 인가한다. 다만, 짝수라인 제어부(16_2)에 인가되는 제 2 클럭신호 CLK2 와 반전된 제 2 클럭신호 CLKB2는 상기 제 1 클럭신호 CLK1 및 반전된 제 1 클럭신호 CLKB1보다 1/4주기 시프트되어 각 플립플롭에 인가된다.

상기 짝수 라인 제어부(16_2)의 플립플롭들에 대하여 간략히 설명하면, 제 2 플립플롭 FF2는 로우 레벨의 제 2 클럭신호 CLK2와 하이 레벨의 반전된 제 2 클럭신호 CLKB2 및 로우 레벨의 개시펄스 SP를 입력받아 로우 레벨의 제 2 발광제어신호 EMI[2]를 출력한다. 또한, 제 2 플립플롭 FF2는 반주기 시프트된 하이 레벨의 제 2 클럭신호 CLK2와 로우 레벨의 반전된 제 2 클럭신호 CLKB2 및 로우 레벨의 개시펄스 SP를 입력받아 하이 레벨의 제 2 발광제어신호 EMI[2]를 출력한다.

제 4 플립플롭 FF4는 반주기 시프트된 로우 레벨의 반전된 제 2 클럭신호 CLKB2와 하이 레벨의 제 2 클럭신호 CLK2 및 상기 제 2 플립플롭 FF2의 제 2 인버터(35)에서 출력되는 로우 레벨의 입력신호 Vfb2를 인가받아 로우 레벨의 제 4 발광제어신호 EMI[4]를 출력한다. 또한, 제 4 플립플롭 FF4는 반주기 시프트된 하이 레벨의 반전된 제 2 클럭신호 CLKB2와 로우 레벨의 제 2 클럭신호 CLK2 및 상기 제 2 플립플롭 FF2의 제 2 인버터(35)에서 출력되는 하이 레벨의 입력신호 Vfb2를 인가받아 하이 레벨의 제 4 발광제어신호 EMI[4]를 출력한다.

상기와 같이 짝수라인 제어부(16_2)는 제 2 클럭신호 CLK1의 반주기마다 시프트되어 짝수 번째 라인에 발광제어신호를 순차적으로 출력한다.

상술한 바와 같이 본 발명의 실시예에 따른 발광제어 구동장치는 각 플립플롭을 구성하는 9개의 P타입 MOS 트랜지스터 M1 내지 M9와 2개의 커패시터 C1, C2를 이용하여 최종적으로 클럭신호 CLK의 1/4주기 시프트되어 발광제어신호를 순차적으로 출력한다.

또한, 입력부(31)에서 하이 레벨의 신호가 출력될 때 제 2 트랜지스터 M2의 드레인 단자로 입력되는 하이 레벨의 신호로 인하여 정적 전류(Static Current)가 흐르는 것을 차단하여 소비전력을 개선할 수 있다. 또한, 제 2 트랜지스터의 소스-게이트 사이에 커패시터 C1을 연결함으로써 로우 레벨의 신호를 출력할 때, 충분한 풀 다운이 가능하게 된다. 또한, 클럭신호 반주기마다 출력신호가 나오기 때문에 속도에 유리하다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 표시패널 내부에 직접 9개의 트랜지스터들과 2개의 커패시터로 구성된 플립플롭들을 형성함으로써, SOP(System On Panel)를 구현하는데 용이하다는 이점이 있다.

또한, 정적 전류(Static Current)가 흐르는 것을 차단하여 소비전력을 감소시킬 수 있다는 효과가 있다.

또한, 제 2 트랜지스터의 소스-게이트 사이에 커패시터를 연결함으로써 로우 레벨의 신호를 출력할 때, 구동전압과 동일한 파형을 출력할 수 있어 충분한 폴 다운이 가능하게 된다.

또한, 클럭신호 반주기마다 출력신호가 나오기 때문에 속도에 유리하다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 타일링 기술을 이용한 유기 전계발광 표시장치를 나타내는 블록도이다.

도 2는 도 1에 도시된 대표적인 유기 전계발광 표시장치를 상세히 나타낸 블록도이다.

도 3은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 발광제어 구동장치를 나타낸 블록도이다.

도 4는 본 발명의 실시예에 따라 도 3에 도시된 대표적인 플립플롭을 도시한 회로도이다.

도 5는 본 발명의 실시예에 따른 발광제어 구동장치의 동작을 나타내는 타이밍도이다.

도면 주요부분에 대한 설명

10 : EL 표시패널 12 : 화소부

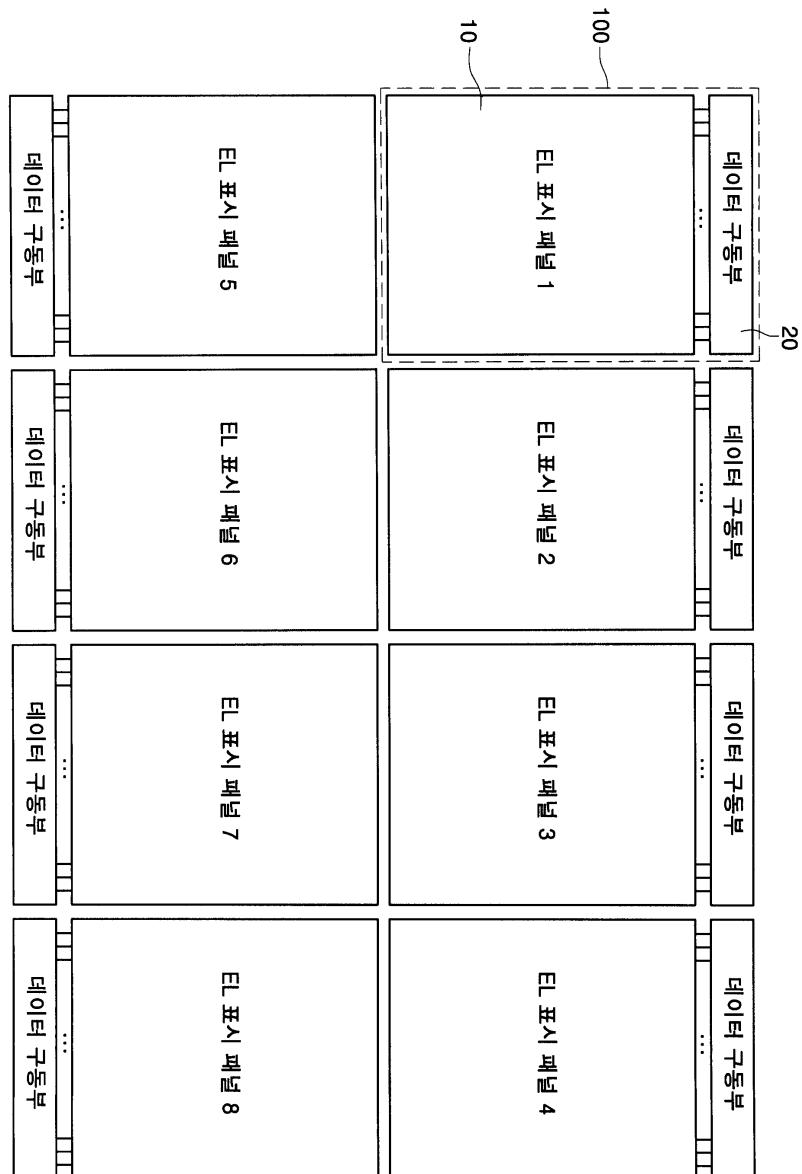
14 : 주사 구동부 16 : 발광제어 구동부

16_1 : 훌수라인 제어부 16_2 : 짹수라인 제어부

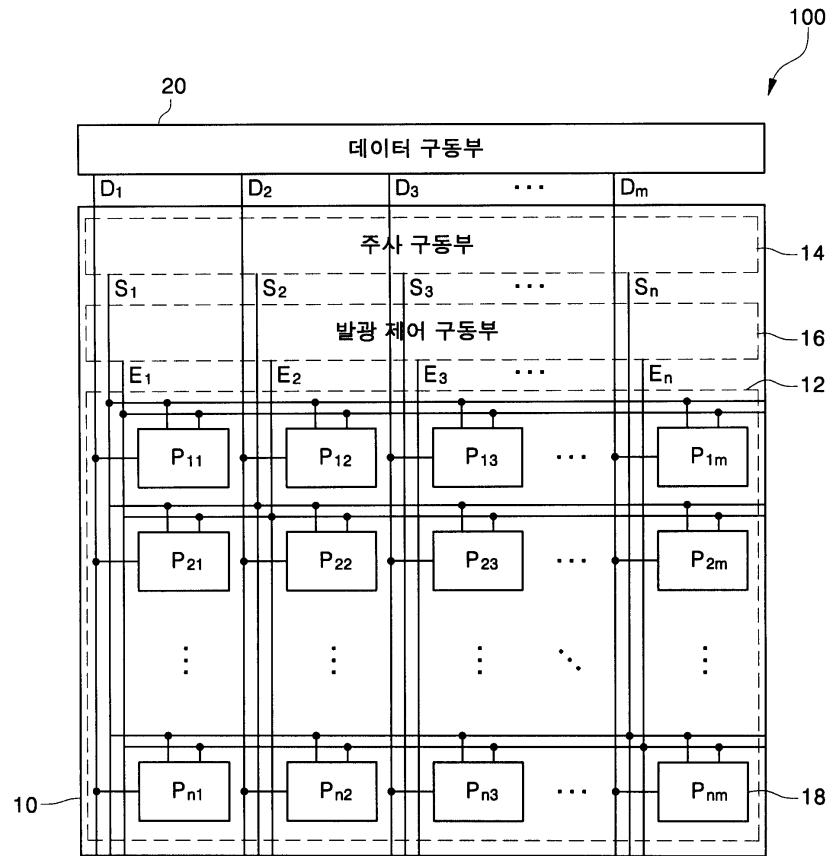
20 : 데이터 구동부

도면

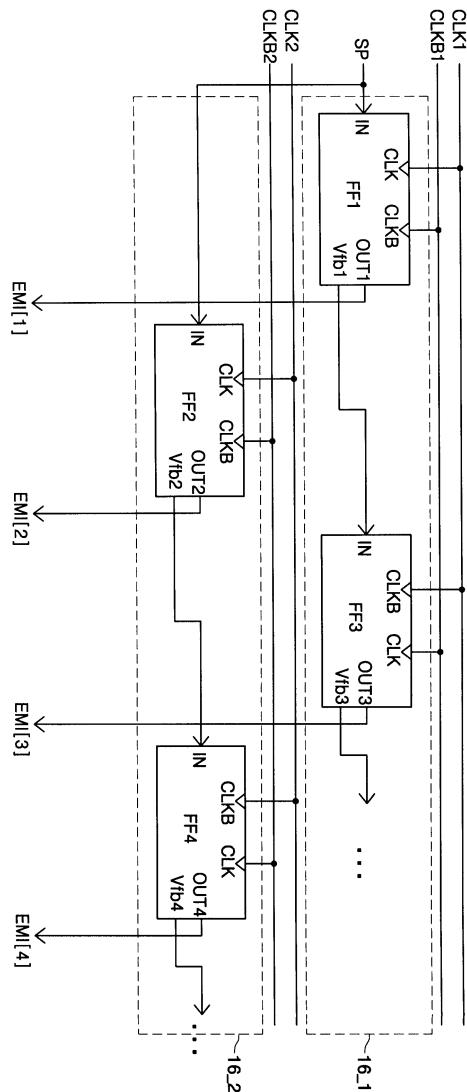
도면1



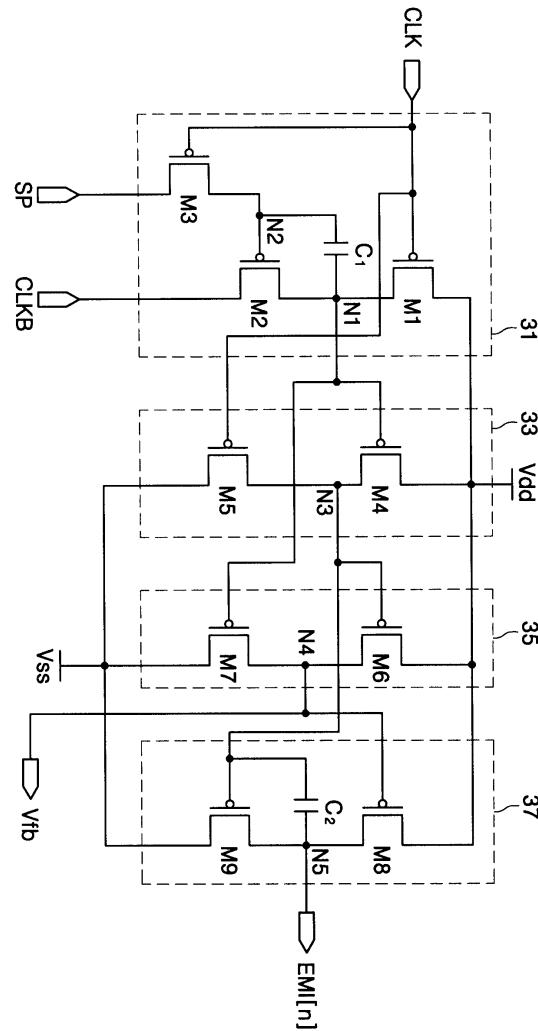
도면2



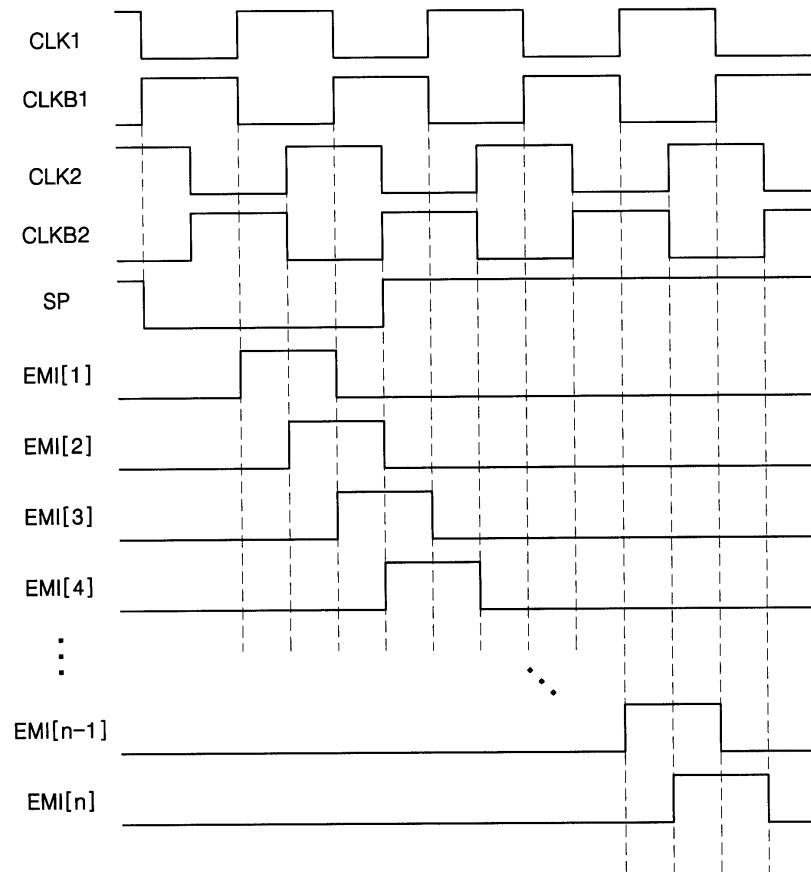
도면3



도면4



도면5



专利名称(译)	一种有机电致发光显示装置的发光控制驱动装置		
公开(公告)号	KR100666637B1	公开(公告)日	2007-01-10
申请号	KR1020050078923	申请日	2005-08-26
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BO YONG		
发明人	CHUNG BO YONG		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0861 G09G2300/0408 G09G2300/0417 G09G3/3266 G11C19/184		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供一种有机EL (电致发光) 显示装置的发光驱动装置 , 以通过防止静电流流过有机EL显示装置来降低有机EL显示装置的功耗。一种有机EL显示装置的发光驱动装置 , 包括 : 奇数线控制器 , 包括 : 多个触发器 , 用于顺序地将发光控制信号施加到奇数发光控制线 ; 以及偶数线控制器 , 包括多个翻转控制线。触发器用于顺序地将发光控制信号施加到偶数编号的发光控制线。触发器包括输入单元 (31) , 第一反相器 (33) , 第二反相器 (35) 和输出单元 (37) 。输入单元接收输入信号 , 并根据控制信号和反相控制信号输出恒定电平的信号。第一个反相器反转来自输入单元的输出信号。第二反相器反转来自第一反相器的输出信号。输出单元反转来自第二反相器的输出并输出发光控制信号。

