

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 화상 표시 장치에서의 ELA 진행 방향을 나타낸 도이다.

도 2는 본 발명의 실시 예에 따른 화상 표시 장치의 개략적인 평면도이다.

도 3은 본 발명의 제1 실시 예에 따른 화소 회로의 등가 회로도이다.

도 4는 본 발명의 제1 실시 예에 따른 화상 표시 장치의 배치 구조를 나타낸 도이다.

도 5는 도 4와 같은 배치 구조를 가지는 각 화소 즉, R, G, B 화소로 이루어진 픽셀의 배치 구조를 전체적으로 나타낸 도이다.

도 6은 도 3의 화소 회로를 구동하기 위한 구동 파형도이다.

도 7은 본 발명의 제2 실시 예에 따른 화소 회로의 등가 회로도이다.

도 8은 도 7의 화소 회로를 구동하기 위한 구동 파형도이다.

도 9는 본 발명의 제2 실시 예에 따른 화상 표시 장치의 배치 구조를 나타낸 도이다.

도 10은 도 9와 같은 배치 구조를 가지는 각 화소 즉, R, G, B 화소로 이루어진 픽셀의 배치 구조를 전체적으로 나타낸 도이다.

도 11은 본 발명의 실시 예에 따른 화상 표시 장치에서의 ELA 진행 방향을 나타낸 도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시 장치와 그 표시 패널에 관한 것으로, 특히 유기 전계발광(electroluminescent, 이하 EL이라 함) 표시 장치에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N×M 개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 도 1에 나타낸 바와 같이 애노드(ITO), 유기 박막, 캐소드 레이어(metal)의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터와 커패시터를 각 ITO(indium tin oxide) 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

이때, 전압 기입 방식은 계조도를 나타내는 데이터 전압을 화소 회로에 공급하여 화상을 표시하는 방식으로, 구동 트랜지스터의 문턱 전압 및 전자 이동도의 편차로 인해 불균일성의 문제가 발생한다. 전류 기입 방식은 계조도를 나타내는 데이

터 전류를 화소 회로에 공급하여 화상을 표시하는 방식으로, 균일성은 확보할 수 있다. 그러나 전류 기입 방식에서는 미세한 전류로서 유기 EL 소자를 제어하여야 하므로 데이터선의 부하를 충전하기 위한 충전 시간을 확보하지 못한다는 문제점이 있다.

전압 기입 방식에서 구동 트랜지스터의 문턱 전압을 보상하기 위한 화소 회로로서 무즈미(Mutsumi) 등에 의해 제안된 미국특허 6,362,798호가 있다. 미국특허 6,362,798호의 화소 회로는 구동 트랜지스터의 게이트에 게이트가 연결되는 거울 트랜지스터를 사용하여, 구동 트랜지스터의 문턱 전압이 보상한다.

이와 같이 구동 트랜지스터와 이에 대한 거울 트랜지스터를 사용하여 구동 트랜지스터의 문턱 전압을 보상하는 화소 회로 즉, 미러 타입의 2개의 트랜지스터를 사용하는 화소 회로를 가지는 화상 표시 장치에서는, 상기 트랜지스터들의 특성이 동일하여야 한다.

종래에 이러한 화상 표시 장치를 제조시, 도 1에 도시된 바와 같이, ELA(Eximer Laser)를 조사하게 된다. 도 1은 종래 기술에 따른 화상 표시 장치에서의 ELA 진행 방향을 나타낸 도이다.

종래에는 첨부한 도 1에 도시된 바와 같이, 동일선상에 배치된 R, G, B 각각의 화소가 하나의 픽셀을 이루는 경우, 각 화소에서 미러 타입의 2개의 트랜지스터의 채널 방향을 ELA의 진행 방향과 평행하도록 2개의 트랜지스터를 배치하였으며, ELA 진행 방향을 각 화소의 긴 방향과 평행하도록 하여 ELA를 각 화소로 조사하였다. 이 때, 동일한 ELA가 R, G, B 화소로 조사되는 것이 아니라, 첨부한 도 1에 도시되어 있듯이, R, G, B 화소가 각각 서로 다른 ELA를 조사받게 됨으로써, R, G, B 각 화소의 구동 트랜지스터의 특성이 서로 달라지게 된다.

이에 따라, 한 픽셀에서 구동 트랜지스터의 특성이 불균일하게 되어, 휘도 불균일이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 구동 트랜지스터의 문턱 전압을 보상하고 표시 소자에 불필요한 전류가 흐르지 않게 할 수 있는 화상 표시 장치를 제공하는 것이다.

또한, 본 발명이 이루고자 하는 기술적 과제는 미러 타입의 2개의 트랜지스터를 사용하는 화상 표시 장치에서 각 픽셀의 휘도 균일성을 향상시키기 위한 것이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위한 본 발명의 특징에 따른 표시 패널은, 화상 신호를 나타내는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고 이웃하는 두 데이터선과 이웃하는 두 주사선 사이에 의해 정의되는 화소 영역에 각각 형성되어 있는 복수의 화소 회로를 포함하는 화상 표시 장치의 표시 패널에 있어서, 상기 화소 회로는 인가되는 전류의 양에 대응하여 화상을 표시하는 표시 소자, 주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며, 상기 주 전극과 상기 제어 전극 사이의 전압에 대응하는 전류를 출력하는 제1 트랜지스터, 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결되어 있으며, 다이오드 연결되어 있는 제2 트랜지스터, 상기 제2 트랜지스터의 주 전극에 연결되어 있으며, 상기 현재 주사선으로부터의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 전압을 상기 제2 트랜지스터로 전달하는 제1 스위칭 소자를 포함하며, 상기 제1 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되어 있다.

본 발명의 다른 특징에 따른 표시 장치는, 위에 기술된 바와 같은 구조로 이루어지는 표시 패널과, 상기 표시 패널에 장착되거나 상기 표시 패널에 전기적으로 연결되어 상기 데이터선에 상기 데이터 전압을 인가하는 데이터 구동부, 그리고 상기 표시 패널에 장착되거나 상기 표시 패널에 전기적으로 연결되어 상기 주사선에 상기 선택 신호를 인가하는 주사 구동부를 포함하고, 이 경우에도 표시 패널의 상기 제1 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되어 있다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

먼저, 도 2를 참조하여 본 발명의 실시 예에 따른 유기 EL 표시 장치에 대하여 설명한다. 도 2는 본 발명의 실시 예에 따른 유기 EL 표시 장치의 개략적인 평면도이다.

도 2에 나타낸 바와 같이, 본 발명의 실시 예에 따른 유기 EL 표시 장치는 유기 EL 표시 패널(10), 주사 구동부(20) 및 데이터 구동부(30)를 포함한다.

유기 EL 표시 패널(10)은 행 방향으로 뻗어 있는 복수의 데이터선(D₁-D_M), 열 방향으로 뻗어 있는 복수의 주사선(S₁-S_N) 및 복수의 화소 회로(11)를 포함한다. 데이터선(D₁-D_M)은 화상 신호를 나타내는 데이터 전압을 화소 회로(11)로 전달하며, 주사선(S₁-S_N)은 화소 회로(11)를 선택하기 위한 선택 신호를 화소 회로(11)로 전달한다. 화소 회로(11)는 이웃한 두 데이터선(D₁-D_M)과 이웃한 두 주사선(S₁-S_N)에 의해 정의되는 화소 영역에 형성되어 있다.

주사 구동부(20)는 주사선(S₁-S_N)에 선택 신호를 순차적으로 인가하며, 데이터 구동부(30)는 데이터선(D₁-D_M)에 화상 신호를 나타내는 데이터 전압을 인가한다.

주사 구동부(20) 및/또는 데이터 구동부(30)는 표시 패널(10)에 전기적으로 연결될 수 있으며 또는 표시 패널(10)에 접촉되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP) 등에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(10)에 접촉되어 전기적으로 연결되어 있는 가요성 인쇄 회로 기판(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있으며, 이를 CoF(chip on flexible board, chip on film) 방식이라 한다. 이와는 달리 주사 구동부(20) 및/또는 데이터 구동부(30)는 표시 패널의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체될 수도 직접 장착될 수도 있다. 이를 CoG(chip on glass) 방식이라 한다.

다음에는 본 발명의 제1 실시 예에 따른 유기 EL 표시 장치의 화소 회로(11)에 대하여 상세하게 설명한다. 도 3은 본 발명의 제1 실시 예에 따른 화소 회로의 등가 회로도이다. 도 3에서는 설명의 편의상 m번째 데이터선(D_m)과 n번째 주사선(S_n)에 연결된 화소 회로만을 도시하였다. 그리고 주사선에 관한 용어를 정의하면, 현재 선택 신호를 전달하려고 하는 주사선을 "현재 주사선"이라 하고 현재 선택 신호가 전달되기 전에 선택 신호를 전달한 주사선을 "직전 주사선"이라 한다.

도 3에 나타낸 바와 같이, 본 발명의 제1 실시 예에 따른 화소 회로(11)는 유기 EL 소자(OLED), 트랜지스터(M1-M5) 및 커패시터(Cst)를 포함한다. 그리고 트랜지스터(M1-M4)는 PMOS형 트랜지스터로 형성되고 트랜지스터(M5)는 NMOS형 트랜지스터로 형성되어 있다. 이러한 트랜지스터(M1-M5)는 표시 패널(10)의 유리 기판 위에 형성되는 게이트 전극, 드레인 전극 및 소스 전극을 각각 제어 전극 및 2개의 주 전극으로 가지는 박막 트랜지스터인 것이 바람직하다.

구동 트랜지스터(M1)는 전원 전압(VDD)에 소스가 연결되고, 게이트와 소스 사이에 커패시터(Cst)가 연결되어 있다. 커패시터(Cst)는 트랜지스터(M1)의 게이트-소스 전압(V_{GS})을 일정 기간 유지한다. 보상 트랜지스터(M2)는 다이오드 연결되어 있으며 트랜지스터(M1)의 게이트에 게이트가 연결되어 있다. 스위칭 트랜지스터(M3)는 현재 주사선(S_n)으로부터의 선택 신호에 응답하여 데이터선(D_m)으로부터의 데이터 전압을 트랜지스터(M2)로 전달한다. 트랜지스터(M2)의 드레인에는 트랜지스터(M4)가 연결되어 있으며, 트랜지스터(M4)는 직전 주사선(S_n)으로부터의 선택 신호에 응답하여 프리차지 전압(V_p)을 트랜지스터(M2)로 전달한다.

트랜지스터(M5)는 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드 사이에 연결되어, 직전 주사선(S_n)으로부터의 선택 신호에 응답하여 트랜지스터(M1)와 유기 EL 소자(OLED)를 전기적으로 차단한다. 유기 EL 소자(OLED)는 캐소드가 기준 전압(V_{SS})에 연결되며 인가되는 전류에 대응하는 빛을 발광한다. 이러한 기준 전압(V_{SS})은 전원 전압(VDD)보다 낮은 레벨의 전압으로서 그라운드 전압 등이 사용될 수 있다.

위에 기술된 바와 같이 구동 트랜지스터의 문턱 전압을 보상할 수 있는 보상 트랜지스터를 사용하는 즉, 2개의 미러 타입의 트랜지스터를 가지는 화상 표시 장치를 제조하는 경우, 본 발명의 실시 예에서는 다음과 같이 화소를 배치한다.

도 4는 본 발명의 제1 실시 예에 따른 화상 표시 장치의 배치 구조를 나타낸 도면이며, 도 5는 도 4와 같은 배치 구조를 가지는 각 화소 즉, R, G, B 화소로 이루어진 픽셀의 배치 구조를 전체적으로 나타낸 도이다.

도 4 및 도 5에 도시한 바와 같이, 데이터선(100)이 세로 방향으로 형성되어 있으며, 데이터선(100)과 평행하게 전원 공급선(200)이 형성되어 있다. 데이터선(100)과 전원 공급선(200)은 한 벌을 이루면서 각 화소마다 형성되어 있다. 그리고, 제1 주사선(S_n)이 데이터선(100)과 교차하면서 가로 방향으로 형성되어 있으며, 제2 주사선(S_{n-1})이 가로 방향으로 형성되어 있다.

데이터선(100)의 일부가 스위칭 트랜지스터(M3)의 소스 전극(S1)을 형성하고, 소스 전극(S1)의 맞은 편에 드레인 전극(D1)이 형성되어 있으며, 게이트가 제1 주사선(S_n)에 연결되어 있다. 그리고, 구동 트랜지스터(M1)의 드레인 전극(D3)이 상기 드레인 전극(D1)에 연결되어 있으며, 전원 공급선의 일부가 소스 전극(S3)을 형성하고 있으며, 이러한 드레인 전극(D3)과 소스 전극(S3)의 채널은 제1 주사선(S_n)과 평행하도록 형성되어 있다. 이러한 구동 트랜지스터(M1)의 게이트 채널은 캐패시터(C)를 형성하기 위한 유지 전극선(500)과 연결되어 있다.

또한, 구동 트랜지스터(M1)의 소스 전극(S3)의 맞은편에 보상 트랜지스터(M2)의 드레인 전극(D2) 및 소스 전극(S2)이 형성되어 있으며, 반도체층에 의하여 상기 소스 전극(S3)과 드레인 전극(D3) 사이에 형성되는 채널 또한, 제1 주사선(S_n)과 평행하도록 형성되어 있다.

보상 트랜지스터(M2)의 드레인 전극(D2)에 트랜지스터(M4)의 소스 전극(S5)이 연결되어 있으며, 소스 전극(S5)과 동일선(주사선과 평행한 선) 상에 드레인 전극(D5)이 형성되어 있다. 그리고 게이트가 제2 주사선(S_{n-1})에 연결되어 있다. 그리고 제2 주사선(S_{n-1})을 중심으로 트랜지스터(M5)의 소스 전극(S1) 및 드레인 전극(D1)이 각각 형성되어 있으며, 이 트랜지스터(M5)의 게이트 또한 제2 주사선(S_{n-1})에 연결되어 있다. 트랜지스터(M5)의 드레인 전극(D4)은 접촉구를 통하여 화소 전극(600)과 연결되어 있고, 그리고 트랜지스터(M5)의 게이트 전극은 제어선(400)에 연결되어 있다. 이 화소 전극(600)의 위에는 평탄화막이 형성되며, 평탄화막과 화소 전극(600) 위에 유기EL 소자층(700)이 형성된다.

위에 기술된 바와 같이, 본 발명의 제1 실시 예에 따르면 미러 타입의 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)의 각각의 채널 방향이 주사선과 평행하게 형성됨으로써, 한 픽셀을 이루는 R, G, B 각각 화소의 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)들이 서로 동일선 상에 위치된다.

다음에는 위에 기술된 바와 같은 배치 구조를 가지는 본 발명의 제1 실시 예에 따른 화소 회로의 동작에 대하여 상세하게 설명한다.

도 6은 도 3의 화소 회로를 구동하기 위한 구동 파형도이다.

도 6을 보면, 먼저 프리차지 기간(T1) 동안 직전 주사선(S_{n-1})으로부터의 선택 신호가 로우 레벨로 되어 트랜지스터(M4)는 턴온되고 트랜지스터(M5)는 턴오프된다. 턴온된 트랜지스터(M4)에 의해 프리차지 전압(V_p)이 트랜지스터(M1)의 게이트로 전달된다. 이때, 프리차지 전압(V_p)은 최대 계조 레벨에 도달하기 위해 트랜지스터의 게이트에 인가되는 전압, 즉 데이터선(D_m)을 통하여 인가되는 최저 데이터 전압보다 약간 낮은 값이 바람직하다. 이와 같이 하면, 데이터선(D_m)을 통하여 데이터 전압이 인가될 때, 데이터 전압이 트랜지스터(M1)의 게이트 전압보다 항상 크게된다. 즉, 트랜지스터(M1)는 순방향으로 연결되게 되어 데이터 전압이 커패시터(Cst)에 충전될 수 있게 된다.

이때, 프리차지 전압(V_p)에 의해 트랜지스터(M1)의 게이트-소스 전압(V_{GS})의 크기는 증가하게 되어, 트랜지스터(M1)에는 큰 전류가 흐를 수 있다. 이러한 전류가 유기 EL 소자(OLED)에 공급된다면 유기 EL 소자(OLED)는 발광하게 되고, 블랙 계조를 표현하여야 하는 경우에는 정확한 블랙 계조가 표현될 수 없게 된다. 그런데 본 발명의 제1 실시 예에 의하면 턴오프된 트랜지스터(M5)에 의해 트랜지스터(M1)와 유기 EL 소자(OLED)가 전기적으로 차단되어 프리차지 전압(V_p)에 의한 전류가 흐르지 않게 된다. 따라서 블랙 계조를 정확하게 표현할 수 있게 되며, 또한 불필요한 전류가 흐르는 것을 막으므로 소비 전력을 줄일 수 있다.

다음, 블랭킹 기간(T2) 동안 현재 주사선(S_n)으로부터의 선택 신호가 하이 레벨로 유지된 상태에서 직전 주사선(S_{n-1})으로부터의 선택 신호가 하이 레벨로 된다. 그리고 이 기간(T2)에서 데이터선(D_m)으로부터의 데이터 전압이 현재 주사선(S_n)에 연결된 화소 회로에 대응하는 데이터 전압으로 변경된다. 그리고 이 데이터 전압은 실제 화소 회로에 인가되어야 하는 데이터 전압까지 변경되는 것이 바람직하다. 만약 블랭킹 기간(T2)이 없으면 현재의 데이터 전압이 인가되기 전에 현재 주사선(S_n)으로부터의 선택 신호가 로우 레벨이 되는 경우에, 데이터선(D_m)에 인가되어 있던 직전 데이터 전압이 트랜지스터(M3)를 통해 트랜지스터(M1)에 인가되게 된다.

다음, 데이터 충전 기간(T3)에서는 현재 주사선(S_n)으로부터의 선택 신호가 로우 레벨이 되어 트랜지스터(M3)가 턴온된다. 그러면 트랜지스터(M3)를 통해 데이터선(D_m)으로부터의 데이터 전압이 트랜지스터(M2)에 전달된다. 그리고 트랜지스터(M2)는 다이오드 연결되어 있으므로, 데이터 전압에서 트랜지스터(M2)의 문턱 전압(V_{TH2})의 차에 해당되는 전압이 트랜지스터(M1)의 게이트에 전달된다. 이러한 전압은 커패시터(Cst)에 충전되어 일정 기간 유지되게 된다. 그리고 직전 주사선(S_{n-1})으로부터의 선택 신호는 하이 레벨이므로 트랜지스터(M5)는 턴온되어 있다.

그리고 발광 기간(T4) 동안, 트랜지스터(M1)의 게이트-소스 전압(V_{GS})에 대응하는 전류(I_{OLED})가 유기 EL 소자(OLED)에 공급되어, 유기 EL 소자(OLED)는 발광하게 된다. 이 전류(I_{OLED})는 수학적 식 1과 같이 된다.

수학적 식 1

$$\langle PSTYLE \in DENT = 0 \rangle I_{OLED} = \frac{\beta}{2} (|V_{GS}| - |V_{TH1}|)^2 = \frac{\beta}{2} (V_{DD} - (V_{DATA} - |V_{TH2}|) - |V_{TH1}|)^2$$

여기서, V_{TH1}는 트랜지스터(M1)의 문턱 전압이며, V_{DATA}는 데이터선(D_m)으로부터의 데이터 전압이며, β는 상수 값을 나타낸다.

이때, 트랜지스터(M1, M2)의 문턱 전압(V_{TH1}, V_{TH2})이 동일하다면 수학적 식 1은 수학적 식 2와 같이 된다.

수학적 식 2

$$I_{OLED} = \frac{\beta}{2} (V_{DD} - V_{DATA})^2$$

따라서 트랜지스터(M1)의 문턱 전압(V_{TH1})에 관계 없이 데이터선(D_m)을 통하여 인가되는 데이터 전압에 대응하는 전류가 유기 EL 소자(OLED)에 흐르게 된다.

이와 같이 본 발명의 제1 실시 예에 의하면, 구동용 트랜지스터(M1)의 문턱 전압의 편차를 보상할 수 있으며, 또한 프리차지 전압(V_p)에 의하여 유기 EL 소자(OLED)에 흐를 수 있는 전류를 차단할 수 있다.

도 7은 본 발명의 제2 실시 예에 따른 화소 회로의 등가 회로도이다. 도 8은 도 7에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.

도 7 및 도 8에 나타난 바와 같이, 본 발명의 제2 실시 예에 따른 화소 회로는 트랜지스터(M5)의 타입과 제어선(EMI)을 제외하면 제1 실시 예와 동일한 구조를 가진다. 자세하게 설명하면, 트랜지스터(M5)는 트랜지스터(M1-M4)와 동일하게 PMOS형 트랜지스터로 형성되어 있으며, 제어선(EMI)으로부터의 하이 레벨의 제어 신호에 응답하여 턴오프된다. 그리고 제어선(EMI)에 인가되는 제어 신호는 도 6에 나타난 바와 같이 직전 주사선(S_{n-1})에 인가되는 선택 신호에 대하여 반전된 형태이다. 이와 같이 하면 제1 실시 예에서와 같이 프리차지 기간(T1) 동안 트랜지스터(M5)가 턴오프되어 유기 EL 소자(OLED)에 전류가 흐르는 것이 차단될 수 있다.

이와 같이 제2 실시 예에 의하면 동일 타입의 트랜지스터로 화소 회로를 구현할 수 있게 되어 제1 실시 예에 비해 공정이 간단해질 수 있다.

다음에는 이러한 구조로 이루어지는 본 발명의 제2 실시 예에 따른 화소의 배치 구조에 대하여 설명한다.

도 9는 본 발명의 제2 실시 예에 따른 화상 표시 장치의 배치 구조를 나타낸 도면이며, 도 10은 도 9와 같은 배치 구조를 가지는 각 화소 즉, R, G, B 화소로 이루어진 픽셀의 배치 구조를 전체적으로 나타낸 도이다.

도 9 및 도 10에 도시한 바와 같이, 데이터선(100)이 세로 방향으로 형성되어 있으며, 데이터선(100)과 평행하게 전원 공급선(200)이 형성되어 있다. 데이터선(100)과 전원 공급선(200)은 한 벌을 이루면서 각 화소마다 형성되어 있다. 그리고, 주사선(S_n , 300)이 데이터선(100)과 교차하면서 가로 방향으로 형성되어 있다.

데이터선(100)의 일부가 스위칭 트랜지스터(M3)의 소스 전극(S1)을 형성하고, 주사선(S_n)을 기준으로 소스 전극(S1)의 반대편에 드레인 전극(D1)이 형성되어 있고, 반도체층에 의하여 상기 소스 전극(S1)과 드레인 전극(D1) 사이에 형성되는 채널이 데이터선(200)과 평행하도록 형성되어 있으며 주사선(S_n)에 연결되어 있다.

그리고, 보상 트랜지스터(M2)의 소스 전극(S2)이 스위칭 트랜지스터(M3)의 드레인 전극(D1)과 동일선 상에 형성되어 연결되어 있으며, 소스 전극(S2)과 대칭되는 면에 드레인 전극(D2)이 형성되어 있으며, 반도체층에 의하여 상기 소스 전극(S2)과 드레인 전극(D2) 사이에 형성되는 채널이 주사선(S_n)과 평행하도록 형성되어 있다.

또한, 보상 트랜지스터(M2)의 소스 전극(S2)과 드레인 전극(D2)에 각각 마주하여 구동 트랜지스터(M1)의 드레인 전극(D3)과 소스 전극(S3)이 각각 형성되어 있으며, 반도체층에 의하여 상기 소스 전극(S3)과 드레인 전극(D3) 사이에 형성되는 채널 또한, 주사선(S_n)과 평행하도록 형성되어 있다. 이러한 구동 트랜지스터(M1)의 게이트 채널은 캐패시터(C)를 형성하기 위한 유지 전극선(500)과 연결되어 있으며, 소스 전극(S3)은 전원 공급선(200)에 연결되어 있다.

구동 트랜지스터(M1)의 드레인 전극(D3)에 연결되어 트랜지스터(M5)의 소스 전극(S4)이 형성되어 있으며, 트랜지스터(M5)의 드레인 전극(D4)은 접촉구를 통하여 화소 전극(600)과 연결되어 있고, 그리고 트랜지스터(M5)의 게이트 전극은 제어선(400)에 연결되어 있다. 이 화소 전극(600)의 위에는 평탄화막이 형성되며, 평탄화막과 화소 전극(600) 위에 유기 EL 소자층(700)이 형성된다.

위에 기술된 바와 같이, 본 발명의 제1 및 제2 실시 예에 따르면 미리 타입의 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)의 각각의 채널 방향이 주사선과 평행하게 형성됨으로써, 한 픽셀을 이루는 R, G, B 각각 화소의 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)들이 서로 동일선 상에 위치된다.

이에 따라, 트랜지스터의 결정화시에 ELA 진행 방향을 각 화소면의 수직 방향과 수평 방향 중 그 길이가 다른 것보다 짧은 면) 즉, 주사선과 평행한 방향으로 하면, R, G, B 화소가 각각 동일한 ELA를 조사받게 된다. 도 11에 이러한 본 발명의 실시 예들에 따른 화상 표시 장치에서의 ELA 진행 방향이 도시되어 있다. 도 11에 도시된 바와 같이, 한 픽셀을 이루는 R, G, B 각각 화소의 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)들이 서로 동일선 상에 위치되기 때문에, 주사선과 평행한 방향으로 ELA를 조사하면 동일한 ELA가 R, G, B 각각 화소의 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)로 조사된다.

따라서, 보상 트랜지스터(M2) 및 구동 트랜지스터(M1)가 거의 동일 공정 조건에서 제조되기 때문에, 문턱 전압이 거의 같게 된다. 결국, 본 발명의 실시 예에 따르면 $V_{TH2} = V_{TH1}$ 이므로, 고계조의 유기 EL 표시 장치를 구현할 수 있다.

위의 실시 예에 따른 유기 EL 표시 장치의 배치도는 하나의 예시에 불과하며, 이외에 다양하게 변형하여 사용할 수 있다.

이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면, 구동 트랜지스터와 보상 트랜지스터의 특성이 균일하게 된다. 특히, 두 트랜지스터의 문턱 전압이 동일하게 되어 트랜지스터의 문턱 전압의 편차를 보상할 수 있다. 그 결과, 고계조의 표시 장치를 구현할 수 있다.

(57) 청구의 범위

청구항 1.

화상 신호를 나타내는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고 이웃하는 두 데이터선과 이웃하는 두 주사선 사이에 의해 정의되는 화소 영역에 각각 형성되어 있는 복수의 화소 회로를 포함하는 화상 표시 장치의 표시 패널에 있어서,

상기 화소 회로는

인가되는 전류의 양에 대응하여 화상을 표시하는 표시 소자,

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며,

상기 주 전극과 상기 제어 전극 사이의 전압에 대응하는 전류를 출력하는 제1 트랜지스터,

상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결되어 있으며, 다이오드 연결되어 있는 제2 트랜지스터,

상기 제2 트랜지스터의 주 전극에 연결되어 있으며, 상기 현재 주사선으로부터의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 전압을 상기 제2 트랜지스터로 전달하는 제1 스위칭 소자

를 포함하며,

상기 제1 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되어 있는 표시 패널.

청구항 2.

화상 신호를 나타내는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고 이웃하는 두 데이터선과 이웃하는 두 주사선 사이에 의해 정의되는 화소 영역에 각각 형성되어 있는 복수의 화소 회로를 포함하는 화상 표시 장치의 표시 패널에 있어서,

상기 화소 회로는

인가되는 전류의 양에 대응하여 화상을 표시하는 표시 소자,

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며,

상기 주 전극과 상기 제어 전극 사이의 전압에 대응하는 전류를 출력하는 제1 트랜지스터,

상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결되어 있으며, 다이오드 연결되어 있는 제2 트랜지스터,

상기 제2 트랜지스터의 주 전극에 연결되어 있으며, 상기 현재 주사선으로부터의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 전압을 상기 제2 트랜지스터로 전달하는 제1 스위칭 소자

를 포함하며,

상기 제1 및 제2 트랜지스터의 채널은 각 화소면의 수직 방향과 수평 방향 중 그 길이가 다른 것보다 짧은 면과 평행하게 형성되어 있는 표시 패널.

청구항 3.

제1항 또는 제2항에 있어서

상기 제1 및 제2 트랜지스터의 제조시에 주사되는 엑시머 레이저의 주사 방향은 상기 주사선과 평행한 표시 패널.

청구항 4.

화상 신호를 나타내는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고

이웃하는 두 데이터선과 이웃하는 두 주사선 사이에 의해 정의되는 화소 영역에 각각 형성되어 있으며, 인가되는 전류의 양에 대응하여 화상을 표시하는 표시 소자, 주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 상기 제어 전극 사이의 전압에 대응하는 전류를 출력하는 제1 트랜지스터, 제어 전극이 상기 제1 트랜지스터의 제어 전극에 연결되어 있으며 다이오드 연결되어 있는 제2 트랜지스터, 상기 제2 트랜지스터의 주 전극에 연결되어 있으며 현재 주사선으로부터의 선택 신호에 응답하여 상기 데이터선으로부터의 데이터 전압을 상기 제2 트랜지스터로 전달하는 제1 스위칭 소자를 포함하는 복수의 화소회로,

상기 표시 패널에 장착되거나 상기 표시 패널에 전기적으로 연결되어 상기 데이터선에 상기 데이터 전압을 인가하는 데이터 구동부, 그리고

상기 표시 패널에 장착되거나 상기 표시 패널에 전기적으로 연결되어 상기 주사선에 상기 선택 신호를 인가하는 주사 구동부

를 포함하며,

상기 제1 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되어 있는 표시 장치.

청구항 5.

제4항에 있어서

상기 제1 및 제2 트랜지스터의 제조시에 주사되는 엑시머 레이저의 주사 방향은 상기 주사선과 평행한 표시 장치.

청구항 6.

제4항에 있어서

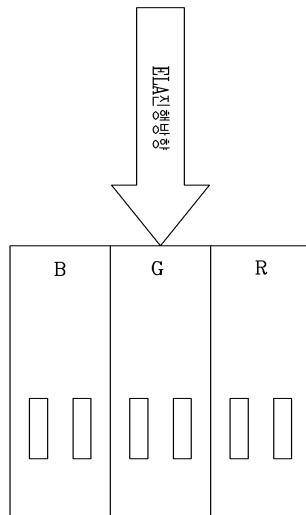
상기 제1 및 제2 트랜지스터의 제어 전극과 프리차지 전압 사이에 연결되어 있으며, 이전 주사선으로부터 인가되는 선택 신호에 따라 상기 프리차지 전압을 상기 커패시터로 공급하는 제3 트랜지스터; 및

상기 제1 트랜지스터의 제2 주전극과 상기 표시 소자 사이에 연결되어 있으며, 상기 커패시터가 프리차지 전압으로 충전되는 동안 턴오프되는 제4 트랜지스터

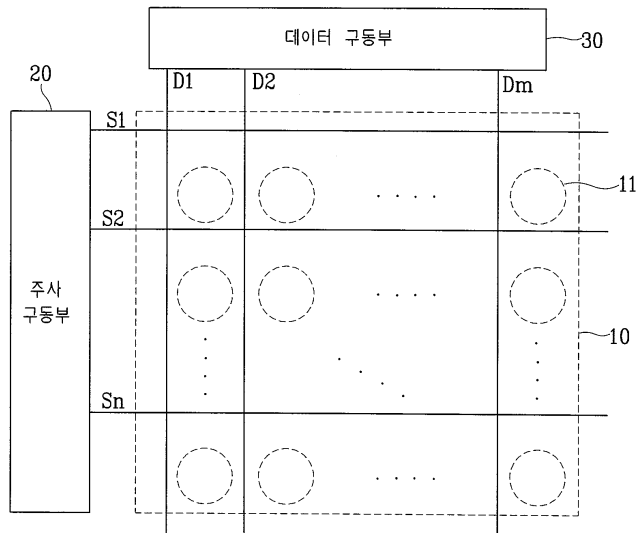
를 더 포함하는 표시 장치.

도면

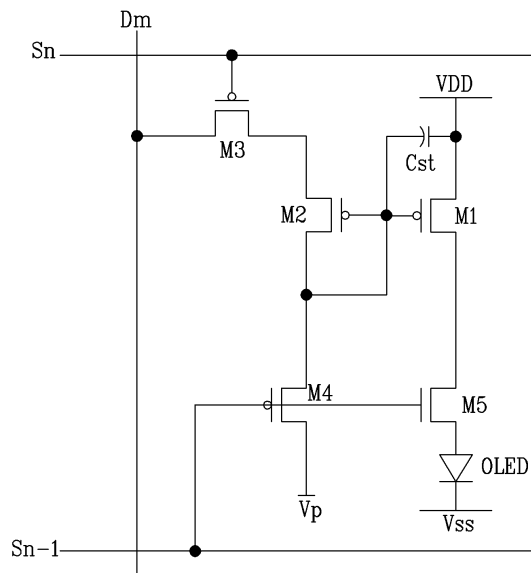
도면1



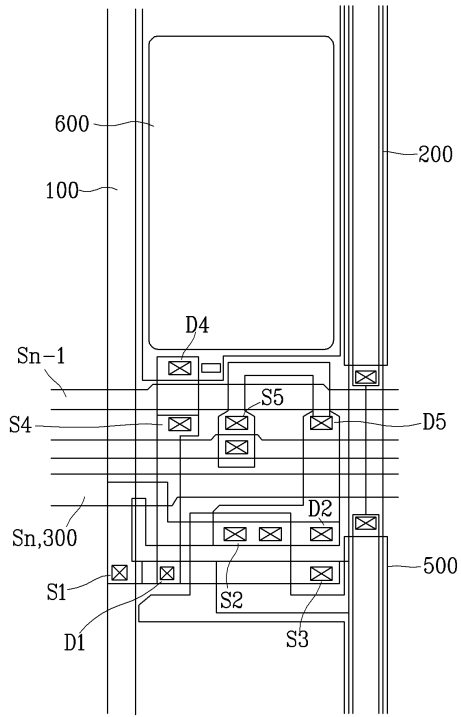
도면2



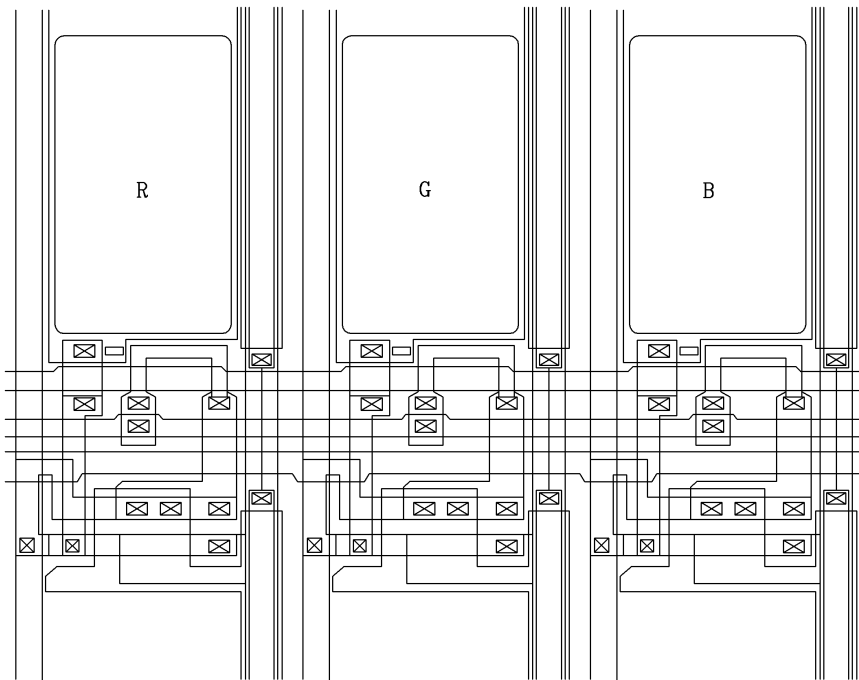
도면3



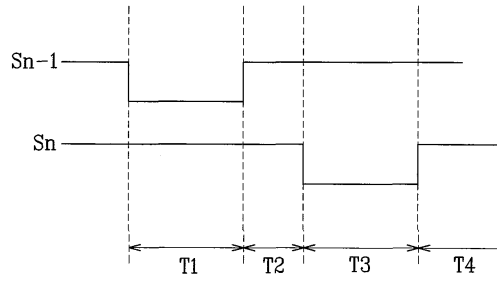
도면4



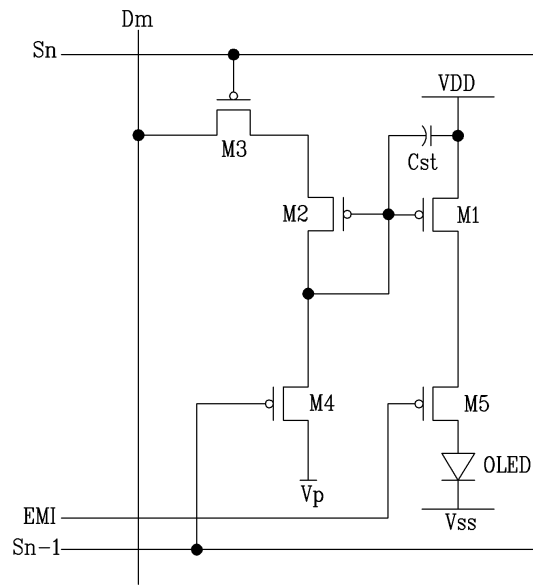
도면5



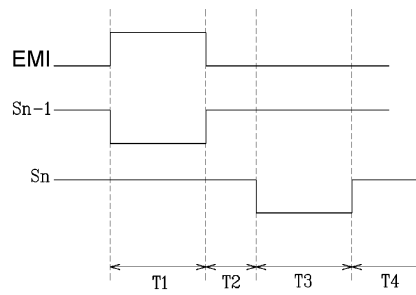
도면6



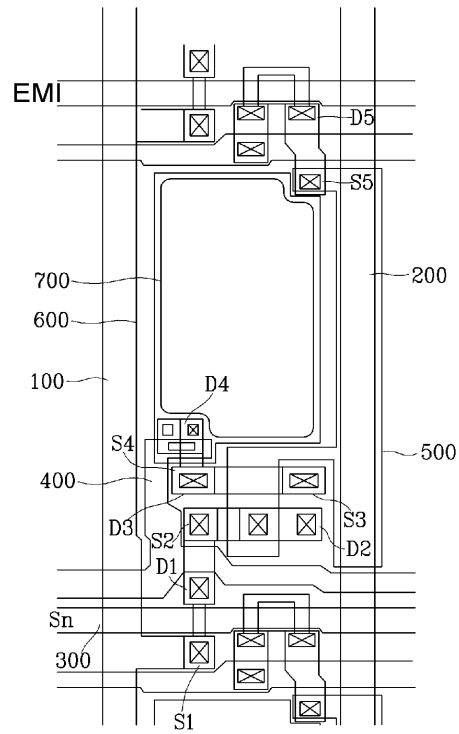
도면7



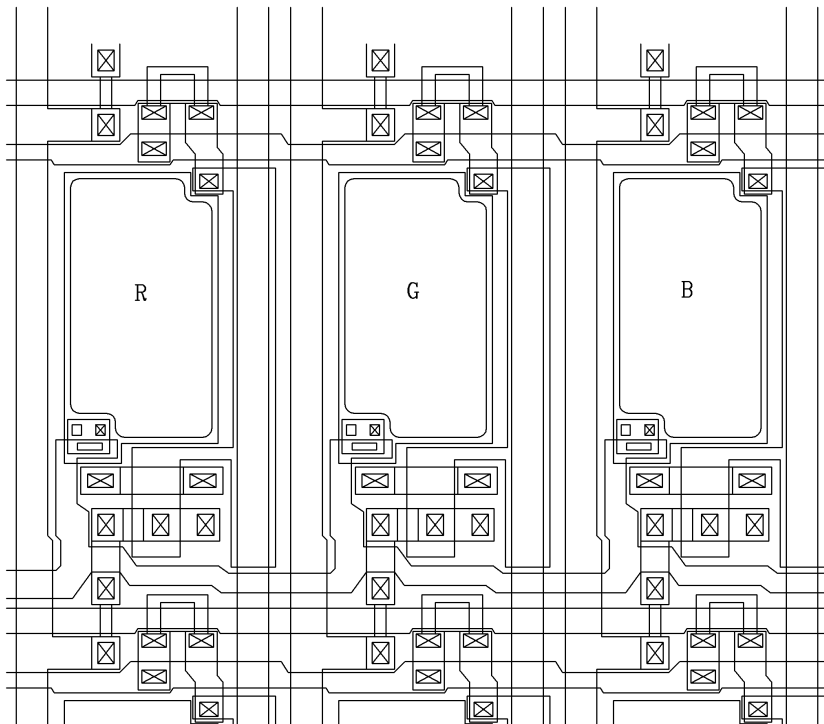
도면8



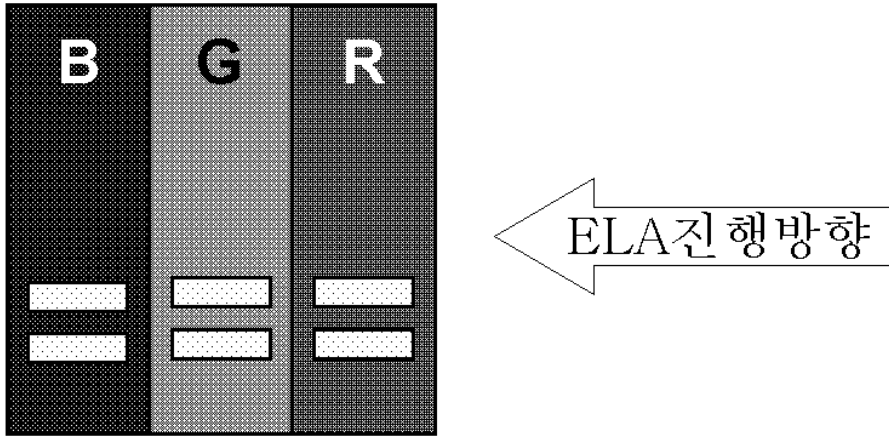
도면9



도면10



도면11



专利名称(译)	一种图像显示装置及其显示面板		
公开(公告)号	KR100560468B1	公开(公告)日	2006-03-13
申请号	KR1020030064105	申请日	2003-09-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SUH MISOOK 서미숙 KIM KUMNAM 김금남		
发明人	서미숙 김금남		
IPC分类号	G09G3/30 G09G3/32 H01L27/32		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 H01L27/3244 G09G2310/0251 G09G3/3233 G09G2300/0819		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020050027741A		
外部链接	Espacenet		

摘要(译)

图像显示装置及其显示面板技术领域 本发明包括形成在由多条数据线限定的区域中的像素电路，用于传输表示图像信号的数据电压，用于传输选择信号的多条扫描线，以及两条相邻的扫描线。像素电路包括显示元件，电容器，用于输出与主电极和控制电极之间的电压对应的电流的第一晶体管，连接到第一晶体管的控制电极的控制电极，并且第一开关元件用于响应于来自当前扫描线的选择信号将数据电压从数据线传送到第二晶体管。在具有这种结构的像素电路中，第一和第二晶体管的沟道平行于扫描线形成。根据本发明，第一和第二晶体管的特性变得均匀。

11 指数方面 有机EL，阈值电压，ELA

