

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월10일 10-0558243 2006년02월28일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0067359 2003년09월29일	(65) 공개번호 (43) 공개일자	10-2004-0030320 2004년04월09일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2002-00288501 2002년10월01일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 요네다기요시  
일본기후깁미즈호시후루하시1495-6

(74) 대리인 이중희  
장수길  
구영창

심사관 : 여운석

(54) 일렉트로 루미네센스 표시 장치

요약

본 발명은 구동 트랜지스터의 포토 전류, 임계값 전압의 변동을 억제하여, EL 표시 패널의 표시 품질을 향상시키는 것을 과제로 한다. 이를 위해, 유기 EL 소자(70)의 구동용 TFT(85)는 멀티 게이트 구조이다. 즉, 절연성 기판(100) 상에 폴리실리콘층으로 이루어지는 능동층(101)이 배치되며, 이 능동층(101) 상에 게이트 절연층(102)을 통해 복수의 게이트(20)가 빗살 형상으로 배치되어 있다. 등가 회로로 보았을 때, 게이트가 공통인 복수의 트랜지스터가 직렬 접속되며, 이 공통 게이트에 화소 선택용 트랜지스터(10)의 소스(10s)가 접속되어 있다.

대표도

도 2

색인어

유기 EL 소자, 구동용 TFT, 멀티 게이트

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 일렉트로 루미네센스 표시 장치의 회로도.

도 2는 본 발명의 제1 실시예에 따른 일렉트로 루미네센스 표시 장치의 평면 패턴도.

도 3은 도 2에서의 X-X선을 따른 단면도.

도 4는 본 발명의 제2 실시예에 따른 일렉트로 루미네센스 표시 장치의 회로도.

도 5는 본 발명의 제2 실시예에 따른 일렉트로 루미네센스 표시 장치의 평면 패턴도.

도 6은 종래예에 따른 일렉트로 루미네센스 표시 장치의 회로도이다.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 화소 선택용 TFT

20 : 멀티 게이트

50 : 게이트선

60 : 드레인선

85 : 구동용 TFT

85A, 85B : 병렬 트랜지스터

70 : 유기 EL 소자

90 : 전원 라인

100 : 절연성 기판

101 : 능동층

102 : 게이트 절연층

103 : 층간 절연층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 표시 장치에 관한 것으로, 특히 각 화소마다, 화소 선택용 박막 트랜지스터와, 일렉트로 루미네센스 소자를 전류 구동하기 위한 구동용 박막 트랜지스터를 갖는 일렉트로 루미네센스 표시 장치에 관한 것이다.

최근, 일렉트로 루미네센스(Electro Luminescence : 이하, 「EL」 이라 함) 소자를 이용한 EL 표시 장치는 CRT나 LCD를 대신하는 표시 장치로서 주목받고 있다. 특히, EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하, 「TFT」 라 함)를 구비한 EL 표시 장치가 개발되고 있다.

도 6에, 유기 EL 표시 패널 내의 1 화소의 등가 회로도를 나타낸다. 실제의 유기 EL 표시 패널에서는 이 화소가 n행 m열의 매트릭스로 배치되어 있다.

게이트 신호 Gn을 공급하는 게이트 신호선(50)과, 표시 신호 Dm을 공급하는 드레인 신호선(60)이 상호 교차되어 있다.

이들 양 신호선의 교차점 부근에는 유기 EL 소자(70) 및 이 유기 EL 소자(70)를 구동하는 구동용 TFT(80), 화소를 선택하기 위한 화소 선택용 TFT(10)가 배치되어 있다.

구동용 TFT(80)의 소스에는 전원 라인(90)으로부터 플러스 전원 전압 PVdd가 공급되고 있다. 또한, 그 드레인(80)은 유기 EL 소자(70)의 애노드(71)에 접속되어 있다.

화소 선택용 TFT(10)의 게이트에는 게이트 신호선(50)이 접속됨으로써 게이트 신호 Gn이 공급되며, 드레인(10d)에는 드레인 신호선(60)이 접속되어, 표시 신호 Dm이 공급된다. 화소 선택용 TFT(10)의 소스(10s)는 구동용 TFT(80)의 게이트에 접속되어 있다. 여기서, 게이트 신호 Gn은 수직 드라이버 회로(도시 생략)로부터 출력된다. 표시 신호 Dm은 수평 드라이버 회로(도시 생략)로부터 출력된다.

또한, 유기 EL 소자(70)는 애노드(71), 캐소드(72), 이 애노드(71)와 캐소드(72) 사이에 형성된 발광 소자층(도시 생략)으로 이루어진다. 캐소드(72)에는 마이너스 전원 전압 CV가 공급되어 있다.

또한, 구동용 TFT(80)의 게이트에는 유지 용량 Cs가 접속되어 있다. 유지 용량 Cs는 표시 신호 Dm에 따른 전하를 유지함으로써, 1 필드 기간, 표시 화소의 표시 신호를 유지하기 위해 제공되어 있다.

상술한 구성의 EL 표시 장치의 동작을 설명한다. 게이트 신호 Gn이 1 수평 기간 동안 하이 레벨이 되면, 화소 선택용 TFT(10)가 온된다. 그와 같이 하면, 드레인 신호선(60)으로부터 표시 신호 Dm이 화소 선택용 TFT(10)를 통해 구동용 TFT(80)의 게이트에 인가된다.

그리고, 그 게이트에 공급된 표시 신호 Dm에 따라, 구동용 TFT(80)의 컨덕턴스가 변화되며, 그에 따른 구동 전류가 구동용 TFT(80)를 통해 유기 EL 소자(70)에 공급되어, 유기 EL 소자(70)가 점등한다. 그 게이트에 공급된 표시 신호 Dm에 따라, 구동용 TFT(80)가 오프 상태인 경우에는 구동용 TFT(80)에는 전류가 흐르지 않기 때문에, 유기 EL 소자(70)도 소등된다. 또, 관련되는 선행 기술 문헌으로는 예를 들면, 이하의 특허 문헌 1이 있다.

[특허 문헌 1]

일본 특허 공개 2002-175029호 공보

### 발명이 이루고자 하는 기술적 과제

그러나, 구동용 TFT(80)가 오프 상태일 때에, 외부로부터의 광이 구동용 TFT(80)에 입사되면, 소위 포토 전류(광전류)가 흐르고, 이 포토 전류가 누설 전류로 되어 유기 EL 소자(70)에 공급되기 때문에, 유기 EL 소자(70)가 미약하게 발광한다는 문제가 있었다.

또한, 구동용 TFT(80)를 P 채널형으로 구성하면, 트랜지스터의 채널 영역을 구성하고 있는 폴리실리콘층의 결정 상태의 불안정성에 의해, 임계값에 변동이 생기기 쉽다. 이와 같이 하면, 유기 EL 소자(70)에 흐르는 전류가 화소마다 변화하여, 표시 패널의 색일룩이 생긴다는 문제가 있었다.

### 발명의 구성 및 작용

본 발명은 상술한 과제를 감안하여 이루어진 것으로, 구동용 박막 트랜지스터를 멀티 게이트(복수 게이트 구조)로 구성하였다. 즉, 각 게이트 아래의 채널 영역이 분단되어, 등가 회로로 보았을 때, 게이트가 공통인 복수의 트랜지스터가 직렬 접속된 구조로 된다.

이것에 의해, 그 복수의 직렬 트랜지스터 중, 하나의 트랜지스터의 채널 영역에 광이 입사되어 국소적으로 포토 전류가 발생하였다고 하더라도, 다른 트랜지스터에 포토 전류가 동시에 발생하지 않으면, 구동용 박막 트랜지스터로서는 포토 전류가 흐르지 않는다.

따라서, 구동용 박막 트랜지스터가 오프 상태일 때에 포토 전류가 발생하고, 이 포토 전류가 누설 전류로 되어 일렉트로 루미네센스 소자에 공급되어, 이 일렉트로 루미네센스 소자가 발광한다는 문제점이 방지된다.

또한, 구동용 박막 트랜지스터를 멀티 게이트(복수 게이트 구조)로 구성함으로써, 트랜지스터의 임계값을 결정하는 채널 영역이 복수의 게이트 아래에서 각각 분단된다. 그리고, 각각의 채널 영역을 구성하는 폴리실리콘의 결정 상태가 랜덤하게 변동됨으로써, 각 트랜지스터의 임계값의 변동도 랜덤하게 된다. 멀티 게이트의 구동용 박막 트랜지스터의 임계값은 이들 각 임계값이 평균화된 것이기 때문에, 그 변동은 싱글 게이트의 임계값에 비해 작아진다.

다음으로, 본 발명의 실시예에 대하여 도면을 참조하면서 상세히 설명한다. 먼저, 제1 실시예에 대하여 도 1, 도 2, 도 3을 참조하면서 설명한다. 도 1은 유기 EL 표시 패널 내의 1 화소의 등가 회로도이다. 도 2는 이 1 화소의 평면 패턴도이다. 또한, 도 3은 도 2에서의 X-X선을 따른 단면도이다. 실제의 유기 EL 표시 패널에서는, 이 화소가 n행 m열의 매트릭스로 배치되어 있다.

유기 EL 소자(70)의 구동용 TFT(85)는 멀티 게이트 구조이다. 즉, 유리 기판 등의 투명한 절연성 기판(100) 상에 폴리실리콘층으로 이루어지는 능동층(101)이 배치되며, 이 능동층(101) 상에 게이트 절연층(102)을 개재하여, 멀티 게이트(20)가 빗살 형상으로 배치되어 있다. 멀티 게이트(20) 상에는 층간 절연층(103)이 형성되어 있다(도 2 및 도 3 참조). 등가 회로로 보았을 때, 게이트가 공통인 복수의 트랜지스터가 직렬 접속되며, 이 공통 게이트에 화소 선택용 TFT(10)의 소스(10s)가 접속되어 있다(도 1 참조).

이하, 이 화소 구조에 대하여 자세하게 설명한다. 게이트 신호  $G_n$ 을 공급하는 게이트 신호선(50)이 행 방향으로 연장되며, 표시 신호  $D_m$ 을 공급하는 드레인 신호선(60)이 행 방향으로 연장되고, 이들 신호선이 서로 입체적으로 교차되어 있다. 게이트 신호선(50)은 크롬층 혹은 몰리브덴층 등으로 이루어지며, 드레인 신호선(60)은 그 상층의 알루미늄층 등으로 이루어진다.

화소 선택용 TFT(10)에서, 폴리실리콘층으로 이루어지는 능동층 상에 게이트 절연층(도시 생략)이 형성되며, 그 게이트 절연층 상에 게이트 신호선(50)으로부터 연장된 2개의 게이트가 오버랩되어, 더블 게이트 구조를 형성하고 있다. 또한, 이 화소 선택용 TFT(10)의 드레인(10d)은 드레인 신호선(60)과 콘택트(16)를 통해 접속되어 있다. 화소 선택용 TFT(10)의 소스(10s)를 구성하고 있는 폴리실리콘층은 유지 용량 영역으로 연장되어, 그 상층의 유지 용량선(11)과 용량 절연막을 개재하여 오버랩되어 있으며, 이 오버랩 부분에서 유지 용량  $C_s$ 가 형성되어 있다.

그리고, 화소 선택용 TFT(10)의 소스(10s)로부터 연장된 폴리실리콘층은 구동용 TFT(85)의 멀티 게이트(20)에 알루미늄 배선(17)을 통해 접속되어 있다. 멀티 게이트(20)는 크롬층 혹은 몰리브덴층 등으로부터 형성되어 있다. 이 멀티 게이트(20)는 빗살형의 형상을 나타내고 있으며, 구동용 TFT(85)의 능동층(101) 상에 게이트 절연층(101)을 개재하여 오버랩되어 있다.

구동용 TFT(85)의 소스는 콘택트를 통해, 플러스 전원 전압  $PV_{dd}$ 가 공급된 전원 라인(90)에 접속되어 있다. 또한, 구동용 TFT(85)의 드레인은 콘택트를 통해 유기 EL 소자(70)의 애노드(71)에 접속되어 있다.

상기 구성에 따르면, 유기 EL 소자(70)의 구동용 TFT(85)를 멀티 게이트 구조하고 있기 때문에, 그 4개의 직렬 트랜지스터 중, 하나의 트랜지스터의 채널 영역에 광이 입사되어 국소적으로 포토 전류가 발생하였다고 하여도, 다른 트랜지스터에 포토 전류가 동시에 발생하지 않으면, 구동용 TFT(85)로서는 포토 전류가 흐르지 않는다. 이것에 의해, 구동용 TFT(85)이 오프 상태일 때에 포토 전류가 발생하고, 이 포토 전류가 누설 전류로 되어 유기 EL 소자(70)에 공급되며, 이 유기 EL 소자(70)가 발광한다는 문제점이 방지된다.

또한, 구동용 TFT(85)를 멀티 게이트로 구성함으로써, TFT의 임계값을 결정하는 채널 영역이 4개의 게이트 아래에서 각각 분단된다. 그리고, 각각의 채널 영역을 구성하는 폴리실리콘의 결정 상태가 랜덤하게 변동됨으로써, 각 트랜지스터의 임계값의 변동도 랜덤하게 된다. 구동용 TFT(85)의 임계값은 이들 각 임계값이 평균화된 것이기 때문에, 그 변동은 싱글 게이트의 임계값에 비해 작아진다.

이것에 의해, 유기 EL 소자(70)에 흐르는 전류가 화소마다 변화하여, 표시 패널의 색얼룩이 생긴다는 문제를 해소할 수 있다. 또, 구동용 TFT(85)는 4개의 직렬 트랜지스터로 구성되어 있지만, 그 직렬 트랜지스터의 수는 적절히 증감할 수 있다.

다음으로, 제2 실시예에 대하여 도 4 및 도 5를 참조하면서 설명한다. 도 4는 유기 EL 표시 패널 내의 1 화소의 등가 회로도이다. 도 5는 이 1 화소의 평면 패턴도이다. 또, 도 5에서의 X-X선을 따른 단면은 도 3에 나타내는 단면과 동일하다.

본 실시예에서는 구동용 TFT(85)를 각각 4개의 트랜지스터가 직렬로 접속된 병렬 트랜지스터(85A, 85B)로 구성되어 있다. 즉, 구동용 TFT(85)는 드레인, 소스 및 게이트가 공통으로 접속된 2개의 병렬 트랜지스터(85A, 85B)로 나누어지며, 각각의 병렬 트랜지스터(85A, 85B)에 멀티 게이트(20)가 입력되어 있다.

그리고, 각 병렬 트랜지스터(85A, 85B)는 소스 드레인 방향으로 직렬 접속된 4개의 직렬 트랜지스터로 구성되어 있다. 그리고, 각 병렬 트랜지스터(85A, 85B)의 공통 소스는 콘택트를 통해, 플러스 전원 전압 PVdd가 공급된 전원 라인(90)에 접속되어 있다. 또한, 각 병렬 트랜지스터(85A, 85B)의 공통 드레인은 콘택트를 통해 유기 EL 소자(70)의 애노드(71)에 접속되어 있다.

이와 같이, 본 실시예에 따르면, 구동용 TFT(85)를 병렬 트랜지스터(85A, 85B)로 구성하고 있기 때문에, 한쪽의 트랜지스터가 불량으로 되었을 경우라도 동작상의 문제가 생기지 않는다는 이점이 있다. 병렬 트랜지스터(85A, 85B)는 각각 4개의 직렬 트랜지스터로 구성되어 있지만, 그 직렬 트랜지스터의 수는 적절히 증감할 수 있다.

또한, 제1 실시예에서는 화소 선택용 TFT(10)를 더블 게이트 구조로 구성하고 있지만, 본 실시예에서는 화소 선택 트랜지스터와 같이 싱글 게이트 구조로 하여도 무방하다. 이를 위해, 화소선택용 박막 트랜지스터의 게이트 수가 구동용 박막 트랜지스터의 게이트 수보다 적도록 한다.

### 발명의 효과

본 발명에 따르면, 각 화소마다, 화소 선택용 박막 트랜지스터와, 일렉트로 루미네센스 소자를 전류 구동하기 위한 구동용 박막 트랜지스터를 갖는 일렉트로 루미네센스 표시 장치에서, 구동용 박막 트랜지스터를 멀티 게이트 구조로 하였기 때문에, 포토 전류의 발생이 억지되어, 구동용 박막 트랜지스터가 오프 상태일 때에 일렉트로 루미네센스 소자가 발광한다는 문제점이 방지된다. 또한 동시에, 구동용 박막 트랜지스터의 임계값의 변동이 작아지기 때문에, 표시 패널의 색일록을 없앨 수 있다.

### (57) 청구의 범위

#### 청구항 1.

복수의 화소를 구비하며, 각 화소는 일렉트로 루미네센스 소자와, 게이트 신호에 따라 각 화소를 선택하기 위한 화소 선택용 박막 트랜지스터와, 상기 화소 선택용 박막 트랜지스터를 통해 공급되는 표시 신호에 따라 상기 일렉트로 루미네센스 소자에 전류를 공급하는 구동용 박막 트랜지스터를 갖고,

상기 구동용 박막 트랜지스터는, 1개의 반도체층을 갖고, 멀티 게이트를 갖는 복수의 박막 트랜지스터로 이루어지며, 드레인 또는 소스가 공통으로 접속됨으로써 병렬로 접속되어, 상기 일렉트로 루미네센스 소자에 대하여 직렬로 접속되는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치.

#### 청구항 2.

제1항에 있어서,

상기 화소 선택용 박막 트랜지스터가 싱글 게이트로 구성되어 있는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치.

#### 청구항 3.

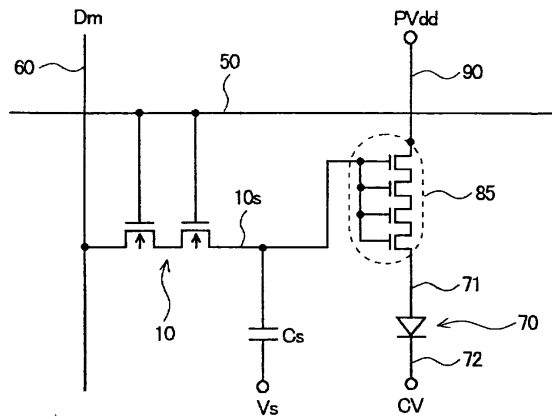
제1항에 있어서,

상기 화소 선택용 박막 트랜지스터의 게이트 수가 상기 구동용 박막 트랜지스터의 게이트 수보다 적은 것을 특징으로 하는 일렉트로 루미네센스 표시 장치.

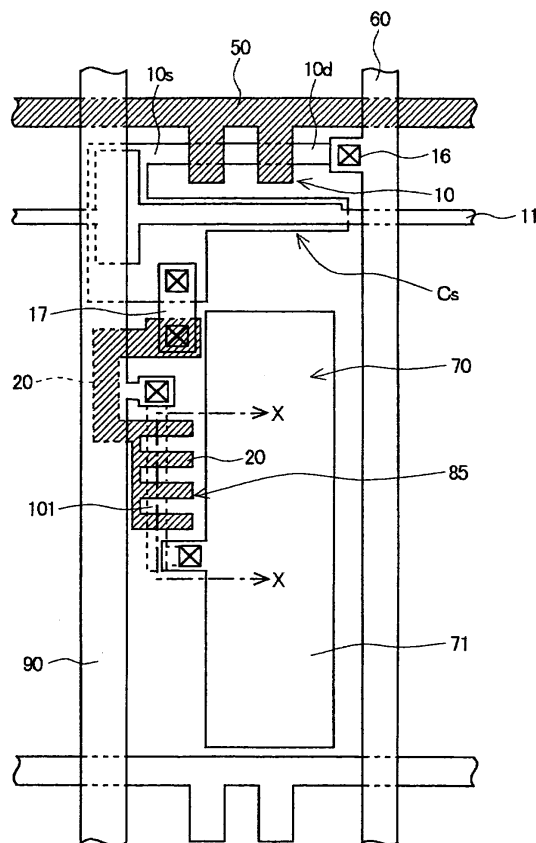
청구항 4.  
삭제

도면

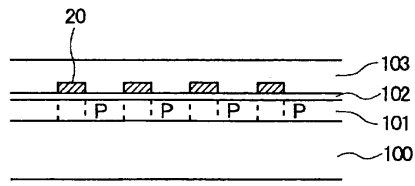
도면1



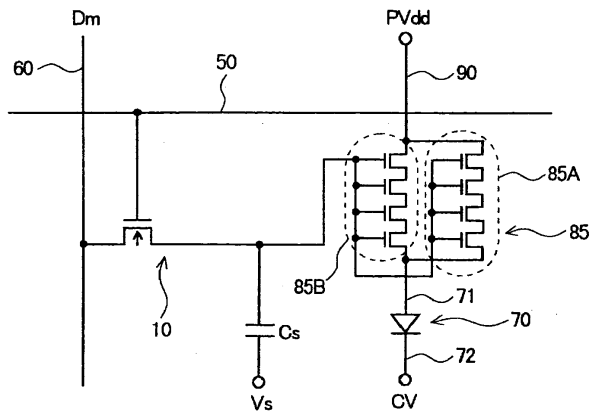
도면2



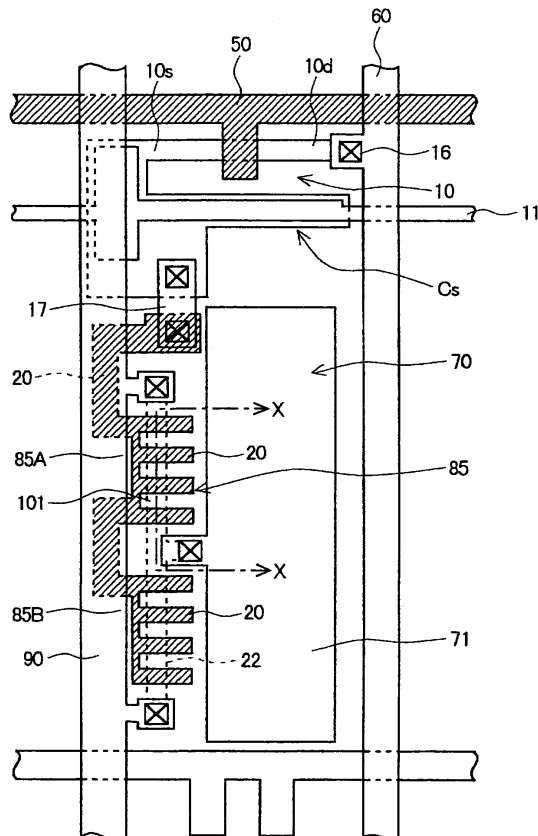
도면3



도면4



도면5



도면6

