

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>8</sup> (45) 공고일자 2006년01월20일  
H05B 33/00 (2006.01) (11) 등록번호 10-0543005

(24) 등록일자 2006년01월06일

(21) 출원번호 10-2003-0064897

(65) 공개번호 10-2005-0028561

(22) 출원일자 2003년09월18일

(43) 공개일자 2005년03월23일

(73) 특허권자 삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575

(72) 발명자 김무현  
경기도수원시팔달구영통동신나무실풍림아파트601동1501호

(74) 대리인 박상수

심사관 : 여운석

(54) 능동 매트릭스 유기전계발광표시장치

요약

능동 매트릭스 유기전계발광표시장치를 제공한다. 상기 상기 유기전계발광표시장치는 절연기관; 상기 절연기관 상에 위치하는 소오스 영역, 드레인 영역 및 채널 영역을 갖는 활성층; 상기 채널 영역 상에 위치하는 게이트; 상기 활성층과 상기 게이트를 포함한 기관 전면을 덮는 제 1 절연막; 상기 제 1 절연막 상에 위치하여 상기 소오스 영역 또는 상기 드레인 영역 중 어느 하나에 접함과 동시에 상기 제 1 절연막 상으로 연장되고, 적어도 한층의 전도성막 적층구조를 갖는 제 1 전극; 상기 제 1 절연막 상에 상기 제 1 전극과 서로 이격되게 위치하여 상기 소오스 영역 또는 드레인 영역 중 나머지 하나에 접하고, 상기 제 1 전극과 동일한 전도성막 적층구조를 갖는 제 2 전극; 상기 제 1 전극 상에 위치하고 적어도 유기발광층을 포함하는 유기막; 및 상기 유기막 상에 위치하는 제 3 전극을 포함하며, 며, 상기 제 1 전극 및 상기 제 2 전극은 하부 전도성막과 상기 하부 전도성막 상에 위치하는 상부 전도성막을 포함하는 다층구조이다.

대표도

도 2b

색인어

능동 매트릭스 유기전계발광소자, 전극, 비아홀

명세서

도면의 간단한 설명

도 1은 종래의 능동 매트릭스 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다.

도 2a 및 2b는 본 발명의 실시예에 따른 능동 매트릭스 유기전계발광표시장치 및 그의 제조방법을 나타낸 단면도이다.

(도면의 주요 부위에 대한 부호의 설명)

300 : 절연기판 371 : 활성층

378 : 제 1 전극 377 : 제 2 전극

399 : 제 3 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로, 특히 능동 매트릭스 유기전계발광표시장치에 관한 것이다.

일반적으로 유기전계발광표시장치(organic electroluminescence display)는 형광성 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치로서, 매트릭스 형태로 배치된  $N \times M$  개의 화소들을 구동하는 방식에 따라 수동 매트릭스(passive matrix)방식과 능동 매트릭스(active matrix)방식으로 나뉘어지는데, 상기 능동 매트릭스 방식의 유기전계발광표시장치는 상기 수동 매트릭스 방식에 비해 전력소모가 적어 대면적 구현에 적합하며 고해상도를 갖는 장점이 있다.

도 1은 종래의 능동 매트릭스 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다.

도 1을 참조하면, 발광영역(a)과 비발광영역(b)을 갖는 절연기판(100) 상에 버퍼층(105)을 형성한다. 상기 비발광영역(b)의 버퍼층(105)상에 소오스 영역(171a), 드레인 영역(170b) 및 채널 영역(171c)을 구비한 활성층(171)을 형성한다. 상기 활성층(171)을 포함한 기판 전면에 게이트 절연막(173)을 형성하고, 상기 게이트 절연막(173) 상에 상기 채널 영역(171c)에 대응되는 게이트(175)를 형성한다. 상기 게이트(175)를 포함한 기판 전면에 상기 소오스 및 드레인 영역(170a, 171b)을 각각 노출시키는 콘택홀들을 갖는 제 1 절연막(176)을 형성하고, 상기 제 1 절연막(176) 상에 상기 콘택홀들을 통해 상기 소오스 영역(171a) 및 상기 드레인 영역(171b)에 각각 연결되는 소오스 전극(177) 및 드레인 전극(178)을 형성한다. 이로써, 상기 활성층(171), 상기 게이트(175), 상기 소오스 전극(177) 및 상기 드레인 전극(178)은 구동 박막트랜지스터(170)를 형성한다. 이어서, 상기 소오스 및 드레인 전극(177, 178)을 포함하는 기판 전면에 제 2 절연막(180)을 형성하고, 상기 제 2 절연막(180)에 상기 드레인 전극(178)을 노출시키는 비아홀(183)을 형성한다. 상기 제 2 절연막(180) 상에 상기 노출된 드레인 전극(178)에 연결되고, 상기 발광영역(a)에 위치하는 화소전극(191)을 형성한다. 이 때, 상기 화소전극(191)은 상기 비아홀(183) 내에 굴곡을 갖는 형태로 형성된다. 이어서, 상기 비아홀(183) 내의 굴곡진 화소전극(191)을 덮는 화소정의막(185)을 형성하되, 상기 비아홀(183)과 서로 이격된 위치에 상기 화소전극(191)을 노출시키는 개구부(P)를 갖도록 형성한다. 이어서, 상기 개구부(P)내에 노출된 화소전극(191)을 포함하는 기판 전면에 유기발광층(195)을 형성하고, 상기 유기발광층(195) 상에 대향전극(opposite electrode; 199)을 형성한다. 상기 화소전극(191), 상기 유기발광층(195) 및 상기 대향전극(199)은 유기전계발광다이오드(190)를 형성하고, 상기 유기전계발광다이오드(190)는 상기 비아홀(183)을 통해 상기 구동 박막트랜지스터(170)에 연결됨으로써 상기 구동 박막트랜지스터(170)에 의해 구동된다. 이와 같이, 상기 비아홀(183) 내의 굴곡진 화소전극(191)을 덮는 화소정의막(185)을 형성함으로써, 상기 유기발광층(195)이 상기 비아홀(183) 내의 굴곡진 화소전극 상에 위치하는 것을 막아 상기 유기발광층(195)이 열화되는 불량을 막을 수 있다.

이와 같이 상기 구동 박막트랜지스터(170)와 상기 유기전계발광다이오드(190)를 상기 비아홀(183)을 통해 연결하는 것은 상기 화소정의막(185)의 형성을 필요로 하게 되는데, 이는 공정수가 증가될 뿐 아니라 필요한 마스크의 수가 많아 제품가격이 상승되는 문제점이 있다.

또한, 상기 비아홀(183) 내에 굴곡진 화소전극(191)은 상기 유기전계발광표시장치의 구동과정에서 상기 각진 부분에 전계가 집중되어 불량을 유발할 수 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 상기 비아홀로 인해 발생하는 불량을 개선할 뿐 아니라, 제조에 있어 필요한 공정수 및 마스크 수가 감소된 유기전계발광표시장치를 제공하고자 한다.

**발명의 구성 및 작용**

상기 기술적 과제를 이루기 위하여 본 발명은 유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 절연기판; 상기 절연기판 상에 위치하는 소오스 영역, 드레인 영역 및 채널 영역을 갖는 활성층; 상기 채널 영역 상에 위치하는 게이트; 상기 활성층과 상기 게이트를 포함한 기판 전면을 덮는 제 1 절연막; 상기 제 1 절연막 상에 위치하여 상기 소오스 영역 또는 상기 드레인 영역 중 어느 하나에 접함과 동시에 상기 제 1 절연막 상으로 연장되고, 적어도 한층의 전도성막 적층구조를 갖는 제 1 전극; 상기 제 1 절연막 상에 상기 제 1 전극과 서로 이격되게 위치하여 상기 소오스 영역 또는 드레인 영역 중 나머지 하나에 접하고, 상기 제 1 전극과 동일한 전도성막 적층구조를 갖는 제 2 전극; 상기 제 1 전극 상에 위치하고 적어도 유기발광층을 포함하는 유기막; 및 상기 유기막 상에 위치하는 제 3 전극을 포함하며, 여기서, 상기 제 1 전극 및 상기 제 2 전극은 하부 전도성막과 상기 하부 전도성막 상에 위치하는 상부 전도성막을 포함하는 다층구조인 것을 특징으로 한다.

**삭제**

이 경우, 상기 하부 전도성막은 Ti로 이루어지고, 상기 상부 전도성막은 Al, Ni, Cr, AlNd, ITO 및 IZO로 이루어진 군에서 선택되는 하나로 이루어지는 것이 바람직하다.

한편, 상기 하부 전도성막은 Al, Ni, Cr 및 AlNd로 이루어진 군에서 선택되는 하나로 이루어지고, 상기 상부 전도성막은 Al, Ni, Cr, AlNd, ITO 및 IZO로 이루어진 군에서 선택되는 하나로서 상기 하부 전도성막과는 서로 다른 물질로 이루어질 수 있다. 이 경우, 상기 제 1 전극은 상기 하부 전도성막의 하부 또는 상기 하부 전도성막과 상기 상부 전도성막 사이에 위치하는 Ti 막을 더욱 포함할 수 있다. 또는, 상기 제 1 전극은 상기 하부 전도성막의 하부에 위치하는 Ti 막과 상기 하부 전도성막과 상기 상부 전도성막 사이에 개재된 다른 Ti 막을 더욱 포함할 수 있다.

상기 제 1 전극은 캐소드이고, 상기 제 3 전극은 애노드일 수 있다. 이와는 달리, 상기 제 1 전극은 애노드이고, 상기 제 3 전극은 캐소드일 수 있다.

상기 유기막은 전하주입층, 전하수송층 및 정공억제층으로 이루어진 군에서 선택되는 하나 이상을 더욱 포함하는 것이 바람직하다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.

도 2a 및 2b는 본 발명의 실시예에 따른 능동 매트릭스 유기전계발광표시장치 및 그의 제조방법을 나타낸 단면도이다.

도 2a를 참조하면, 발광영역(a)과 비발광영역(b)을 갖는 절연기판(300) 상에 버퍼층(305)을 형성한다. 상기 버퍼층(305)은 상기 기판(300)으로부터 유출되는 알칼리 이온과 같은 불순물로부터 후속하는 공정에서 형성되는 박막트랜지스터를 보호하기 위한 층으로, 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화막/실리콘 질화막의 이중층으로 형성할 수 있다. 상기 비발광영역(b)의 버퍼층(305)상에 소오스/드레인 영역들(371a, 371b) 및 상기 소오스/드레인 영역들(371a, 371b) 사이에 개재된 채널 영역(371c)을 구비한 활성층(371)을 형성한다. 상기 활성층(371)은 비정질 실리콘 또는 다결정 실리콘으로 형성할 수 있다. 상기 활성층(371)을 포함한 기판 전면에 게이트 절연막(373)을 형성하고, 상기 게이트 절연막(373) 상에 상기 채널 영역(371c)에 대응되는 게이트(375)를 형성한다. 상기 게이트(375)를 포함한 기판 전면에 제 1 절연막(376)을 형성하고, 상기 제 1 절연막(376)에 상기 소오스/드레인 영역들(371a, 371b)을 각각 노출시키는 콘택홀들을 형성한다. 상기 제 1 절연막(376)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화막/실리콘 질화막의 이중층으로 형성할 수 있다.

이어서, 상기 콘택홀들이 형성된 제 1 절연막(376) 상에 적어도 한층의 전도성막을 미리 정해진 두께로 차례로 증착하고, 이를 하나의 마스크를 사용하여 패터닝함으로써 제 1 전극(378)과 제 2 전극(377)을 동시에 형성한다. 상기 증착은 진공 증착 또는 스퍼터링을 사용하여 실시할 수 있다. 이로써, 상기 제 1 전극(378)은 상기 소오스/드레인 영역들(371a, 371b) 중 어느 하나와 상기 콘택홀을 통해 연결되고, 상기 발광영역(a)의 제 1 절연막(376) 상으로 연장된 적어도 한층의 전도성막 적층구조를 갖는다. 또한 상기 제 2 전극(377)은 상기 소오스/드레인 영역들(371a, 371b) 중 나머지 하나에 연결되고 상기 제 1 전극(378)과 동일한 전도성막 적층구조를 갖는다. 이로써, 상기 활성층(371), 상기 게이트(375), 상기 제 1 전극

(378) 및 상기 제 2 전극(377)은 구동 박막트랜지스터(370)를 형성한다. 또한, 상기 제 1 전극(378)은 상기 구동 박막트랜지스터(370)의 소오스 전극 또는 드레인 전극임과 동시에 후속하는 공정에서 형성되는 유기전계발광다이오드의 애노드 또는 캐소드이다.

상기 제 1 전극(378)과 상기 제 2 전극(377)을 단일층의 전도성막으로 형성할 수 있는데 이 경우, 상기 제 1 전극(378)은 상기 활성층(371)에 대해 낮은 접촉저항을 갖고, 또한 후속하는 공정에서 형성되는 유기막에 대해 애노드 또는 캐소드로서 적절한 일함수를 갖는 전도성막으로 형성하는 것이 바람직하다. 더욱 바람직하게는 상기 Al, Ni, Cr, AlNd, ITO 또는 IZO로 이루어진 군에서 선택되는 하나로 형성한다.

이와는 달리, 상기 제 1 전극(378)과 상기 제 2 전극(377)은 하부 전도성막(378b)과 상기 하부 전도성막(378b) 상에 위치하는 상부 전도성막(378d)을 구비하는 다층구조로 형성할 수 있다. 이 경우, 상기 하부 전도성막(378b)은 상기 활성층(371)에 접하므로 상기 활성층(371)에 대해 접촉저항이 낮은 물질로 형성하는 것이 바람직하다. 또한, 상기 상부 전도성막(378d)은 상기 제 1 전극(378)이 후속하는 공정에서 형성되는 유기막에 대해 애노드 또는 캐소드로서 상기 유기막으로의 전하의 주입을 용이하게 할 수 있도록 적절한 일함수를 갖는 물질로 형성하는 것이 바람직하다. 더욱 바람직하게는 상기 하부 전도성막(378b)은 Ti 막으로 형성하고, 상기 상부 전도성막(378d)은 Al, Ni, Cr, AlNd, ITO 및 IZO로 이루어진 군에서 선택되는 하나의 막으로 형성한다. 상기 Ti 막은 단단한 막질로 상기 제 1 전극(378)과 상기 제 2 전극(377)의 경도를 높일 수 있을 뿐 아니라, 상기 활성층을 이루는 실리콘과 반응하여 실리사이드를 형성함으로써 상기 접촉저항을 낮출 수 있다. 또한, 상기 상부 전도성막(378d)을 Al으로 형성하는 경우, 상기 Ti 막은 고온에서의 Al의 확산을 방지할 수 있는 역할을 할 수 있다.

한편, 상기 하부 전도성막(378b)은 Al, Ni, Cr 및 AlNd로 이루어진 군에서 선택되는 하나로 형성하고, 상기 상부 전도성막(378d)은 Al, Ni, Cr, AlNd, ITO 및 IZO로 이루어진 군에서 선택되는 하나로 형성할 수 있다. 이 경우, 상기 하부 전도성막(378b)을 형성하기 전에 Ti 막(378a)을 더욱 형성할 수 있다. 상기 Ti 막은 상술한 바와 같이 단단한 막질로 상기 제 1 전극(378)과 상기 제 2 전극(377)의 경도를 높일 수 있을 뿐 아니라, 상기 활성층(371)을 이루는 실리콘과 반응하여 실리사이드를 형성함으로써 상기 접촉저항을 낮출 수 있다. 또한, 상기 하부 전도성막(378b)을 Al으로 형성하는 경우, 상기 Ti 막은 고온에서의 Al의 확산을 방지할 수 있는 역할을 할 수 있다. 이와는 달리, 상기 하부 전도성막(378b)을 형성한 후 Ti 막(378c)을 형성하고, 상기 Ti 막(378c) 상에 상기 상부 전도성막(378d)을 형성할 수 있다. 이 경우 상기 Ti 막(378c)은 과상기 제 1 전극(378)과 상기 제 2 전극(377)의 경도를 높이는 역할을 한다. 또한, 상기 하부 전도성막(378b)을 형성하기 전에 Ti 막(378a)을 형성하고, 상기 하부 전도성막(378b)을 형성한 후 Ti 막(378c)을 형성할 수도 있다.

도 2b를 참조하면, 상기 제 1 전극(378) 및 상기 제 2 전극(377)을 갖는 기판 전면에는 제 2 절연막(385)을 형성한다. 상기 제 2 절연막(385)은 유기막인 BCB(benzocyclobutene) 또는 통상의 포토레지스트인 감광형 절연막으로 형성하거나, 무기막인 실리콘 질화막, 실리콘 산화막 또는 실리콘 질화막/실리콘 산화막의 이중층으로 형성할 수 있다. 상기 감광형 절연막은 폴리이미드계, 아크릴 수지계 또는 페놀 수지계일 수 있다. 이어서, 상기 제 2 절연막(385) 내에 상기 발광영역(a)의 제 1 전극(378)을 노출시키는 개구부(Q)를 형성하고, 상기 개구부(Q) 내에 노출된 제 1 전극(378) 상에 유기막(395)을 형성한다. 상기 유기막(395)은 적어도 발광층을 포함한다. 바람직하게는 상기 유기막(395)은 전하주입층, 전하수송층 및 정공억제층으로 이루어진 군에서 선택되는 하나 이상을 더욱 포함할 수 있다. 이어서, 상기 유기막(395) 상에 제 3 전극(399)을 형성한다. 상기 제 1 전극(378)이 애노드 인 경우 상기 제 3 전극(399)은 캐소드이고, 상기 제 1 전극(378)이 캐소드 인 경우 상기 제 3 전극(399)은 애노드 이다. 이로써, 상기 제 1 전극(378), 상기 유기발광층(395) 및 상기 제 3 전극(399)은 상기 구동 박막트랜지스터(370)에 의해 구동되는 유기전계발광다이오드(390)를 형성한다.

이와 같이 상기 제 1 전극(378)을 상기 구동 박막트랜지스터의 소오스 전극 또는 드레인 전극임과 동시에 상기 유기전계발광다이오드의 애노드 또는 캐소드로 형성함으로써, 종래기술과는 달리 비아홀 및 화소정의막을 형성하지 않을 수 있다. 따라서, 유기전계발광표시장치의 제조에 있어 필요한 공정수 및 마스크 수가 감소될 뿐 아니라, 상기 비아홀로 인해 발생하는 불량을 제거할 수 있다.

### 발명의 효과

상술한 바와 같이 본 발명에 따르면, 구동 박막트랜지스터의 소오스 또는 드레인 전극과 유기전계발광다이오드의 애노드 또는 캐소드를 같은 층으로 형성함으로써, 비아홀 및 화소정의막의 형성공정을 생략할 수 있다. 결과적으로 유기전계발광표시장치의 제조에 있어 필요한 공정수 및 마스크 수가 감소될 뿐 아니라, 상기 비아홀로 인해 발생하는 불량을 제거할 수 있다.

### (57) 청구의 범위

## 청구항 1.

기관;

상기 기관 상에 위치하는 소오스 영역, 드레인 영역 및 채널 영역을 갖는 활성층;

상기 채널 영역 상에 위치하는 게이트;

상기 활성층과 상기 게이트를 포함한 기관 전면을 덮는 제 1 절연막;

상기 제 1 절연막 상에 위치하여 상기 소오스 영역 또는 상기 드레인 영역 중 어느 하나에 접합과 동시에 상기 제 1 절연막 상으로 연장되고, 적어도 한층의 전도성막 적층구조를 갖는 제 1 전극;

상기 제 1 절연막 상에 상기 제 1 전극과 서로 이격되게 위치하여 상기 소오스 영역 또는 드레인 영역 중 나머지 하나에 접하고, 상기 제 1 전극과 동일한 전도성막 적층구조를 갖는 제 2 전극;

상기 제 1 전극 상에 위치하고 적어도 유기발광층을 포함하는 유기막; 및

상기 유기막 상에 위치하는 제 3 전극을 포함하며, 상기 제 1 전극 및 상기 제 2 전극은 하부 전도성막과 상기 하부 전도성막 상에 위치하는 상부 전도성막을 포함하는 다층구조인 것을 특징으로 하는 유기전계발광표시장치.

## 청구항 2.

삭제

## 청구항 3.

삭제

## 청구항 4.

삭제

## 청구항 5.

제 1 항에 있어서,

상기 하부 전도성막은 Ti로 이루어지고,

상기 상부 전도성막은 Al, Ni, Cr, AlNd, ITO 및 IZO로 이루어진 군에서 선택되는 하나로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

## 청구항 6.

제 1 항에 있어서,

상기 하부 전도성막은 Al, Ni, Cr 및 AlNd로 이루어진 군에서 선택되는 하나로 이루어지고,

상기 상부 전도성막은 Al, Ni, Cr, AlNd, ITO 및 IZO로 이루어진 군에서 선택되는 하나로서 상기 하부 전도성막과는 서로 다른 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 7.

제 6 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극은 상기 하부 전도성막의 하부 또는 상기 하부 전도성막과 상기 상부 전도성막 사이에 위치하는 Ti 막을 더욱 포함하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 8.

제 6 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극은 상기 하부 전도성막의 하부에 위치하는 Ti 막과 상기 하부 전도성막과 상기 상부 전도성막 사이에 개재된 다른 Ti 막을 더욱 포함하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 9.

제 1 항에 있어서,

상기 제 1 전극은 캐소드이고, 상기 제 3 전극은 애노드인 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 10.

제 1 항에 있어서,

상기 제 1 전극은 애노드이고, 상기 제 3 전극은 캐소드인 것을 특징으로 하는 유기전계발광표시장치.

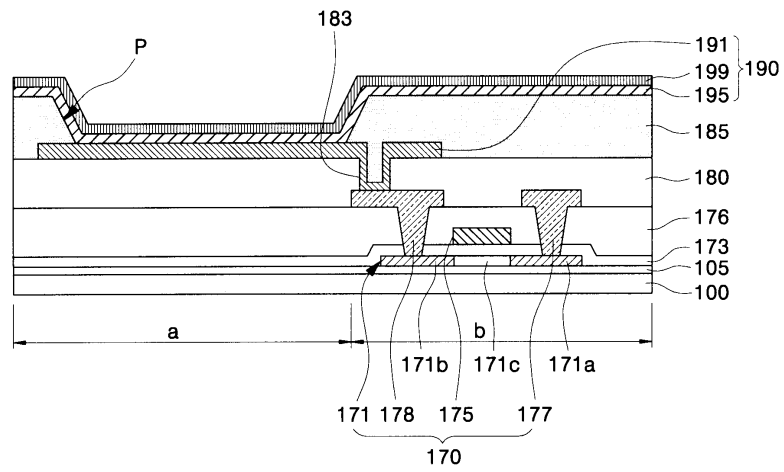
### 청구항 11.

제 1 항에 있어서,

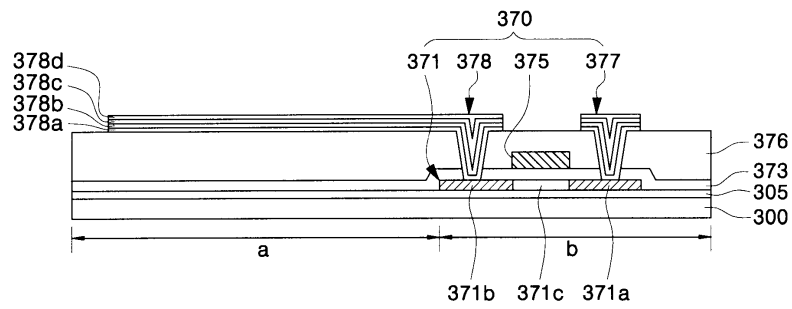
상기 유기막은 전하주입층, 전하수송층 및 정공억제층으로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

도면

도면1



도면2a



도면2b

