



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0002141  
(43) 공개일자 2012년01월05일

(51) Int. Cl.

H01L 51/52 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0062878

(22) 출원일자 2010년06월30일

심사청구일자 2010년06월30일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성 전자)

(72) 발명자

조규식

경기도 수원시 영통구 봉영로1770번길 21, 204동 801호 (영통동, 한국아파트)

이원규

경기도 성남시 분당구 무지개로 144, 511동 1302호 (구미동, 무지개마을)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 18 항

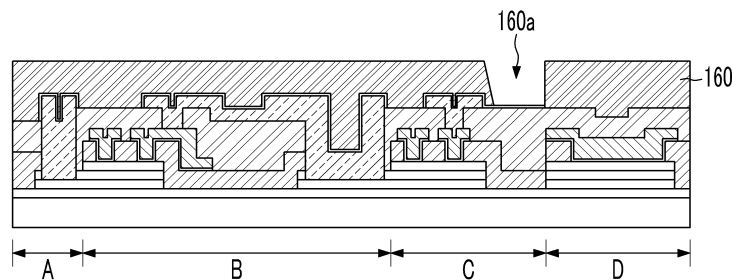
(54) 유기전계발광 표시장치

(57) 요약

본 기재에 따른 유기전계발광 표시장치는, 제1영역 및 제2영역을 포함하는 기관; 상기 기관의 제1영역 및 제2영역에 각각 형성되는 게이트 전극; 상기 게이트 전극 상에 각각 형성되는 게이트 절연막; 상기 게이트 절연막 상에 각각 형성되는 반도체층; 상기 반도체층을 포함하는 기관 상에 형성되는 층간절연막; 상기 각각의 반도체 층의 채널영역과 대응되는 영역에 형성되고, 상기 층간절연막이 패터닝되어 형성되는 식각저지층; 및 상기 층간절연막 상에 형성되고, 상기 층간절연막의 비아홀을 통하여 상기 각각의 반도체층의 일정 영역과 전기적으로 연결되는 오믹접촉층 및 소오스/드레인 전극을 포함한다.

따라서, 저저항 배선을 구현하면서, 기관의 수축 등의 변형을 최소화하기 위한 열처리 공정을 배제하여 공정비용을 저감할 수 있는 효과가 있다.

대표도 - 도7b



(72) 발명자

**양태훈**

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성전자)

**추병권**

경기 화성시 동탄면 반송리 نار우마을 신도브래뉴아파트 619동 901호

**문상호**

서울특별시 양천구 월정로 5-1, 2층 (신월동)

**최보경**

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성전자)

**박용환**

서울특별시 양천구 오목로 174, 주안아파트 401호 (신정동, 주안팜니스아파트)

**최준후**

서울특별시 용산구 한강대로 211, 101동 1804호 (한강로1가, 대우 월드마크 용산)

**신민철**

서울특별시 구로구 부일로 861-6, 월드주택 A동 102호 (온수동)

**이윤규**

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성전자)

## 특허청구의 범위

### 청구항 1

제1영역 및 제2영역을 포함하는 기관;

상기 기관의 제1영역 및 제2영역에 각각 형성되는 게이트 전극;

상기 게이트 전극 상에 각각 형성되는 게이트 절연막;

상기 게이트 절연막 상에 각각 형성되는 반도체층;

상기 반도체층을 포함하는 기관 상에 형성되는 층간절연막;

상기 각각의 반도체 층의 채널영역과 대응되는 영역에 형성되고, 상기 층간절연막이 패터닝되어 형성되는 식각 저지층; 및

상기 층간절연막 상에 형성되고, 상기 층간절연막의 비아홀을 통하여 상기 각각의 반도체층의 일정 영역과 전기적으로 연결되는 오믹접촉층 및 소오스/드레인 전극을 포함하는 유기전계발광 표시장치.

### 청구항 2

제 1 항에 있어서,

상기 제1영역의 소오스 전극과 전기적으로 연결되는 데이터 라인을 더 포함하고, 상기 데이터 라인은 고농도 불순물이 주입된 실리콘층 패턴과 도전막 패턴의 적층구조로 형성되는 유기전계발광 표시장치.

### 청구항 3

제 1 항에 있어서,

상기 제2영역의 소오스 전극과 전기적으로 연결되는 전원공급라인을 더 포함하고, 상기 전원공급라인은 고농도 불순물이 주입된 실리콘층 패턴과 도전막 패턴의 적층구조로 형성되는 유기전계발광 표시장치.

### 청구항 4

제 1 항에 있어서,

상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및

상기 보호막 상에 형성되고, 상기 보호막 및 상기 제1영역의 게이트 절연막 상에 형성된 비아콘택홀을 통하여, 상기 제1영역의 게이트 전극과 전기적으로 연결되는 게이트 라인을 더 포함하는 유기전계발광 표시장치.

### 청구항 5

제 1 항에 있어서,

상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및

상기 보호막 상에 형성되고, 상기 보호막 및 상기 제2영역의 게이트 절연막 상에 형성된 비아콘택홀을 통하여, 상기 제2영역의 게이트 전극과 전기적으로 연결되는 제1연결배선을 더 포함하는 유기전계발광 표시장치.

### 청구항 6

제 5 항에 있어서,

상기 제1연결배선은 상기 제1영역의 드레인 전극과 전기적으로 연결되는 유기전계발광 표시장치.

### 청구항 7

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 게이트 라인, 제1연결배선 및 제2연결배선 상에 각각 형성되는 화소전극물질막 패턴을 더 포함하는 유기전

계발광 표시장치.

**청구항 8**

제 1 항에 있어서,

상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및

상기 보호막 상에 형성되고, 상기 보호막 상에 형성된 비아콘택홀을 통하여, 상기 제2영역의 드레인 전극과 전기적으로 연결되는 제2연결배선을 더 포함하는 유기전계발광 표시장치.

**청구항 9**

제 8 항에 있어서,

상기 보호막 상에 형성되고, 상기 제2연결배선과 전기적으로 연결되는 화소전극을 더 포함하는 유기전계발광 표시장치.

**청구항 10**

제 1 항에 있어서,

상기 게이트 전극은 도핑 또는 비도핑된 비정질 실리콘층으로 이루어지거나, 도핑 또는 비도핑된 다결정 실리콘층으로 이루어지는 유기전계발광 표시장치.

**청구항 11**

제 1 항에 있어서,

상기 기관은 제3영역을 더 포함하고,

상기 제3영역은 상기 게이트 전극과 동일 층에 형성되는 캐패시터 하부전극; 상기 게이트 절연막과 동일층에 형성되는 유전체막; 및 상기 반도체층과 동일층에 형성되는 캐패시터 제1상부전극을 포함하는 유기전계발광 표시장치.

**청구항 12**

제 11 항에 있어서,

상기 캐패시터 하부전극은 상기 제2영역의 게이트 전극과 전기적으로 연결되는 유기전계발광 표시장치.

**청구항 13**

제 11 항에 있어서,

상기 캐패시터 하부전극은 도핑 또는 비도핑된 비정질 실리콘층으로 이루어지거나, 도핑 또는 비도핑된 다결정 실리콘층으로 이루어지는 유기전계발광 표시장치.

**청구항 14**

제 11 항에 있어서,

상기 층간절연막 상에 형성되고, 상기 캐패시터 제1상부전극과 전기적으로 연결되는 캐패시터 제2상부전극을 더 포함하는 유기전계발광 표시장치.

**청구항 15**

제 14 항에 있어서,

상기 캐패시터 제2상부전극은 고농도 불순물이 주입된 실리콘층 패턴 및 금속막패턴의 적층 구조로 이루어지는 유기전계발광 표시장치.

**청구항 16**

제 3 항에 있어서,

상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및

상기 보호막 상에 형성되고, 상기 보호막 상에 형성된 비아콘택홀을 통하여, 상기 전원공급라인과 전기적으로 연결되는 보조 전원공급라인을 더 포함하는 유기전계발광 표시장치.

**청구항 17**

제 16 항에 있어서,

상기 보조 전원공급라인 상에 형성되는 화소전극물질막 패턴을 더 포함하는 유기전계발광 표시장치.

**청구항 18**

제 1 항에 있어서,

상기 제1영역은 스위칭 박막트랜지스터 영역이고, 상기 제2영역은 구동 박막트랜지스터 영역인 유기전계발광 표시장치.

**명세서**

**기술분야**

[0001] 본 발명은 유기전계발광 표시장치에 관한 것으로서, 더욱 상세하게는 기관의 수축 등의 변형을 최소화하기 위한 열처리 공정을 배제할 수 있는 유기전계발광 표시장치에 관한 것이다.

**배경기술**

[0002] 일반적으로 유기 전계 발광 표시 장치는 형광성 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시 소자이다. 이는 매트릭스(matrix) 형태로 배치된 N×M 개의 화소(pixel)들을 구동하는 방식에 따라 수동 매트릭스(passive matrix) 방식과 능동 매트릭스(active matrix) 방식으로 나뉘어진다. 상기 능동 매트릭스 방식의 유기 전계 발광 표시(AMOLED) 소자는 수동 매트릭스 방식에 비해 전력 소모가 적어 대면적 구현에 적합하며 고해상도를 갖는 장점이 있다.

[0003] 또한, 유기 전계 발광 표시 장치는 발광 방식에 따라 배면 발광(bottom emission) 방식과 전면 발광(top emission) 방식으로 나눌 수 있다. 상기 배면 발광 방식은 발광층에서 나온 빛이 박막 트랜지스터 표시판을 통하여 외부로 방출되는 방식이고, 상기 전면 발광 방식은 발광층에서 나온 빛이 공통 전극을 통하여 그대로 외부로 방출되는 방식이다. 이 중 전면 발광 방식은 신호선 및 박막 트랜지스터에 의해 개구율이 영향을 받지 않으므로 유리하다.

[0004] 한편, 상기 능동 매트릭스 방식의 유기 전계 발광 표시(AMOLED) 소자는 박막트랜지스터를 포함하는데, 상기 박막트랜지스터 중 버텀 게이트 방식의 박막트랜지스터는 게이트 패턴을 형성한 이후에 비정질 실리콘을 결정화하게 되고, 이 경우, 상기 결정화 공정은 약 700℃ 이상의 고온에서 이루어지기 때문에 기관의 수축 문제가 발생하고, 이로 인하여 상기 게이트 패턴에 미스 얼라인이 발생하는 문제점이 있다.

[0005] 따라서, 이러한 기관의 수축 등의 변형을 최소화하기 위하여, 게이트 패턴을 형성하기 전에 열처리 공정인 프리 컴팩션(Pre-Compaction) 공정을 수행하였으나, 이로 인하여 공정비용이 증가하는 문제점이 있다.

[0006] 또한, 상기와 같은 결정화 공정에서 결정화 또는 활성화를 위한 열처리 공정에 의해 게이트 패턴의 저항이 증가하기 때문에, 저저항 배선을 구현하는 것이 어려운 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 따라서, 본 발명은 공정 비용을 증가함이 없이 게이트 패턴의 미스 얼라인을 방지하고, 저저항 배선을 구현하기 위한 유기전계발광 표시장치를 제공하는데 목적이 있다.

**과제의 해결 수단**

- [0008]     기술한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 유기전계발광 표시장치는 제1영역 및 제2영역을 포함하는 기관; 상기 기관의 제1영역 및 제2영역에 각각 형성되는 게이트 전극; 상기 게이트 전극 상에 각각 형성되는 게이트 절연막; 상기 게이트 절연막 상에 각각 형성되는 반도체층; 상기 반도체층을 포함하는 기관 상에 형성되는 층간절연막; 상기 각각의 반도체 층의 채널영역과 대응되는 영역에 형성되고, 상기 층간절연막이 패터닝되어 형성되는 식각저지층; 및 상기 층간절연막 상에 형성되고, 상기 층간절연막의 비아홀을 통하여 상기 각각의 반도체층의 일정 영역과 전기적으로 연결되는 오믹접촉층 및 소오스/드레인 전극을 포함하는 를 제공한다.
- [0009]     또한, 상기 유기전계발광 표시장치는 상기 제1영역의 소오스 전극과 전기적으로 연결되는 데이터 라인을 더 포함하고, 상기 데이터 라인은 고농도 불순물이 주입된 실리콘층 패턴과 도전막 패턴의 적층구조로 형성된다.
- [0010]     또한, 상기 유기전계발광 표시장치는 상기 제2영역의 소오스 전극과 전기적으로 연결되는 전원공급라인을 더 포함하고, 상기 전원공급라인은 고농도 불순물이 주입된 실리콘층 패턴과 도전막 패턴의 적층구조로 형성된다.
- [0011]     또한, 상기 유기전계발광 표시장치는 상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및 상기 보호막 상에 형성되고, 상기 보호막 및 상기 제1영역의 게이트 절연막 상에 형성된 비아콘택홀을 통하여, 상기 제1영역의 게이트 전극과 전기적으로 연결되는 게이트 라인을 더 포함한다.
- [0012]     또한, 상기 유기전계발광 표시장치는 상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및 상기 보호막 상에 형성되고, 상기 보호막 및 상기 제2영역의 게이트 절연막 상에 형성된 비아콘택홀을 통하여, 상기 제2영역의 게이트 전극과 전기적으로 연결되는 제1연결배선을 더 포함한다.
- [0013]     또한, 상기 유기전계발광 표시장치는 상기 소오스/드레인 전극을 포함하는 기관 상에 형성되는 보호막; 및 상기 보호막 상에 형성되고, 상기 보호막 상에 형성된 비아콘택홀을 통하여, 상기 제2영역의 드레인 전극과 전기적으로 연결되는 제2연결배선을 더 포함한다.
- [0014]     또한, 상기 유기전계발광 표시장치는 상기 보호막 상에 형성되고, 상기 제2연결배선과 전기적으로 연결되는 화소전극을 더 포함한다.
- [0015]     또한, 상기 게이트 전극은 도핑 또는 비도핑된 비정질 실리콘층으로 이루어지거나, 도핑 또는 비도핑된 다결정 실리콘층으로 이루어진다.

**발명의 효과**

- [0016]     따라서, 본 발명의 실시예에 따른 유기전계발광 표시장치는 저저항 배선을 구현하면서, 기관의 수축 등의 변형을 최소화하기 위한 열처리 공정을 배제하여 공정비용을 저감할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0017]     도 1a 내지 7b는 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 제조방법을 설명하기 위한 도면이다. 도 8은 게이트 전극 물질에 따른 TFT 특성을 나타내는 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0018]     본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 설명의 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0019]     도 1a 내지 7b는 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 제조방법을 설명하기 위한 도면이다. 이때, 도 1a, 2a, 3a, 4a, 5a, 6a, 및 7a는 유기전계발광 표시장치의 평면도이고, 도 1b, 2b, 3b, 4b, 5b, 6b, 및 7b는 각각 도 1a, 2a, 3a, 4a, 5a, 6a, 및 7a의 A-A선, B-B선, C-C선, D-D선에 따른 단면도이다.
- [0020]     먼저, 도 1a 및 도 1b를 참조하면, 유리, 석영, 사파이어 등의 투명절연기관(100)을 제공하고, 상기 투명절연기관(100)의 전면에 실리콘산화물 또는 실리콘질화물을 플라즈마-강화 화학기상증착(plasma-enhanced chemical vapor deposition, PECVD)방법으로 소정 두께의 완충막(110)을 형성한다. 이때, 상기 완충막(110)은 후속 공정으로 형성되는 비정질실리콘층의 결정화 공정 시 상기 투명절연기관(100) 내의 불순물이 확산되는 것을 방지한다.

- [0021] 다음으로, 상기 완충막(110) 상에 게이트 전극물질층(미도시)을 형성한다. 이때, 상기 게이트 전극물질은 n형 또는 p형 불순물이 도핑된 비정질 실리콘 또는 비도핑된 비정질 실리콘층을 사용하여 형성할 수 있다.
- [0022] 다음으로, 상기 게이트 전극물질층(미도시) 상에 소정 두께의 게이트절연막 물질층(미도시)을 형성한다. 상기 게이트절연막 물질은 실리콘산화물, 실리콘질화물 또는 그 적층구조로 형성될 수 있다.
- [0023] 다음으로, 상기 게이트절연막 물질층(미도시) 상에 소정 두께의 비정질실리콘층(미도시)을 증착하고, 상기 비정질실리콘층을 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization), SGS(Super Grain Silicon)법을 사용하여 결정화하여 다결정 실리콘층(미도시)을 형성한다.
- [0024] 이때, 상기 비정질실리콘층(미도시)을 결정화하면서, 동시에 상기 게이트 전극물질층도 결정화될 수 있다.
- [0025] 다음, 상기 게이트 전극물질층(미도시), 게이트 절연막 물질층(미도시) 및 다결정 실리콘층(미도시)을 사진식각공정으로 패터닝한다.
- [0026] 상기 패터닝에 의하여, 스위칭 트랜지스터 영역에는 제1게이트 전극(111), 제1게이트 절연막(114) 및 제1다결정실리콘패턴(117)을 형성하고, 구동 트랜지스터 영역에는 제2게이트 전극(112), 제2게이트 절연막(115) 및 제2다결정실리콘패턴(118)을 형성하며, 캐패시터 영역에는 캐패시터 하부전극(113), 유전체막(116) 및 캐패시터 제1상부전극(119)을 형성한다. 이때, 상기 캐패시터 하부전극(113)은 상기 제2게이트 전극(112)과 전기적으로 연결되어 있으며, 다만, 현 단계에서는 상기 제2다결정실리콘패턴(118)과 상기 캐패시터 제1상부전극(119)도 서로 연결되어 있다.
- [0027] 이상과 같이, 제1마스크를 사용하여 본원발명의 게이트 전극, 다결정실리콘패턴 및 캐패시터를 형성할 수 있다.
- [0028] 다음으로, 도 2a 및 도 2b를 참조하면, 상기 게이트 전극, 다결정실리콘패턴 및 캐패시터를 포함하는 기판 전면 에 일정 두께의 층간절연막(127)을 형성한다. 상기 층간절연막은 실리콘 산화막 또는 실리콘 질화막을 사용할 수 있다.
- [0029] 이후, 사진식각공정으로 상기 층간절연막(127)을 식각하여, 복수의 비아홀들(127a, 127b, 127c, 127d, 127e, 127f, 127g)을 형성한다. 이때, 제2마스크를 사용하여 상기 복수의 비아홀들을 식각할 수 있다.
- [0030] 한편, 상기 복수의 비아홀들을 형성하면서, 이와 동시에 상기 층간절연막이 패터닝되어 형성되는 식각 저지층(127h, 127i)을 형성한다.
- [0031] 즉, 상기 식각 저지층(127h, 127i)은 상기 제1다결정실리콘패턴(117) 및 제2다결정실리콘패턴(118)의 소정 영역에 형성되고, 이때, 상기 식각 저지층이 형성된 영역 하부의 다결정실리콘패턴이 채널 영역으로 정의된다.
- [0032] 이상과 같이, 제2마스크를 사용하여 본 실시예의 복수의 비아홀 및 식각저지층을 형성할 수 있다.
- [0033] 다음으로, 도 3a 및 도 3b를 참조하면, 상기 복수의 비아홀을 포함하는 층간절연막 상에 고농도 불순물이 주입된 실리콘층(미도시) 및 상기 고농도 불순물이 주입된 실리콘층 상에 금속막(미도시)을 형성한다.
- [0034] 상기 고농도 불순물이 주입된 실리콘층은 소오스/드레인 영역을 정의하는 오믹접촉층에 해당하는 것으로, n형 또는 p형 불순물이 도핑되어 형성할 수 있으며, 상기 금속막은 Mo, W, MoW, AlNd, Ti, Cu, Cu 합금, Al, Al 합금, Ag 및 Ag 합금 등으로 이루어진 군에서 선택되는 하나의 물질로 단일층으로 형성하거나, 배선 저항을 줄이기 위해 저저항물질인 Mo, Cu, Al 또는 Ag의 2층 구조 또는 그 이상의 다중막 구조로 이루어진 군에서 선택되는 하나의 적층구조로 형성할 수 있다.
- [0035] 계속해서, 도 3a 및 도 3b를 참조하면, 상기 고농도 불순물이 주입된 실리콘층(미도시) 및 금속막(미도시)을 사진식각공정으로 패터닝한다.
- [0036] 상기 패터닝에 의하여, 스위칭 트랜지스터 영역에는 오믹접촉층(132a) 및 제1소오스전극(132b), 오믹접촉층(133a) 및 제1드레인전극(133b)를 형성하고, 구동 트랜지스터 영역에는 오믹접촉층(135a) 및 제2소오스전극(135b), 오믹접촉층(134a) 및 제2드레인전극(134b)을 형성하며, 캐패시터 영역에는 상기 캐패시터 제1상부전극(119a)와 전기적으로 연결되고, 고농도 불순물이 주입된 실리콘층 패턴(137a) 및 금속막패턴(137b)으로 이루어지는 캐패시터 제2상부전극을 형성한다. 이때, 상기 캐패시터 제2상부전극은 상기 구동 박막트랜지스터의 제2드레인전극(134b)와 전기적으로 연결되어 있다.
- [0037] 또한, 이와 동시에 상기 제1다결정실리콘패턴(117)이 패터닝되어 스위칭 트랜지스터 영역에 제1반도체층(117a)이

형성되고, 상기 제2다결정실리콘패턴(118)이 패터닝되어 구동 트랜지스터 영역에 제2반도체층(118a)이 형성된다. 또한, 상기 패터닝에 의하여 제2다결정실리콘패턴(118)과 연결되어 있던 캐패시터 제1상부전극(119a)이 분리된다.

- [0038] 또한, 이와 동시에 상기 스위칭 박막트랜지스터의 제1소오스 전극(132b)과 전기적으로 연결되는 데이터 라인(131b)이 형성되고, 상기 구동 박막트랜지스터의 제2소오스 전극(135b)과 전기적으로 연결되는 전원공급라인이 형성되며, 이때, 상기 데이터 라인 및 전원공급라인도 고농도 불순물이 주입된 실리콘층 패턴과 도전막 패턴의 적층구조로 형성되게 된다.
- [0039] 한편, 상술한 바와 같이, 상기 제1다결정실리콘패턴(117) 및 제2다결정실리콘패턴(118)의 소정 영역에 식각 저지층(127h, 127i)이 형성되는데, 상기 식각 저지층(127h, 127i)은 고농도 불순물이 주입된 실리콘층 및 금속막을 패터닝함에 있어서, 다결정실리콘패턴(특히, 채널 영역)이 식각되거나 손상을 받지 않도록 하는 역할을 하게 된다. 상기와 같이 식각 저지층(127h, 127i)을 이용하여 고농도 불순물이 주입된 실리콘층 및 금속막을 식각하여 소오스/드레인 전극 및 오믹접촉층을 형성하는 공정을 E/S(Etch Stopper) 식각 공정이라고 한다.
- [0040] 이때, 상기 식각 저지층이 형성된 영역 하부의 반도체층(117a, 118a)이 채널 영역으로 정의된다.
- [0041] 이상과 같이, 제3마스크를 사용하여 본원발명의 소오스/드레인 전극, 데이터 라인, 전원공급라인 및 반도체층을 형성할 수 있다.
- [0042] 다음으로, 도 4a 및 도 4b를 참조하면, 상기 소오스/드레인 전극, 데이터 라인 및 전원공급라인을 포함하는 기관 전면에 일정 두께의 보호막(140)을 형성한다. 상기 보호막(140)은 유기막, 무기막의 단일막 또는 무기막과 유기막의 적층구조로 형성될 수 있다.
- [0043] 이후, 사진식각공정으로 상기 보호막(140)을 식각하여, 복수의 비아콘택홀들(140a, 140b, 140c, 140d, 140e)을 형성한다. 이때, 제4마스크를 사용하여 상기 복수의 비아콘택홀들을 식각할 수 있다.
- [0044] 한편, 상기 사진식각공정에 의해 제1게이트 절연막(114)의 일정영역이 식각되어 제1게이트 전극(111)을 노출시키고, 제2게이트 절연막(115)의 일정영역이 식각되어 제2게이트 전극(112)이 노출된다. 즉, 복수의 비아콘택홀들(140a, 140b, 140c, 140d, 140e) 중 제1비아콘택홀(140a)은 제1게이트 전극(111)을 노출시키고, 제2비아콘택홀(140c)은 제2게이트 전극(112)을 노출시킨다.
- [0045] 다음으로, 도 5a 및 도 5b를 참조하면, 상기 복수의 비아콘택홀들(140a, 140b, 140c, 140d, 140e)을 포함하는 기관 전면에 금속막(미도시)을 형성하고, 이후, 제5마스크를 사용하여 상기 금속막을 사진식각공정으로 패터닝한다. 이때, 상기 금속막은 Mo, W, MoW, AlNd, Ti, Cu, Cu 합금, Al, Al 합금, Ag 및 Ag 합금 등으로 이루어진 군에서 선택되는 하나의 물질로 단일층으로 형성하거나, 배선 저항을 줄이기 위해 저저항물질인 Mo, Cu, Al 또는 Ag의 2층 구조 또는 그 이상의 다중막 구조로 이루어진 군에서 선택되는 하나의 적층구조로 형성할 수 있다.
- [0046] 상기 패터닝에 의하여, 상기 스위칭 박막 트랜지스터의 제1게이트 전극(111)에 전기적으로 연결되는 게이트 라인(141)을 형성하고, 상기 스위칭 박막트랜지스터의 제1드레인 전극(133b)과 상기 구동 박막트랜지스터의 제2게이트 전극(112)을 전기적으로 연결하는 제1연결배선(142)을 형성하며, 상기 구동 박막트랜지스터의 제2드레인 전극(134b)에 전기적으로 연결되는 제2연결배선(143)을 형성한다.
- [0047] 또한, 상기 게이트 라인 및 연결배선들이 형성되면서, 보조 전원공급라인(144)을 형성할 수 있다. 상기 보조 전원공급라인(144)은 비아콘택홀(140e)을 통하여 전원공급라인(136b)에 전기적으로 연결되며, 다만, 상기 보조 전원공급라인은 형성하지 않아도 무방하다.
- [0048] 다음으로, 도 6a 및 도 6b를 참조하면, 상기 게이트 라인, 연결배선들 및 보조 전원공급라인을 포함하는 기관 전면에 화소전극물질막(미도시)을 형성하고, 이후, 제6마스크를 사용하여 상기 화소전극물질막을 사진식각공정으로 패터닝하여 화소전극(150d)을 형성한다. 상기 화소전극(150d)은 상기 제2연결배선(143)을 통하여 상기 구동 박막트랜지스터의 제2드레인 전극(134b)과 전기적으로 연결된다.
- [0049] 이때, 상기 화소전극물질막은 배면발광형의 경우에는 투명전극으로, 전면발광형의 경우에는 반사형전극으로 구비될 수 있다. 상기 화소전극이 투명전극으로 사용될 때에는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나로 구비될 수 있고, 반사형전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물로 이루어지는 군에서 선택되는 어느 하나로 반사막을 형성한 후, 그 위에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 투명전극을 적층하여 형성할 수 있으며, 또한,

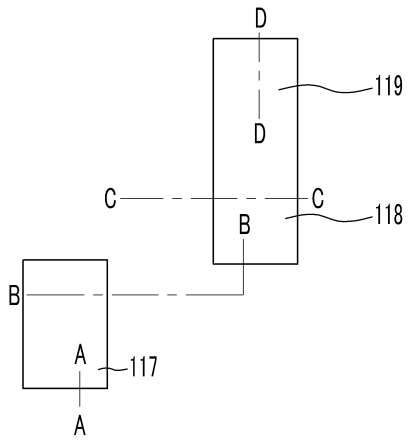
상기 반사형 전극에서 반사막의 하부에 투명전극물질이 더 형성될 수 있다. 다만, 본 발명에서 상기 화소전극의 구성을 한정하는 것은 아니다.

- [0050] 또한, 상기 패터닝에 의하여, 게이트 라인(141), 제1연결배선(142), 제2연결배선(143) 및 보조 공통전원공급라인(144)은 각각 화소전극물질막 패턴(150a, 150b, 150c, 150e)에 의해 둘러싸이게 된다.
- [0051] 다음으로, 도 7a 및 도 7b를 참조하면, 상기 화소전극(150d) 및 화소전극물질막 패턴(150a, 150b, 150c, 150e)을 포함하는 기관 전면에 일정 두께의 화소정의막(160)을 형성하고, 제7마스크를 사용하여, 상기 화소전극(150c)의 일정부분을 노출시키는 개구부(160a)를 형성함으로써, 광취출영역을 정의한다.
- [0052] 상기 화소정의막은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), SOG(spin on glass) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 형성될 수 있다.
- [0053] 또한, 도면에는 도시되지 않았으나, 상기 개구부(160a)를 포함하는 화소정의막 상에 유기막층(미도시)을 형성하고, 상기 유기막층을 포함하는 기관 전면에 대향전극(미도시)을 형성하여 본 발명에 따른 유기전계발광표시장치를 제조할 수 있다.
- [0054] 상기 유기막층은 저분자 증착법 또는 레이저 열전사법에 의해 형성된다. 상기 유기막층은 전자주입층, 전자수송층, 홀 주입층, 홀 수송층, 홀 장벽층 및 유기발광층으로부터 선택되는 적어도 하나 이상의 박막으로 형성될 수 있다.
- [0055] 상기 홀 수송층을 형성하는 홀 수송성 물질로는 N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘, N,N'-di(naphthalene-1-yl)-N,N'-diphenyl-benzidine:  $\alpha$ -NPB, N,N'-비스(3-메틸페닐)-N,N'-디페닐-[1,1'-비페닐]-4,4'-디아민(TPD) 등을 사용할 수 있다. 그리고 홀수송층의 막두께는 10 내지 50nm 범위로 형성할 수 있다. 상기 홀수송층의 두께 범위를 벗어나는 경우에는 홀 주입 특성이 저하되므로 바람직하지 못하다.
- [0056] 이러한 홀 수송층에는 홀수송성 물질 이외에 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 부가할 수 있으며, 이러한 도펀트로는 4-(디시아노메틸렌)-2-터트-부틸-6-(1,1,7,7-테트라메틸줄로리딜-9-에닐)-4H-피란(4-(dicyanomethylene)-2-t-butyl-6-(1,1,7,7-tetramethyljulolidyl-9-enyl)-4H-pyran: DCJTB), 쿠마린 6(Coumarin 6), 루브레네(Rubrene), DCM, DCJTB, 페닐렌(Perylene), 퀴나크리돈(Quinacridone) 등을 이용하며, 그 함량은 홀수송층 형성용 물질 총중량에 대하여 0.1 내지 5중량%를 사용한다. 이와 같이 홀수송층 형성시 도펀트를 부가하면, 발광색을 도펀트 종류 및 함량에 따라 조절가능하며, 홀수송층의 열적 안정성을 개선하여 소자의 수명을 향상시키는 잇점이 있다.
- [0057] 또한, 상기 홀 주입층은 스타버스트(starburst) 아민계 화합물을 이용하여 형성할 수 있으며, 홀 주입층의 두께는 30 내지 100nm로 형성할 수 있다. 상기 홀주입층의 두께 범위를 벗어나는 경우에는 홀 주입 특성이 불량하므로 바람직하지 못하다. 상기 홀 주입층을 통하여 대향전극과 홀수송층간의 접촉저항을 감소시키고, 애노드전극의 홀 수송능력이 향상시켜 소자의 특성이 전반적으로 개선되는 효과를 얻을 수 있다.
- [0058] 본 발명의 발광층의 형성재료는 특별히 제한되지는 않으며, 구체적인 예로서 CBP(4,4'-bis(carbazol-9-yl)-biphenyl)을 들 수 있다.
- [0059] 본 발명의 발광층은 상술한 홀수송층과 마찬가지로 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 더 함유할 수 있으며, 이때, 도펀트 종류 및 함량은 홀수송층의 경우와 거의 동일한 수준이며, 상기 발광층의 막두께는 10 내지 40 nm 범위인 것이 바람직하다.
- [0060] 상기 전자수송층을 형성하는 전자수송성 물질로는 트리스(8-퀴놀리놀라토)-알루미늄(tris(8-quinolinolate)-aluminium: Alq 3), Almq 3 을 이용하며, 상술한 홀수송층과 마찬가지로 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 더 함유하기도 한다. 이때, 도펀트 종류 및 함량은 홀수송층의 경우와 거의 동일한 수준이며, 상기 전자수송층의 막두께는 30 내지 100nm 범위로 할 수 있다. 상기 전자수송층의 두께 범위를 벗어나는 경우에는 효율 저하 및 구동전압이 상승하여 바람직하지 못하다.
- [0061] 상기 발광층과 전자수송층 사이에는 홀 장벽층(HBL)이 더 형성될 수 있다. 여기에서 홀 장벽층은 인광발광물질에서 형성되는 엑시톤이 전자수송층으로 이동되는 것을 막아주거나 홀이 전자수송층으로 이동되는 것을 막아주는 역할을 하는 것으로, 상기 홀 장벽층 형성 재료로서 BA1q를 사용할 수 있다.
- [0062] 상기 전자주입층은 LiF로 이루어진 물질로 형성할 수 있으며, 이의 두께는 0.1 내지 10nm 범위로 형성할 수 있다. 상기 전자주입층의 두께범위를 벗어나는 경우에는 구동전압이 상승하여 바람직하지 못하다.

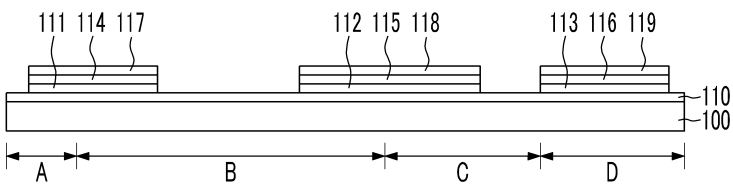
- [0063] 또한, 상기 대향전극은 배면발광형인 경우, 반사형으로 구성되며, 반사형으로 구성되는 경우 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질로 형성할 수 있다. 또한, 상기 대향전극은 전면발광형인 경우, 반투과 캐소드형 또는 반투과 캐소드 형성 후 투과형 캐소드형을 적층한 구조로 구성되며, 상기 반투과 캐소드형은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 이를 5 내지 30nm의 두께로 얇게 형성하여 구성할 수 있으며, 상기 반투과 캐소드 형성후 투과형 캐소드형을 구성하는 방법은 일 함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 반투과형 캐소드를 형성한 후 저저항 특성을 갖는 ITO, IZO(Indium Zinc Oxide)등을 이용한 막을 추가적으로 적층하여 형성할 수 있다.
- [0064] 이상과 같은 본 발명은 비정질 실리콘층의 결정화를 위한 열처리 공정을 진행한 이후에 소오스/드레인 전극, 데이터 라인, 전원공급라인, 게이트 라인, 보조 전원공급라인 및 이들을 전기적으로 연결시키는 연결배선 등을 형성함을 알 수 있다.
- [0065] 즉, 종래에는 열처리 공정 이전에 게이트 라인 등의 게이트 패턴을 형성하였기 때문에, 기관의 수축 문제가 발생하고, 이로 인하여 상기 게이트 패턴에 미스 얼라인이 발생하는 문제점이 있어, 이러한 기관의 수축 등의 변형을 최소화하기 위하여, 게이트 열처리 공정인 프리 컴팩션(Pre-Compaction) 공정을 수행하였으나, 본 발명에서는 결정화를 위한 열처리 공정 이후에 게이트 라인 등을 형성하는 공정이 수행되므로, 상기 프리 컴팩션(Pre-Compaction) 공정을 수행하지 않더라도, 게이트 패턴에 미스 얼라인이 발생하는 문제점이 없다.
- [0066] 또한, 종래에는 상기 층들의 물질로 저저항 금속을 사용하더라도, 열처리 공정에 의해 배선의 저항이 증가하게 되고, 따라서, 저저항 배선을 구현하는 것이 어려운 문제점이 있었으나, 본 발명에서는 박막트랜지스터의 각종 배선을 열처리 공정 이후에 형성하기 때문에 저저항 배선을 구현하는 것이 가능하다.
- [0067] 도 8은 게이트 전극 물질에 따른 TFT 특성을 나타내는 그래프이다. 도 8에서 x는 게이트 전극으로 일반적인 금속물질인 MoW를 사용한 경우를 나타내며, y는 본 발명과 같이, 게이트 전극으로 n형 불순물이 도핑된 다결정 실리콘층을 사용한 경우를 나타낸다.
- [0068] 도 8을 참조하면, 게이트 전극으로 n형 불순물이 도핑된 다결정 실리콘층을 사용한 경우의 TFT 특성이 게이트 전극으로 일반적인 금속물질인 MoW를 사용한 경우의 TFT 특성과 비교하여 동등 이상의 우수한 특성을 나타냄을 알 수 있으며, 즉, 게이트 전극으로 불순물이 도핑된 다결정 실리콘층을 사용하더라도 TFT 특성에 악영향이 없음을 보여준다.
- [0069] 즉, 본 발명에서는 결정화를 위한 열처리 공정 이전에 형성되는 게이트 전극을 금속물질이 아닌 불순물이 도핑된 다결정 실리콘층을 사용함으로써, TFT 특성에는 영향을 주는 바가 없고, 미스 얼라인이 발생하는 문제점도 없게 된다.
- [0070] 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시 예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

도면

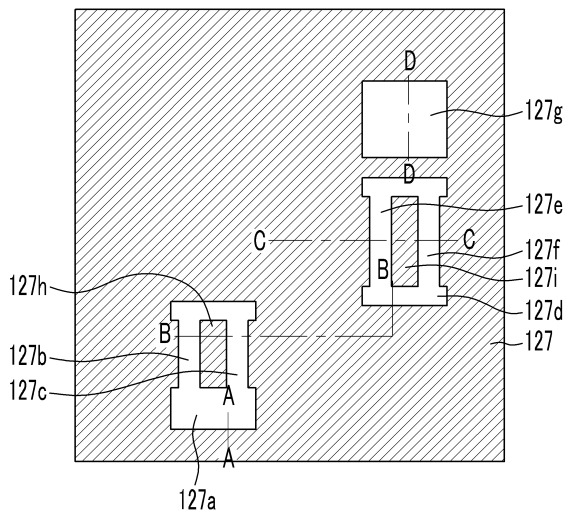
도면1a



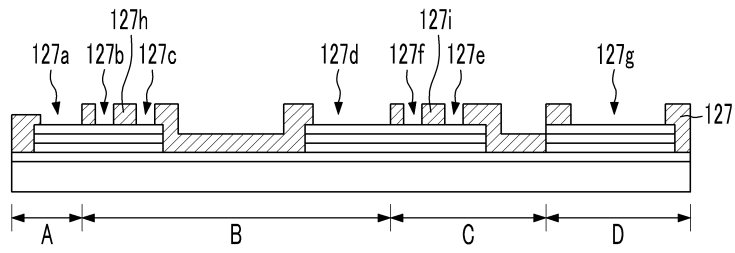
도면1b



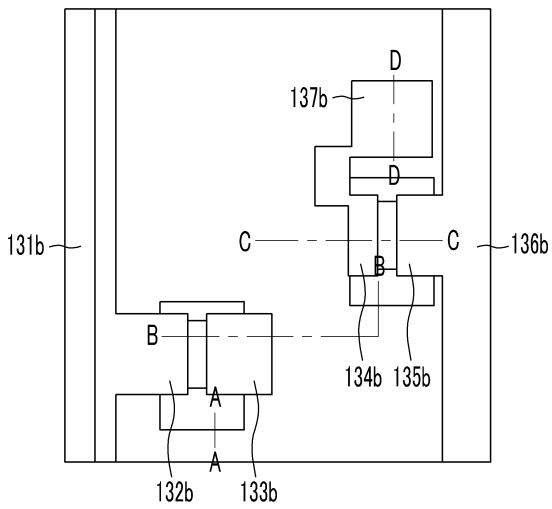
도면2a



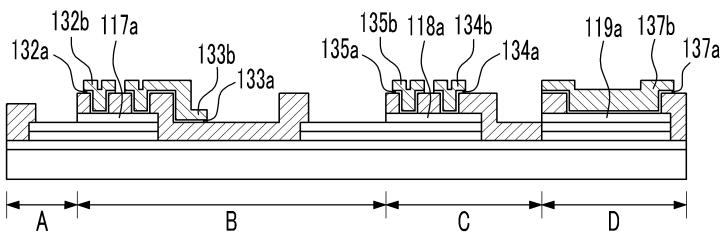
도면2b



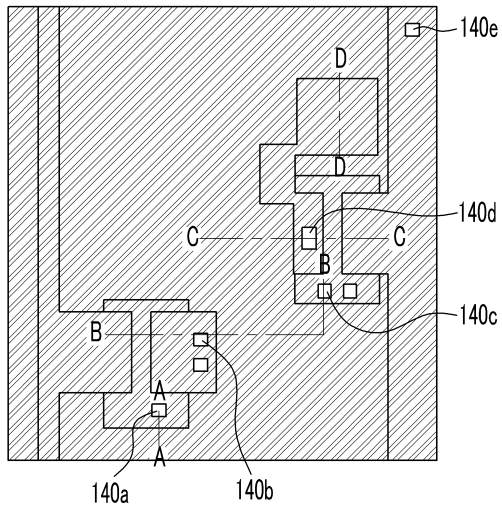
도면3a



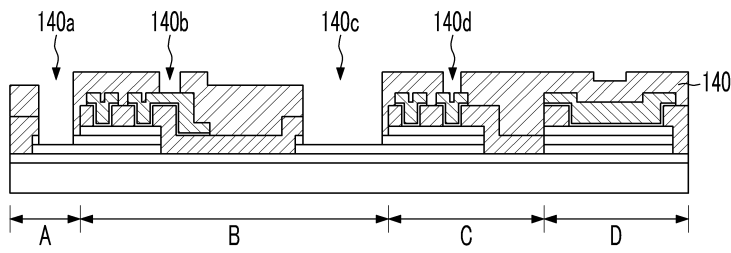
도면3b



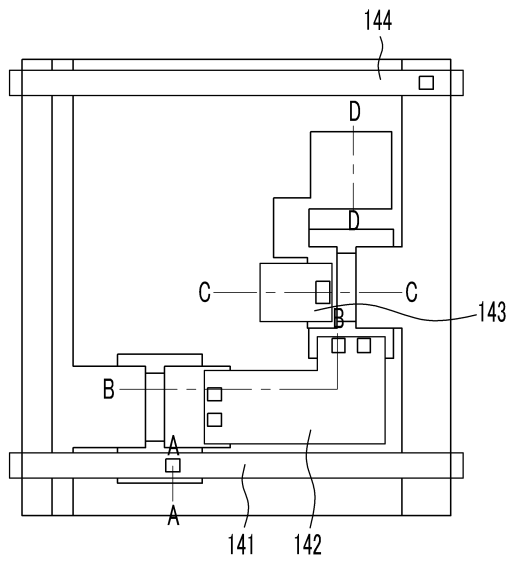
도면4a



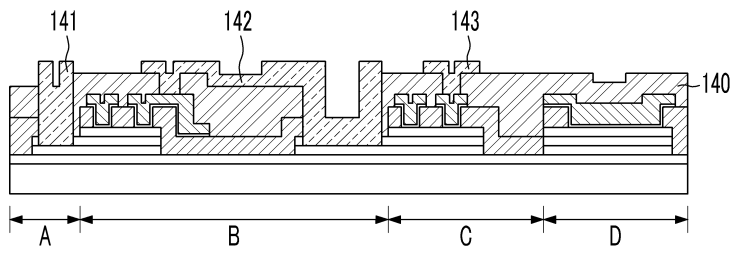
도면4b



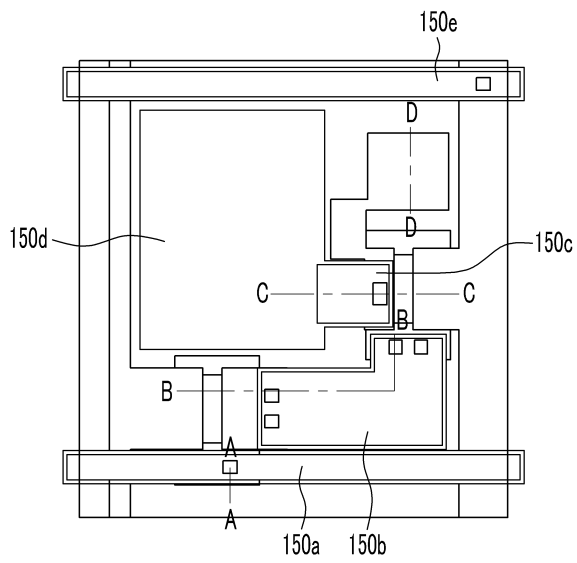
도면5a



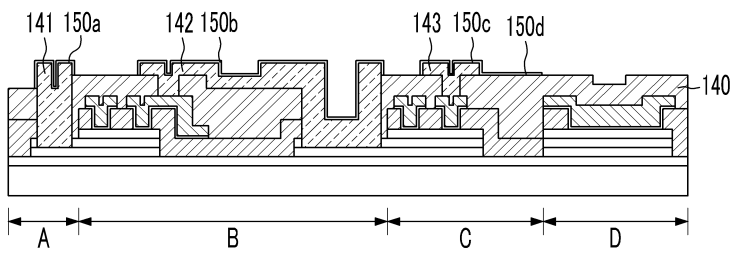
도면5b



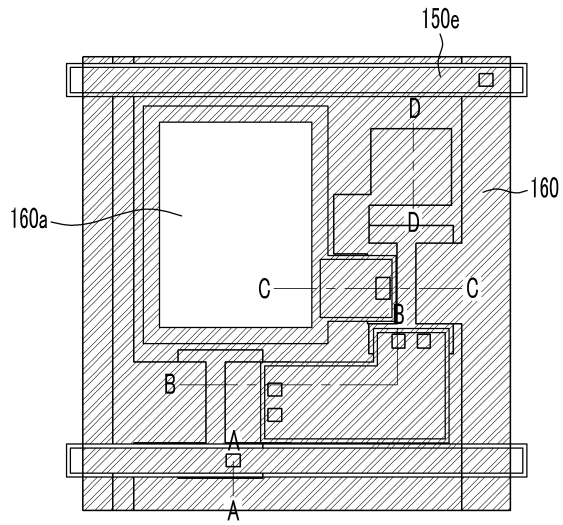
도면6a



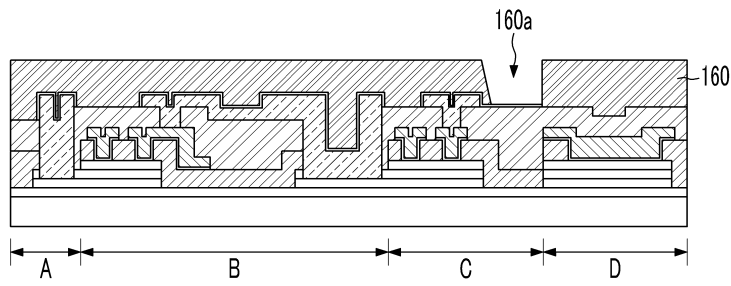
도면6b



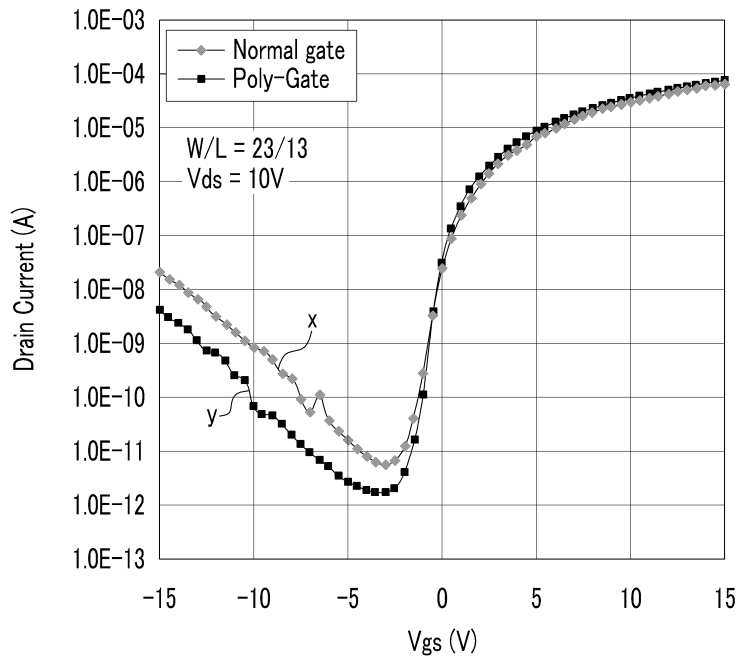
도면7a



도면7b



도면8



专利名称(译)	有机电致发光显示装置		
公开(公告)号	<a href="#">KR1020120002141A</a>	公开(公告)日	2012-01-05
申请号	KR1020100062878	申请日	2010-06-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO KYU SIK 조규식 LEE WON KYU 이원규 YANG TAE HOON 양태훈 CHOO BYOUNG KWON 추병권 MOON SANG HO 문상호 CHOI BO KYUNG 최보경 PARK YONG HWAN 박용환 CHOI JOON HOO 최준후 SHIN MIN CHUL 신민철 LEE YUN GYU 이윤규		
发明人	조규식 이원규 양태훈 추병권 문상호 최보경 박용환 최준후 신민철 이윤규		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L27/3244 H01L27/3262 H01L27/1248 H01L27/124 H01L29/4908 H01L27/3279 H01L27/3265		
其他公开文献	KR101182232B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的有机发光显示装置包括：基板，包括第一区域和第二区域；栅电极形成在基板的第一区域和第二区域中的每一个中；栅极绝缘膜形成在栅极上；形成在栅极绝缘膜上的半导体层；形成在包括半导体层的基板上的层间绝缘膜；蚀刻停止层形成在与每个半导体层的沟道区域对应的区域中，并且通过图案化层间绝缘膜而形成；以及欧姆接触层和源/漏电极，形成在层间绝缘层上，并通过层

间绝缘层的通孔电连接到每个半导体层的特定区域。因此，可以消除热处理步骤，以在实现低电阻布线的同时使诸如基板收缩的变形最小化，从而降低处理成本。

