



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0117631
(43) 공개일자 2009년11월12일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0039636

(22) 출원일자 2009년05월07일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-121741 2008년05월08일 일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

야마모토 테츠로

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 나이

우치노 카쓰히데

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 나이

(74) 대리인

이화익, 김홍두

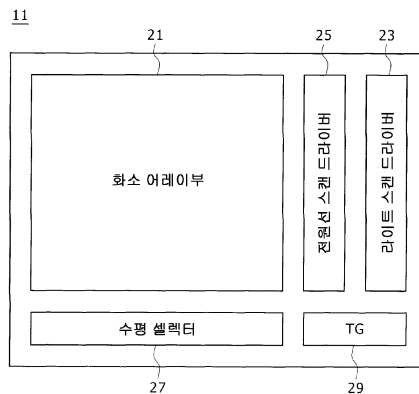
전체 청구항 수 : 총 11 항

(54) EL 표시 패널, 전자기기 및 패널 구동방법

(57) 요약

액티브 매트릭스 구동 방식에 적합한 화소 구조 및 배선 구조를 갖고; 서로 전기적으로 접속되고, 수평 방향으로 각각 연장되며, 유기 EL 표시 패널의 각 화소영역에 채용된 유기 EL 발광소자에 구동 전류를 공급하기 위해 각각 사용되는, 인접한 전원선들로 구성된 각 연속하는 복수 행단위로 인가되고, 2이상의 상이한 크기를 갖는 전위로 서 기능하는, 전위에 의해 구동되는 유기 EL 표시 패널에 대해서 제안한다.

대표도



특허청구의 범위

청구항 1

유기 EL(electro luminescence) 표시 패널로서,

액티브 매트릭스 구동 방식에 적합한 화소 구조 및 배선 구조를 갖고,

서로 전기적으로 접속되고, 수평 방향으로 각각 연장되며, 상기 유기 EL 표시 패널의 각 화소영역에 채용된 유기 EL 발광소자에 구동 전류를 공급하기 위해 각각 사용되는, 인접한 전원선들로 구성된 각 연속하는 복수 행단위로 인가되고, 2이상의 상이한 크기를 갖는 전위로서 기능하는, 전위에 의해 구동되는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 2

제 1 항에 있어서,

상기 유기 EL 표시 패널은, 발광 기간과 비발광 기간으로 구성되는 발광 사이클에 있어서 시간 기간으로서 상기 비발광 기간 중의 제1 시간 동안 소등 전위로부터 발광 전위로의 전원전위의 상승과 상기 연속하는 복수 행단위에 속하는 마지막의 전원선으로서 기능하는 상기 수평 방향으로 연장된 전원선의 발광기간의 시작과의 사이에 존재하는 시간 기간 중에 적어도 1회 상기 발광 전위로부터 상기 소등 전위까지 상기 연속하는 복수 행단위를 형성하기 위해서 서로 접속된 복수의 전원선들에 나타나는 전원전위를 낮추는 전원선 구동회로를 포함하는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 3

제 2 항에 있어서,

상기 발광 사이클은, 1수평 주사 기간인 것을 특징으로 하는 유기 EL 표시 패널.

청구항 4

제 1 항에 있어서,

상기 연속하는 복수 행단위에 속하는 전원선으로서 기능하는 상기 수평방향으로 연장된 어떤 전원선의 비발광 기간 중에, 적어도 3개의 전위, 즉 영상신호의 전위, 디바이스 구동 트랜지스터와 같은 화소회로에 채용된 유기 EL 발광소자에 흐르는 구동전류의 크기를 제어하기 위한 상기 디바이스 구동 트랜지스터의 임계값 전압 변동 보정용의 기준 전위, 및 초기에 저장된 전위가, 상기 디바이스 구동 트랜지스터의 게이트 전극에 공급되는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 5

제 4 항에 있어서,

상기 초기에 저장된 전위는,

상기 초기에 저장된 전위의 레벨이 상기 임계값 전압 변동 보정용의 상기 기준 전위의 레벨보다 낮고,

상기 초기에 저장된 전위의 레벨과 상기 소등 전위의 레벨과의 차가 상기 디바이스 구동 트랜지스터의 임계값 전압 이하가 되도록

설정되는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 6

제 1 항에 있어서,

임계값 보정 처리를 수평 주사 기간에 각각 행해지는 복수의 임계값 보정 서브 처리로 분할함으로써 상기 임계값 보정 처리가 실행되는 경우에, 적어도 상기 디바이스 구동 트랜지스터의 게이트 전극에 영상신호의 상기 전위를 공급하는 신호기록처리 직전의 상기 마지막 임계값 보정 서브 처리를 제외하고 모든 상기 임계값 보정 서

브 처리 중에, 상기 디바이스 구동 트랜지스터와 같은 화소회로에 채용된 유기 EL 발광소자에 흐르는 구동전류의 크기를 제어하는 상기 디바이스 구동 트랜지스터의 게이트 전극에 상기 초기에 저장된 전위가 공급되는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 7

제 4 항에 있어서,

상기 초기에 저장된 전위는, 적어도 상기 수평방향으로 연장되고 연속하는 복수 행단위를 형성하기 위해서 서로 접속된 모든 상기 전원선들에 공통인 마지막 임계값 보정 준비 기간의 타이밍으로 상기 디바이스 구동 트랜지스터의 게이트 전극에 공급되는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 8

제 2 항에 있어서,

상기 전원선 구동회로는, 상기 연속하는 복수 행단위에 속하는 제1 전원선의 발광기간의 시작과 상기 연속하는 복수 행단위에 속하는 마지막 전원선의 발광기간의 종료와의 사이에 상기 연속하는 복수 행단위를 형성하기 위해서 서로 접속된 상기 전원선들의 각각에 대해서 1회 상기 발광 전위에서 상기 소등 전위까지 상기 연속하는 복수 행단위를 형성하기 위해 서로 접속된 복수의 상기 전원선들에 나타나는 상기 전원전위를 낮추는 전위강화 기간을 제공하는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 9

제 1 항에 있어서,

상기 유기 EL 표시 패널은, 발광 기간과 비발광 기간으로 구성된 발광 사이클에 있어서 시간 기간으로서 상기 연속하는 복수 행단위의 제1 전원선으로서 기능하는 상기 수평방향으로 연장된 전원선의 임계값 전압 보정 기간의 시작과 상기 연속하는 복수 행단위의 마지막 전원선으로서 기능하는 상기 수평방향으로 연장된 전원선의 임계값 전압 보정 기간의 종료와의 사이에 존재하는 시간 기간 중에 적어도 1회 상기 발광 전위로부터 상기 소등 전위까지 상기 연속하는 복수 행단위를 형성하기 위해 서로 접속된 복수의 전원선들에 나타나는 상기 전원전위를 낮추는 전원선 구동회로를 포함하는 것을 특징으로 하는 유기 EL 표시 패널.

청구항 10

액티브 매트릭스 구동 방식에 적합한 화소 구조를 갖고,

서로 전기적으로 접속되고, 유기 EL 표시 패널의 각 화소영역에 채용된 유기 EL 발광소자에 구동 전류를 공급하기 위해 각각 사용되는, 인접한 전원선들로 구성된 각 연속하는 복수 행단위로 전원선 구동회로에 의해 인가되고, 2이상의 상이한 크기를 갖는 전위로서 기능하는, 전위에 의해 구동되는 유기 EL 표시 패널과,

전자기기의 시스템 전체의 동작을 제어하도록 구성된 시스템 제어부와,

상기 시스템 제어부에 대한 조작 입력을 수신하도록 구성된 조작 입력부를 구비한 것을 특징으로 하는 전자기기.

청구항 11

액티브 매트릭스 구동 방식에 대해서 제공되는 화소 구조 및 배선 구조를 갖는 유기 EL 표시 패널을 구동하는 구동방법으로서,

상기 유기 EL 표시 패널은 서로 전기적으로 접속되고, 상기 유기 EL 표시 패널의 각 화소회로에 채용된 유기 EL 발광소자에 구동전류를 공급하기 위해 각각 사용되는, 인접한 전원선들로 구성된 각 연속하는 복수 행단위로 인가되고, 2이상의 상이한 크기를 갖는 전위로서 기능하는, 전위에 의해 구동되는 것을 특징으로 하는 구동방법.

명세서

발명의 상세한 설명

기술분야

<1> 일반적으로, 이 명세서에서 설명하는 본 발명은, 액티브 매트릭스 구동방식으로 구동 제어되는 유기 EL(Electro Luminescence) 표시패널을 구동하는 구동기술에 관한 것이다. 이 본 명세서에서 제안하는 본 발명은, 유기 EL 표시 패널을 구동하는 구동방법의 모드와 유기 EL 표시 패널을 각각 채용하는 전자기기의 모드도 갖는다는 점에 유념한다.

배경 기술

<2> 도 1은, 액티브 매트릭스 구동형의 유기 EL 표시 패널(1)의 일반적인 회로 구성을 나타내는 블록도다. 도 1의 블록도에 나타난 바와 같이, 유기 EL 표시 패널(1)은, 화소 어레이부(3)와 이 화소 어레이부(3)의 주변에 배치되는 라이트 스캔 드라이버(5) 및 수평 셀렉터(7)로 구성된다. 라이트 스캔 드라이버(5)와 수평 셀렉터(7)의 각각은 화소 어레이부(3)를 구동하는 구동회로로서 기능한다. 또, 화소 어레이부(3)는, 주사선 DTL 중의 하나와 라이트 스캔선 WSL 중의 하나와의 교점에 각각 위치된 화소회로들을 포함한다는 점에 유념한다.

<3> 그런데, 각 화소회로에 사용된 유기 EL 소자는 발광소자다. 유기 EL 표시 패널(1)은, 특정 화소회로에 사용된 유기 EL 발광소자에 흐르는 구동전류의 크기를 조절해서 화소회로들 중의 어느 하나의 화소의 계조를 제어하는 구동방식을 채용한다. 도 2는, 이런 종류의 화소회로와 이 화소회로를 구동하기 위해 각각 사용된 구동회로의 가장 단순한 구성을 나타내는 회로도다. 이 회로도에 나타난 바와 같이, 이 화소회로는, 신호 샘플링 트랜지스터 T1, 디바이스 구동 트랜지스터 T2, 신호 유지 커패시터 Cs, 및 유기 EL 발광소자 OLED로 구성된다.

<4> 신호 샘플링 트랜지스터 T1는, 화소회로의 계조에 대응하는 영상 신호 전위 Vsig을 화소회로에 채용된 신호 유지 커패시터 Cs에 저장하는 동작을 제어하는 박막 트랜지스터다. 한편, 디바이스 구동 트랜지스터 T2는, 신호 유지 커패시터 Cs에 저장된 영상신호 전위 Vsig에 대응하는 게이트-소스 전압 Vgs에 의해 결정된 크기의 구동전류 Ids를 유기 EL 발광소자 OLED에 공급하는 박막 트랜지스터다. 본 명세서에 있어서, 구동전류 Ids는 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids라고도 부른다. 게이트-소스 전압 Vgs은 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극 사이에 나타나는 전압이다. 도 2에 나타난 대표적인 화소회로의 경우에 있어서, 신호 샘플링 트랜지스터 T1는, N채널형의 박막 트랜지스터이고, 디바이스 구동 트랜지스터 T2는, P채널형의 박막 트랜지스터다.

<5> 도 2에 나타난 대표적인 화소회로의 경우에 있어서, 디바이스 구동 트랜지스터 T2의 소스 전극은, 고정된 고레벨의 전원전위 Vcc를 제공하는 전원선에 접속되어 있다. 이 디바이스 구동 트랜지스터 T2는 일반적으로 포화 영역에서 동작한다. 즉, 디바이스 구동 트랜지스터 T2는, 신호 유지 커패시터 Cs에 저장된 영상신호 전위 Vsig에 대응하는 게이트-소스 전압 Vgs에 의해 결정된 크기의 구동전류 Ids를 유기 EL 발광소자 OLED에 공급하는 정전류원으로 동작한다. 이 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids는 이하의 식으로 표현된다.

<6>
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

<7> 덧붙여, 상기의 식에 사용된 참조부호 μ 는, 디바이스 구동 트랜지스터 T2 내의 다수 캐리어의 이동도이고, V_{th} 는 디바이스 구동 트랜지스터 T2의 임계값 전압이다. 또, k는, 이하의 식으로 표현된다.

<8>
$$k = (W/L) \cdot C_{ox}$$

<9> 상기의 식에서, W는 디바이스 구동 트랜지스터 T2의 게이트폭, L는 디바이스 구동 트랜지스터 T2의 게이트 길이, C_{ox} 는 디바이스 구동 트랜지스터 T2의 단위면적당의 게이트 용량이다.

<10> 덧붙여, 도 2에 나타난 구성의 화소회로의 경우에, 유기 EL 발광소자 OLED의 I-V 특성의 일반적으로 알려진 시간의 경과에 따른(lapse of time) 변화로서의 도 3에 나타난 변화에 따라, 디바이스 구동 트랜지스터 T2의 드레인 전극에 나타나는 전압이 변화한다는 것에 유념한다. 이하의 설명에 있어서, 유기 EL 발광소자 OLED의 I-V 특성의 시간의 경과에 따른 변화는 유기 EL 발광소자 OLED의 I-V 특성의 경시(time-aging) 변화라고도 부른다. 그렇지만, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스간 전압 Vgs는 고정되어 있으므로, 유기 EL 발광소자 OLED에 흐르는 드레인-소스 전류 Ids의 크기는 시간이 지남에 따라 변화하지 않으므로 유기 EL 발광소자 OLED가 발광하는 휘도를 일정한 값으로 유지할 수 있다.

<11> 이하에, 액티브 매트릭스 구동방식을 채용하는 유기 EL 표시 패널에 대해서 기술한 참고문헌은 다음과 같다: 일본국 공개특허공보 특개 2003-255856호, 특개 2003-271095호, 특개 2004-133240호, 특개 2004-029791호, 및 특개 2004-093682호.

- <12> 그런데, 박막 프로세스의 종류에 의존해서는, 도 2의 회로도에 나타난 회로 구성을 적절히 이용할 수 없는 경우가 있다. 즉, 현재의 박막 프로세스를 수행하면, P채널형의 박막 트랜지스터를 이용할 수 있는 경우가 있다. 이러한 경우, 디바이스 구동 트랜지스터 T2를 N채널형의 박막 트랜지스터로 교체해야 한다.
- <13> 도 4는, 화소회로를 구동하기 위해 각각 사용된 구동회로들과 디바이스 구동 트랜지스터 T2로서 기능하는 N채널형의 박막 트랜지스터를 채용하는 화소회로의 구성을 나타내는 회로도다. 이 구성에 있어서, 디바이스 구동 트랜지스터 T2의 소스 전극은 유기 EL 발광소자 OLED의 애노드 전극에 접속되어 있다. 다만, 도 4의 회로도에 나타난 구성의 화소회로는, 유기 EL 발광소자의 I-V 특성의 경시변화에 의해 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극 사이에 나타나는 게이트-소스간 전압 Vgs가 변동하는 문제가 있다. 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스간 전압 Vgs의 변동에 의해, 구동 전류가 변경되어서, 바람직하지 않게 유기 EL 발광소자 OLED가 발광하는 휘도를 변화시켜 버린다.
- <14> 또한, 각 화소회로에 채용된 디바이스 구동 트랜지스터 T2의 임계값 전압 및 이동도도, 화소마다 변화한다. 화소회로에 채용된 디바이스 구동 트랜지스터 T2의 임계값 전압 및 이동도의 변화는, 화소마다 구동 전류 크기의 변화로서 출현한다. 이와 같이, 화소회로에 채용된 유기 EL 발광소자 OLED가 발광하는 휘도는 화소마다 변화한다.
- <15> 따라서, 도 4의 회로도에 나타내는 구성의 화소회로를 이용하는 경우에는, 경시 변화에 의존하지 않고 안정된 발광 특성을 줄 수 있는 구동방법을 설립하는 것이 필요하고, 또 유기 EL 표시장치를 저비용으로 제조하는 것이 필요하다.

발명의 내용

해결 하고자하는 과제

- <16> 상술한 문제를 해결하기 위해서, 본 발명의 발명자 등은 액티브 매트릭스 구동 방식에 대해서 제공되는 화소 구조 및 배선 구조를 갖는 유기 EL 표시 패널을 도입했다. 이 유기 EL 표시 패널은, 상기 유기 EL 표시 패널의 각 화소회로에 채용된 유기 EL 발광소자에 구동전류를 공급하기 위해서 각각 사용되고 서로 전기적으로 결합되는 인접한 전원선들로 구성된 연속하는 복수 행단위로 인가되는, 2이상의 상이한 크기를 갖는 전위로서 기능하는 전위에 의해 구동된다. 즉, 유기 EL 표시 패널은 수평 방향으로 각각 연장되는 전원선들 중 인접한 전원선들이 연속하는 복수 행단위로 전기적으로 결합되는 배선 구조를 갖는다.

과제 해결수단

- <17> 이 회로구성의 경우에, 전원선들에 공통한 신호로서, 상기에 언급된 연속하는 복수 행단위를 구성하는 복수의 전원선이 2개의 상이한 크기를 갖는 전원 전위를 공유할 수 있다. 이 때문에, 연속하는 복수 행단위에 속하는 전원선들에 공통인 신호를 인가하기 위한 구동회로의 출력단의 수가, 각 매트릭스행에 제공된 화소회로들을 구동하기 위해서 하나의 전원선이 바람직한 경우에 있어서의 출력단의 수의 몇 분의 1로 감소할 수 있다. 출력단의 수의 저감에 의해, 구동회로의 사이즈와 구동 주파수가 저감될 수 있다. 그 결과, 유기 EL 표시 패널에 염가의 구동회로를 채용할 수가 있다.
- <18> 덧붙여, 시간 기간 중에 적어도 1회 발광 전위로부터 소등 전위까지 상기에 언급된 연속 복수 행단위를 형성하기 위해서 서로 결합된 상술한 복수의 전원선에 나타나는 전원 전위를 낮추는 전원선 구동회로를 포함하는 구성을 제공하는 것이 바람직하다. 이 타이밍 기간은 발광기간과 비발광기간으로 구성된 발광 사이클에 있어서 시간 기간으로서 상기 비발광 기간의 제1 시간 동안 소등 전위로부터 발광 전위로의 전원전위의 상승과 연속 복수 행단위에 속하는 마지막 전원선으로서 기능하는 수평 방향으로 연장된 전원선의 발광기간의 시작과의 사이에 존재한다. 즉, 발광 사이클은, 1수평 주사 기간인 구성을 제공하는 것이 바람직하다. 본 명세서에 있어서, '비발광'이라는 의미는 소등을 의미한다.
- <19> 또, 연속 복수 행단위에 속하는 전원선으로서 기능하는 수평 방향으로 연장된 전원선의 비발광기간에 있어서, 적어도 3개의 전위, 즉 영상신호의 전위, 디바이스 구동 트랜지스터와 같은 화소회로에 채용된 유기 EL 발광소자에 흐르는 구동전류의 크기를 제어하는 디바이스 구동 트랜지스터의 임계값 전압 변화 보정용의 기준 전위, 및 초기에 저장된 전위가 디바이스 구동 트랜지스터의 게이트 전극에 공급되는 구성을 제공하는 것이 바람직하다.
- <20> 상술한 구성의 경우에 있어서, 초기에 저장된 전위의 레벨이, 임계값 전압 변화 보정용의 기준 전위의 레벨보다

낮고; 초기에 저장된 전위의 레벨과 소등 전위의 레벨과의 차가 디바이스 구동 트랜지스터의 임계값 전압 이하가 되도록 초기에 저장된 전위를 설정하는 것이 바람직하다.

- <21> 또, 상술한 구성에 있어서, 디바이스 구동 트랜지스터의 게이트 전극에 인가되는 3전위 중의 초기에 저장된 전위를, 연속 복수 행단위를 형성하기 위해서 서로 결합되고 수평방향으로 연장된 모든 전원선들에 공통인 적어도 마지막 임계값 보정 준비 기간의 타이밍으로 게이트 전극에 공급하는 것이 바람직하다.
- <22> 또, 임계값 보정 처리를 수평 주사 기간에서 각각 실행되는 복수의 임계값 보정 서브 처리로 분할함으로써 임계값 보정 처리를 실행하면, 영상신호의 전위를 디바이스 구동 트랜지스터의 게이트 전극에 공급하는 신호기록처리 직전의 적어도 마지막 임계값 보정 서브 처리를 제외한 모든 임계값 보정 서브 처리 중에 디바이스 구동 트랜지스터와 같은 화소회로에 채용된 유기 EL 발광소자에 흐르는 구동전류의 크기를 제어하는 디바이스 구동 트랜지스터의 게이트 전극에 초기에 저장된 전위를 공급하는 것이 바람직하다.
- <23> 또, 전술한 전원선 구동회로는, 연속 복수 행단위에 속하는 제1 전원선의 발광기간의 시작부터 연속 복수 행단위에 속하는 마지막 전원선의 발광기간의 종료까지의 사이에 연속 복수 행단위를 형성하기 위해서 서로 결합된 전원선들의 각각에 대해서 1회 발광 전위로부터 소등 전위까지 연속 복수 행단위를 형성하기 위해서 서로 결합된 상술한 복수의 전원선들에 나타나는 전원전위를 낮추는 전위강하기간을 상기에 언급된 전원선 구동회로가 제공하는 구성을 제공하는 것이 바람직하다.
- <24> 또, 이 유기 EL 표시 패널에, 발광 기간과 비발광 기간으로 구성되는 발광 사이클에 있어서 시간 기간으로서 연속 복수 행단위의 제1 전원선으로서 기능하는 수평방향으로 연장된 전원선의 임계값 전압 보정 기간의 시작부터 연속 복수 행단위의 마지막 전원선으로서 기능하는 수평방향으로 연장된 전원선의 임계값 전압 보정 기간의 종료까지의 사이에 존재하는 시간 기간 중에 적어도 1회 발광 전위로부터 소등 전위까지 연속 복수 행단위를 형성하기 위해서 서로 결합된 복수의 전원선들에 나타나는 전원전위를 낮추는 전원선 구동회로를 포함한 구성을 제공하는 것이 바람직하다.
- <25> 또, 본 발명의 발명자 등은, 전술한 구성의 유기 EL 표시 패널을 각각 채용한 전자기기도 제안했다. 좀더 구체적으로, 전자기기의 각각은, 전술한 구성의 유기 EL 표시 패널과, 전자기기의 시스템 전체를 제어하는 시스템 제어부와, 시스템 제어부에 대한 조작 입력을 받는 조작 입력부를 채용한다.

효 과

- <26> 본 발명의 발명자 등이 제안하는 발명에서는, 화소회로에 채용된 유기 EL 발광소자에 구동전류를 공급하기 위해서 각각 사용된 전원선들을, 서로 결합되고 수평방향으로 연장된 인접하는 복수의 전원선으로 각각 구성된 연속 복수 행단위로 2이상의 전위를 전원선들에 공급함으로써 구동할 수 있다. 이와 같이 함으로써, 연속 복수 행단위로 전원 전위를 인가하는 구동회로의 출력단의 수를, 각 매트릭스행에 설치된 화소회로들을 구동하기 위해 전원선이 필요한 경우에 출력단의 수의 몇 분의 1로 감소시킬 수 있다. 즉, 출력단의 수의 감소에 의해, 구동회로의 제조비용을 감소시킬 수 있다. 그 결과, 유기 EL 표시 패널에 염가의 구동회로를 채용할 수 있다.

발명의 실시를 위한 구체적인 내용

- <27> 이하, 액티브 매트릭스 구동방식을 채용하는 유기 EL(Electro Luminescence) 표시 패널로서의 역할을 하는 본 발명의 실시 예들에 의해 제공된 유기 EL 표시 패널에 대해 설명한다. 덧붙여, 유기 EL 표시 패널에 채용되지만, 도면에는 도시하고 있지 않은 각 소자들은 본 발명과 같은 분야에 속하는 공지의 기술 또는 같은 분야에 속하는 기술로서 공공연하게 개시된 기술에 근거한 소자라고 한다는 점에 유념한다. 즉, 본 발명의 구현 예들은, 이들 실시 예에 한정되는 것은 아니다.
- <28> (A) 외관 구성
- <29> 본 명세서에 사용된 '유기 EL 표시 패널'은 화소 어레이부와 구동회로를 같은 반도체 프로세스를 이용해 같은 기판상에 형성한 표시 패널뿐만 아니라, 특정 용도 IC로서의 구동회로를 화소 어레이부 아래에 있는 기판상에 실장함으로써 제조된 유기 EL 표시 패널도 의미한다.
- <30> 도 5는, 유기 EL 표시 패널(11)의 외관 구성예를 나타낸 도면이다. 유기 EL 표시 패널(11)은, 화소 어레이부가 형성되는 영역으로서의 역할을 하는 지지 기판(13)에 속하는 영역에 부착된 대향부(15)를 포함한 구조를 가지고 있다.
- <31> 대향부(15)는, 글래스 부재 또는 베이스로서의 역할을 하는 또 다른 투명 부재와, 그 표면에 배치된 보호막

(등)을 갖는다. 유기 EL 표시 패널(11)은, 외부 소스로부터 신호 등을 수신하고, 외부 목적지로 신호 등을 출력하기 위한 회로로서의 역할을 하는 지지 기판(13)에 접속된 FPC(flexible print circuit)(17)도 포함한다는 점에 유념한다.

<32> (B) 제1 실시 예

<33> (B-1) 시스템 구성

<34> 이하에서는, 화소회로에 이용되는 디바이스 구동 트랜지스터 T2가 나타내는 특성 변동의 영향을 없앨 수 있고, 또 화소회로를 구성하는 적은 구성소자만을 이용해서 동작할 수 있는 유기 EL 표시 패널(11)의 시스템 구성에 대해서 설명한다.

<35> 도 6은, 제1 실시 예에 따른 유기 EL 표시 패널(11)의 시스템 구성예를 나타내는 블록도다. 도 6의 블록도에 나타난 유기 EL 표시 패널(11)은, 화소 어레이부(21), 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(25), 수평 셀렉터(27), 및 타이밍 제네레이터(29)를 채용하고 있다. 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(25) 및 수평 셀렉터(27)의 각각은 구동회로로서 기능한다.

<36> 화소 어레이부(21)는, 데이터 신호선 DTL 중 하나와 라이트 스캔선 WSL 중 하나와의 교점에 각각 위치한 서브화소회로의 매트릭스인 매트릭스 구조를 갖는다. 덧붙여서, 서브화소회로는 1화소회로를 구성하는 화소 구조의 최소단위이다. 일반적으로, 화이트(white) 유닛으로서 기능하는 1화소회로는 서로 다른 유기 EL 재료로 이루어진 3개의 서브화소회로, 즉 R(레드), G(그린), B(블루)의 서브화소회로들을 갖도록 구성된다.

<37> 도 7은, 서브화소의 회로로서의 역할을 하는 화소회로들과 구동회로들과의 접속관계를 나타낸 블록도다. 도 8은, 제안된 제1 실시 예에 따른 화소회로의 내부 구성을 나타낸 도면이다. 도 8에 나타난 화소회로는, N채널형의 2개의 박막 트랜지스터 T1 및 T2와 1개의 신호 보유 커패시터 Cs를 포함하도록 구성된다.

<38> 이 화소회로의 경우에 있어서도, 라이트 스캔 드라이버(23)는, 라이트 스캔선 WSL 상에 제어신호를 인가해서 신호 샘플링 트랜지스터 T1를 온 상태 또는 오프 상태로 하는 동작을 제어한다. 신호 샘플링 트랜지스터 T1을 온 상태 또는 오프 상태로 하는 동작을 제어함으로써, 데이터 신호선 DTL에 인가된 전위를 신호 보유 커패시터 Cs에 저장하는 동작을 제어할 수 있다. 이렇게 함으로써, 라이트 스캔 드라이버(23)는, 표시된 화상의 수직 해상도를 실현하기 위해서 필요한 만큼의 출력단을 갖는 시프트 레지스터를 갖도록 구성된다.

<39> 전원선 스캔 드라이버(25)는, 디바이스 구동 트랜지스터 T2의 2개의 주전극 중의 특성의 하나에 접속된 전원선 DSL 상의 2개의 상이한 전위를 갖는 구동전압을 인가해서, 다른 구동회로가 수행하는 동작과 연동하는 식으로 화소회로의 동작을 제어한다. 이 화소회로의 동작은, 유기 EL 발광소자 OLED의 발광·비발광 처리뿐만 아니라, 디바이스 구동 트랜지스터 T2의 특성 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리도 포함한다. 좀더 구체적으로는, 디바이스 구동 트랜지스터 T2의 특성 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 발생된 드레인-소스 전류 Ids를 보정하는 처리는, 디바이스 구동 트랜지스터 T2의 임계값 전압의 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리와, 디바이스 구동 트랜지스터 T2의 이동도의 변동에 대하여 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리이다. 디바이스 구동 트랜지스터 T2의 특성 변동에 대하여 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리를 실시해서 표시된 화상의 균일성의 저하를 회피한다.

<40> 수평 셀렉터(27)는, 화소 데이터 Din를 나타내는 영상 신호 전위 Vsig 또는 디바이스 구동 트랜지스터 T2의 임계값 전압의 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리에 있어서의 오프셋 전위 Vofs를 데이터 신호선 DTL에 인가한다. 이 수평 셀렉터(27)는, 표시된 화상의 수평 해상도를 실현하기 위해 필요한 만큼의 출력단을 갖는 시프트 레지스터를 갖도록 구성된다. 이 수평 셀렉터(27)는 또한 출력단에 대하여 설치된 래치회로와 이 래치회로에 대하여 설치된 D/A 변환회로를 채용하고 있다.

<41> 타이밍 제네레이터(29)는, 라이트 스캔선 WSL, 전원선 DSL, 및 데이터 신호선 DTL의 구동에 필요한 타이밍 펄스를 생성하는 회로 디바이스이다.

<42> (B-2) 구동 동작예

<43> 도 9a 내지 9e는, 도 8에 나타난 화소회로가 수행하는 대표적인 구동 동작 중에 생성된 모든 신호의 타이밍 차트를 나타내는 타이밍도이다. 덧붙여서, 도 9a 내지 9e의 타이밍도에 나타난 바와 같이, 전원선 DSL에는 2종류의 상이한 전원 전위가 인가된다. 2개의 전원전위 중의 하나는 발광 전위로서 기능하는 고레벨의 전원 전위 Vcc

이고, 다른 전원 전위는, 비발광 전위로서 기능하는 저레벨의 전원 전위 V_{ss} 이다.

- <44> 우선, 도 10은 화소회로의 발광 상태에 있어서 화소회로가 수행하는 동작의 설명에 있어서 참조하는 회로도로서 기능하도록 제공된다. 이 발광상태에서, 신호 샘플링 트랜지스터 T1는 오프 상태로 유지된다. 한편, 디바이스 구동 트랜지스터 T2는 포화 영역에서 동작하고, 도 9a 내지 9e의 타이밍도에 나타낸 기간 t1에서 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 에 따른 크기를 갖는 드레인-소스 전류 I_{ds} 를 발생하고 있다.
- <45> 다음에, 화소회로의 비발광 상태에 있어서 화소회로가 수행하는 동작에 대해서 설명한다. 이 비발광 상태는, 전원선 DSL에 인가된 전위가, 도 9a 내지 9e의 타이밍도에 나타낸 기간 t2의 초기에 고레벨 전원전위 V_{cc} 으로부터 저레벨 전원전위 V_{ss} 로 변경되었을 때에 시작된다. 저레벨 전원전위 V_{ss} 가 유기 EL 발광소자 OLED의 임계값 전압 V_{thel} 과 유기 EL 발광소자 OLED의 캐소드 전극에 공급된 캐소드 전압 V_{cath} 와의 합보다 작으면, 즉 $V_{ss} < (V_{thel} + V_{cath})$ 의 관계를 충족하면, 유기 EL 발광소자는 소등한다.
- <46> 디바이스 구동 트랜지스터 T2의 소스 전극에 나타내는 소스 전위 V_s 는 전원선 DSL에 인가된 전위와 같다는 점을 유념한다. 즉, 유기 EL 발광소자 OLED의 애노드 전극은 저레벨 전원전위 V_{ss} 로 전기적으로 충전된다. 도 11은, 기간 t2에 있어서의 동작 상태에 있어서 화소회로를 나타내는 회로도이다. 도 11의 회로도에 파선으로 나타낸 것처럼, 이때, 신호 보유 커패시터 C_s 에 축적되어 있는 전하는 전원선 DSL에 인출되고 있다.
- <47> 데이터 신호선 DTL은 임계값 전압 보정 처리의 실행시에 사용된 오프셋 전위 V_{ofs} 로 유지되었다. 그리고나서, 라이트 스캔선 WSL에 인가된 전위가 고레벨의 전위로 변경될 때, 신호 샘플링 트랜지스터 T1이 온 상태로 되어서, 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 전위가 도 9a 내지 9e의 타이밍도에 나타낸 기간 t3의 초기에 오프셋 전위 V_{ofs} 로 변경될 수 있다.
- <48> 도 12는, 소위 임계값 전압 보정 준비 처리에 할당된 기간 t3에 있어서의 동작 상태에 있어서 화소회로를 나타내는 회로도이다. 이 동작 상태에 있어서, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타내는 게이트·소스간 전압 V_{gs} 는 전압차($V_{ofs} - V_{ss}$)와 같다. 이 전압차($V_{ofs} - V_{ss}$)는, 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 보다 큰 크기로 설정되고, 즉 전압차($V_{ofs} - V_{ss}$)가 $(V_{ofs} - V_{ss}) > V_{th}$ 의 관계를 충족하는 크기로 설정된다. 왜냐하면, 전압차($V_{ofs} - V_{ss}$)의 크기가 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 보다 크지 않으면, 상기에 언급된 임계값 전압 보정 처리를 수행할 수 없기 때문이다.
- <49> 다음에, 전원선 DSL에 인가된 전위가 도 9a 내지 9e의 타이밍도에 나타낸 기간 t4의 초기에 저레벨 전원 전위 V_{ss} 에서 고레벨 전원전위 V_{cc} 로 변경된다. 전원선 DSL에 인가된 전위가 저레벨 전원 전위 V_{ss} 에서 고레벨 전원 전위 V_{cc} 로 변경될 때, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 전위 V_s (즉, 유기 EL 발광소자 OLED의 애노드 전위에 나타나는 전위)가 고레벨 전원전위 V_{cc} 로 상승한다.
- <50> 도 13은 소위 임계값 전압 보정 처리에 할당된 기간 t4에 있어서의 동작 상태에 있어서 화소회로를 나타내는 회로도이다. 또한, 도 13의 회로도는 유기 EL 발광소자 OLED의 등가 회로를 나타낸다. 유기 EL 발광소자 OLED의 등가회로는, 유기 EL 발광소자 OLED를 나타내는 다이오드와 유기 EL 발광소자 OLED의 기생용량 C_{el} 을 갖는다. 이 동작 상태에 있어서, $V_{el} \leq (V_{cat} + V_{thel})$ 의 관계를 충족하는 한, 유기 EL 발광소자 OLED를 통해서 흐르는 리크 전류가 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 보다 훨씬 작다고 생각되면, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 는, 신호 보유 커패시터 C_s 와 기생 커패시터 C_{el} 를 전기적으로 충전하는데 사용된다. 상기의 관계에 사용된 참조부호 V_{el} 은 유기 EL 발광소자 OLED의 애노드 전극에 나타나는 전위를 나타낸다.
- <51> 결과적으로, 유기 EL 발광소자 OLED의 애노드 전극에 나타나는 애노드 전위 V_{el} 는, 도 14에 나타낸 바와 같이 시간이 지남에 따라 상승한다. 즉, 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 게이트 전위 V_g 가 오프셋 전위 V_{ofs} 로 유지되고 있고, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하고 있다. 기간 t4에 있어서의 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 를 상승시키는 동작은 상기에 언급된 임계값 보정 처리라고 한다.
- <52> 이윽고, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극 사이에 나타나는 게이트·소스간 전압 V_{gs} 는 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 에 집중된다. 이때, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 는 이하의 관계식으로 표현된다.
- <53> $V_s = V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{thel}$

- <54> 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 가 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 에 도달하면, 임계값 전압 보정 처리가 종료하고, 신호 샘플링 트랜지스터 T1가 다시 도 9a 내지 9e의 타이밍도에 나타낸 기간 t5의 초기에 오프 상태로 된다.
- <55> 이 기간 t5 동안, 데이터 신호선 DTL에 인가된 전위가 오프셋 전위 V_{ofs} 에서 영상 신호 전위 V_{sig} 로 변경된다. 그리고 나서, 도 9a 내지 9e의 타이밍도에 나타낸 기간 t6의 초기에, 즉, 영상신호 전위 V_{sig} 의 충분한 셋업 (setup) 시간을 확립한 후에, 신호 샘플링 트랜지스터 T1는 다시 온 상태로 된다. 도 15는, 기간 t6 및 이 기간 t6 직후의 기간 t7 동안의 동작 상태에 있어서의 화소회로를 나타낸 회로도다. 영상신호전위 V_{sig} 는, 화소회로의 계조를 나타내는 전위다. 기간 t6 및 t7 동안, 신호저장처리 및 이동도 보정처리를 실시한다.
- <56> 데이터 신호선 DTL에 인가된 영상신호전위 V_{sig} 가 디바이스 구동 트랜지스터 T2의 게이트 전극에 공급되기 때문에, 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 게이트 전위 V_g 는, 기간 t6 동안 오프셋 전위 V_{ofs} 에서 영상신호전위 V_{sig} 로 상승한다. 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 가 기간 t6 동안 전원선 DSL에서 신호 보유 커패시터 C_s 로 흐르기 때문에, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 도, 시간이 지남에 따라 상승한다.
- <57> 이때, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 유기 EL 발광소자 OLED의 임계값 전압 V_{thel} 와 유기 EL 발광소자 OLED의 캐소드 전극에 나타내는 캐소드 전압 V_{cat} 의 합을 넘지 않으면, 유기 EL 발광소자 OLED를 통해서 흐르는 리크 전류가 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 보다 훨씬 작다고 생각되면, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 는, 신호 보유 커패시터 C_s 와 기생 커패시터 C_{el} 를 전기적으로 충전하는데 사용된다.
- <58> 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 처리는 이미 완료되었기 때문에, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 의 크기는, 디바이스 구동 트랜지스터 T2의 이동도 μ 를 반영한다는 점에 유념한다. 좀더 구체적으로는, 디바이스 구동 트랜지스터 T2의 이동도 μ 가 클수록, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 의 크기가 커지고, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하고 있는 속도가 빨라진다. 반대로, 디바이스 구동 트랜지스터 T2의 이동도 μ 가 작을수록, 디바이스 구동 트랜지스터 T2를 통해서 흐르는 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 의 크기가 작아지고, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하는 속도는 늦어진다. 디바이스 구동 트랜지스터 T2의 이동도와 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하는 속도와의 관계는 도 16에 나타낸 곡선으로 표시된다.
- <59> 결과적으로, 이동도 μ 의 변동에 대해서 신호 보유 커패시터 C_s 에 저장된 전압이 보정된다. 즉, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 는 이동도 μ 에 따라 결정된 값으로 보정된다. 좀더 구체적으로, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는, 비교적 작은 이동도 μ 를 갖는 디바이스 구동 트랜지스터 T2에 대해서는 비교적 큰 값으로 보정되거나 혹은 비교적 큰 이동도 μ 를 갖는 디바이스 구동 트랜지스터 T2의에 대해서는 비교적 작은 값으로 보정된다. 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 를 이동도 μ 에 따라 결정된 값으로 보정하는 동작을, 도 9a 내지 9e의 타이밍도에 나타낸 기간 t6 및 t7 동안 수행되는 이동도 보정처리라고 한다. 기간 t6 및 t7에 있어서는, 영상신호 V_{sig} 의 전위를 신호 보유 커패시터 C_s 에 저장하는 신호기록처리도 실시한다는 점에 유념한다.
- <60> 최종적으로, 신호 샘플링 트랜지스터 T1가 도 9a 내지 9e의 타이밍도에 나타낸 기간 t8의 초기에 오프 상태로 제어되어서, 영상신호 V_{sig} 의 전위를 신호 보유 커패시터 C_s 에 저장하는 신호기록처리를 종료하고, 유기 EL 발광소자 OLED의 다음 발광 기간을 개시한다. 도 17은, 기간 t8 동안의 동작 상태에 있어서의 화소회로를 나타내는 회로도이다. 발광기간에 있어서는, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 가 신호 보유 커패시터 C_s 의 커플링 효과에 의해 일정한 크기로 유지된다는 점에 유념한다. 이와 같이, 이 발광기간에 있어서, 디바이스 구동 트랜지스터 T2는 디바이스 구동 트랜지스터 T2에 의해 생성된 일정한 드레인-소스 전류 I_{ds} 를 유기 EL 발광소자 OLED에 출력하고 있다.
- <61> 이 발광기간에 있어서, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스전위 V_s 와 유기 EL 발광소자 OLED의 애노드 전극에 나타나는 애노드 전위 V_{el} 가, 유기 EL 발광소자 OLED에 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 를 흘릴 수 있는 전위 V_x 까지 상승함으로써, 유기 EL 발광소자 OLED의 발광상태가 개시된다. 이 발광상태에 있어서, 유기 EL 발광소자 OLED가 발광하고 있다.

- <62> 즉, 제1 실시 예에 따른 화소회로의 경우에 있어서도, 유기 EL 발광소자 OLED의 I-V 특성이 소위 경시(time aging) 현상에 의해 변화한다.
- <63> 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 도 유기 EL 발광소자 OLED의 I-V 특성의 변동에 의해 변화한다. 그러나, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는, 신호 보유 커패시터 C_s 의 커플링 효과에 의해 일정한 크기로 유지되기 때문에, 유기 EL 발광소자 OLED에 흐르는 전류로서 디바이스 구동 트랜지스터 T2로부터의 드레인-소스 전류 I_{ds} 가 변화하지 않는다. 상술한 바와 같이, 제1 실시 예에 따른 화소회로를 이용하고 이 화소회로에 대해서 설치된 구동방법을 채용하면, 비록 유기 EL 발광소자 OLED의 I-V 특성이 소위 경시 현상에 의해 변화하지만, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 에 의해 결정된 일정한 크기로 유기 EL 발광소자 OLED에 흐르는 전류로서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 를 유지할 수 있다. 이것에 의해, 유기 EL 발광소자 OLED가 발광하는 휘도를 영상신호전위 V_{sig} 에 의해 결정된 크기로 계속 유지할 수 있다.
- <64> (B-3) 결론
- <65> 상술한 바와 같이, 제1 실시 예에 따른 화소회로를 이용하고 이 화소회로에 대해서 제공된 구동방법을 채용하면, 디바이스 구동 트랜지스터 T2로서의 역할을 하는 N채널형의 박막 트랜지스터를 채용하는 경우에도, 화소마다 휘도 변동없이 유기 EL 표시 패널을 실현할 수가 있다.
- <66> (C) 제2 실시 예
- <67> (C-1) 시스템 구성
- <68> (a) 배선 구조
- <69> 이하에서는, 유기 EL 표시 패널의 배선 구조 및 유기 EL 표시 패널에 사용된 화소회로에 대해서 제공된 구동방법에 대해서 설명한다. 배선 구조 및 구동방법은 제2 실시 예에 의해 제공되고 유기 EL 표시 패널의 제조 비용을 줄일 수 있다.
- <70> 도 18b는, 제2 실시 예에 따른 화소 어레이부에서 채용한 전원선 DSL의 배선 구조(31)를 나타낸 도면이다. 덧붙여서, 비교를 위해서, 도 18a는, 제1 실시 예에 따른 화소 어레이부(21)에서 채용한 전원선 DSL의 배선 구조를 나타내는 도면으로서 제공된다.
- <71> 어떤 배선 구조에 있어서도, 모든 매트릭스행의 수평방향으로는 1개의 전원선 DSL이 연장된다. 그러나, 제1 실시 예에 따른 화소 어레이부(21)에 채용한 전원선 DSL의 배선 구조로서의 도 18a에 나타낸 배선 구조의 경우에 있어서는, 전원선 DSL의 각각을 개별적으로 구동할 필요가 있다. 즉, 표시된 화상의 수직 해상도를 실현하는 데 필요한 만큼의 출력단자를 갖는 시프트 레지스터를, 전원선 스캔 드라이버(25)로서 사용할 필요가 있다.
- <72> 특히, 전원선 스캔 드라이버의 경우에는, 전원선 DSL에 전류를 흘릴 필요가 있다. 그 때문에, 전원선 스캔 드라이버를 구성하는 스캐너(혹은 시프트 레지스터) 및 드라이버로서의 역할을 하는 버퍼의 사이즈를 증가시킬 필요가 있다.
- <73> 따라서, 전원선 DSL의 각각을 개별적으로 구동하는 것이 필요한 제1 실시 예에 따른 화소 어레이부(21)에 채용한 전원선 DSL의 배선 구조로서 도 18a에 나타낸 배선 구조의 경우에 있어서는, 전원선 스캔 드라이버의 면적을 증가시켜야 한다. 즉, 화소 어레이부(21)의 사이즈를 줄이는 것이 어렵다. 게다가, 전원선 스캔 드라이버(25)로서의 역할을 하는 시프트 레지스터의 단수가 많고, 동작 클럭 주파수도 빠르다. 이 때문에, 전원선 스캔 드라이버(25)의 제조비용을 줄이는 것이 어렵다.
- <74> 한편, 제2 실시 예에 따른 배선구조로서 도 18b에 나타낸 배선 구조의 경우에 있어서는, 3개의 인접하는 전원선 DSL이 공통 동작 타이밍을 공유한다. 좀더 구체적으로는, 제2 실시 예에 의해 제공된 구동방법에 따라 전원선 스캔 드라이버(33)에 의해 구동되는 3개의 연속하는 행단위를 형성하기 위해서, 화소 어레이부의 같은 측에 위치된 단자로서의 3개의 인접하는 전원선 DSL에 속하는 단자들이 서로 전기적으로 접속되어 있다. 그 결과, 전원선 스캔 드라이버(33)에 있어서의 출력단의 수는 n 의 3분의 1로 감소될 수 있고, n 은 화소 어레이부 내의 전원선의 수를 나타내며, 또한 수직 해상도를 나타낸다.
- <75> 물론, 제2 실시 예에 따른 시프트 레지스터의 출력단의 수가 제1 실시 예의 출력단의 수의 3분의 1이므로, 전원선 스캔 드라이버(33)의 사이즈를 대폭적으로 감소시킬 수가 있다. 게다가, 전원선 스캔 드라이버(33)의 동작

클럭 주파수는 제1 실시 예의 동작 클럭 주파수의 3분의 1로 감소될 수 있다. 이 때문에, 도 18a에 나타낸 배선 구조의 전원선 스캔 드라이버(25)에 비해서 제조비용이 매우 낮다.

<76> (b) 시스템 구성

<77> 도 19는, 제2 실시 예에 따른 유기 EL 표시 패널(41)의 대표적인 시스템 구성예를 나타내는 블록도이다. 도 19의 블록도에 있어서는, 도 6 및 도 18과의 대응 부분에 동일 부호를 교부해서 나타내고 있다.

<78> 도 19의 블록도에 나타낸 유기 EL 표시 패널(41)은, 화소 어레이부(21), 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(33), 수평 셀렉터(27), 및 타이밍 제네레이터(35)로 구성된다. 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(33), 및 수평 셀렉터(27)의 각각은 구동회로로서 기능한다.

<79> 도 20은, 제2 실시 예에 있어서의 화소회로들을 구동하기 위해 각각 사용되는 수평 셀렉터(27)뿐만 아니라 전원선 스캔 드라이버(33), 라이트 스캔 드라이버(23)와 서브 화소의 회로로서 각각 기능하는 화소회로들과의 접속 관계를 나타낸 블록도다. 도 20의 블록도에 나타낸 바와 같이, 제2 실시 예의 경우에 있어서는, 수평 방향으로 각각 연장되는 3개의 인접하는 전원선 DSL은 3개의 연속하는 행단위를 형성하기 위해서 화소 어레이부(21)의 일 측에 있는 접합점에서 서로 접속되어 있고, 이 접합점은 전원선 스캔 드라이버(33)에 접속되어 있다.

<80> 즉, 전원선 스캔 드라이버(33)는, 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL에 공통인 동작 타이밍으로 제어 신호들을 생성한다. 이 때문에, 타이밍 제네레이터(35)가 전원선 스캔 드라이버(33)에 동작 클럭 신호를 공급하는 동작 클럭 주파수는, 제1 실시 예에 채용한 타이밍 제네레이터(29)의 동작 클럭 주파수의 3분의 1이다.

<81> (C-2) 구동 동작 및 효과

<82> (a) 기본적인 구동 방법

<83> 도 21a 내지 21e는, 제2 실시 예에 따른 기본적인 구동 동작시에 생성된 각 신호의 타이밍 차트를 나타내는 타이밍도이다. 제1 실시 예에 사용된 구동신호들의 파형은 도 21의 타이밍도에 나타낸 것처럼 사용된다. 도 21a 내지 21e의 타이밍도는, 3개의 인접하는 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2에 제공되는 임계값 전압 보정 준비 처리와 임계값 전압 보정 처리의 각각을, 3개의 인접하는 전원선 DSL 중의 하나와 각각 관련된 라이트 스캔선 WSL 중의 하나에 각각 할당된 복수의 수평 주사기간에서 반복해서 실행하는 대표적인 구동동작을 나타낸다.

<84> 덧붙여서, 도 21a는, 데이터 신호선 DTL에 인가되는 신호의 파형을 나타내는 타이밍 차트이다. 도 21a의 타이밍 차트/파형도에 나타낸 바와 같이, 데이터 신호선 DTL에 인가된 신호는, 2개의 신호들 중 하나, 즉 영상신호전위 Vsig 또는 오프셋 전위 Vofs일 수 있다. 상기에 설명한 것처럼, 오프셋 전위 Vofs는 디바이스 구동 트랜지스터 T2의 임계값 전압 Vth의 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 임계값 전압 보정 처리를 수행하기 위해 사용된 참조 전위이다.

<85> 도 21b는, 3개의 연속하는 행단위를 형성하기 위해서 서로 접속되는 3개의 인접하는 전원선 DSL에 인가된 전원 전위의 파형을 나타내는 타이밍 차트다. 도 21b의 타이밍 차트/파형도에 나타낸 바와 같이, 임계값 전압 보정 준비 처리의 종료까지는 저레벨 전원 전위 Vss가 계속 유지된다. 임계값 전압 보정 준비 처리의 기간의 종료시에는, 3개의 연속하는 행단위에 인가된 신호가 저레벨 전원 전위 Vss로부터 고레벨 전원 전위 Vcc로 변경된다. 덧붙여, 3개의 연속하는 행단위의 고레벨 전원 전위 Vcc의 인가는, 그 후에 서로 접속되는 3개의 인접한 전원선 DSL로 구성된 3개의 연속하는 행단위에 있어서의 마지막 전원선 DSL의 발광 기간의 종료까지 계속 유지된다.

<86> 도 21c는, 서로 접속되는 3개의 인접하는 전원선 DSL으로 구성된 3개의 연속하는 행단위의 제1 전원선 DSL과 관련된 라이트 스캔선 WSL에 인가된 주사신호의 파형을 나타내는 타이밍 차트다. 도 21d는, 3개의 연속하는 행단위의 중단 전원선 DSL과 관련된 라이트 스캔선 WSL에 인가된 주사신호의 파형을 나타내는 타이밍 차트이다. 도 21e는, 3개의 연속하는 행단위의 마지막 전원선 DSL과 관련된 라이트 스캔선 WSL에 인가된 주사신호의 파형을 나타내는 타이밍 차트다.

<87> 그렇지만, 도 21의 타이밍도에 나타낸 구동신호 파형에는 문제가 있는 것으로 예상된다. 이 문제는, 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 개시까지의 시간차에 기인하는 리크 전류의 영향에 의한 것이다. 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 개시까지의 시간차를, 도 21c의 타이밍 차트/파형도에 나타낸 TM1, 도 21d의 타이밍 차트/파형도에 나타낸 TM2(> TM1), 및 도 21e의 타이

밍 차트/파형도에 나타낸 $TM3(>TM2)$ 로 나타낸다.

- <88> 제1 실시 예에서 설명한 것처럼, 임계값 전압 보정 준비 처리의 종료 시점에서, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는, 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 보다 큰 크기로 설정되었다.
- <89> 따라서, 전원선 DSL에 고레벨 전원 전위 V_{cc} 가 인가되면, 제2 실시 예의 경우처럼 임계값 전압 보정 처리가 시작하지 않아도, 전원선 DSL로부터 디바이스 구동 트랜지스터 T2로 리크 전류가 흐르기 시작해서, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 바람직하지 않게 상승한다.
- <90> 좀더 구체적으로는, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 바람직하지 않게 상승해 버린다. 게다가, 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 개시까지의 시간차가 클수록, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하는 전위 증가가 커진다. 게이트 전위 V_g 는 오프셋 전위 V_{ofs} 로 유지되기 때문에, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하는 전위 증가가 클수록, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 이 작아진다. 그 결과, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 이 임계값 전압 보정 처리의 시작시에 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 보다 작게 되면, 임계값 전압 보정 처리를 정상적으로 실행할 수가 없다.
- <91> 특히, 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 개시까지의 시간차 $TM3$ 가 가장 길기 때문에 3개의 연속하는 행단위의 마지막 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 처리가 정상적으로 기능하지 않을 가능성이 높아진다. 물론, 연속하는 복수 행단위에 속하는 인접하는 수평 전원선 DSL의 개수가 많을수록, 연속하는 복수 행단위의 마지막 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 처리가 정상적으로 기능하지 않을 가능성이 높아진다. 임계값 전압 보정 처리가 정상적으로 기능하지 않으면, 표시 화면상에 휘도 불균일 및 화상 줄무늬 등의 시각적인 이상이 출현할 가능성이 높아진다.
- <92> (b) 구동 방법의 개선예
- <93> 상술한 문제를 해결하기 위해서, 도 22a 내지 22e의 타이밍도에 따른 구동방법을 제안했다. 도 22a 내지 22e의 타이밍도를 참조해서 이하에 설명하는 구동방법의 경우에 있어서는, 데이터 신호선 DTL이 3개의 연속하는 행단위에 속하는 인접한 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 시작까지의 각 기간 동안 오프셋 전위 V_{ofs} 로 유지되고 있고, DSL에 인가된 전원 전위가 순간적으로 고레벨 전원 전위 V_{cc} 에서 저레벨 전원 전위 V_{ss} 로 변경된다는 점에서, 도 22a 내지 22e의 타이밍도를 참조해서 이하에 설명하는 구동방법은 도 21a 내지 21e의 타이밍도에 나타낸 구동방법과 다르다. 물론, 3개의 연속하는 행단위에 속하는 인접한 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 시작까지의 각 기간은, DSL에 인가된 전원 전위가 저레벨 전원 전위 V_{ss} 로 유지되는 순간적인 기간을 갖는다.
- <94> 이하의 설명에 있어서, DSL에 인가된 전원 전위가 저레벨 전원 전위 V_{ss} 로 유지되는 순간적인 기간을 포함한 기간은, 전원 전위의 온/오프 구동 기간이라고 한다. 전원 전위 온/오프 구동기간의 개시 타이밍은, 저레벨 전원 전위 V_{ss} 로부터 고레벨 전원전위 V_{cc} 로 DSL에 인가된 전위의 첫 번째의 천이와 일치하는 타이밍으로서 규정될 수가 있다.
- <95> 한편, 전원 전위 온/오프 구동기간의 종료 타이밍은, 3개의 연속하는 행단위에 속하는 인접한 수평 전원선 DSL 중의 마지막 하나에 접속된 화소회로의 발광기간의 개시 타이밍으로서 규정될 수 있다.
- <96> 상기에 설명한 것처럼 이 전원 전위의 온/오프 구동 기간을 포함한 구동방법의 경우에, 전원선 DSL에 인가된 전원 전위가 저레벨 전원전위 V_{ss} 로 유지되고 있을 때, 즉, 전원선 DSL에 인가된 전원 전위가 오프 상태로 있도록 제어되었을 때, 애노드 전위 V_e1 은 전원선 DSL에 나타나는 전위인 저레벨 전원 전위 V_{ss} 과 같게 된다. 이렇게 함으로써, 전원선 DSL로부터 디바이스 구동 트랜지스터 T2로 리크 전류가 흐르지 않는다.
- <97> 따라서, 3개의 연속하는 행단위에 속하는 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료로부터 임계값 전압 보정 처리의 개시까지의 기간의 길이는 전원선 DSL에 인가된 전원 전위가 저레벨 전원전위 V_{ss} 로 유지되는 전원전위 오프 구동 기간의 길이만큼 감소된다. 이하의 설명에 있어서, 전원선 DSL에 인가된 전원 전위를 구동전압이라고도 한다.

- <98> 좀더 구체적으로, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제1 전원선에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간으로서 도 22a 내지 22e의 타이밍도에 나타난 기간 TM11은 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제1 전원선에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간으로서 도 21a 내지 21e의 타이밍도에 나타난 기간 TM1보다 짧다.
- <99> 게다가, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제2 전원선에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간으로서 도 22a 내지 22e의 타이밍도에 나타난 기간 TM12는 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제2 전원선에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간으로서 도 21a 내지 21e의 타이밍도에 나타난 기간 TM2보다 짧다.
- <100> 마찬가지로, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간으로서 도 22a 내지 22e의 타이밍도에 나타난 기간 TM13은 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간으로서 도 21a 내지 21e의 타이밍도에 나타난 기간 TM3보다 짧다.
- <101> 일반적으로, 리크 전류가 커패시터에 흐르고 있으면, 커패시터에 나타내는 전위가 변동해서, 리크 전류에 의한 전위 변동이 1/용량(커패시터의 용량의 역), 리크 전류의 크기 및 리크 전류가 커패시터에 흐르고 있는 기간에 비례한다. 이와 같이, 3개의 연속하는 행단위에 속하는 전원선 DSL에 접속된 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 완료부터 임계값 전압 보정 처리의 개시까지의 기간을 짧게 할 수 있으면, 이 기간이 짧아지는 차에 대응하는 양만큼 디바이스 구동 트랜지스터 T2의 소스전극에 나타나는 소스전위 Vs의 변동을 줄일 수가 있다.
- <102> 또한, 전원선 DSL에 인가된 구동전압이 고레벨 전원전위 Vcc로 지속되는 기간 동안 리크 전류가 전원선 DSL로부터 디바이스 구동 트랜지스터 T2로 흐르더라도, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 Vs가 상승해서, 전원선 DSL에 인가된 구동전압이 저레벨 전원전위 Vss로 지속되는 기간 동안 리크 전류가 반대로 디바이스 구동 트랜지스터 T2로부터 전원선 DSL로 흐른다.
- <103> 따라서, 디바이스 구동 트랜지스터 T2에 흐르는 리크 전류의 영향이 감소할 수 있다. 이 결과, 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 처리를 정상적으로 실시하는 것이 가능하게 된다. 즉, 도 22a 내지 22e의 타이밍도를 참조하여 상기에서 설명한 구동방법을 채용함으로써, 표시 화면에 휘도 불균일 및 화상 줄무늬 등의 시각적인 이상이 나타나지 않게 할 수 있다.
- <104> 또, 도 22b의 타이밍 차트에 나타난 바와 같이 마지막 단계에 대해서 행해진 임계값 전압 보정 처리의 완료까지 교대로 반복적으로 3개의 연속하는 행단위에 속하는 인접하는 수평 전원선 DSL에 인가된 구동전압을 고레벨 전원전위 Vcc 및 저레벨 전원전위 Vss로 설정함으로써, 이전의 단계 같은 조건 하에서 현재의 단계에서 임계값 전압 보정 기간 동안 임계값 보정 처리를 행할 수 있다. 이와 같이, 3개의 연속하는 행단위를 형성하기 위해서 인접하는 수평 전원선 DSL이 서로 접속되고, 구동 타이밍이 3개의 인접한 수평 전원선 DSL에 공통인 타이밍으로서 사용되는 경우에도, 휘도 불균일 및 셰이딩 등의 시각적인 이상이 표시 화면에 나타나는 것을 방지할 수 있다.
- <105> 물론, 3개의 연속하는 행단위를 형성하기 위해서 인접한 수평 전원선 DSL을 서로 접속함으로써, 전원선 스캔 드라이버(33)의 구동단의 수를 제1 실시 예의 3분의 1(1/3)로 저감할 수 있다. 즉, 전원선 스캔 드라이버(33)의 동작 클럭 신호의 주파수를 제1 실시 예의 3분의 1(1/3)로 저감할 수 있다. 이것에 의해, 제1 실시 예보다 제조 비용이 낮은 유기 EL 표시 패널을 실현할 수 있다. 특히, 제2 실시 예는 대형 및/또는 고해상도의 유기 EL 표시 패널의 제조비용을 줄이는 데 효과적이다.
- <106> (D) 제3 실시 예
- <107> (D-1) 시스템 구성
- <108> 도 23은, 제3 실시 예에 따른 유기 EL 표시 패널(51)의 시스템 구성 예를 나타낸 블럭도다. 도 23의 블럭도에 있어서는, 도 19와의 대응 부분에 동일 부호를 교부해서 나타내고 있다.
- <109> 도 23의 블럭도에 나타난 유기 EL 표시 패널(51)은, 화소 어레이부(21), 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(53), 수평 셀렉터(27), 및 타이밍 제네레이터(35)로 구성된다. 라이트 스캔 드라이버(53), 전원선

스캔 드라이버(53), 및 수평 셀렉터(27)의 각각은 구동회로로서 기능한다.

- <110> 도 24는, 화소회로들을 구동하기 위해 각각 사용되는 수평 셀렉터(27)뿐만 아니라 전원선 스캔 드라이버(53), 라이트 스캔 드라이버(23)와 서브 화소의 회로로서 각각 기능하는 화소회로들과의 접속 관계를 나타낸 블럭도다. 도 24의 블럭도에 나타난 바와 같이, 제3 실시 예의 경우에 있어서는, 수평 방향으로 각각 연장되는 3개의 인접하는 전원선 DSL은 3개의 연속하는 행단위를 형성하기 위해서 화소 어레이부(21)의 일측에 있는 접합점에서 서로 접속되고, 이 접합점은 전원선 스캔 드라이버(33)에 접속되어 있다.
- <111> 또한, 제3 실시 예의 경우에 있어서, 3개의 인접하는 전원선 DSL 중의 하나에 접속된 디바이스 구동 트랜지스터 T2에 대해서 설치되는 임계값 전압 보정 준비 처리와 임계값 전압 보정 처리의 각각을, 3개의 인접하는 전원선 DSL 중의 하나에 각각 할당된 복수의 수평주사기간에서 반복적으로 실행한다. 도 25a 내지 25e의 타이밍도에 있어서, 수평주사기간은 도 25a의 타이밍 차트에 나타난 1H로 표시된다. 좀더 구체적으로, 도 25c, 25d 및 25e의 타이밍 차트의 각각은 복수의 임계값 전압 보정 준비 처리와 복수의 임계값 전압 보정 처리를 나타낸다.
- <112> 지금까지 개발된 표시 패널의 경우에 있어서는, 화면의 표시 영역이 증가하는 만큼 해상도가 높아진다. 이와 같이, 1개의 수평 주사 기간에 할당된 시간은 단축된다. 그 결과, 1수평 기간 내에 임계값 전압 보정 준비 처리 및/또는 임계값 전압 보정 처리를 완료할 수 없는 경우를 상정할 필요성이 높아지고 있다. 이 문제를 해결하기 위해서, 제3 실시 예에 있어서는, 임계값 전압 보정 준비 처리 및 임계값 전압 보정 처리의 각각의 실행이 복수의 수평 주사기간으로 분할된다.
- <113> (D-2) 구동 동작 및 효과
- <114> 그런데, 임계값 전압 보정 준비 처리 및 임계값 전압 보정 처리의 각각의 실행이 복수의 수평주사기간으로 분할 되면, 임계값 전압 보정 준비 처리 및 임계값 전압 보정 처리의 각각이 적어도 1회 실행 및 정지된다. 이 때문에, 정지-실행기간에서 디바이스 구동 트랜지스터 T2에 흐르는 리크 전류에 대한 대책을 세울 필요가 있다.
- <115> 도 25a 내지 25e의 타이밍도는, 제3 실시 예에서 구동전압으로서의 역할을 하는 전원선 DSL에 인가된 전원전위의 파형을 나타내는 타이밍 차트로서의 도 25b에 나타난 타이밍 차트를 포함한다. 도 25a 내지 25e의 타이밍도는, 임계값 전압 보정 준비 처리와 임계값 전압 보정 처리의 각각을, 도 25c, 25d, 및 25e의 타이밍 차트의 각각에 나타난 것처럼 3회 수행하는 구동방법을 나타낸다는 점에 유념한다.
- <116> 도 25a에 나타난 타이밍 차트는, 데이터 신호선 DTL에 인가된 신호의 파형을 나타낸다. 제3 실시 예의 경우에 있어서, 데이터 신호선 DTL에 인가된 신호는 3개의 신호, 즉 영상신호 전위 Vsig, 오프셋 전위 Vofs 및 리셋 전위 Vini 중 하나일 수 있다.
- <117> 리셋 전위 Vini는, 특허청구범위 및 과제를 해결하기 위한 수단에서 초기에 저장된 전위에 대응한다. 리셋 전위 Vini는, 정지-실행기간에 있어서의 디바이스 구동 트랜지스터 T2에 흐르는 리크 전류에 대한 대책으로서의 역할을 하기 위해서 추가된 전위이다. 리셋 전위 Vini는, 오프셋 전위 Vofs보다 낮은 전위이다.
- <118> 리셋 전위 Vini가, 임계값 전압 보정 준비 처리의 실행이 종료한 시점에, 디바이스 구동 트랜지스터 T2의 게이트 전극에 공급되는 전위와 일치하는 것이 바람직하다는 것을 명심한다. 또한, 임계값 전압 보정 준비 처리와 임계값전압 보정 처리의 기간 동안 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 Vs를, 어느 정도까지 저레벨 전원전위 Vss로 유지하기 위해서, 전위차(Vini - Vss)가 디바이스 구동 트랜지스터 T2의 임계값 전압 Vth보다 작은 레벨로 리셋 전위 Vini를 설정할 필요가 있다.
- <119> 이 제3 실시 예의 경우에 있어서, 전술의 조건을 충족하는 리셋 전위 Vini는, 도 25c, 25d, 및 25e의 타이밍 차트의 좌측에 나타난 것처럼 임계값 전압 보정 준비 처리를 중단하는 타이밍과 임계값 전압 보정 처리를 종료하는 타이밍에 맞추어 데이터 신호선 DTL에 인가된다. 물론, 도 25c, 25d 및 25e의 타이밍 차트의 우측에 나타난 것처럼 디바이스 구동 트랜지스터 T2에 접속된 전원선 DSL과 관련된 라이트 스캔선 WSL에 인가된 주사신호를 상승시킴으로써 발광기간 동안 디바이스 구동 트랜지스터 T2의 게이트 전극에 리셋 전위 Vini가 공급된다.
- <120> 도 25a 내지 25e의 타이밍도에 따른 구동방법의 경우에 있어서, 임계값 전압 보정 처리의 개시 직전에, 디바이스 구동 트랜지스터 T2의 게이트 전극에 리셋 전위 Vini를 공급해서, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극 사이에 나타나는 게이트·소스간 전압 Vgs를 디바이스 구동 트랜지스터 T2의 임계값 전압 Vth 이하의 레벨로 제어한다. 이것에 의해, 임계값 전압 보정 처리의 중단 중에, 전원선 DSL에 인가된 구동전압이 고레벨 전원전위 Vcc에서 저레벨 전원전위 Vss로 변경된 후에도 리크 전류가 디바이스 구동 트랜지스터 T2에 더 이상 흐르지 않아서, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 Vs가 상승하는 것을 방지

할 수 있다. 결과적으로, 정상적인 임계값 전압 보정 처리를 단속적으로 실행하는 것이 가능하게 된다.

- <121> 도 26a 내지 26e는, 임계값 전압 보정 처리의 라이트 스캔선 WSL에 고레벨 주사신호를 인가하는 타이밍과 임계값 전압 보정 처리 후에 데이터 신호선 DTL에 영상신호 V_{sig} 를 인가하는 타이밍과의 관계뿐만 아니라 임계값 전압 보정 준비 처리의 종료부터 임계값 전압 보정 처리의 개시까지의 시간차로서 각각 측정된 시간차를 나타내는 타이밍도이다. 도 26a 내지 26e의 타이밍 차트는, 도 25a 내지 25e의 타이밍 차트에 각각 대응한다. 도 26a 내지 26e의 타이밍도에 나타난 것처럼, 제3 실시 예의 경우에 있어서도, 3개의 연속하는 행단위에 속하는 라이트 스캔선 WSL과 관련된 라이트 스캔선 WSL의 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 준비 처리의 종료로부터 임계값 전압 보정 처리의 개시까지의 시간차는, 전원선 DSL에 인가된 구동전압을 고레벨 전원전위 V_{cc} 로 지속하는 경우에 비해서 실질적으로 작다. 예를 들면, 도 21의 타이밍도에 나타난 것처럼 전원선 DSL에 인가된 구동전압을 고레벨 전원 전위 V_{cc} 로부터 저레벨 전원전위 V_{ss} 로 변경하는 일없이 제3 실시 예의 기준 시간에 대한 시간차 TM_{12} 는 제2 실시 예의 같은 기준 시간에 대한 시간차 TM_2 보다 실질적으로 작다는 것은 도 26a 내지 26e의 타이밍도로부터 명백하다.
- <122> 또, 라이트 스캔선 WSL에 인가된 주사신호를 고레벨로 설정함으로써 임계값 전압 보정 처리시 기준 전위를 신호 보유 커패시터 C_s 에 저장하는 기간이, 데이터 신호선 DTL에 오프셋 전위 V_{ofs} 를 인가하는 기간과 데이터 신호선 DTL에 리셋 전위 V_{ini} 를 인가하는 기간에 걸친다는 것은 도 26a 내지 26e의 타이밍도로부터 명백하다.
- <123> 전술한 것처럼, 임계값 전압 보정 처리를 시작한 후에는, 오프셋 전위 V_{ofs} 를 데이터 신호선 DTL에 인가하는 기간 동안 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 가 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 에 접근하도록 상승하고, 리셋 전위 V_{ini} 를 데이터 신호선 DTL에 인가하는 기간 동안 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 게이트 전위 V_g 는 리셋 전위 V_{ini} 로 리셋된다.
- <124> 도 25b의 타이밍 차트는, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 하나의 각각에 인가된 전원전위의 파형을 나타낸다. 이 경우에, 임계값 전압 보정 준비 처리의 종료까지는 구동전압으로서 기능하는 전원전위가 저레벨 전원 전위 V_{ss} 로 지속된다. 그 다음, 임계값 전압 보정 준비 처리의 실행의 종료와 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL의 제3 전원선의 임계값 전압 보정 처리의 실행 종료와의 사이에서, 구동전압으로서 기능하는 전원전위가 교대로 저레벨 전원전위 V_{ss} 에서 고레벨 전원전위 V_{ss} 로 또 그 반대로 변경된다. 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선의 임계값 전압 보정 처리의 실행의 종료는 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선의 발광처리의 시작이라는 점에 유념한다.
- <125> 덧붙여, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선의 임계값 전압 보정 처리의 실행의 종료 후에는, 도 27a 내지 27e에 나타난 것처럼 구동전압으로서 기능하는 3개의 연속하는 행단위에 속하는 전원선 DSL의 각각에 인가된 전원전위를 고레벨 전원전위 V_{cc} 로 지속한다는 것에 유념한다. 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL의 제3 전원선의 발광처리의 실행 종료 직전의 2개의 연속하는 수평주사기간의 각각에 있어서, 도 27b의 타이밍 차트의 우측단에 나타난 바와 같이 구동전압으로서 기능하는 3개의 연속하는 행단위에 속하는 전원선 DSL의 각각에 인가된 전원전위가 저레벨 전원전위 V_{ss} 로 변경되도록 제어된다.
- <126> 이 동작은, 발광 기간 중에 있어서의 소등 기간의 회수를 3개의 연속하는 행단위에 속하는 모든 전원선 DSL과 관련된 라이트 스캔선 WSL에 대해서 균일하게 하기 위해서 행해진다. 도 28a 내지 28e의 타이밍도에 있어서, 발광 기간 중에 있어서의 소등 기간을 어두운 기간으로서 나타낸다. 도 28a 내지 28e의 타이밍도에 있어서, 라이트 스캔선 WSL의 소등 기간을 원으로 둘러싸인 숫자로 나타낸다.
- <127> 도 28a 내지 28e의 타이밍도에 나타난 바와 같이, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선의 발광처리의 실행의 종료 직전의 2개의 연속하는 수평주사기간의 각각에 있어서, 구동전압으로서 기능하는 3개의 연속하는 행단위에 속하는 전원선 DSL의 각각에 인가된 전원 전위를 저레벨 전원전위 V_{ss} 로 변경하도록 제어해서, 3개의 연속하는 행단위에 속하는 모든 전원선 DSL과 관련된 라이트 스캔선 WSL에 대해서 균일한 수인 2로 발광기간 중의 소등기간의 회수를 설정한다.
- <128> 소등 기간은 같은 길이를 갖기 때문에, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL과 관련된 모든 라이트 스캔선 WSL에 대해서 발광기간을 균일하게 할 수 있다.
- <129> 또한, 데이터 신호선 DTL에 리셋 전위 V_{ini} 를 인가하는 타이밍에 따라 소등 기간을 설정하는 것이 바람직하다. 그렇지만, 도 28a 내지 28e의 타이밍도에 나타난 것처럼, 리셋 전위 V_{ini} 가 데이터 신호선 DTL에 인가되는 타이

밍에 따라 소등 기간을 설정하지 않아도 된다.

- <130> 덧붙여, 도 25c의 타이밍 차트는, 3개의 연속하는 행단위에 속하는 3개의 인접하는 전원선 DSL 중의 제1 전원선과 관련된 라이트 스캔선 WSL에 인가된 주사신호의 파형을 나타낸다는 점에 유념한다. 게다가, 도 25d의 타이밍 차트는, 3개의 연속하는 행단위에 속하는 3개의 인접하는 전원선 DSL 중의 제2 전원선과 관련된 라이트 스캔선 WSL에 인가된 주사신호의 파형을 나타낸다. 마찬가지로, 도 25e의 타이밍 차트는, 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL 중의 제3 전원선과 관련된 라이트 스캔선 WSL에 인가된 주사신호의 파형을 나타낸다.
- <131> 이상과 같이, 제3 실시 예에 따른 구동방법을 채용하면, 임계값 전압 보정 준비 처리와 임계값 전압 보정 처리의 각각을 복수의 수평주사기간에서 수행해도 또 전원전위를 같은 연속하는 복수 행단위에 속하는 복수의 데이터 전원선 DSL에 공통의 타이밍으로 인가해도, 임계값 전압 보정 준비 처리와 임계값 전압 보정 처리의 각각의 실행을 수평주사기간 중에 분할할 수 있다.
- <132> 이것에 의해, 유기 EL 표시 패널의 대화면화와 고해상도화를 실현할 수가 있다.
- <133> (E) 제4 실시 예
- <134> (E-1) 시스템 구성
- <135> 도 29는, 제4 실시 예에 따른 유기 EL 표시 패널(61)의 시스템 구성예를 나타낸 블록도이다. 도 29의 블록도에 있어서는, 도 19와의 대응 부분에 동일 부호를 교부해서 나타내고 있다.
- <136> 도 29의 블록도에 나타난 유기 EL 표시 패널(61)은, 화소 어레이부(21), 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(63), 수평 셀렉터(27) 및 타이밍 제네레이터(35)로 구성된다. 라이트 스캔 드라이버(23), 전원선 스캔 드라이버(63) 및 수평 셀렉터(27)의 각각은 구동회로서 기능한다.
- <137> 도 30은, 화소회로들을 구동하기 위해 사용되는 수평 셀렉터(27)뿐만 아니라 전원선 스캔 드라이버(63), 라이트 스캔 드라이버(23)와 서브 화소의 회로로서 각각 기능하는 화소회로들과의 접속 관계를 나타낸 블록도다. 도 30의 블록도에 나타난 바와 같이, 제4 실시 예의 경우에 있어서는, 수평 방향으로 각각 연장되는 3개의 인접한 전원선 DSL은 3개의 연속하는 행단위를 형성하기 위해서 화소 어레이부(21)의 일측에 있는 접합점에서 서로 접속되어 있고, 이 접합점은 전원선 스캔 드라이버(63)에 접속되어 있다고 가정한다.
- <138> 또한, 제4 실시 예의 경우에 있어서는, 3개의 인접한 전원선 DSL 중의 하나에 접속된 디바이스 구동 트랜지스터 T2에 대해서 설치되는 임계값 전압 보정 준비 처리와 임계값 전압 보정 처리의 각각을, 3개의 인접한 전원선 DSL 중의 하나에 각각 할당된 복수의 수평주사기간에서 반복적으로 행한다.
- <139> 즉, 제4 실시 예에 대해서 설정된 기본적인 조건은 제3 실시 예와 기본적으로 같다. 제4 실시 예의 경우에 있어서는, 3개의 연속하는 행단위에 속하는 전원선 DSL 중의 마지막 전원선과 관련된 라이트 스캔선 WSL에 대해 발광 처리를 시작한 후에는, 도 31b의 타이밍 차트의 우측에 나타난 것처럼 구동전압으로서 기능하는 전원선 DSL에 인가된 전원 전위를 고레벨 전원전위 Vcc로 그대로 유지한다는 점에서 제4 실시 예는 제3 실시 예와 다르다.
- <140> (E-2): 구동 동작 및 효과
- <141> 도 31a 내지 31e의 타이밍도는, 제4 실시 예에 있어서의 구동전압으로서 기능하는 전원선 DSL에 인가된 전원전위의 파형을 나타낸 타이밍 차트로서 도 31b에 나타난 타이밍 차트다. 3개의 연속하는 행단위에 속하는 어떤 전원선 DSL의 임계값 전압 보정 처리 중에 행해지는 동작은 제3 실시 예와 같다.
- <142> 제4 실시 예의 경우에 있어서는, 도 32b의 타이밍도에 나타난 바와 같이, 3개의 연속하는 행단위에 속하는 전원선 DSL 중의 하나와 관련된 모든 라이트 스캔선 WSL에 대해서 발광 처리를 완료할 때까지 구동전압으로서 기능하는 전원선 DSL에 인가된 전원전위를 그대로 고레벨 전원전위 Vcc로 유지한다는 점에서, 제4 실시 예는 제3 실시 예와 다르다. 도 32의 타이밍도에 있어서는, 도 25a 내지 25e의 타이밍도와와의 대응 부분에는 동일 부호를 교부해 나타낸다는 점에 유념한다.
- <143> 도 33a 내지 33e의 타이밍도에 나타난 바와 같이, 발광기간 중에 포함된 소등 기간의 회수는 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL 중의 제1 전원선과 관련된 라이트 스캔선 WSL에 대해서는 2회이고, 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL 중의 제2 전원선과 관련된 라이트 스캔선 WSL에 대해서는 1회이며, 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL의 제3 전원선과 관련된 라이트 스캔선 WSL에 대해서는 0회다. 이와 같이, 3개의 라이트 스캔선 WSL 사이에는 발광기간의 길이의 차가 있다. 그렇지만,

3개의 라이트 스캔선 WSL간의 발광기간의 길이의 차의 최대치에 의해 발생하는 휘도차를 약 1%미만으로 할 수 있으면, 휘도 불균일 및 화상 줄무늬 등의 시각적인 이상이 표시 화면에 나타나는 것을 방지할 수 있다. 제4 실시 예의 경우에 있어서, 3개의 라이트 스캔선 WSL간의 발광기간의 길이의 차의 최대치는, 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL 중의 제1 전원선과 관련된 라이트 스캔선 WSL의 발광기간에 포함된 2개의 소등기간에 의해 발생한 차이이다.

<144> (F) 제5 실시 예

<145> (F-1) 시스템 구성

<146> 이하에서는, 제1 내지 제4 실시 예와 다른 제5 실시 예에 따른 유기 EL 표시 패널(71)의 구성예에 대해서 설명한다. 좀더 구체적으로, 유기 EL 표시 패널(71)에 채용된 화소회로의 구성은 제1 내지 제4 실시 예와 다르다. 화소회로의 구성의 차이와 구동 방법의 차이를 중점으로 해서 제5 실시 예를 설명한다. 즉, 이하에서는, 제1 실시 예와 제5 실시 예 간의 화소회로 구성과 구동방법의 차이에 대해서 간단히 설명한다. 물론, 이하에서 설명하는 제1 실시 예와 제5 실시 예 간의 화소회로 구성과 구동방법의 차이는, 제5 실시 예와 제2 내지 제4 실시 예의 각각과의 화소회로 구성과 구동방법의 차이도 포함하는 것은 말할 필요도 없다.

<147> 도 34는, 제5 실시 예에 따른 유기 EL 표시 패널(71)의 시스템 구성예를 나타낸 블록도다. 도 34의 블록도에 나타낸 유기 EL 표시 패널(71)은, 화소 어레이부(73), 라이트 스캔 드라이버(75), 전원선 스캔 드라이버(77), 오프셋선 스캔 드라이버(79), 수평 셀렉터(81) 및 타이밍 제네레이터(83)로 구성된다. 라이트 스캔 드라이버(75), 전원선 스캔 드라이버(77), 및 오프셋선 스캔 드라이버(79)의 각각은 구동회로로서 기능한다.

<148> 화소 어레이부(73)는, 신호선 DTL 중의 하나와 라이트 스캔선 WSL 중의 하나와의 교점에 각각 위치된 서브 화소의 매트릭스인 매트릭스 구조를 갖는다. 덧붙여서, 서브 화소회로는 1개의 화소회로를 구성하는 화소 구조의 최소단위이다. 일반적으로, 화이트 유닛(white unit)으로서 기능하는 1개의 화소회로는, 서로 다른 유기 EL 재료로 이루어진 3개의 서브 화소 회로, 즉 R, G 및 B의 서브 화소회로를 갖도록 구성된다.

<149> 도 35는, 제 5 실시 예에 따른 서브 화소와 그 화소회로를 구동하기 위해 각각 사용된 구동회로의 내부 구성을 나타낸 도면이다. 도 35에 나타낸 화소회로는, 3개의 N채널형의 박막 트랜지스터 T1, T2, T3와, 1개의 신호 보유 커패시터 Cs와, 유기 EL 발광소자 OLED를 포함하도록 구성된다.

<150> 이 회로 구성의 경우에 있어서도, 라이트 스캔 드라이버(75)는, 라이트 스캔선 WSL를 통해서 제1의 신호 샘플링 트랜지스터 T1를 온 상태 혹은 오프 상태로 하는 동작을 제어해서 데이터 신호선 DTL에 인가된 영상신호 Vsig의 전위를 신호 보유 커패시터 Cs에 저장하는 동작을 제어한다. 다만, 제5 실시 예의 경우에 있어서, 영상신호 전위 Vsig는 수평 셀렉터(81)에 의해 데이터 신호선 DTL에 인가된 신호만이다. 또, 라이트 스캔 드라이버(75)는, 표시된 화상의 수직 해상도를 실현하기 위해서 필요한 만큼의 출력단을 갖는 시프트 레지스터를 갖도록 구성된다.

<151> 전원선 스캔 드라이버(77)는, 디바이스 구동 트랜지스터 T2의 2개의 주전극 중의 특정 하나에 접속된 전원선 DSL에 2개의 상이한 전위를 갖는 구동전압을 인가해서, 다른 구동회로가 수행한 동작과 연동하는 식으로 화소회로의 동작을 제어한다. 이 화소회로의 동작은, 유기 EL 발광소자 OLED의 발광·비발광뿐만 아니라, 디바이스 구동 트랜지스터 T2의 특성 변화에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 보정 처리도 포함한다. 좀더 구체적으로는, 디바이스 구동 트랜지스터 T2의 특성 변화에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리는, 디바이스 구동 트랜지스터 T2의 임계값 전압의 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리와, 디바이스 구동 트랜지스터 T2의 이동도의 변동에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리이다. 디바이스 구동 트랜지스터 T2의 특성 변화에 대해서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids를 보정하는 처리를 수행해서, 표시된 화상의 균일성의 저하를 회피한다.

<152> 이 회로 구성의 경우에 있어서, 오프셋선 스캔 드라이버(79)는, 오프셋선 OSL를 통해서 제2의 신호 샘플링 트랜지스터 T3를 온 상태 혹은 오프 상태로 하는 동작을 제어해서, 오프셋 전위 Vofs를 신호 보유 커패시터 Cs에 저장하는 동작을 제어한다. 그렇지만, 제5 실시 예의 경우에 있어서, 오프셋 전위 Vofs는, 제2의 신호 샘플링 트랜지스터 T3를 통해서 신호 보유 커패시터 Cs에 저장될 수 있는 전위만이다. 또, 오프셋선 스캔 드라이버(79)는, 표시된 화상의 수직 해상도를 실현하는 데 필요한 만큼의 출력단을 갖는 시프트 레지스터를 갖도록 구성된다.

- <153> 수평 셀렉터(81)는, 데이터 신호선 DTL에 화소 데이터 Vin를 나타내는 영상신호 전위 Vsig를 인가한다.
- <154> 오프셋선 스캔 드라이버(79)는, 표시된 화상의 수평 해상도를 실현하는 데 필요한 만큼의 출력단을 갖는 시프트 레지스터를 갖도록 구성된다. 오프셋선 스캔 드라이버(79)는 또한 각 출력단에 대해서 설치된 래치 회로와 이 래치회로에 대해서 설치된 D/A 변환기로 구성된다.
- <155> 타이밍 제네레이터(83)는, 라이트 스캔선 WSL, 전원선 DSL, 오프셋선 OSL, 및 데이터 신호선 DTL의 구동에 필요한 타이밍 펄스를 생성하는 회로 디바이스이다.
- <156> (F-2) 구동 동작예
- <157> 도 36a 내지 36e는, 도 35를 참조해서 상기 설명한 화소회로가 수행하는 구동 동작예의 설명에서 참조한 타이밍도이다. 덧붙여서, 전원선 스캔 드라이버(77)는 전원선 DSL에 2개의 상이한 전원 전위를 인가한다. 전원선 DSL에 인가된 2개의 상이한 전원전위는 발광 기간에 대해서 고레벨 전원전위 Vcc이고, 비발광 기간에 대해서 저레벨 전원전위 Vss이다.
- <158> 우선, 도 36a 내지 36e의 타이밍도에 나타난 기간 t1 동안 발광 상태에 있는 화소회로의 구동동작을 도 37의 회로도도 참조하여 설명한다. 발광 상태에 있어서, 제1의 신호 샘플링 트랜지스터 T1는 오프 상태로 유지된다. 한편, 디바이스 구동 트랜지스터 T2는 포화 영역에서 동작하고 있다. 포화 영역에서의 동작 상태에 있어서, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 Vgs에 따라 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스간 전류 Ids가 디바이스 구동 트랜지스터 T2를 통해서 흐르고 있다.
- <159> 다음에, 도 36a 내지 36e의 타이밍도에 나타난 기간 t2 동안의 동작 상태에 대해서 설명한다. 이 기간 t2는 비발광 기간의 일부이다. 전원선 DSL에 인가된 전원 전위가 고레벨 전원전위 Vcc에서 저레벨 전원전위 Vss로 변경될 때 비발광 기간의 기간 t2가 시작된다. 저레벨 전원전위 Vss가 유기 EL 발광소자 OLED의 임계값 전압 Vthel와 캐소드 전압 Vcath와의 합보다 작을 때, 즉 $V_{ss} < (V_{thel} + V_{cath})$ 의 관계가 충족되면, 유기 EL 발광소자 OLED는 소등한다.
- <160> 덧붙여, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 Vs는 전원선 DSL에 인가된 전위와 같다는 점에 유념한다. 즉, 유기 EL 발광소자 OLED의 애노드 전극은 저레벨 전원전위 Vss로 전기적으로 충전된다. 도 38은, 기간 t2 동안의 동작 상태에 있어서의 화소회로를 나타내는 회로도이다. 도 38의 회로도도 파선으로 나타난 것처럼, 이때, 신호 보유 커패시터 Cs에 축적된 전하는 전원선 DSL으로 인출되고 있다.
- <161> 그 후에, 오프셋선 OSL에 인가된 전위가 오프셋선 스캔 드라이버(79)에 의해 고레벨 전위로 변경되면, 제2의 신호 샘플링 트랜지스터 T3가 온 상태로 되어서, 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 전위가 도 36a 내지 36e의 타이밍도에 나타난 기간 t3의 초기에 오프셋 전위 Vofs로 변경된다.
- <162> 도 39는, 기간 t3 동안의 동작 상태에 있어서의 화소회로를 나타낸 회로도이다. 이 동작 상태에 있어서, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 Vgs는 전압차 $(V_{ofs} - V_{ss})$ 와 같다. 이 전압차 $(V_{ofs} - V_{ss})$ 는, 디바이스 구동 트랜지스터 T2의 임계값 전압 Vth보다 큰 크기로 설정되고, 즉 $(V_{ofs} - V_{ss}) > V_{th}$ 의 관계를 충족하는 크기로 전압차 $(V_{ofs} - V_{ss})$ 가 설정된다. 왜냐하면, 이 전압차 $(V_{ofs} - V_{ss})$ 의 크기가 디바이스 구동 트랜지스터 T2의 임계값 전압 Vth보다 크지 않으면, 상기에 언급한 임계값 전압 보정 처리를 실행할 수 없기 때문이다.
- <163> 다음에, 전원선 DSL에 인가된 전위가 도 36a 내지 36e의 타이밍도에 나타난 기간 t4의 초기에 저레벨 전원전위 Vss에서 고레벨 전원 전위 Vcc로 변경된다. 전원선 DSL에 인가된 전위가 저레벨 전원전위 Vss에서 고레벨 전원 전위 Vcc로 변경되는 경우, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 전위 Vs(즉, 유기 EL 발광소자 OLED의 애노드 전극에 나타내는 전위)가 고레벨 전원전위 Vcc로 상승한다.
- <164> 도 40은, 기간 t4 동안의 동작 상태에 있어서의 화소회로를 나타내는 회로도이다. 도 40의 회로도도 또한 유기 EL 발광소자 OLED의 등가 회로를 나타낸다. 유기 EL 발광소자 OLED의 등가 회로는 유기 EL 발광소자 OLED를 나타내는 다이오드와 유기 EL 발광소자 OLED의 기생용량 Cel을 갖는다. 이 동작상태에 있어서, $V_{el} \leq (V_{cat} + V_{thel})$ 의 관계를 충족하는 한, 유기 EL 발광소자 OLED를 통해서 흐르는 리크 전류가 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids보다 꽤 작다고 생각되면, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 Ids는, 신호 보유 커패시터 Cs와 기생 커패시터 Cel를 전기적으로 충전하는 데 사용된다. 상기의 관계에 사용된 참조부호 Vel는, 유기 EL 발광소자 OLED의 애노드 전극에 나타나는 전위이다.

- <165> 결과적으로, 유기 EL 발광소자 OLED의 애노드 전극에 나타나는 애노드 전위 V_{el} (즉, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s)가 기간 t_4 중에 도 36e의 타이밍 차트에 나타낸 것처럼 시간이 지남에 따라 상승한다. 즉, 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 게이트 전위 V_g 가 오프셋 전위 V_{ofs} 로 유지된 상태로, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 상승하고 있다. 기간 t_4 중에 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 를 상승시키는 동작은 상기에 언급된 임계값 전압 보정 처리라고 칭한다.
- <166> 그 사이에, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 에 집중된다. 이때, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 는 다음과 같은 관계로 표현된다.
- <167> $V_s = V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{thel}$
- <168> 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스간 전압 V_{gs} 가 디바이스 구동 트랜지스터 T2의 임계값 전압 V_{th} 에 도달했을 경우, 임계값 전압 보정 처리가 종료하고, 도 36a 내지 36e의 타이밍도에 나타낸 기간 t_4 의 종료부분에서 제2의 신호 샘플링 트랜지스터 T3가 다시 오프 상태로 된다. 도 41은, 기간 t_4 의 종료부분에 있어서의 동작 상태에 있는 화소회로를 나타낸다.
- <169> 기간 t_4 에 있어서는, 신호선 DTL에 인가된 전위가 영상신호 전위 V_{sig} 로 변경된다. 그리고나서, 도 36a 내지 36e의 타이밍도에 나타낸 기간 t_5 의 초기에, 즉 영상신호 전위 V_{sig} 에 대해서 충분한 셋업 시간을 설립한 후에, 제1의 샘플링 트랜지스터 T1가 다시 온 상태로 된다. 도 42는, 기간 t_5 와 이 기간 t_5 직후의 기간으로서 도 36a 내지 36e의 타이밍도에 나타낸 기간 t_6 에 있어서의 동작 상태에 있는 화소회로를 나타내는 회로도이다. 영상신호 전위 V_{sig} 는, 화소회로의 계조를 나타내는 전위이다.
- <170> 디바이스 구동 트랜지스터 T2의 게이트 전극에는 데이터 신호선 DTL에 인가된 영상신호 전위 V_{sig} 가 공급되기 때문에, 디바이스 구동 트랜지스터 T2의 게이트 전극에 나타나는 게이트 전위 V_g 는, 기간 t_5 중에 오프셋 전위 V_{ofs} 에서 영상신호 전위 V_{sig} 로 상승하고 있다. 한편, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 가 기간 t_5 중에 전원선 DSL에서 신호 보유 커패시터 C_s 로 흐르고 있기 때문에, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 도, 시간이 지남에 따라 상승하고 있다.
- <171> 이때, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 가 유기 EL 발광소자 OLED의 임계값 전압 V_{thel} 과 유기 EL 발광소자 OLED의 캐소드 전극에 나타나는 캐소드 전압 V_{cat} 의 합을 넘지 않는 경우에, 유기 EL 발광소자 OLED를 통해서 흐르는 리크 전류가 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 보다 꽤 작다고 생각되면, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 는, 신호 보유 커패시터 C_s 와 기생 커패시터 C_{el} 를 전기적으로 충전하는 데 사용된다.
- <172> 덧붙여, 디바이스 구동 트랜지스터 T2의 임계값 전압 보정 처리가 이미 완료했기 때문에, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 의 크기는, 디바이스 구동 트랜지스터 T2의 이동도 μ 를 반영한다. 좀더 구체적으로는, 디바이스 구동 트랜지스터 T2의 이동도 μ 가 클수록, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 의 크기가 커지고, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 의 상승 속도는 빨라진다. 반대로, 디바이스 구동 트랜지스터 T2의 이동도 μ 가 작을수록, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 의 크기가 작아지고 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 의 상승속도는 느려진다.
- <173> 결과적으로, 이동도 μ 의 변동에 대해서 신호 보유 커패시터 C_s 에 축적된 전압이 보정된다. 즉, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 는 이동도 μ 에 따라 결정된 값으로 보정된다. 좀더 구체적으로, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는, 비교적 작은 이동도 μ 를 갖는 디바이스 구동 트랜지스터 T2에 대해서는 비교적 큰 값으로 보정되거나 또는 비교적 큰 이동도 μ 를 갖는 디바이스 구동 트랜지스터 T2에 대해서는 비교적 작은 값으로 보정된다. 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스간 전압 V_{gs} 를 이동도 μ 에 따라 결정된 값으로 보정하는 동작은 도 36a 내지 36e의 타이밍도에 나타낸 기간 t_5 및 t_6 중에 수행되는 이동도 보정 처리라고 칭한다. 이 기간 t_5 및 t_6 중에, 영상신호 V_{sig} 의 전위를 신호 보유 커패시터 C_s 에 저장하는 신호 기록처리도 수행한다는 점에 유념한다.
- <174> 최종적으로, 제1의 신호 샘플링 트랜지스터 T1가 도 36a 내지 36e의 타이밍도에 나타낸 기간 t_7 의 초기에 오프 상태로 되어서 영상신호 전위 V_{sig} 의 전위를 신호 보유 커패시터 C_s 에 저장하는 신호 기록 처리를 종료하고, 유

기 EL 발광소자 OLED의 다음 발광 기간을 개시한다. 도 43은, 이 기간 t_7 중에 동작 상태에 있는 화소회로를 나타낸 회로도이다. 발광기간에 있어서, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는 신호 보유 커패시터 Cs의 커플링 효과에 의해 고정된 크기로 유지된다는 점에 유념한다. 따라서, 이 발광기간에 있어서, 디바이스 구동 트랜지스터 T2는 디바이스 구동 트랜지스터 T2에 의해 생성된 일정한 드레인-소스간 전류 I_{ds} 를 유기 EL 발광소자 OLED에 출력하고 있다.

<175> 이 발광기간에 있어서, 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 와 유기 EL 발광소자 OLED의 애노드 전극에 나타나는 애노드 전위 V_{e1} 가, 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 를 유기 EL 발광소자에 흘리는 전위 V_x 까지 상승함으로써, 유기 EL 발광소자 OLED의 발광 상태가 시작된다. 이 발광상태에서, 유기 EL 발광소자 OLED가 발광한다.

<176> 그런데, 이 제5 실시 예에 따른 화소회로의 경우에 있어서도, 소위 경시 현상에 의해서 유기 EL 발광소자 OLED의 I-V 특성이 변화한다.

<177> 유기 EL 발광소자 OLED의 I-V 특성의 변화에 의해 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 V_s 도 변화한다. 그렇지만, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트·소스간 전압 V_{gs} 는, 신호 보유 커패시터 Cs의 커플링 효과에 의해 일정한 크기로 유지되므로, 유기 EL 발광소자 OLED에 흐르는 전류로서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 는 변화하지 않는다. 상술한 바와 같이 제5 실시 예에 따른 화소회로를 이용하고 이 화소회로에 대해서 설치된 구동방법을 채용하면, 소위 경시 현상에 의해 유기 EL 발광소자 OLED의 I-V 특성이 변화한다는 사실에도 불구하고, 디바이스 구동 트랜지스터 T2의 게이트 전극과 소스 전극과의 사이에 나타나는 게이트-소스 전압 V_{gs} 에 의해 결정된 일정한 크기로 유기 EL 발광소자 OLED에 흐르는 전류로서 디바이스 구동 트랜지스터 T2에 의해 생성된 드레인-소스 전류 I_{ds} 가 유지될 수가 있다. 이것에 의해, 유기 EL 발광소자 OLED의 발광 휘도를 영상신호 전위 V_{sig} 에 의해 결정된 크기로 유지할 수 있다.

<178> (F-3) 결말

<179> 상술한 바와 같이, 화소회로 내에 3개의 박막 트랜지스터를 채용한 제5 실시 예의 경우에 있어서도, 다른 실시 예와 같은 구동 동작을 수행할 수 있다. 특히, 제2 내지 제4 실시 예의 배선 구조와 제2 내지 제4 실시 예의 구동 방법을 조합하는 것으로, 제조 비용이 낮은 유기 EL 표시 패널을 실현할 수 있다.

<180> (G) 다른 실시 예

<181> (G-1) 배선 구조

<182> 상술한 실시 예에 있어서, 구동전압으로서 기능하는 공통 전원전위가 인가되는 3개의 연속하는 행단위를 형성하기 위해서 3개의 인접한 전원선 DSL이 서로 접속되어 있다. 그렇지만, 연속하는 복수 행단위를 형성하기 위해서 서로 접속되어 있는 인접한 전원선 DSL의 개수는 2개, 4개 또는 4개 이상의 정수일 수 있다. 게다가, 구동전압으로서 기능하는 공통 전원 전위를 모든 전원선 DSL에 공통화할 수도 있다.

<183> (G-2) 제품 예

<184> (a) 전자기기

<185> 유기 EL 표시 패널을 일례로 해서 본 발명을 설명했다. 그러나, 이 유기 EL 표시 패널은, 각종 전자기기에 채용된 상품 형태로도 유통된다는 점에 유념한다. 이하, 전자기기에의 유기 EL 표시 패널의 실장 예에 대해서 설명한다.

<186> 도 44는, 전자기기(91)를 나타내는 개념 블럭도이다. 도면에 나타낸 바와 같이, 전자기기(91)는, 전술한 유기 EL 표시 패널(93), 시스템 제어부(95) 및 조작 입력부(97)를 갖는다. 시스템 제어부(95)에서 실행되는 처리 내용은, 전자기기(91)의 상품 형태에 따라 다르다. 또, 조작 입력부(97)는, 시스템 제어부(95)에 유저에 의한 조작 입력을 공급하는 디바이스이다. 조작 입력부(97)는, 예를 들면 스위치 및 버튼 등의 기계식 인터페이스 및/또는 그래픽 인터페이스이다.

<187> 전자기기(91)는, 특정 분야에 사용되는 기기에 한정되지 않는다는 점에 유념한다. 즉, 전자기기(91)는 화상 또는 영상으로서 기기 내에서 생성되거나 또는 기기에 공급되는 영상신호를 표시하는 기능을 기기가 탑재하고 있으면, 어떤 분야에서든 사용되는 기기일 수 있다.

<188> 도 45는, 본 발명의 실시 예들이 적용되는 유기 EL 표시 패널(93)을 채용하는 전자기기로서 기능하는 TV 수상기

(101)의 외관예를 나타낸 도면이다. 본 발명의 실시 예가 적용되는 전자기기(91)의 구현예로서의 TV 수상기(101)는, 프런트 패널(103) 및 필터 유리판(105)으로 구성되는 영상 표시 화면부(107)를 채용한다. TV 수상기(101)는 영상 표시 화면부(107)로서 TV 수상기(101)에 본 발명의 실시 예에 의해 제공된 유기 EL 표시 패널을 채용함으로써 구성된다.

<189> 이러한 전자기기(91)는, 또한 디지털 카메라(111)일 수도 있다. 도 46a 및 46b는, 본 발명의 실시 예들이 적용되는 디지털 카메라(111)의 외관예를 나타낸 도면이다. 좀더 구체적으로, 도 46a는 디지털 카메라(111)의 정면 측에 있는 위치에서 본 디지털 카메라(111)의 외관예를 나타낸 도면이고, 도 46b는 디지털 카메라(111)의 배면 측에 있는 위치에서 본 디지털 카메라(111)의 외관예를 나타내는 도면이다.

<190> 본 발명의 실시 예들이 적용되는 전자기기(91)의 구현예로서의 디지털 카메라(111)는, 보호 커버(113), 촬상 렌즈(115), 표시 화면(117), 컨트롤 스위치(119) 및 셔터 버튼(121)을 채용한다. 이 디지털 카메라(111)는 표시 화면(117)으로서 디지털 카메라에 본 발명의 실시 예에 의해 제공된 유기 EL 표시 패널(93)을 채용함으로써 구성된다.

<191> 이 전자기기(91)는 또한 비디오 카메라(131)일 수도 있다.

<192> 도 47은, 본 발명의 실시 예들이 적용되는 비디오 카메라(131)의 외관예를 나타낸 도면이다. 본 발명의 실시 예들이 적용되는 전자기기(91)의 구현예로서의 이 비디오 카메라(131)는, 본체(133), 화상을 촬영하는 촬상 렌즈(135), 스타트/스톱 스위치(137) 및 표시 화면(139)을 채용한다. 비디오 카메라(131)의 정면에 설치된, 전방으로 향한 촬상 렌즈(135)는 본체(133)의 정면에 위치된 피사체의 화상을 촬영하는 렌즈이다. 스타트/스톱 스위치(137)는 촬영동작을 시작 또는 정지시키기 위해서 유저가 조작하는 스위치이다. 비디오 카메라(131)는 표시화면(139)으로서 비디오 카메라에 본 발명의 실시 예들에 의해 제공된 유기EL 표시 패널(93)을 채용함으로써 구성된다.

<193> 또, 이러한 전자기기(91)는 휴대전화기(141)일 수도 있다. 도 48a 및 48b는, 본 발명의 실시 예들이 적용되는 휴대전화기(141) 등의 휴대단말의 외관예를 나타낸 도면이다. 좀더 구체적으로, 도 48a는 열려 있는 상태의 휴대전화기(141)의 정면을 나타내는 도면이고, 열려 있는 상태의 휴대전화기(141)의 측면을 나타내는 도면이다. 도 48b는 닫혀 있는 상태의 휴대전화기(141)의 정면을 나타내는 도면, 닫혀 있는 상태의 휴대전화기(141)의 좌측면을 나타내는 도면, 닫혀 있는 상태의 휴대전화기(141)의 우측면을 나타내는 도면, 닫혀 있는 상태의 휴대전화기(141)의 상면을 나타내는 도면, 및 닫혀 있는 상태의 휴대전화기(141)의 하면을 나타내는 도면이다.

<194> 본 발명의 실시 예들이 적용되는 전자기기(91)의 구현예로서의 휴대전화기(141)는, 상측 케이스(143), 하측 케이스(145), 힌지인 연결부(147), 표시 화면(149), 보조 표시 화면(151), 픽처 라이트(picture light;153) 및 촬상 렌즈(155)를 채용한다. 이 휴대전화기(141)는, 표시 화면(149) 및/또는 보조 표시 화면(151)으로서 휴대전화기(141)에 본 발명의 실시 예에 의해 제공된 유기 EL 표시 패널(93)을 채용함으로써 구성된다.

<195> 또, 이러한 전자기기(91)는 컴퓨터일 수도 있다. 도 49는, 본 발명의 실시 예들이 적용되는 노트북 퍼스널 컴퓨터(161)의 외관예를 나타낸 도면이다. 본 발명의 실시 예들이 적용되는 전자기기(91)의 구현예로서의 이 노트북 퍼스널 컴퓨터(161)는, 하측 케이스(163), 상측 케이스(165), 문자를 입력하기 위해서 유저가 조작하는 키보드(167) 및 화상을 표시하기 위한 표시 화면(169)을 채용한다. 노트북 퍼스널 컴퓨터(161)는 표시 화면(169)으로서 퍼스널 컴퓨터에 본 발명의 실시 예에 의해 제공된 유기 EL 표시 패널(93)을 채용함으로써 구성된다.

<196> 또한, 이러한 전자기기(91)는, 오디오 재생장치, 게임기, 전자북, 및 전자사전일 수도 있다.

<197> (G-3) 다른 표시 디바이스에

<198> 전술의 실시 예의 각각은, 본 발명을 유기 EL 표시 패널에 적용한다. 그러나, 전술한 구동기술은, 다른 유기 EL 표시장치에도 적용할 수가 있다. 예를 들면, 본 발명의 실시 예들은 다른 형태의 발광소자의 매트릭스/어레이를 갖는 표시 화면을 채용하는 표시장치에도 적용할 수 있다. 다른 형태의 발광소자의 예로서는 LED(light emitting diode)와 다른 다이오드 구조를 갖는 발광소자가 있다. 다른 예로서는, 본 발명의 실시 예들은 무기 EL 표시 패널에도 적용할 수 있다.

<199> (G-4) 그 외

<200> 전술한 실시 예들은, 본 발명의 취지의 범위 내에서 여러가지 변형 예로 변경되는 것도 생각할 수 있다. 또, 본 명세서의 기재에 근거해 창작 및/또는 조합할 수 있는 각종의 변형예 및 응용예도 생각할 수 있다.

<201> 첨부된 청구항들 또는 그것의 균등물의 범주 내에 포함되어 있는 한은 디자인 요구조건 및 다른 요인에 의존해서 다양한 변형, 조합, 서브 조합 및 변경이 발생한다는 것을, 본 발명이 속하는 기술분야의 당업자는 이해해야 한다.

<202> 본 애플리케이션은, 그 전체내용이 참고로 통합되어 있는 2008년 5월 8일에 일본 특허청에 제출된 일본국 공개특허공보 JP 2008-121741에 기재된 것과 관련된 주지내용을 포함하고 있다.

도면의 간단한 설명

<203> 도 1은 액티브 매트릭스 구동형의 유기 EL 표시 패널의 일반적인 회로구성을 나타내는 블록도다.

<204> 도 2는 화소회로와 이 화소회로를 구동하기 위해 각각 사용된 구동회로들의 가장 간단한 구성을 나타내는 회로도다.

<205> 도 3은 유기 EL 발광소자의 I-V 특성의 변화로서 관찰된 경시 형상의 설명에 있어서 참조하는 도면이다.

<206> 도 4는 화소회로와 이 화소회로를 구동하기 위해 각각 사용된 구동회로들의 또 다른 구성을 나타내는 회로도이다.

<207> 도 5는 유기 EL 표시 패널의 외관 구성 예를 나타내는 도면이다.

<208> 도 6은 제1 실시 예에 따른 유기 EL 표시패널의 시스템 구성예를 나타내는 블록도다.

<209> 도 7은 제1 실시 예에 있어서 서브화소의 회로로서 각각 기능하는 화소회로들과 이 화소회로들을 구동하기 위해 각각 사용된 구동회로들과의 접속관계를 나타내는 블록도다.

<210> 도 8은 제1 실시 예에 따른 화소회로와 이 화소회로를 구동하기 위해 각각 사용된 구동회로들의 내부 구성을 나타내는 도면이다.

<211> 도 9a 내지 9e는 도 8에 나타난 화소회로가 수행하는 대표적인 구동동작 중에 생성된 모든 신호의 타이밍 차트를 나타내는 타이밍도다.

<212> 도 10은 도 9a 내지 9e의 타이밍도에 나타난 기간 t1에 있어서 화소회로의 발광 상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.

<213> 도 11은 도 9a 내지 9e의 타이밍도에 나타난 기간 t2에 있어서의 동작 상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.

<214> 도 12는 임계값 전압 보정 준비 처리에 할당된 기간으로서 도 9a 내지 9e의 타이밍도에 나타난 기간 t3에 있어서의 동작상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도이다.

<215> 도 13은 임계값 전압 보정 준비 처리에 할당된 기간으로서 도 9a 내지 9e의 타이밍도에 나타난 기간 t4에 있어서의 동작상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.

<216> 도 14는 기간 t4에 있어서의 시간이 지남에 따라 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 Vs가 어떻게 증가하는지를 나타내는 곡선을 묘화한 도면이다.

<217> 도 15는 도 9a 내지 9e의 타이밍도에 나타난 기간 t6와 이 기간 t6 직후의 기간 t7에 있어서 이동도 보정 처리와 신호 저장 처리의 동작상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.

<218> 도 16은 상이한 값의 이동도를 갖는 2개의 디바이스 구동 트랜지스터에 대하여 디바이스 구동 트랜지스터 T2의 소스 전극에 나타나는 소스 전위 Vs가 시간이 지남에 따라 어떻게 증가하는지를 나타내는 곡선을 묘화한 도면이다.

<219> 도 17은 도 9a 내지 9e의 타이밍도에 나타난 기간 t8에 있어서의 화소회로의 발광상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.

<220> 도 18a 및 18b는 전원선 DSL의 배선 구조 예를 나타내는 도면이다.

<221> 도 19는 제2 실시 예에 따른 유기 EL 표시 패널의 다른 구성예를 나타내는 블록도다.

<222> 도 20은 제2 실시 예에 있어서 서브화소의 회로로서 각각 기능하는 화소회로들과 이 화소회로들을 구동하기 위해 각각 사용된 구동회로들과의 접속관계를 나타내는 블록도다.

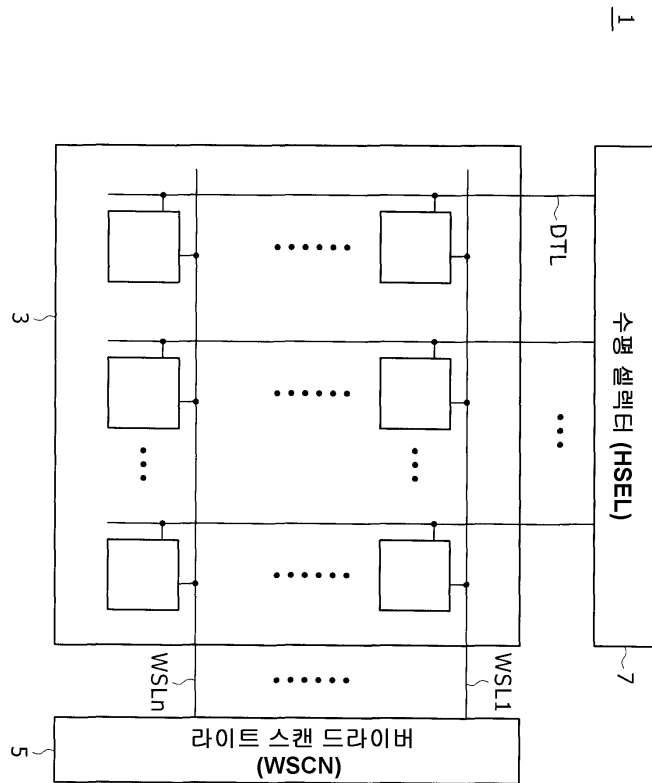
- <223> 도 21a 내지 21e는 제2 실시 예에 따른 기본적인 구동 동작에서 생성된 각 신호의 타이밍 차트를 나타내는 타이밍도다.
- <224> 도 22a 내지 22e는 제2 실시 예에 따른 개선된 구동 동작에서 생성된 각 신호의 타이밍 차트를 나타내는 타이밍도다.
- <225> 도 23은 제3 실시 예에 따른 유기 EL 표시 패널의 대표적인 시스템 구성을 나타내는 블록도다.
- <226> 도 24는 제3 실시 예에 있어서 서브화소의 회로로서 기능하는 화소회로들과 이 화소회로들을 구동하기 위해 각각 사용된 구동회로들과의 접속 관계를 나타내는 블록도다.
- <227> 도 25a 내지 25e는 제3 실시 예에 따른 구동동작에서 생성된 각 신호의 타이밍 차트를 나타내는 타이밍도이다.
- <228> 도 26a 내지 26e는 제3 실시 예에 있어서 임계값 전압 보정 처리 후에 데이터 신호선 DTL 상에 영상신호 Vsig를 인가하는 타이밍과 임계값 전압 보정 처리의 라이트 스캔선 WSL의 각각에 고레벨 주사신호를 인가하는 타이밍과의 관계뿐만 아니라 임계값 전압 보정 준비 처리의 종료로부터 임계값 전압 보정 처리의 개시까지의 시간차로서 각각 측정된 시간차를 나타내는 타이밍도다.
- <229> 도 27a 내지 27e는 제3 실시 예에 있어서는, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선의 임계값 전압 보정 처리의 실행을 종료한 후에 구동전압으로서 기능하는 3개의 연속하는 행단위에 속하는 전원선 DSL의 각각에 인가된 전원전위를 고레벨 전원전위 Vcc로 지속한다는 것을 나타내는 타이밍도다.
- <230> 도 28a 내지 28e는 제3 실시 예에 따른, 3개의 연속하는 행단위에 속하는 3개의 전원선 DSL 중의 제3 전원선에 대한 발광처리의 실행의 종료 직전의 2개의 연속하는 수평주사기간의 각각에 있어서, 발광기간 내의 비발광기간의 수를 3개의 연속하는 행단위에 속하는 모든 전원선 DSL과 관련된 라이트 스캔선 WSL에 대하여 같은 수인 2로 설정하기 위해서 구동전압으로서 기능하는 3개의 연속하는 행단위에 속하는 전원선 DSL의 각각에 인가된 전원전위가 저레벨 전원전위 Vss로 변경되도록 제어되는 것을 나타내는 타이밍도이다.
- <231> 도 29는 제4 실시 예에 따른 유기 EL 표시 패널의 대표적인 시스템 구성을 나타내는 블록도다.
- <232> 도 30은 제4 실시 예에 있어서 서브화소의 회로로서 기능하는 화소회로들과 이 화소회로들을 구동하기 위해 각각 사용된 구동회로들과의 접속관계를 나타내는 블록도다.
- <233> 도 31a 내지 31e는 제4 실시 예에 따른 구동동작에서 생성된 각 신호의 타이밍 차트를 나타내는 타이밍도다.
- <234> 도 32a 내지 32e는 제4 실시 예에 따른 3개의 연속하는 행단위에 속하는 전원선 DSL 중 하나와 관련된 모든 라이트 스캔선 WSL에 대해서 발광처리를 완료할 때까지 그대로 고레벨 전원전위 Vcc로 구동전압으로서의 역할을 하는 전원선 DSL에 인가된 전원전위가 유지되는 것을 나타내는 타이밍도이다.
- <235> 도 33a 내지 33e는 제4 실시 예에 따른, 3개의 연속하는 행단위에 속하는 3개의 인접한 전원선 DSL 중의 제1 전원선과 관련된 라이트 스캔선 WSL에 대해서 2, 3개의 인접한 전원선 DSL 중의 제2 전원선과 관련된 라이트 스캔선 WSL에 대해서 1, 3개의 인접한 전원선 DSL 중의 제3 전원선과 관련된 라이트 스캔선 WSL에 대해서 0으로 발광기간에 포함된 비발광기간의 수를 설정하는 제어방법을 나타낸 타이밍도이다.
- <236> 도 34는 제5 실시 예에 따른 유기 EL 표시 패널의 대표적인 시스템 구성을 도시한 블록도다.
- <237> 도 35는 제5 실시 예에 따른 화소회로와 이 화소회로를 구동하기 위해서 각각 사용된 구동회로들의 내부 구성을 나타낸 도면이다.
- <238> 도 36a 내지 36e는 도 35에 나타낸 화소회로가 수행하는 대표적인 구동동작 중에 발생된 모든 신호의 타이밍 차트를 나타내는 타이밍도다.
- <239> 도 37은 도 36a 내지 36e의 타이밍도에 나타낸 시간 t1에 있어서의 화소회로의 발광상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.
- <240> 도 38은 도 36a 내지 36e의 타이밍도에 나타낸 시간 t2 중의 동작 상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.
- <241> 도 39는 임계값 전압 보정 준비 처리에 할당된 기간으로서 도 36a 내지 36e의 타이밍도에 나타낸 시간 t3 중의 동작 상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.
- <242> 도 40은 임계값 전압 보정 처리에 할당된 기간으로서 도 36a 내지 36e의 타이밍도에 나타낸 시간 t4 중의 동작

상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.

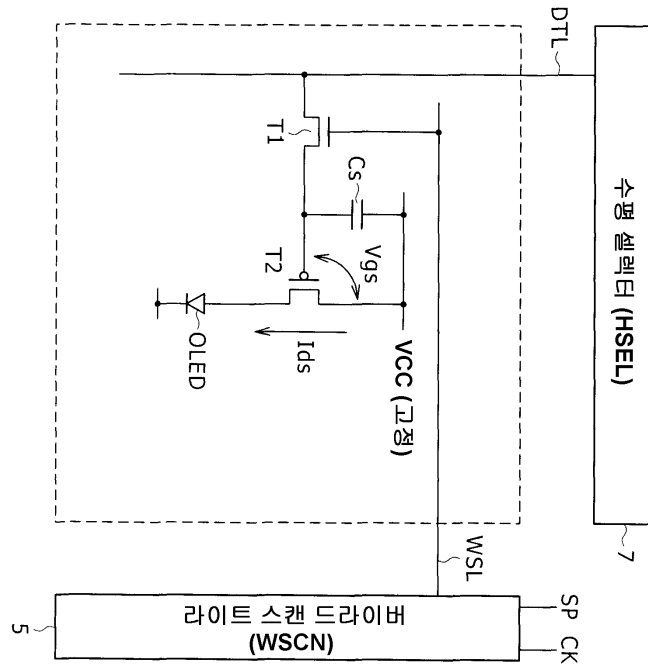
- <243> 도 41은 임계값 전압 보정 처리에 할당된 기간으로서 도 36a 내지 36e의 타이밍도에 나타난 기간 t4 중의 동작 상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.
- <244> 도 42는 도 36a 내지 36e의 타이밍도에 나타난 기간 t5와 이 기간 t5 직후의 기간 t6에 있어서의 신호저장처리와 이동 보정 처리의 동작상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.
- <245> 도 43은 도 36a 내지 36e의 타이밍도에 나타난 기간 t7에 있어서의 화소회로의 발광상태에 있어서 화소회로가 수행하는 동작의 설명에서 참조하는 회로도다.
- <246> 도 44는 전자기기를 나타내는 개념 블록도다.
- <247> 도 45는 본 발명의 실시 예들이 적용되는 유기 EL 표시 패널을 이용하는 전자기기로서의 기능을 하는 TV 수상기의 외관의 사시도를 나타내는 도면이다.
- <248> 도 46a 및 46b는 본 발명의 실시 예들이 적용되는 유기 EL 표시 패널을 이용하는 디지털 카메라의 외관의 사시도를 나타내는 도면이다.
- <249> 도 47은 본 발명의 실시 예들이 적용되는 유기 EL 표시 패널을 이용하는 비디오 카메라의 외관의 사시도를 나타내는 도면이다.
- <250> 도 48a 및 48b는 본 발명의 실시 예들이 적용되는 유기 EL 표시 패널을 이용하는 셀룰러 폰 등의 휴대단말의 외관을 각각 나타내는 도면이다.
- <251> 도 49는 본 발명의 실시 예들이 적용되는 유기 EL 표시 패널을 이용하는 노트북 퍼스널 컴퓨터의 외관의 사시도를 나타내는 도면이다.

도면

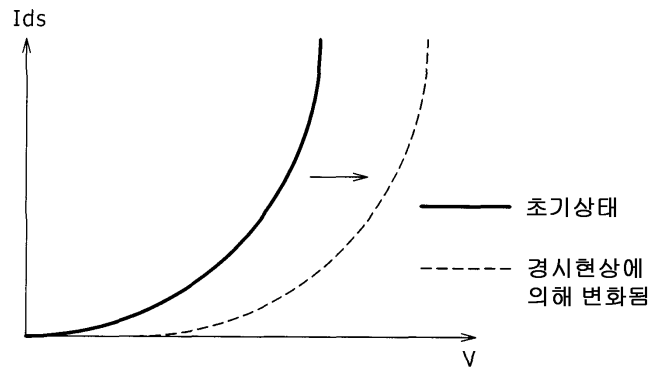
도면1



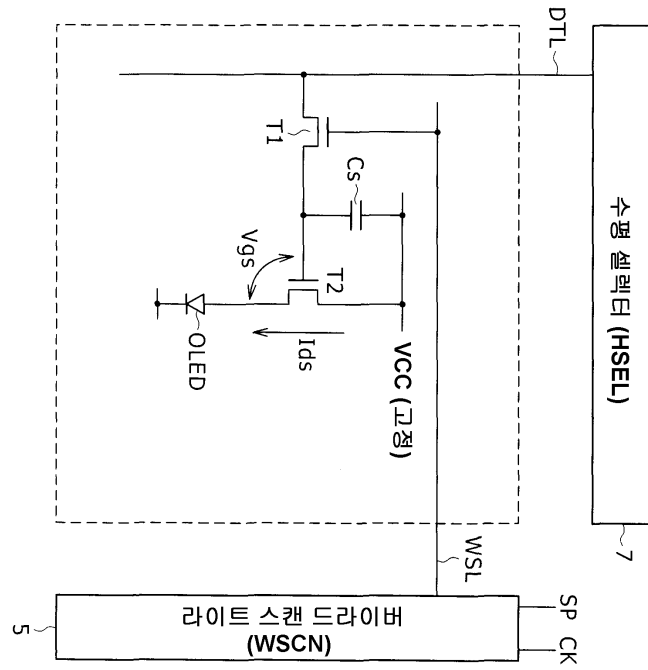
도면2



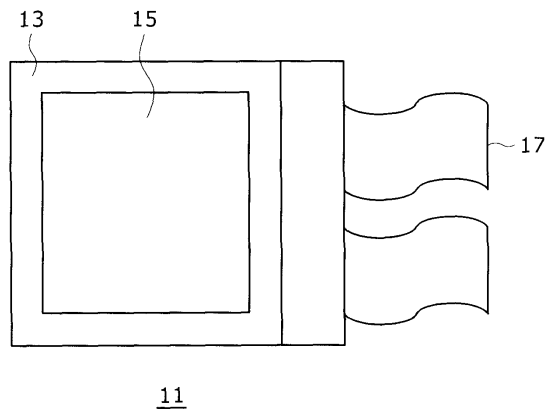
도면3



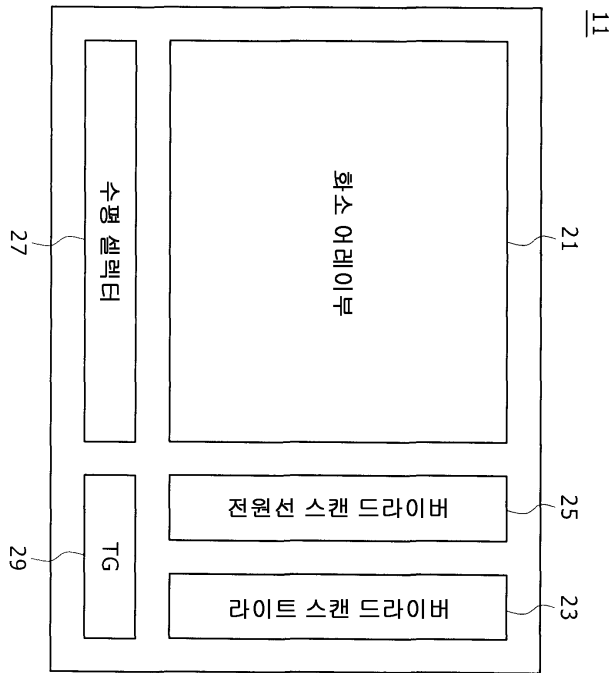
도면4



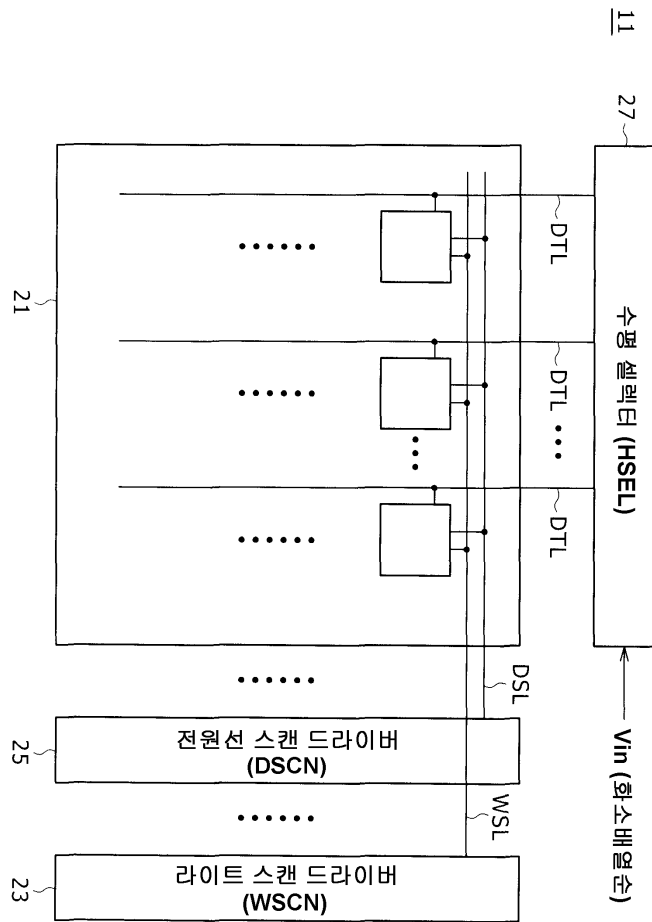
도면5



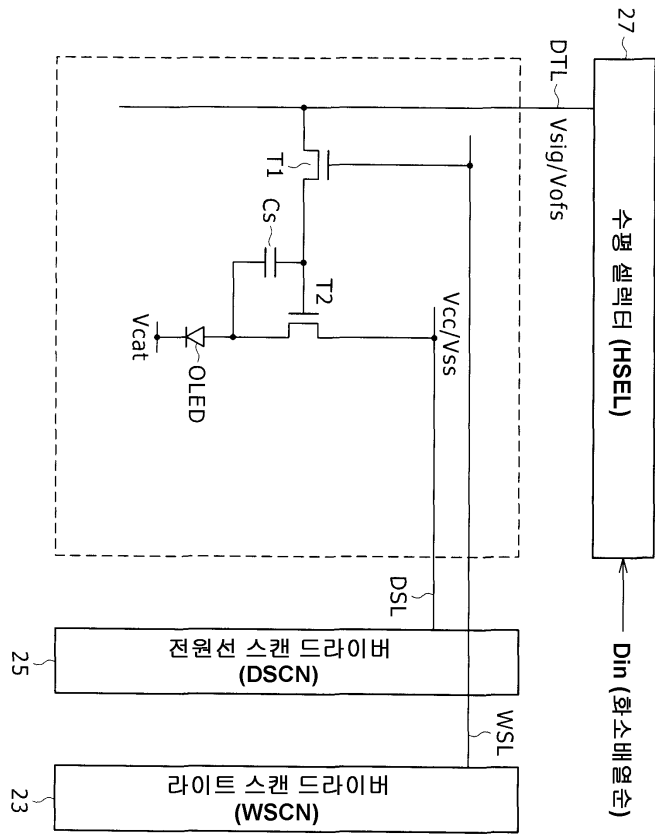
도면6



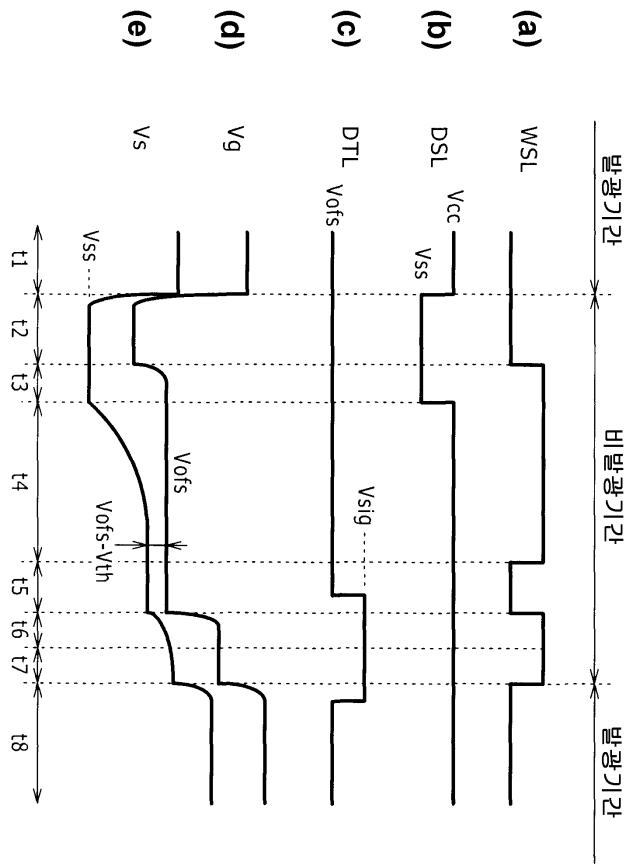
도면7



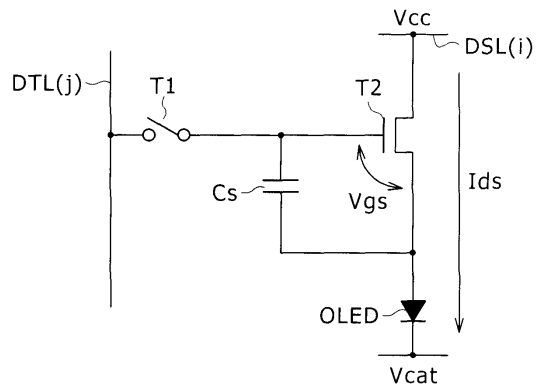
도면8



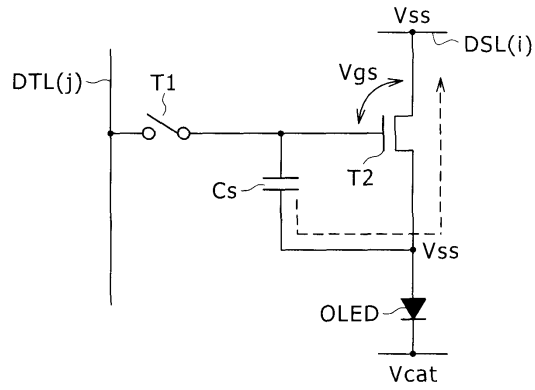
도면9



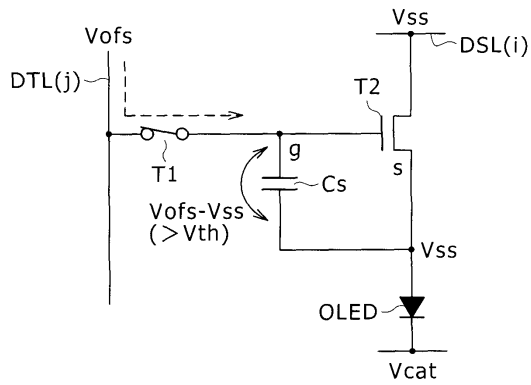
도면10



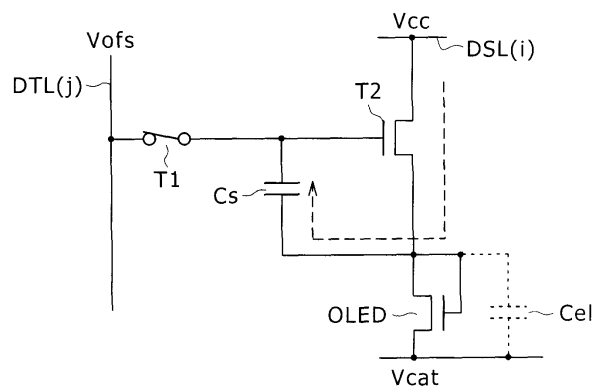
도면11



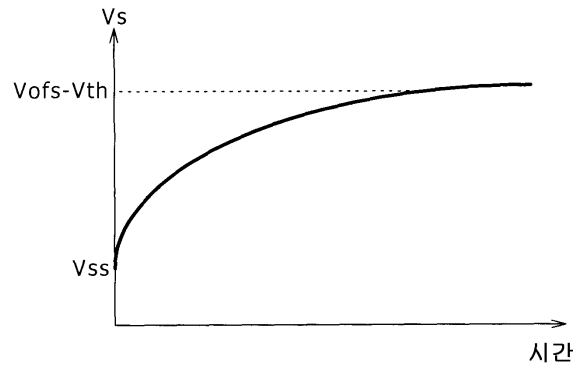
도면12



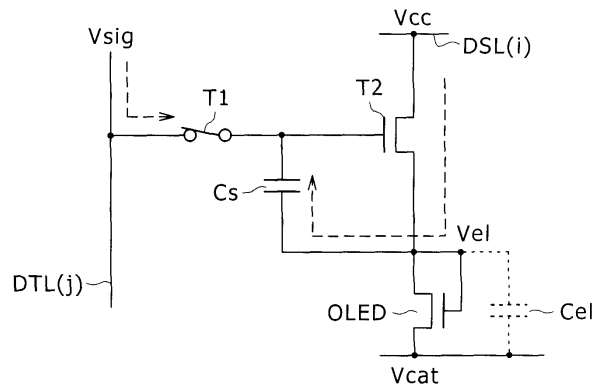
도면13



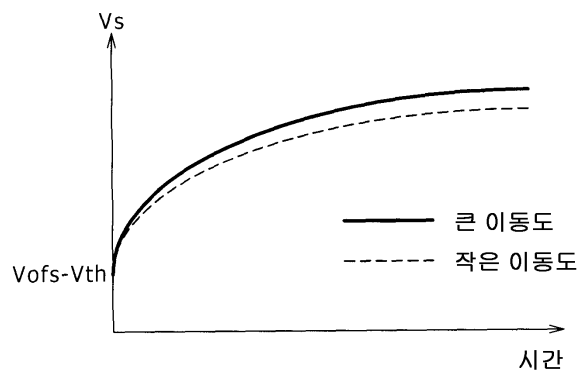
도면14



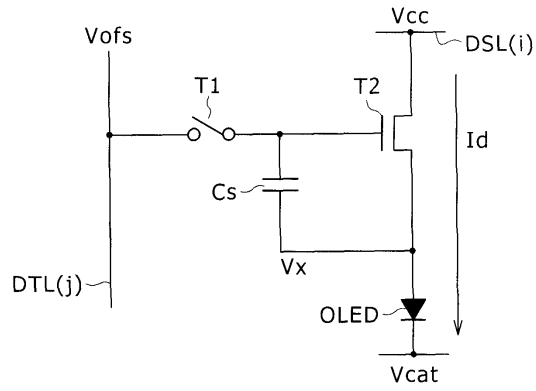
도면15



도면16

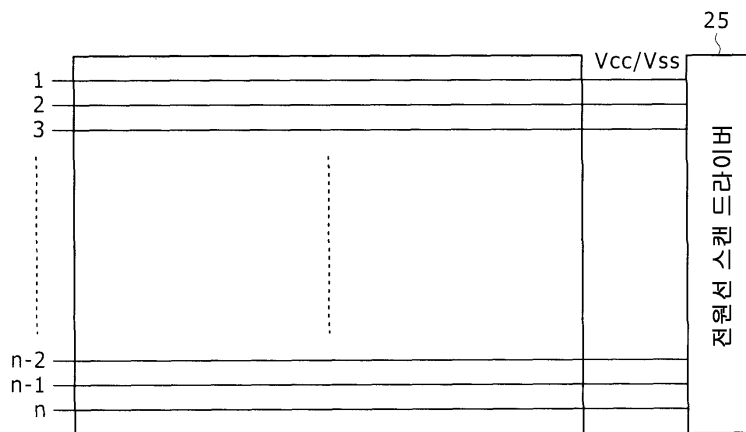


도면17

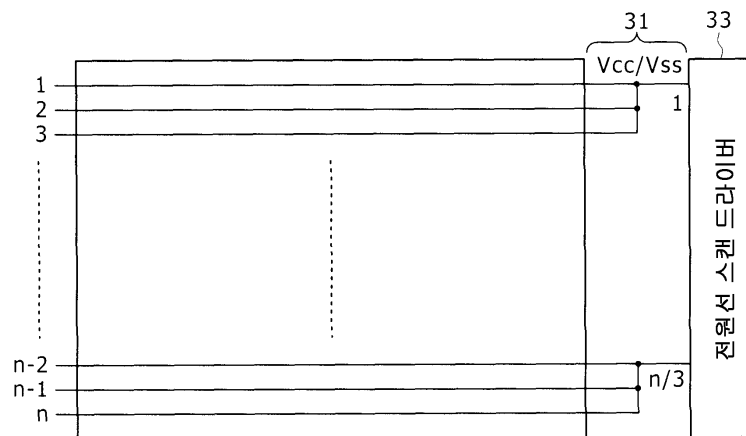


도면18

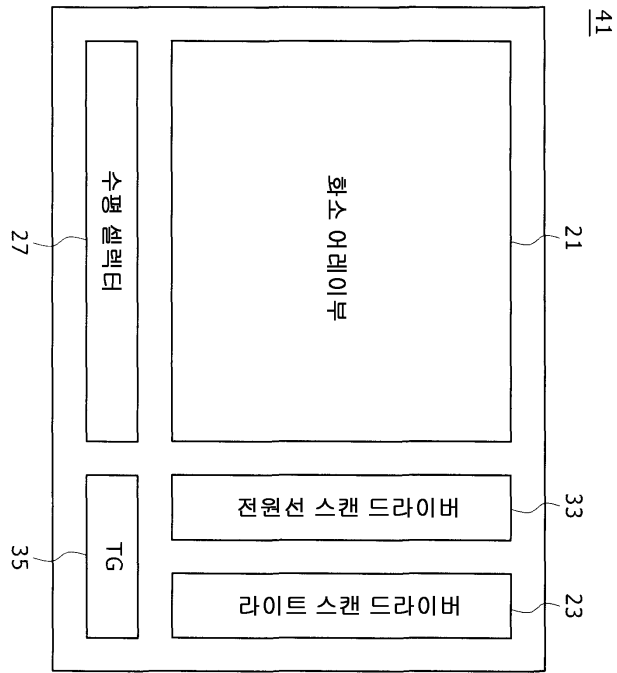
(a)



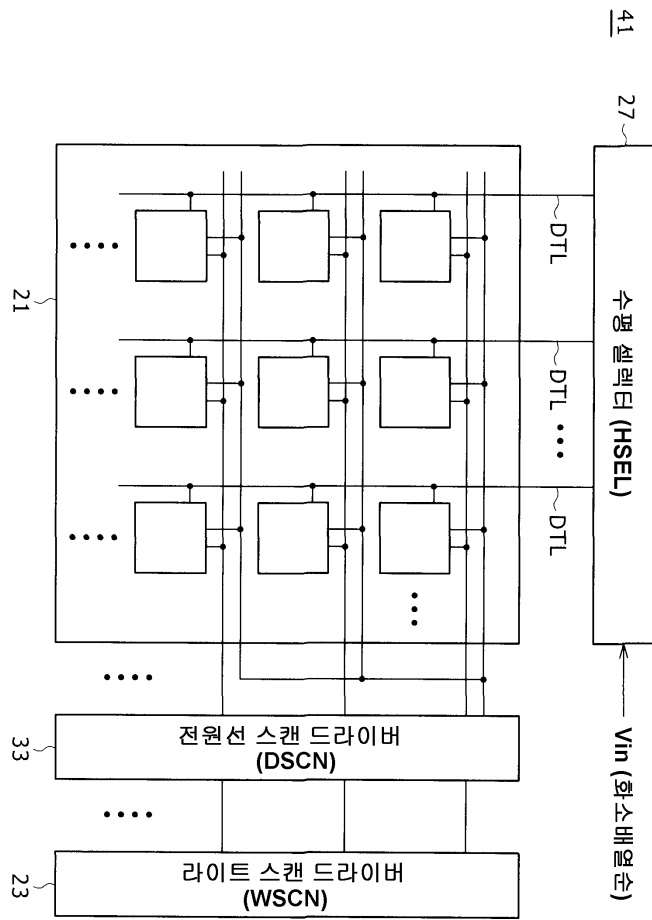
(b)



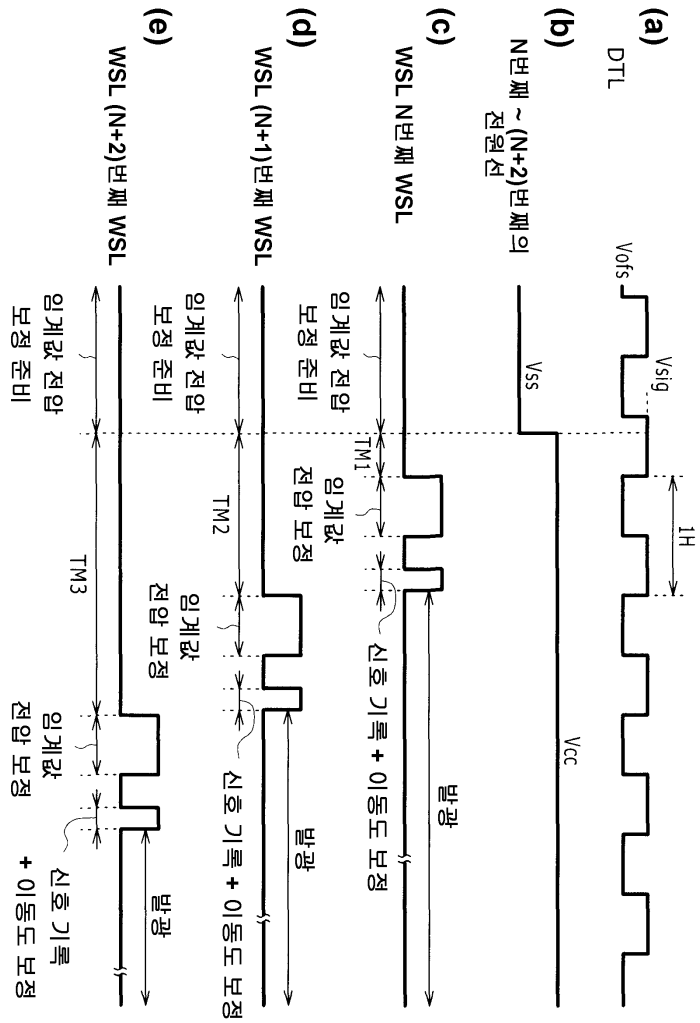
도면19



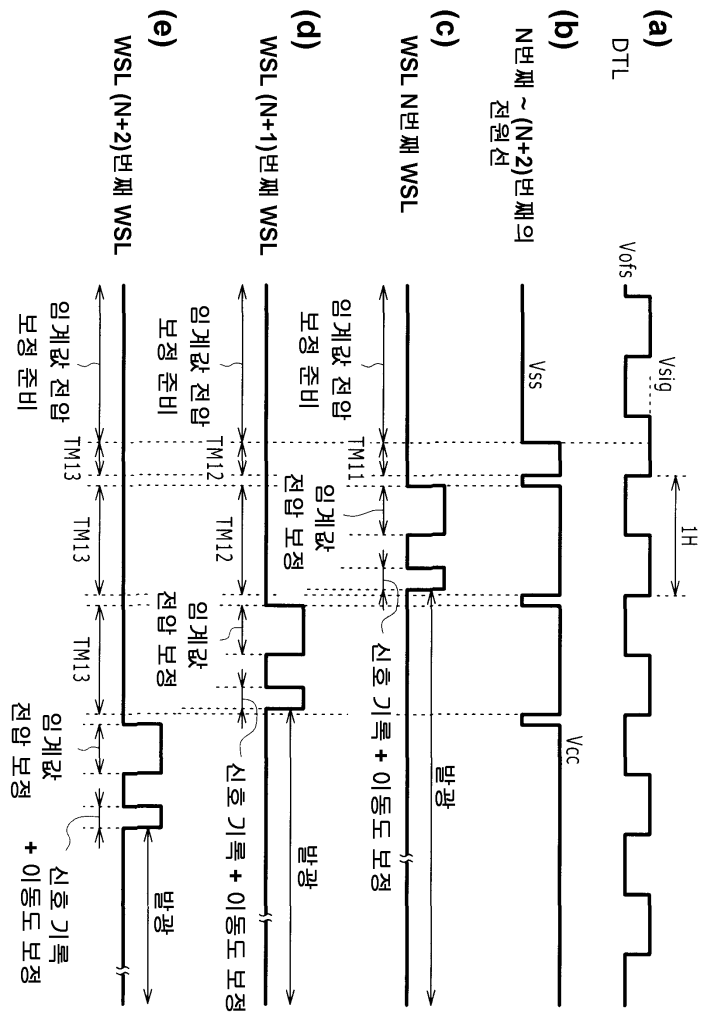
도면20



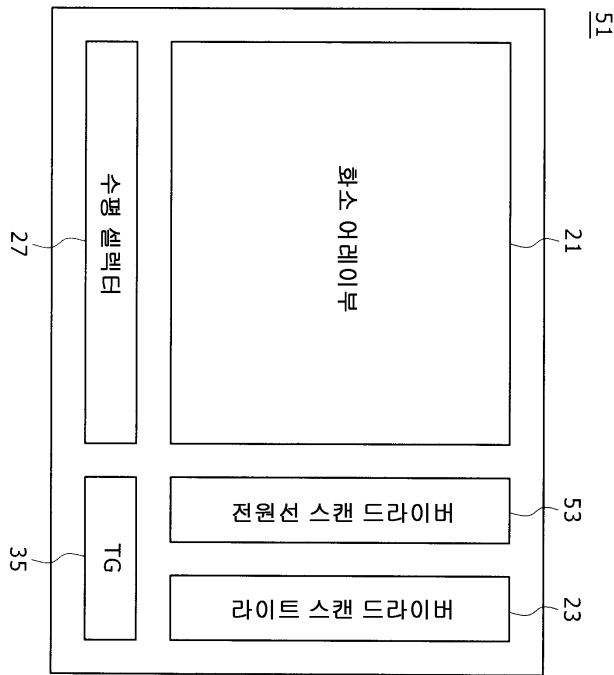
도면21



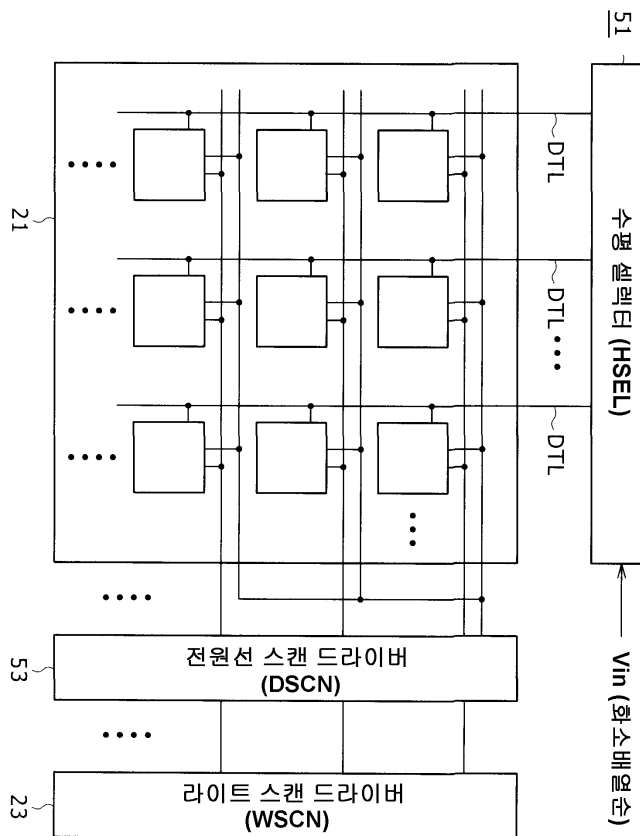
도면22



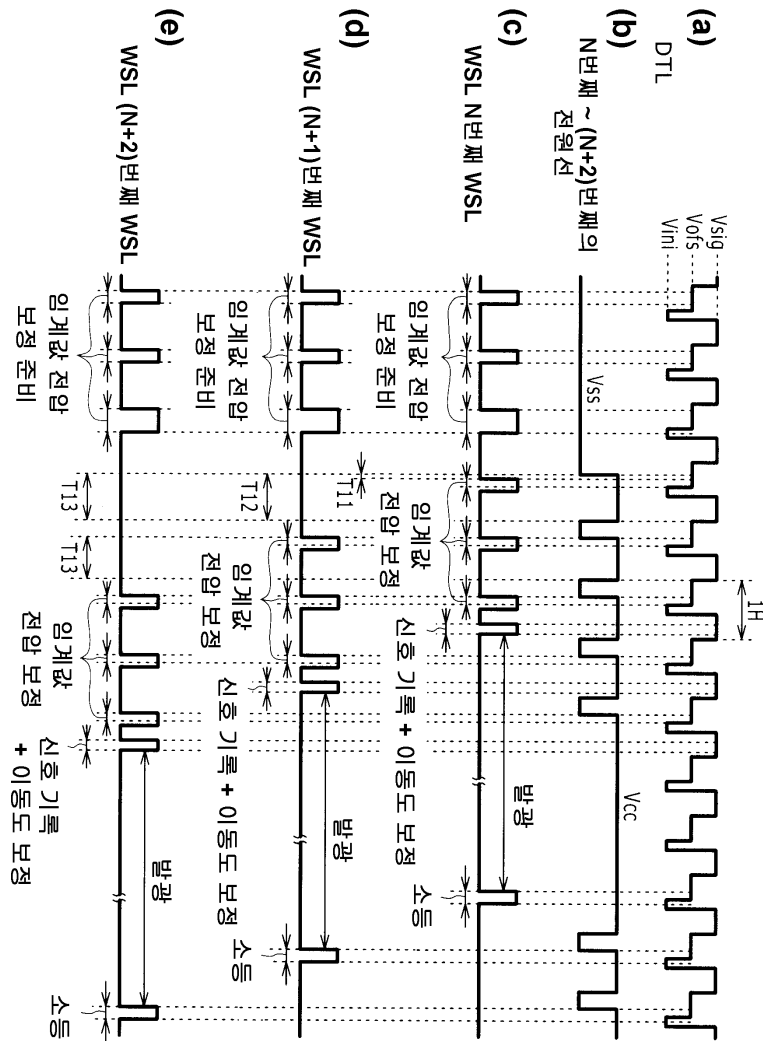
도면23



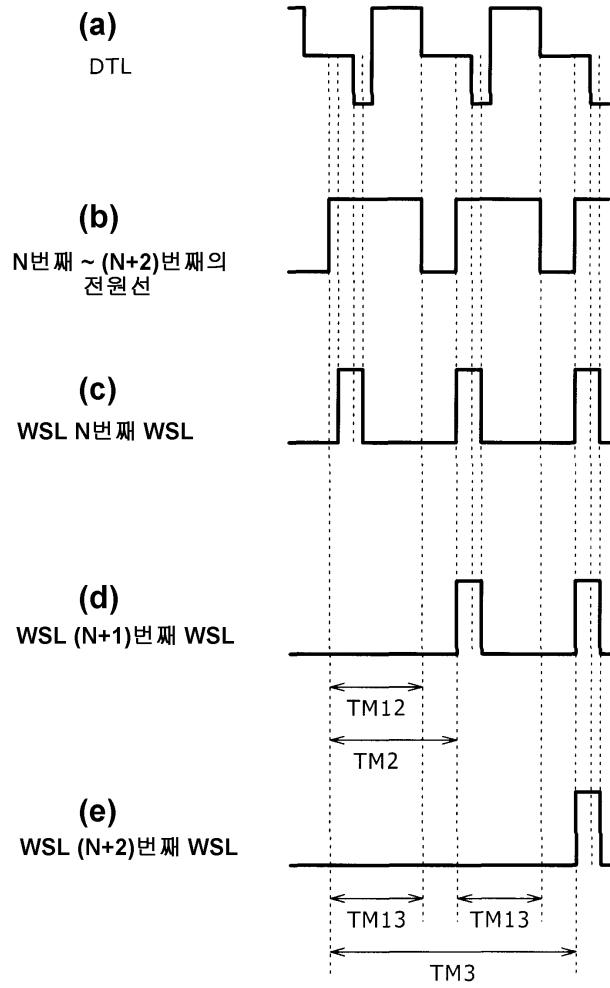
도면24



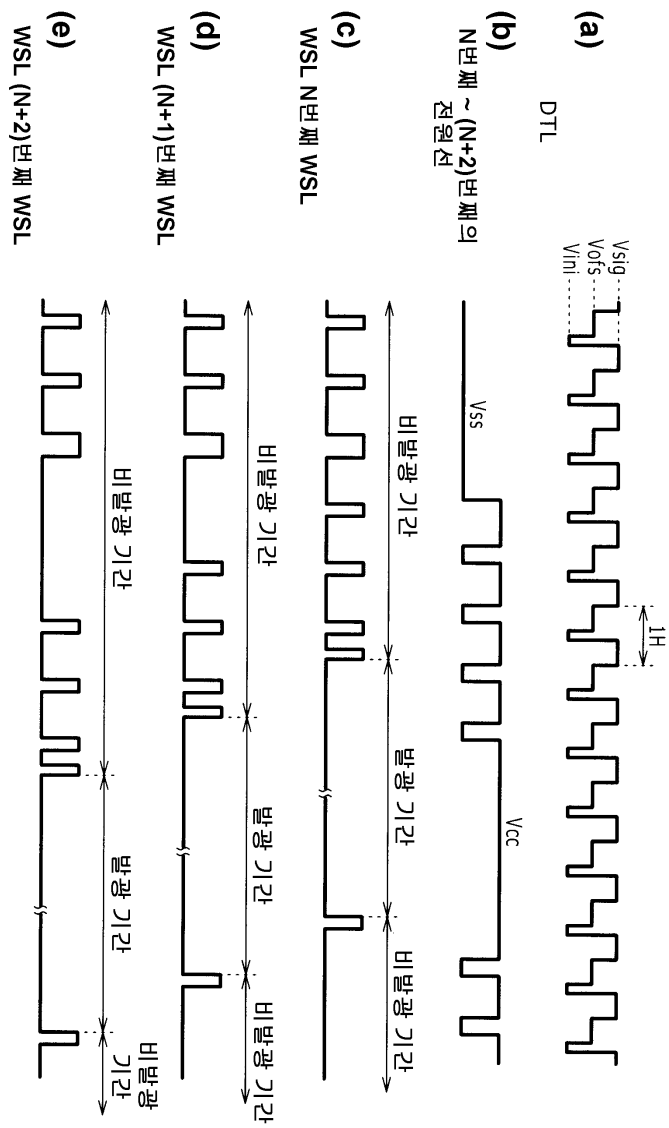
도면25



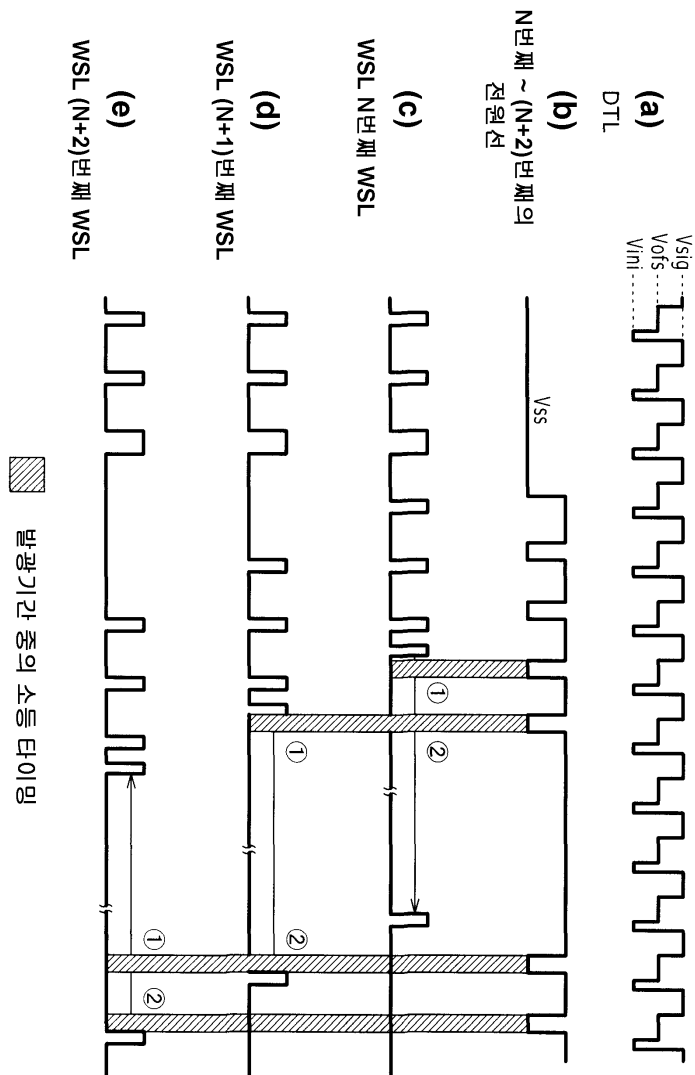
도면26



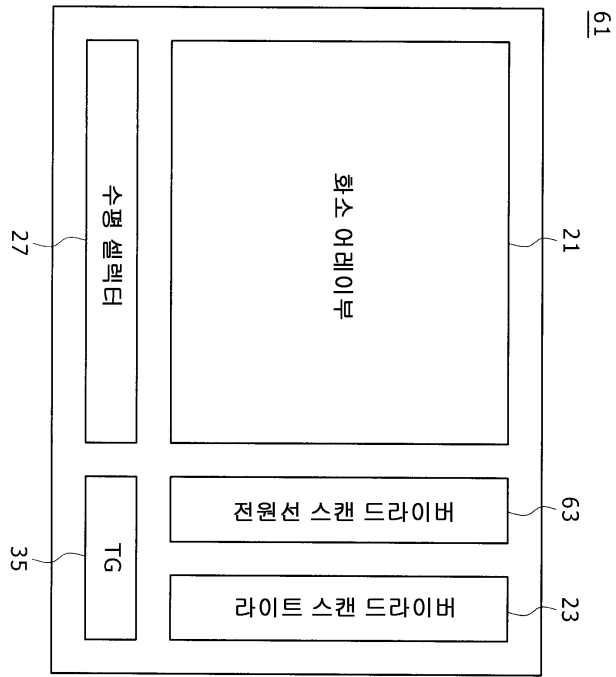
도면27



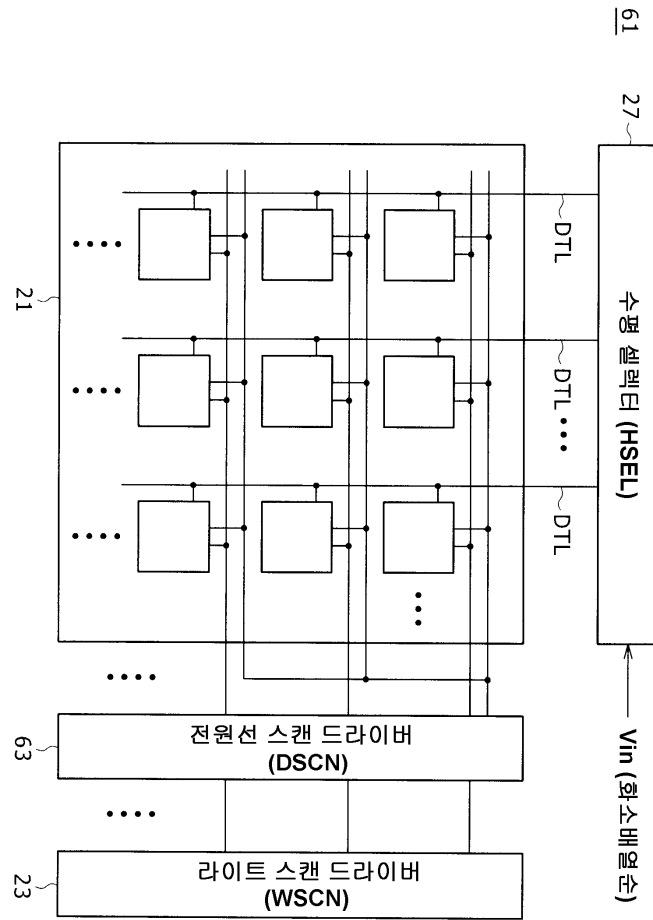
도면28



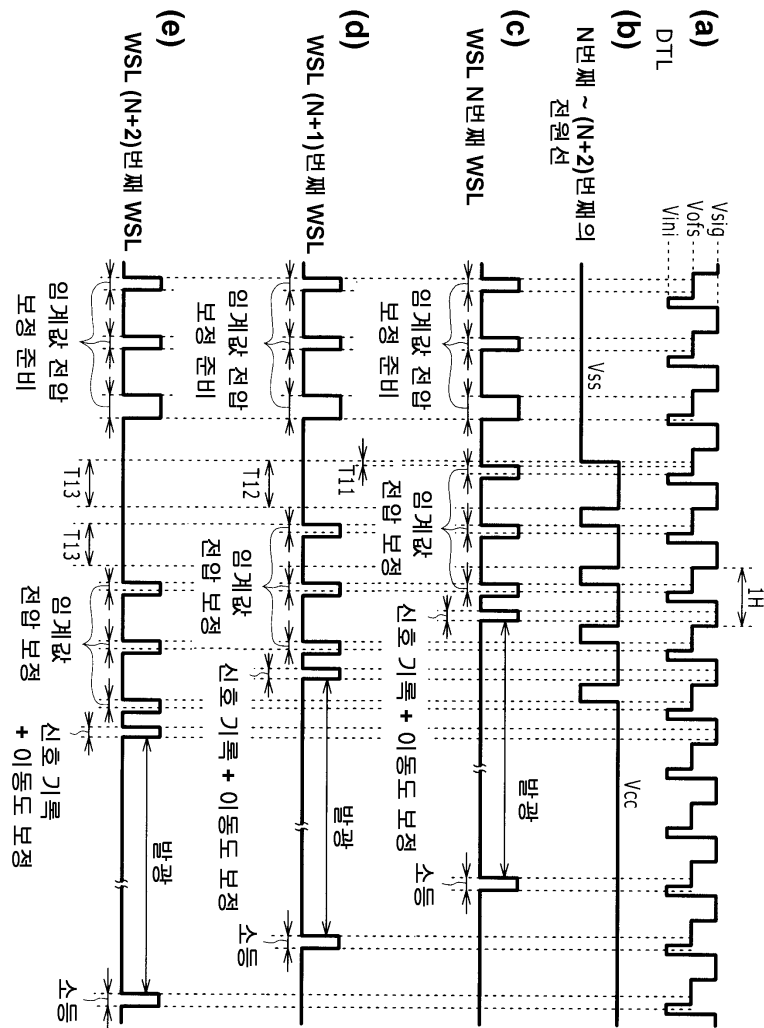
도면29



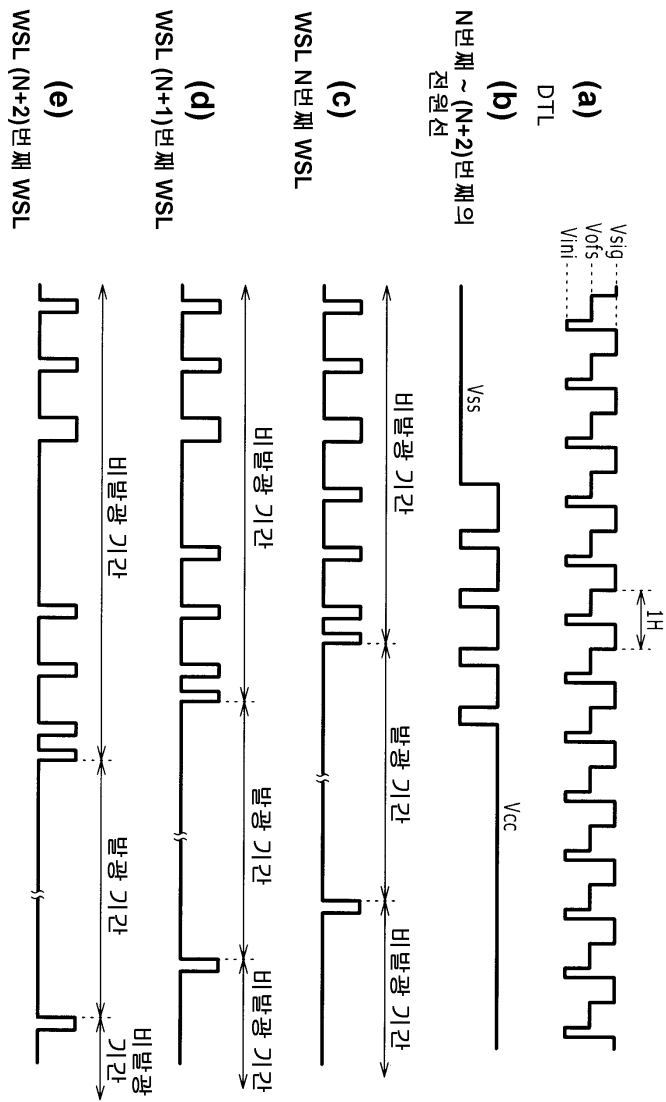
도면30



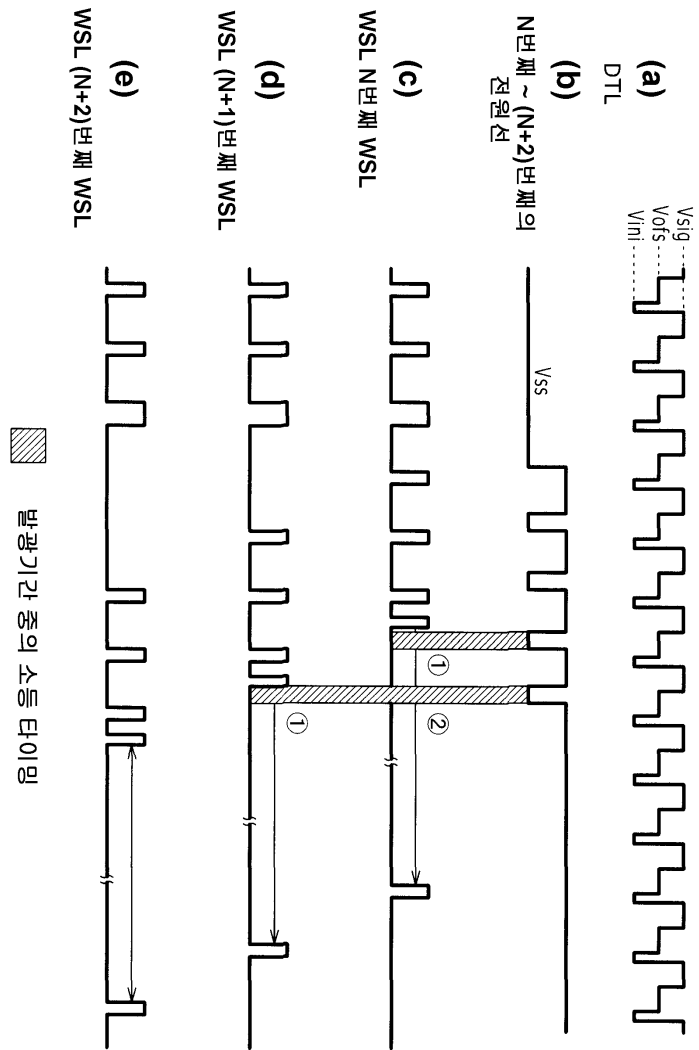
도면31



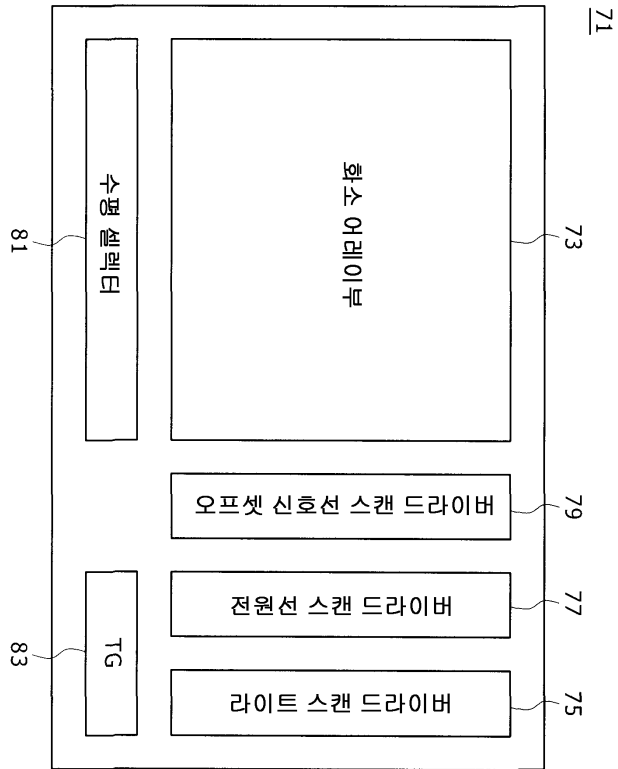
도면32



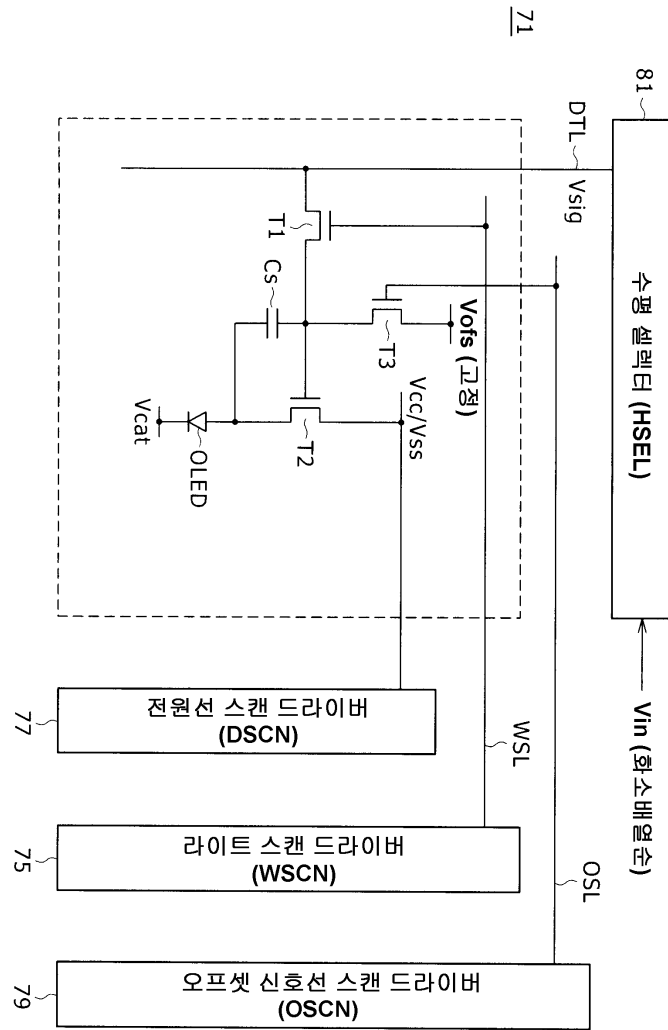
도면33



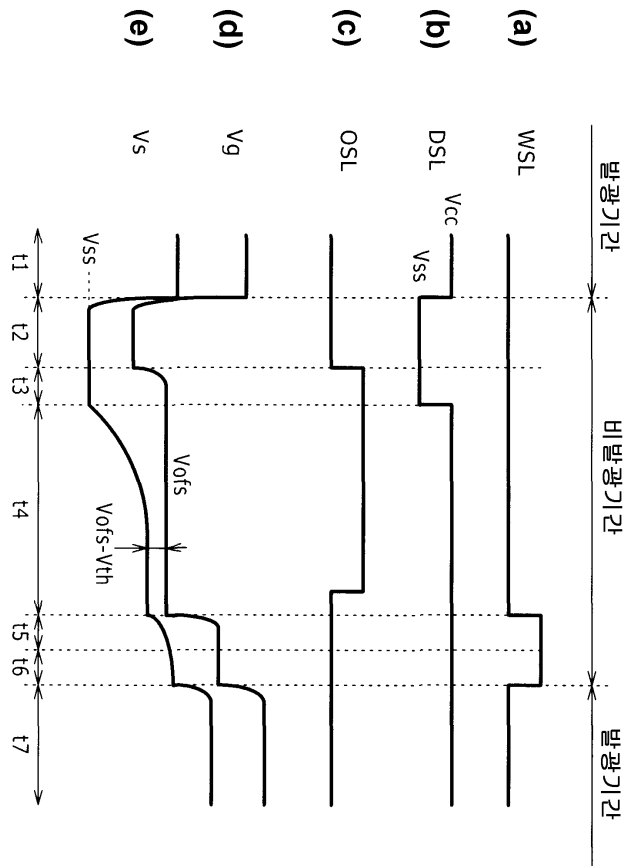
도면34



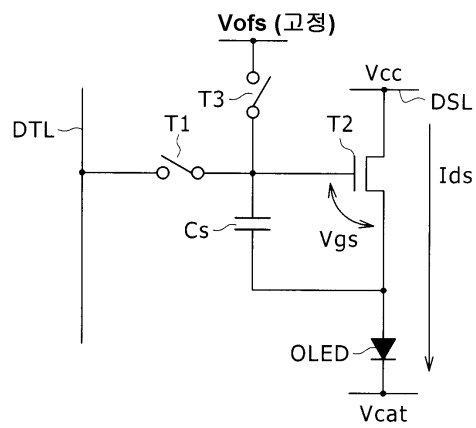
도면35



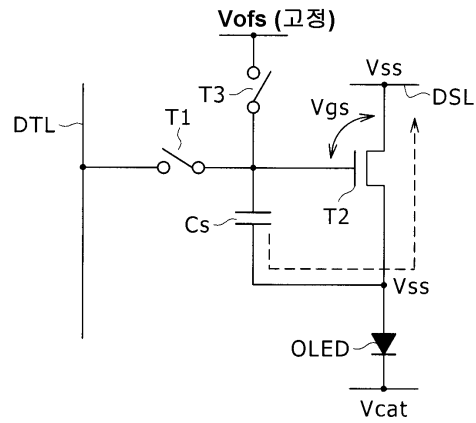
도면36



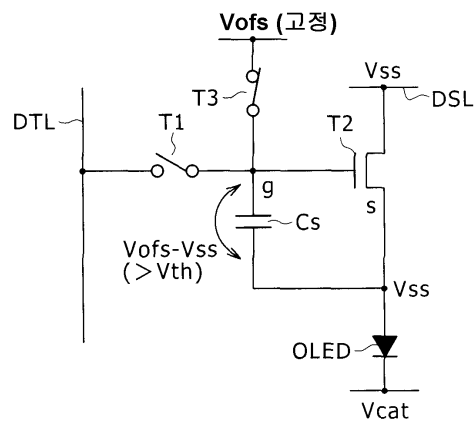
도면37



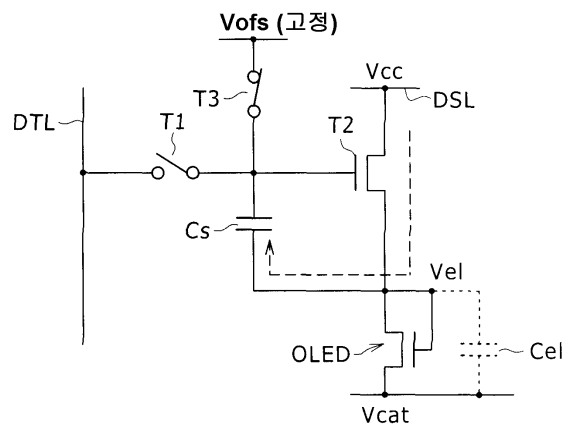
도면38



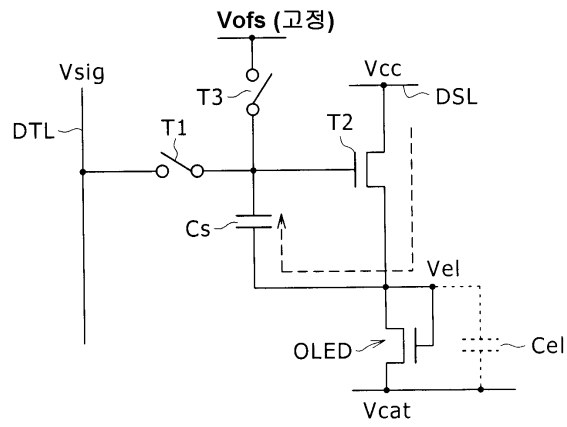
도면39



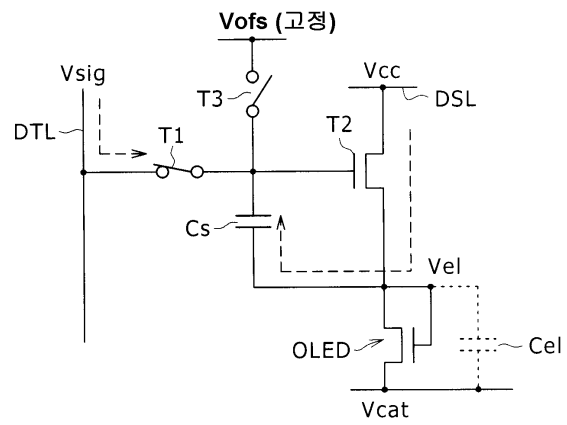
도면40



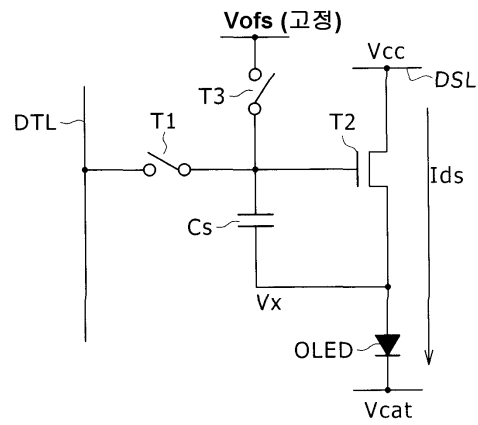
도면41



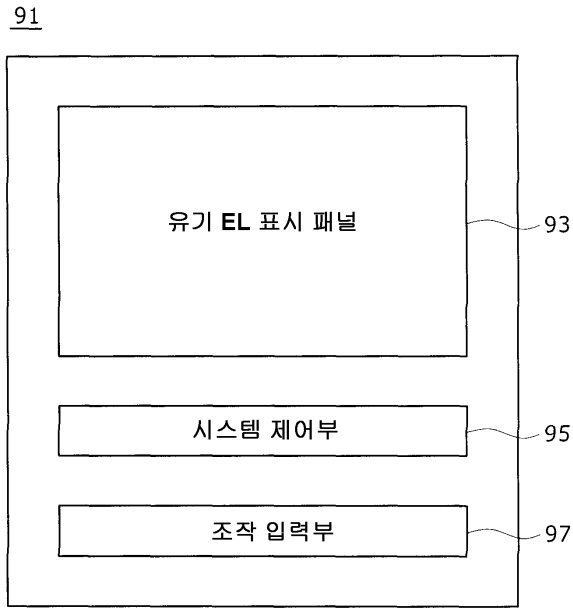
도면42



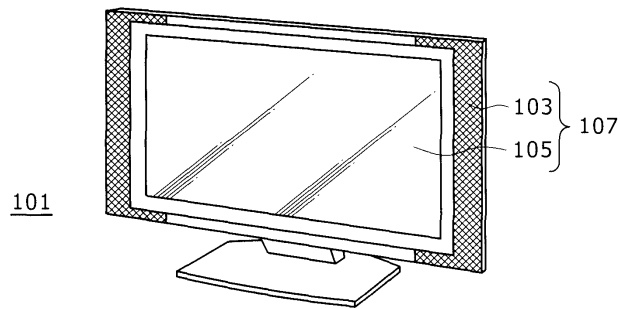
도면43



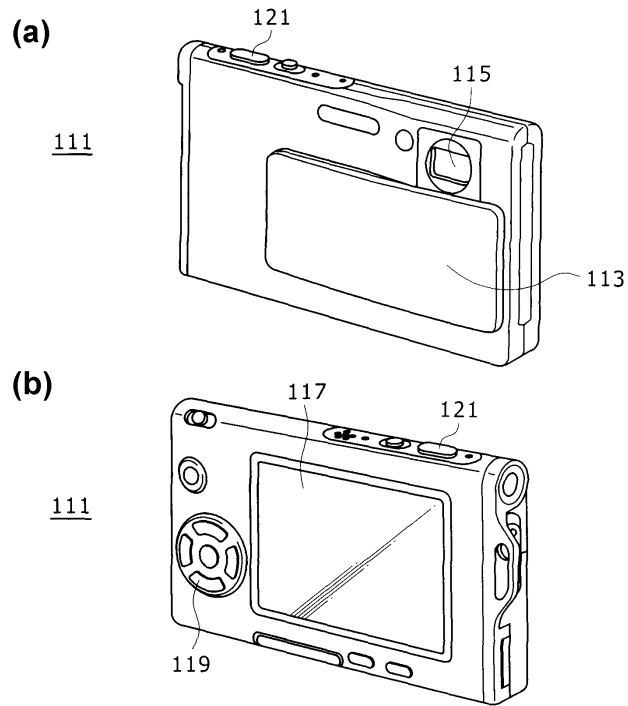
도면44



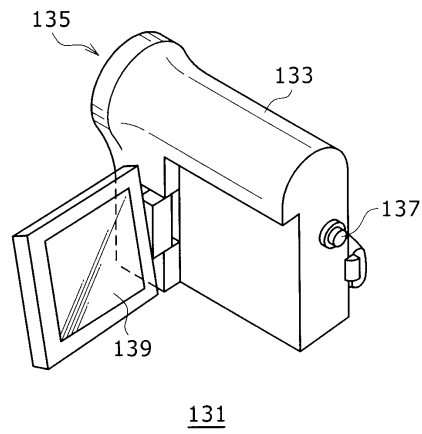
도면45



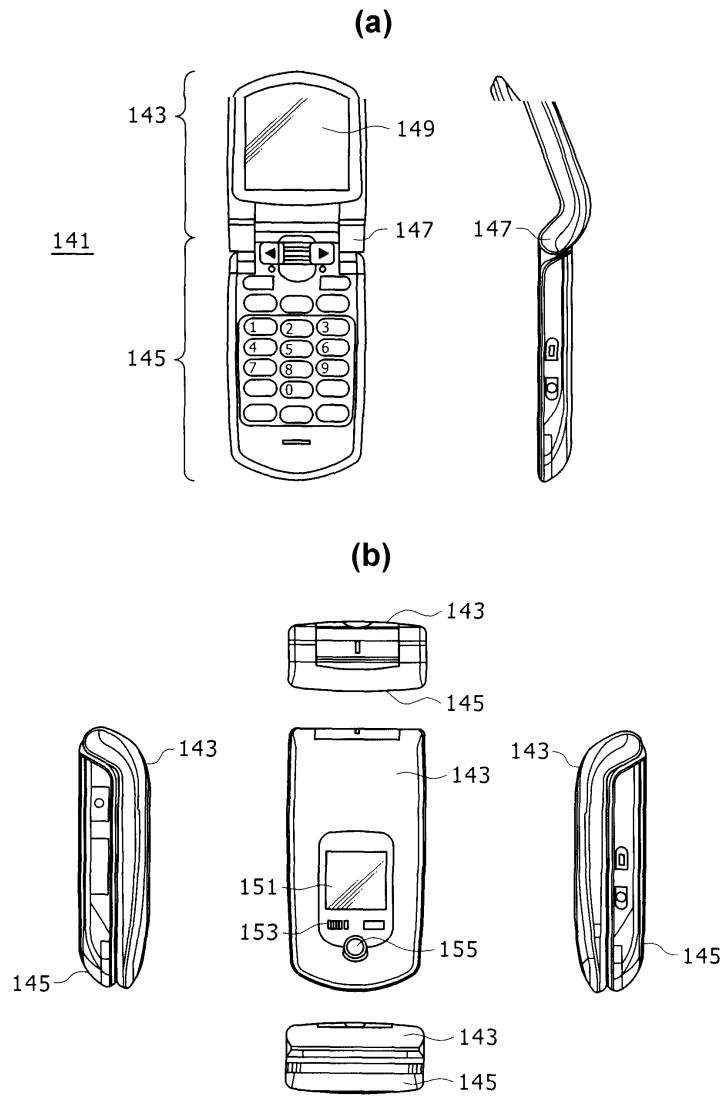
도면46



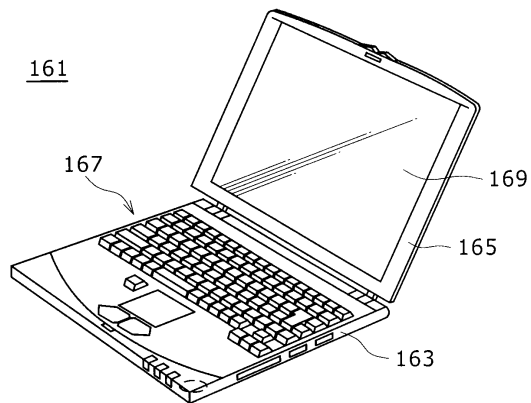
도면47



도면48



도면49



专利名称(译)	EL显示面板，电子设备和面板驱动方法		
公开(公告)号	KR1020090117631A	公开(公告)日	2009-11-12
申请号	KR1020090039636	申请日	2009-05-07
申请(专利权)人(译)	周杰伦红株式会社来		
当前申请(专利权)人(译)	周杰伦红株式会社来		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUHIDE 우치노카쓰히데		
发明人	야마모토테츠로 우치노카쓰히데		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/30 G09G3/20 G09G3/32 G09G3/3233 G09G2300/0426 G09G2300/043 G09G2300/0842 G09G2300/0866 G09G2320/043 G09G2330/02		
代理人(译)	Yihwaik		
优先权	2008121741 2008-05-08 JP		
其他公开文献	KR101557293B1		
外部链接	Espacenet		

摘要(译)

用途：提供EL显示面板，电子设备和用于驱动面板的方法，以通过减少驱动电路的输出端子的数量来降低制造成本。组织：有机EL显示面板（11）具有像素用于有源矩阵驱动方法和像素阵列单元（21）的结构和线结构，写扫描驱动器（23），电源线扫描驱动器（25），水平选择器（27）和定时发生器（29）。相邻的电源线电连接并延伸到水平方向，并用于在每个像素处向有机EL发光器件提供潜水电流。有机EL显示板由两个具有不同尺寸的电位驱动。电源线驱动电路将连接用于形成多个行单元的电源线中的电源电势从一个发光电位降低到熄灭电位。

COPYRIGHT KIPO 2010

