



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0061268
(43) 공개일자 2008년07월02일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2007-0124153

(22) 출원일자 2007년12월03일
심사청구일자 없음

(30) 우선권주장

JP-P-2006-00352560 2006년12월27일 일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

이이다 유키히토

일본국 도쿄도 미나토구 코난 1-7-1 소니 가부시
끼 가이샤 나이

우치노 카쓰히데

일본국 도쿄도 미나토구 코난 1-7-1 소니 가부시
끼 가이샤 나이

(74) 대리인

이화의, 권태복

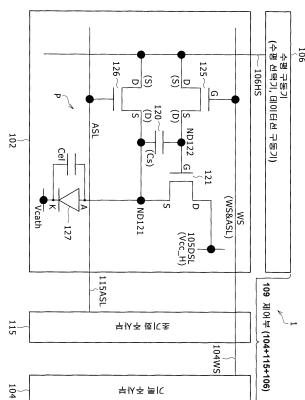
전체 청구항 수 : 총 19 항

(54) 화소 회로, 표시장치, 및 화소 회로의 구동방법

(57) 요 약

화소 회로가 매트릭스 형태로 배치되어 구성되는 화소 어레이부를 포함하는데, 각각의 화소 회로는 구동 트랜지스터, 훌딩 캐패시터, 전기광학소자, 샘플링 트랜지스터, 및 초기화 트랜지스터를 구비하고, 상기 훌딩 캐패시터 내에 유지된 정보에 기초하는 구동 전류가 상기 구동 트랜지스터에 의해 생성되어 상기 전기광학소자의 발광을 위해 상기 전기광학소자에 인가되며; 기록 주사부, 수평 구동부, 및 초기화 주사부를 구비하여 구성되는 제어부를 포함하는 표시장치가 제공된다.

대표도 - 도5



특허청구의 범위

청구항 1

화소 회로가 매트릭스 형태로 배치되어 구성되는 화소 어레이부를 포함하는데, 각각의 화소 회로는,

구동전류를 생성하는 구동 트랜지스터,

상기 구동 트랜지스터의 제어 입력단과 출력단 사이에 접속된 홀딩 캐패시터,

상기 구동 트랜지스터의 출력단에 접속된 전기광학소자,

영상 신호선을 통하여 공급되는 영상 신호의 신호 전위에 대응하는 정보를 상기 홀딩 캐패시터에 기록하고 소정의 초기화 전위에 기초하여 상기 구동 트랜지스터의 제어 입력단의 전위를 초기화시키는 샘플링 트랜지스터, 및

상기 소정의 초기화 전위에 기초하여 상기 구동 트랜지스터의 출력단의 전위를 초기화시키는 초기화 트랜지스터를 구비하고,

상기 홀딩 캐패시터 내에 유지된 정보에 기초하는 구동 전류가 상기 구동 트랜지스터에 의해 생성되어 상기 전기광학소자의 발광을 위해 상기 전기광학소자에 인가되며;

기록 주사부,

수평 구동부, 및

초기화 주사부를 구비하여 구성되는,

제어부를 포함하며,

상기 기록 주사부는 상기 샘플링 트랜지스터를 수평주기로 순차 제어 함으로써 상기 화소 회로의 선 순차 방식 주사를 수행하고, 1열의 각각의 홀딩 캐패시터에 영상 신호의 신호 전위에 대응하는 정보를 기록하고 상기 구동 트랜지스터의 제어 입력단의 전위를 초기화시키기 위한 기록겸 초기화 주사 펄스를 출력하고,

상기 수평 구동부는 상기 기록 주사부에 의한 상기 선 순차 방식의 주사에 부합하여 1열의 영상 신호를 상기 영상 신호선에 공급하며,

상기 초기화 주사부는 상기 기록 주사부에 의한 상기 선 순차 방식의 주사에 부합하여 1열의 각각의 초기화 트랜지스터를 제어하기 위한 초기화 주사 펄스를 출력하는 것을 특징으로 하는 표시장치.

청구항 2

제1항에 있어서,

상기 초기화 트랜지스터의 입력단은 상기 영상 신호선에 접속되고, 상기 초기화 트랜지스터의 출력단은 상기 홀딩 캐패시터와 상기 구동 트랜지스터의 출력단간의 접속 노드에 접속되며, 상기 초기화 트랜지스터의 제어 입력 단에는 상기 초기화 주사부로부터의 초기화 주사 펄스가 공급되는 것을 특징으로 하는 표시장치.

청구항 3

제1항에 있어서,

상기 제어부는 상기 신호 전위에 대응하는 정보가 상기 홀딩 캐패시터에 기록되는 동안의 시점에서 상기 샘플링 트랜지스터를 비도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 제어 입력단에 대한 영상 신호의 공급을 중지시키며, 그 결과 상기 구동 트랜지스터의 제어 입력단의 전위가 상기 구동 트랜지스터의 출력단의 전위 변동에 연동하여 변동되는 동작이 가능해지는 것을 특징으로 하는 표시장치.

청구항 4

제2항에 있어서,

상기 수평 구동부는 영상 신호의 전위를 상기 소정의 초기화 전위와 상기 신호 전위 사이에서 천이시키며, 상기 영상 신호선을 통하여 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터에 상기 영상 신호를 공급하는 것을 특

징으로 하는 표시장치.

청구항 5

제4항에 있어서,

상기 제어부는 상기 구동 트랜지스터의 임계 전압에 해당하는 전압을 상기 훌딩 캐페시터에 유지하기 위한 임계값 보정 동작의 준비 동작을 실행하며, 상기 준비 동작은 상기 샘플링 트랜지스터 및 상기 초기화 트랜지스터에 상기 영상 신호의 초기화 전위가 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터에 공급되는 동안의 시간대에서 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터를 도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 제어 입력단 및 출력단의 전위를 상기 임계값 보정 동작에 앞서서 초기화시키는 것을 특징으로 하는 표시장치.

청구항 6

제4항에 있어서,

상기 제어부는 상기 샘플링 트랜지스터에 상기 영상 신호의 기준전위가 공급되는 동안의 시간대에서 상기 샘플링 트랜지스터를 도통 상태로 유지하고 상기 초기화 트랜지스터를 비도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 임계 전압에 해당하는 전압을 상기 훌딩 캐페시터에 유지하기 위한 임계값 보정 동작의 제어를 수행하는 것을 특징으로 하는 표시장치.

청구항 7

화소 회로가 매트릭스 형태로 배치되어 구성되는 화소 어레이부를 포함하는데, 각각의 화소 회로는,

구동전류를 생성하는 구동 트랜지스터,

상기 구동 트랜지스터의 제어 입력단과 출력단 사이에 접속된 훌딩 캐페시터,

상기 구동 트랜지스터의 출력단에 접속된 전기광학소자,

영상 신호선을 통하여 공급되는 영상 신호의 신호 전위에 대응하는 정보를 상기 훌딩 캐페시터에 기록하는 샘플링 트랜지스터, 및

상기 훌딩 트랜지스터와 상기 구동 트랜지스터의 출력단 사이의 접속 노드에 접속되는 출력단을 가지고 상기 구동 트랜지스터의 출력단의 전위를 초기화시키는 초기화 트랜지스터를 구비하고,

상기 훌딩 캐페시터 내에 유지된 정보에 기초하는 구동 전류가 상기 구동 트랜지스터에 의해 생성되어 상기 전기광학소자의 발광을 위해 상기 전기광학소자에 인가되며;

기록 주사부, 및

수평 구동부를 구비하여 구성되는,

제어부를 포함하며,

상기 기록 주사부는 상기 샘플링 트랜지스터를 수평주기로 순차 제어 함으로써 상기 화소 회로의 선 순차 방식 주사를 수행하고 1열의 각각의 훌딩 캐페시터에 영상 신호의 신호 전위에 대응하는 정보를 기록하고,

상기 수평 구동부는 상기 기록 주사부에 의한 상기 선 순차 방식의 주사에 부합하여 1열의 영상 신호를 상기 영상 신호선에 공급하고,

상기 제어부는 상기 신호 전위가 상기 샘플링 트랜지스터에 공급되는 동안의 시간대에서 상기 초기화 트랜지스터를 비도통 상태로 유지하고 상기 샘플링 트랜지스터를 도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 임계 전압에 해당하는 전압을 상기 훌딩 캐페시터에 유지하기 위한 임계값 보정 동작을 제어하며,

상기 임계값 보정 동작은 소정의 초기화 전위가 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터에 공급되는 동안의 시간대에서 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터를 도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 제어 입력단 및 출력단의 전위가 초기화된 이후에 실행되는 것을 특징으로 하는 표시장치.

청구항 8

제7항에 있어서,

상기 제어부는 1 수평기간의 주기를 가지고 상기 신호 전위의 홀딩 캐패시터로의 기록에 선행하는 복수의 기간에 상기 임계값 보정 동작의 반복된 실행을 제어하는 것을 특징으로 하는 표시장치.

청구항 9

제7항에 있어서,

상기 임계값 보정 동작 이후에, 상기 제어부는 상기 구동 트랜지스터의 이동도에 대한 보정 정보를 상기 홀딩 캐패시터에 기록된 정보에 더하는 것을 특징으로 하는 표시장치.

청구항 10

제9항에 있어서,

상기 임계값 보정 동작 이후에, 상기 제어부는 상기 샘플링 트랜지스터에 상기 신호 전위가 공급되는 동안의 시간대에서 상기 샘플링 트랜지스터를 도통 상태로 유지시킴으로써 상기 홀딩 캐패시터에 상기 신호 전위에 대응하는 정보를 기록할 때 상기 구동 트랜지스터의 이동도에 대한 보정 정보를 상기 홀딩 캐패시터에 기록된 정보에 더하는 것을 특징으로 하는 표시장치.

청구항 11

제10항에 있어서,

상기 제어부는 상기 샘플링 트랜지스터에 상기 신호 전위가 공급되고 있는 시간대 내에 있고 상기 시간대보다 짧은 주기동안 상기 샘플링 트랜지스터를 도통 상태로 유지하기 위한 기록겸 초기화 주사 펄스를 생성하는 것을 특징으로 하는 표시장치.

청구항 12

제11항에 있어서,

상기 제어부는 상기 기록겸 초기화 주사 펄스의 폭 조정이 가능하도록 구성되는 것을 특징으로 하는 표시장치.

청구항 13

제10항에 있어서,

상기 제어부는 상기 신호 전위와 상기 기록겸 초기화 주사 펄스간의 상대적인 위상차 조정이 가능하도록 구성되는 것을 특징으로 하는 표시장치.

청구항 14

제9항에 있어서,

상기 수평 구동부는 상기 신호 전위의 전위 변경 시점에 상기 영상 신호선 전위의 상승 예지에 경사를 제공함으로써 상기 구동 트랜지스터의 이동도를 보정하는 기간이 상기 신호 전위의 레벨에 따르게 하는 것을 특징으로 하는 표시장치.

청구항 15

제7항에 있어서,

상기 제어부는 상기 신호 전위에 대응하는 정보가 상기 홀딩 캐패시터에 기록되는 동안의 시점에서 상기 샘플링 트랜지스터를 비도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 제어 입력단에 대한 영상 신호의 공급을 중지시키며, 그 결과 상기 구동 트랜지스터의 제어 입력단의 전위가 상기 구동 트랜지스터의 출력단의 전위 변동에 연동하여 변동되는 동작이 가능해지는 것을 특징으로 하는 표시장치.

청구항 16

제7항에 있어서,

상기 제어부는 상기 신호 전위가 상기 샘플링 트랜지스터에 공급되는 상태에서 상기 샘플링 트랜지스터를 도통

상태로 변경한 후에 상기 샘플링 트랜지스터를 비도통 상태로 변경함으로써 상기 구동 트랜지스터의 제어 입력단 및 출력단의 전위차가 일정하게 유지되도록 하는 것을 특징으로 하는 표시장치.

청구항 17

제7항에 있어서,

상기 제어부는 상기 홀딩 캐패시터에 유지된 정보에 기초한 구동전류가 상기 전기광학소자로 흐르는 기간에 상기 샘플링 트랜지스터를 비도통 상태로 지속적으로 유지하는 것을 특징으로 하는 표시장치.

청구항 18

구동전류를 생성하도록 구성되는 구동 트랜지스터;

상기 구동 트랜지스터의 제어 입력단과 출력단 사이에 접속되도록 구성된 홀딩 캐패시터;

상기 구동 트랜지스터의 출력단에 접속되도록 구성된 전기광학소자;

영상 신호선을 통하여 공급된 영상 신호의 신호 전위에 대응하는 정보를 상기 홀딩 캐패시터에 기록하고, 소정의 초기화 전위에 기초하여 상기 구동 트랜지스터의 제어 입력단의 전위를 초기화시키도록 구성된 샘플링 트랜지스터; 및

상기 초기화 전위에 기초하여 상기 구동 트랜지스터의 출력단의 전위를 초기화시키도록 구성된 초기화 트랜지스터를 포함하며,

상기 초기화 트랜지스터의 입력단은 상기 영상 신호선에 접속되고, 상기 초기화 트랜지스터의 출력단은 상기 홀딩 캐패시터와 상기 구동 트랜지스터의 출력단 사이의 접속 노드에 접속되며, 상기 초기화 트랜지스터의 제어 입력단에는 초기화 주사 펄스가 공급되는 것을 특징으로 하는 화소 회로.

청구항 19

구동전류를 생성하는 구동 트랜지스터; 상기 구동 트랜지스터의 제어 입력단과 출력단 사이에 접속된 홀딩 캐패시터; 상기 구동 트랜지스터의 출력단에 접속된 전기광학소자; 영상 신호선을 통하여 공급된 영상 신호의 신호 전위에 대응하는 정보를 상기 홀딩 캐패시터에 기록하는 샘플링 트랜지스터; 및 상기 홀딩 캐패시터와 상기 구동 트랜지스터의 출력단 사이의 접속 노드에 접속되는 출력단을 가지고 상기 구동 트랜지스터의 출력단의 전위를 초기화시키는 초기화 트랜지스터를 포함하며, 상기 홀딩 캐패시터에 유지된 정보에 기초한 구동전류가 상기 구동 트랜지스터에 의해 생성되어 상기 전기광학소자의 발광을 위하여 상기 전기광학소자에 인가되는 화소 회로의 구동방법으로서,

소정의 초기화 전위가 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터에 공급되는 동안의 시간대에서 상기 샘플링 트랜지스터와 상기 초기화 트랜지스터를 도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 제어 입력단 및 출력단의 전위를 초기화시킨 이후에,

상기 신호 전위가 상기 샘플링 트랜지스터에 공급되는 동안의 시간대에서 상기 초기화 트랜지스터를 비도통 상태로 유지하고 상기 샘플링 트랜지스터를 도통 상태로 유지시킴으로써 상기 구동 트랜지스터의 임계 전압에 해당하는 전압을 상기 홀딩 캐패시터에 유지하기 위한 임계값 보정 동작의 제어를 실행하는 단계를 포함하는 것을 특징으로 하는 화소 회로의 구동방법.

명세서

발명의 상세한 설명

기술 분야

<1>

본 발명은 전기광학소자(표시 소자와 발광소자로도 칭해짐)를 구비하는 화소 회로(화소로도 칭해짐), 상기 화소 회로가 매트릭스 형태로 배열된 화소 어레이부를 가지는 표시장치, 및 상기 화소 회로의 구동방법에 관한 것이다. 더욱 상세하게, 본 발명은 구동 신호의 크기에 의존하여 휘도가 변화되는 전기광학소자를 표시 소자로서 가지는 화소 회로, 각각의 화소 회로가 능동 소자를 가지고 표시 구동이 화소 대 화소에 원리로 상기 능동 소자에 의해 수행되는 액티브 매트릭스형 표시장치, 및 상기 화소 회로의 구동방법에 관한 것이다.

<2> 본 발명은 2006년12월 27일에 일본국 특허청에 제출된 일본국 출원 JP 2006-352560에 관련된 주제를 포함하며, 그 전체 내용은 본 명세서에 참고문헌으로 편입된다.

배경기술

<3> 화소의 표시 소자로서, 인가되는 전압 또는 흐르는 전류에 의해 휘도가 변화되는 전기광학소자를 사용한 표시장치가 개발되었다. 예를 들면, 인가되는 전압에 의해 휘도가 변화되는 전기광학소자의 대표적인 예는 액정 표시 소자이며, 흐르는 전류에 의해 휘도가 변화되는 전기광학소자의 대표적인 예는 유기 전기발광(이하, 유기 EL이라고 함) 소자(organic light emitting diode(OLED))이다. 유기 EL 소자를 이용한 유기 EL 표시장치는 화소의 표시 소자로서 자체 발광(self-luminous) 전기광학소자를 사용하는 소위 자체 발광형 표시장치이다.

<4> 유기 EL 소자는 유기박막이 거기에 전계가 인가될 때 발광하는 현상을 이용한 전기광학소자이다. 유기 EL 소자는 비교적 낮은 인가 전압(예를 들면, 10 V 이하)으로 구동될 수 있기 때문에 저전력 소비 소자이다. 또한, 유기 EL 소자는 스스로 빛을 방출하는 자체 발광 소자이기 때문에, 액정표시장치에서 요구되는 백라이트와 같은 보조 조명 부재를 필요로 하지 않으며, 따라서 표시장치 중량 및 무게에서의 감소를 용이하게 달성할 수 있다. 더욱이, 유기 EL 소자의 응답 속도는 매우 고속이며(예를 들면, 수 μ s), 그러므로 동영상 표시시의 잔상이 발생하지 않는다. 이런 장점들 때문에, 전기광학소자로서 유기 EL 소자를 사용한 평면 자체 발광형 표시장치의 개발이 최근에 활발히 진행되고 있다.

<5> 액정표시 소자를 포함하는 액정표시장치 및 유기 EL 소자를 포함하는 유기 EL 표시장치에 의해 대표되는 전기광학소자를 포함한 표시장치의 구동방식으로서, 단순 (패시브) 매트릭스 방식 또는 액티브 매트릭스 방식이 사용될 수 있다. 그러나, 단순 매트릭스 방식의 표시장치는 그 구성이 단순하더라도 대형 및 고선명 표시장치의 실현이 어렵다는 등의 문제가 있다.

<6> 이 때문에, 최근, 화소 내부의 발광소자에 공급되는 화소 신호가 상기 화소 내부에 제공되는 절연 게이트형 전계효과트랜지스터(일반적으로, 박막트랜지스터(TFT))와 같은 능동소자를 스위칭 소자로서 사용하여 제어되는 액티브 매트릭스 방식의 표시장치에 대한 개발이 활발히 진행되고 있다.

<7> 상기 액티브 매트릭스 방식의 표시장치에 있어서, 화소 회로내의 전기광학소자를 발광시키기 위하여, 영상 신호선을 통하여 공급되는 입력 화상신호가 스위칭 트랜지스터를 통해 구동 트랜지스터의 게이트(제어 입력 단자)에 제공된 훌딩 캐패시터(화소 용량이라고도 칭함)에 로딩되어, 상기 로딩된 입력 화상신호에 의존한 구동 신호가 전기광학소자에 공급된다.

<8> 전기광학소자로서 액정표시 소자를 사용하는 액정표시장치의 경우에, 액정표시 소자는 전압구동형 소자이고, 그러므로 훌딩 캐패시터에 로딩된 입력 화상신호에 의존하여 전압신호 자체에 의해 구동된다. 이와 대조적으로, 전기광학소자로서 유기 EL 소자와 같은 전류구동형 소자를 사용하는 유기 EL 표시장치에서, 훌딩 캐패시터에 로딩된 입력 화상신호에 의존한 구동 신호(전압신호)는 구동 트랜지스터에 의해 전류신호로 변환되고, 그 구동전류는 유기 EL 소자 등에 공급된다.

<9> 유기 EL 소자에 의해 대표되는 전류구동형의 전기광학소자의 경우에, 구동전류값이 다르면, 발광 휘도도 다르다. 따라서, 안정한 휘도로 발광시키기 위해서, 안정한 구동전류를 전기광학소자에 공급하는 것이 매우 중요하다. 예를 들면, 유기 EL 소자에 구동전류를 공급하는 구동방식은 정전류 구동방식과 정전압 구동방식으로 대별될 수 있다(이런 방식은 주지의 기술이므로, 여기에서 그것의 공지 문현들은 제시하지 않는다).

<10> 유기 EL 소자의 전압-전류 특성은 급경사 특성이다. 그러므로, 정전압 구동의 경우에, 전압과 소자 특성에서의 약간의 편차에도 전류의 큰 편차가 생겨서, 큰 휘도 편차를 초래한다. 결국, 구동 트랜지스터가 포화 영역에 사용되는 정전류구동이 일반적으로 사용될 수 있다. 물론, 전류변동이 정전류구동에서도 휘도 편차를 초래하더라도, 작은 전류 편차는 작은 휘도 편차만을 초래한다.

<11> 반대로, 정전류 구동방식이라도, 전기광학소자의 발광 휘도가 불변하도록 하기 위하여, 입력 화상신호에 의존하여 훌딩 캐패시터에 기록되어 유지되는 구동 신호가 일정한 것이 중요하다. 예를 들면, 유기 EL 소자의 발광 휘도가 불변하도록 하기 위하여, 입력 화상신호에 의존하는 구동전류가 일정한 것이 중요하다.

<12> 그러나, 전기광학소자를 구동하는 능동소자(구동 트랜지스터)의 임계 전압과 이동도에서의 변동이 능동소자에 대한 프로세스 변동에 의해 초래된다. 더욱이, 유기 EL 소자와 같은 전기광학소자의 특성이 수시로 변동한다. 이러한 구동용 능동소자의 특성 편차와 전기광학소자의 특성변동이 있으면, 정전류 구동방식이라도, 발광 휘도

에 영향을 받는다.

<13> 이런 문제를 다루고 표시장치의 화면 전체에 걸쳐서 균일한 빌광 휘도를 달성하기 위해서, 각 화소 회로 내에서 전술한 구동용 능동소자와 전기광학소자의 특성변동에 기인하는 휘도변동을 보정하기 위한 구성이 여러가지로 검토되고 있다.

<14> 예를 들면, 일본국 공개특허공보 제2006-215213호(특허문현 1)에서, 다음과 같은 기능: 유기 EL 소자용 화소 회로로서, 구동 트랜지스터의 임계 전압이 편차를 수반하고 시간에 따른 변화가 있었던 경우에도 구동전류를 일정하게 유지하기 위한 임계값 보정기능; 구동 트랜지스터의 이동도가 편차를 수반하고 시간에 따른 변화가 있었던 경우에도 구동전류를 일정하게 유지하기 위한 이동도 보정기능; 및 유기 EL 소자의 전류-전압 특성이 시간에 따른 변화를 수반하는 경우에도 구동전류를 일정하게 유지하기 위한 부트스트랩(bootstrap) 기능이 제안되어 있다.

발명의 내용

해결 하고자하는 과제

<15> 그러나, 특허문현 1에 기재된 구성은 부가적인 구성요소로서 보정을 위한 전위를 공급하는 배선, 보정을 위한 2개의 스위칭 트랜지스터, 및 이런 스위칭 트랜지스터를 구동하기 위한 2종류의 스위칭 펄스를 요구한다. 결과적으로, 이런 구성은 구동 트랜지스터 및 샘플링 트랜지스터를 포함하는, 5개의 트랜지스터를 사용하는 5TR-구동 구성을 가지며, 따라서 화소 회로의 구성이 복잡해진다. 화소 회로의 구성요소의 수가 많아지기 때문에, 표시장치의 고선명화가 불가능해진다. 그 결과, 5TR-구동 구성에서는, 휴대 기기(모바일 기기)와 같은 소형 전자기기에 사용될 수 있는 표시장치에 적용하기가 곤란해진다.

<16> 그러므로, 간소화된 화소 회로를 꾀하면서, 소자의 특성 편차에 의한 휘도변화를 억제하는 방식의 개발 필요성이 있다. 이런 개발은 5TR-구동 구성에서 수반되지 않고 간소화에 수반하는 새로운 문제가 발생하지 않도록 이루어져야 한다.

<17> 본 발명의 일반적 목적은 화소 회로의 간소화에 의해 표시장치의 선명도 향상을 가능하게 하는 구성을 제공하는 것이다.

<18> 또한, 특히 바람직하게, 본 발명의 목적은 간소화된 화소 회로로 소자의 특성 편차에 의한 휘도변화를 억제할 수 있는 구성을 제공하는 것이다. 그 중에도, 화소 회로를 구동하는 동작에 의해 화질에 주는 영향을 완화할 수 있는 구성(특히, 휘도편차를 억제한다)을 제공하는 것이다.

과제 해결수단

<19> 본 발명의 일실시예에 따르면, 화소 회로내의 전기광학소자가 영상 신호에 기초하여 빌광하도록 하는 표시장치가 제공된다. 상기 표시장치에서, 화소 어레이부에 매트릭스 형태로 배치되는 각각의 화소 회로는 적어도 구동 전류를 생성하는 구동 트랜지스터, 구동 트랜지스터의 제어 입력단(전형적으로, 게이트)과 출력단(전형적으로, 소스) 사이에 접속된 홀딩 캐패시터, 구동 트랜지스터의 출력단에 접속된 전기광학소자, 및 홀딩 캐패시터에 영상 신호의 신호 전위에 대응하는 정보를 기록하는 샘플링 트랜지스터를 구비한다. 상기 화소 회로에서, 홀딩 캐패시터에 유지된 정보에 기초한 구동전류가 구동 트랜지스터에 의해 생성되고 전기광학소자를 빌광시키기 위하여 전기광학소자에 인가된다.

<20> 샘플링 트랜지스터가 신호 전위에 대응하는 정보를 홀딩 캐패시터에 기록하기 때문에, 샘플링 트랜지스터는 그 입력단(소스와 드레인 중 하나)에 신호 전위를 캡쳐하고, 그 출력단(소스와 드레인 중 다른 하나)에 접속된 홀딩 캐패시터에 신호 전위에 대응하는 정보를 기록한다. 물론, 샘플링 트랜지스터의 출력단은 구동 트랜지스터의 제어 입력단에도 접속된다.

<21> 전술된 화소 회로의 접속 구성은 가장 기본적인 구성이다. 화소 회로가 적어도 전술한 각 구성요소를 포함하는 한, 다른 구성요소가 또한 화소 회로 내에 포함될 수 있다. 더욱이, 상기 표현 "접속"은 직접적 접속 뿐만 아니라, 다른 구성요소를 매개로 하는 간접적 접속도 포함한다.

<22> 예를 들면, 접속부에 대하여, 스위칭 트랜지스터 또는 어떤 기능을 가진 기능부의 개재와 같은 변경이 필요에 따라 종종 부가될 수 있다. 전형적으로, 표시 기간(다시 말해서, 비빌광 기간)을 동적으로 제어하기 위하여, 스위칭 트랜지스터가 구동 트랜지스터의 출력단과 전기광학소자 사이에, 또는 구동 트랜지스터의 전원공급단(전형

적으로, 드레인)과 전원공급을 위한 배선인 전원선 사이에 종종 배치된다.

<23> 본 섹션(발명의 구성)에서 설명하는 구성과 작용을 실현할 수 있는 한, 변형된 형태를 가지는 화소 회로가 본 발명의 일실시예에 따른 표시장치를 실현하기 위한 화소 회로에 의해 포함될 수 있다.

<24> 부가적으로, 화소 회로를 구동하기 위한 주변부로서, 예를 들면 샘플링 트랜지스터를 수평주기로 순차 제어하여 화소 회로의 선 순차(line-sequential) 방식의 주사를 수행하고 1열의 각각의 홀딩 캐패시터에 영상 신호의 신호 전위에 대응하는 정보를 기록하는 기록 주사부를 포함하는 제어부가 제공된다.

<25> 바람직하게, 제어부는 기록 주사부에 의한 선 순차 방식의 주사에 부합하여 각각의 수평주기 내에서 적어도 기준 전위와 신호 전위로 전환되는 영상 신호의 전위가 샘플링 트랜지스터에 공급되도록 제어하는 수평 구동부를 더 포함한다.

<26> 바람직하게, 제어부는 영상 신호의 기준 전위가 샘플링 트랜지스터에 공급되는 동안의 시간대에서 샘플링 트랜지스터를 도통 상태로 유지시킴으로써 구동 트랜지스터의 임계 전압에 대응하는 전압을 홀딩 캐패시터에 유지하기 위한 임계값 보정 동작을 제어한다.

<27> 이런 임계값 보정 동작은 필요에 따라 1수평기간의 주기를 가지고 신호 전위의 홀딩 캐패시터로의 기록에 선행하는 복수의 기간에 반복적으로 수행될 수 있다. 상기 표현 "필요에 따라"는 구동 트랜지스터의 임계 전압에 해당하는 전압이 1수평기간 내의 임계값 보정 기간에서 충분하게 홀딩 캐패시터에 유지될 수 없는 경우가 있다는 것을 의미한다. 임계값 보정 동작을 여러번 실행함으로써, 구동 트랜지스터의 임계 전압에 해당하는 전압이 확실하게 홀딩 캐패시터에 유지된다.

<28> 더 바람직하게, 임계값 보정 동작 이전에, 제어부는 제2 전위에 대응하는 전압이 구동 트랜지스터의 전원공급단에 공급되고 기준전위가 샘플링 트랜지스터의 입력단(소스와 드레인 중 하나)에 공급되는 동안의 시간대에서 샘플링 트랜지스터를 도통 상태로 유지시킴으로써 구동 트랜지스터의 제어 입력단을 기준전위에 설정하고 그것의 출력단을 제2 전위에 설정하는 임계값 보정 준비 동작(방전 동작과 초기화 동작)을 실행하기 위한 제어를 수행한다. 즉, 임계값 보정 동작에 앞서, 구동 트랜지스터의 제어 입력단과 출력단의 전위는, 양단의 전위차가 임계 전압 이상이 되도록 초기화된다.

<29> 더 바람직하게, 임계값 보정 동작 이후에, 제1 전위에 대응하는 전압이 구동 트랜지스터에 공급되고 신호 전위가 샘플링 트랜지스터에 공급되는 동안의 시간대에서 샘플링 트랜지스터를 도통 상태로 유지시킴으로써 홀딩 캐패시터에 신호 전위의 정보를 기록할 때, 제어부는 구동 트랜지스터의 이동도의 보정을 위한 전압이 홀딩 캐패시터에 기록되는 신호에 더해지도록 제어한다.

<30> 이런 동작중, 샘플링 트랜지스터는 신호 전위가 샘플링 트랜지스터에 공급되는 동안의 시간대 내에 있고 그 시간대보다 짧은 기간 동안 도통 상태로 유지된다.

<31> 더 바람직하게는, 제어부는 신호 전위에 대응하는 정보가 홀딩 캐패시터에 기록된 시점에 샘플링 트랜지스터를 비도통 상태로 하여 구동 트랜지스터의 제어 입력단에 대한 영상 신호의 공급을 정지시켜, 구동 트랜지스터의 제어 입력단의 전위가 구동 트랜지스터의 출력단의 전위 변동에 연동하여 변동되는 부트스트랩 동작을 가능하게 한다.

<32> 바람직하게, 제어부는 샘플링 동작의 종료후, 특히 발광 시작의 초기에도 부트스트랩 동작을 실행한다. 구체적으로, 제어부는 신호 전위가 샘플링 트랜지스터에 공급되는 상태에서 샘플링 트랜지스터를 도통 상태로 한 후에 샘플링 트랜지스터를 비도통 상태로 함으로써, 구동 트랜지스터의 제어 입력단과 출력단의 전위차가 일정하게 유지되도록 한다.

<33> 또한, 바람직하게, 제어부는 발광 기간에 있어서 시간 경과에 따른 전기광학소자의 변동을 보정하기 위한 동작을 구현하기 위하여 부트스트랩 동작을 제어한다. 이런 목적을 위하여, 제어부는 홀딩 캐패시터에 유지된 정보에 기초하는 구동전류가 전기광학소자를 통해 흐르는 동안의 기간에 지속적으로 샘플링 트랜지스터를 비도통 상태로 유지시켜서 제어 입력단과 출력단의 전압을 일정하게 유지하도록 하며, 따라서 시간 경과에 따른 전기광학소자의 변동 보정을 위한 동작이 실현될 수 있게 된다.

<34> 본 발명의 일실시예에 따른 화소 회로 및 표시장치의 특징으로서, 전술한 구성을 가지는 화소 회로에 기초하여, 소정의 초기화 전위에 기초하여 구동 트랜지스터의 출력단의 전위를 초기화시키는 초기화 트랜지스터가 추가로 제공된다. 이런 초기화 트랜지스터를 제어하기 위해서, 제어부는 기록 주사부에 의한 선 순차 방식의 주사에 부합하여 1열의 각각의 초기화 트랜지스터를 제어하기 위한 초기화 주사 펄스를 출력하는 초기화 주사부를 더 포함한다.

함한다.

<35> 더욱이, 샘플링 트랜지스터는 홀딩 캐패시터에 신호 전위에 대응하는 정보를 기록하는 트랜지스터 뿐만 아니라 초기화 전위에 기초하여 구동 트랜지스터의 제어 입력단의 전위를 초기화시키는 초기화 트랜지스터로서도 사용된다. 샘플링 트랜지스터가 초기화 트랜지스터로서 기능하기 위해서, 기록 주사부는 기록 구동 펄스의 온/오프-타이밍을 조정한다.

<36> 또한, 바람직하게, 수평 구동부는 기준전위 및 신호 전위 이외에 초기화 동작을 위한 초기화 전위를 설정한다 (예를 들면, 기준전위 이전의 전위로서). 수평 구동부는 기록 주사부에 의한 선 순차 방식의 주사에 부합하여 각각의 수평기간 내에서 초기화 전위와 신호 전위(바람직하게, 영상 신호선에 대한 프리차징 및 임계값 보정을 위한 기준전위도 포함) 사이에서 순차적으로 전환되는 영상 신호의 전위가 샘플링 트랜지스터 및 초기화 트랜지스터에 공급되도록 제어한다. 이런 특징의 목적은 영상 신호선이 초기화 전위를 샘플링 트랜지스터와 초기화 트랜지스터에 공급하기 위한 배선으로 기능하도록 하여 배선수의 증가를 방지하는 것이다.

<37> 이런 특징은 전술한 구성을 가지는 화소 회로용 샘플링 트랜지스터의 결선에 대한 구성을 변경할 필요가 없도록 한다. 초기화 트랜지스터의 입력단(드레인과 소스 중 어느 하나)은 영상 신호선에 접속되고, 출력단(드레인과 소스 중 다른 하나)은 홀딩 캐패시터와 구동 트랜지스터의 출력단 사이의 접속 노드에 접속된다. 초기화 트랜지스터의 제어 입력단(게이트)에는 초기화 주사부로부터의 초기화 주사 펄스가 공급된다.

<38> 제어부는 구동 트랜지스터의 임계 전압에 대응하는 전압을 홀딩 캐패시터에 유지하기 위한 임계값 보정 동작에 앞서, 초기화 전위가 샘플링 트랜지스터 및 초기화 트랜지스터에 공급되는 동안의 시간대에서 샘플링 트랜지스터 및 초기화 트랜지스터를 도통 상태로 유지시킴으로써 구동 트랜지스터의 제어 입력단 및 출력단의 전위를 초기화시키는 동작(임계값 보정 동작을 위한 준비 동작이라고 칭함)의 실행을 제어한다.

효과

<39> 본 발명의 일실시예에 따르면, 초기화 전위에 기초하여 구동 트랜지스터의 출력단의 전위를 초기화시키는 초기화 트랜지스터가 추가로 제공된다. 또한, 샘플링 트랜지스터는 신호 기록을 위한 트랜지스터 뿐만 아니라 초기화 전위에 기초하여 구동 트랜지스터의 제어 입력단의 전위를 초기화시키는 초기화 트랜지스터로서도 사용된다.

<40> 이런 특징에 따라, 유기 EL 소자와 같은 전류 구동형 전기광학소자가 화소 회로에 사용되는 액티브 매트릭스형 표시장치를 위한 구동 트랜지스터의 이동도를 보정하는 기능을 제공하기 위하여, 트랜지스터와 배선의 증가를 초기화 트랜지스터에 관련하여 최소한으로 억제하면서, 임계값 보정을 위한 준비 동작으로서 초기화 동작이 실행될 수 있다.

<41> 구동 트랜지스터 및 샘플링 트랜지스터를 포함하는 화소 회로에 대한 최소한의 변경을 통해, 임계 전압에서의 편차의 영향을 받지 않고, 양호한 화질의 표시장치가 구현될 수 있다. 화소 회로가 구동 트랜지스터의 이동도를 보정하는 기능 및 시간 경과에 따른 전기광학소자의 변동을 보정하는 기능(부트스트랩 기능)을 구비하는 것이 더욱 바람직하다. 이런 특징은 한층 더 고품위의 화질을 제공할 수 있다.

<42> 이것은 발광 휘도가 임계값 보정 기능에 의해 구동 트랜지스터의 임계값 변동을 보정하고 이동도 보정 기능에 의해 구동 트랜지스터의 이동도 변동을 보정함으로써 구동 트랜지스터의 임계값과 이동도에서의 변동과 편차의 영향을 받지 않고 일정하게 유지될 수 있기 때문이다. 더욱이, 이것은 전기광학소자의 전류-전압특성이 경과 시간에 따라 변동하더라도 구동 트랜지스터의 제어 입력단과 출력단의 전위차가 발광시에 홀딩 캐패시터의 부트스트랩 동작에 의해 일정하게 유지되므로 항상 일정한 발광 휘도가 유지될 수 있기 때문이다.

<43> 임계값 보정 기능 및 상기 임계값 보정에 선행하는 임계값 보정 준비 기능(초기화 기능)을 실현하기 위하여, 초기화 트랜지스터의 추가, 상기 초기화 트랜지스터의 제어, 및 초기화 트랜지스터로서 샘플링 트랜지스터의 사용도 유효하게 기능한다.

<44> 구체적으로, 임계값 보정 기능을 제공하기 위해, 초기화 트랜지스터가 추가되고 샘플링 트랜지스터와 초기화 트랜지스터가 초기화 전위의 공급과 연동하여 제어되면, 임계값 보정(임계값 보정의 준비를 위한 초기화도 포함한다)을 위한 스위칭 트랜지스터 및 상기 트랜지스터의 제어 입력단을 제어하는 주사선의 증가가 최소한으로 억제될 수 있다. 따라서, 특허문헌 1에 기재된 5TR-구동 구성과 비교하여, 화소 회로가 간소화될 수 있다.

<45> 특히, 영상 신호선이 초기화 전위를 샘플링 트랜지스터와 초기화 트랜지스터에 공급하는 배선으로도 사용되고, 초기화 전위와 신호 전위 사이에서 순차적으로 전환되는 영상 신호 전위가 샘플링 트랜지스터 및 초기화 트랜지

스터에 공급되게 제어가 수행되면, 초기화 전위를 위한 전용 배선이 준비될 필요가 없게 되고, 그러므로 화소 회로 간소화의 효과가 증진된다.

<46> 즉, 2TR-구동 구성에 기초하여 본 발명에 특유의 변형을 가하는 것만으로도 충분하다. 그러므로, 화소 회로의 구성요소 및 배선의 갯수가 5TR-구동 구성과 비교하여 감소될 수 있다. 이것은 화소 어레이부의 면적을 축소할 수 있게 하고, 표시장치의 고선명화를 달성하기 쉽게 한다. 간소화된 화소 회로로, 소자의 특성 변동에 의한 휘도 변화의 보정 기능이 실현될 수 있다.

발명의 실시를 위한 구체적인 내용

<47> 이하, 도면을 참조해서 본 발명의 실시예에 대해서 상세하게 설명한다.

<48> <표시장치의 전체개요>

<49> 도 1은 본 발명의 일실시예에 따른 액티브 매트릭스형 표시장치의 구성을 개략적으로 나타내는 블럭도이다. 이하의 설명은 본 실시예가 폴리실리콘 박막트랜지스터(TFT)가 능동소자로서 형성되는 반도체 기판 상에 화소의 표시 소자(전기광학소자, 발광소자)로서 유기 EL 소자를 형성함으로써 얻어지는 액티브 매트릭스형 유기 EL 표시장치(이하, "유기 EL 표시장치"라고 칭함)에 적용되는 예에 대하여 다를 것이다.

<50> 하기의 구체적인 설명에서의 화소의 표시 소자로서 사용되는 유기 EL 소자는 일례이며, 표시 소자는 유기 EL 소자에 한정되지 않는다. 이후에 설명될 모든 실시예는 전류에 기초하여 구동됨으로써 발광하는 모든 일반적인 표시 소자에 유사하게 적용될 수 있다.

<51> 도 1을 참조하면, 유기 EL 표시장치(1)는 표시 패널부(100), 상기 표시 패널부(100)의 구동과 제어를 위한 여러 종류의 펄스 신호를 생성하는 패널 제어부의 일례로서 구동 신호 생성부(200), 및 영상 신호 처리부(300)를 포함한다. 상기 표시 패널부(100)에서, 복수의 표시 소자로서 유기 EL 소자(도시 생략)를 가지는 화소 회로(화소로도 칭함)(P)가 표시 종횡비로서 X:Y의 수평:수직 비(예를 들면, 9:16)를 가지는 유효 영상 영역을 구성하도록 배치된다. 상기 구동 신호 생성부(200)와 영상 신호 처리부(300)는 1침의 반도체 집적회로(IC)에 내장되어 있다.

<52> 유기 EL 표시장치(1)의 제품형태는 도면에 나타낸 바와 같이 표시 패널부(100), 구동 신호 생성부(200), 및 영상 신호 처리부(300)를 모두 포함하는 모듈(복합 부품) 형태에 한정되지 않는다. 예를 들면, 유기 EL 표시장치(1)로서 표시 패널부(100)만 제공하는 것도 가능하다. 이러한 유기 EL 표시장치(1)는 반도체메모리, 미니 디스크(MD: mini disk), 또는 카세트 테이프와 같은 기록 매체를 이용한 휴대형 음악 플레이어, 및 그 밖의 전자기기의 표시부에 이용된다.

<53> 표시 패널부(100)를 위하여, 기판(101) 위에는 화소 회로(P)가 n 행 \times m 열의 매트릭스 모양으로 배열된 화소 어레이부(102), 화소 회로(P)를 수직방향으로 주사하는 수직 구동부(103), 화소 회로(P)를 수평방향으로 주사하는 수평 구동부(수평 선택기 또는 데이터선 구동부로도 칭함)(106), 및 외부 접속용 단자부(패드부)(108)가 집적 형성되어 있다. 즉, 수직 구동부(103)와 수평 구동부(106)와 같은 주변 구동회로가 화소 어레이부(102)와 같이 동일한 기판(101) 위에 형성된다.

<54> 수직 구동부(103)와 수평 구동부(106)는 신호 전위의 훌딩 캐페시터에 대한 기록, 임계값 보정 동작, 이동도 보정 동작, 및 부트스트랩 동작을 제어하는 제어부(109)를 구성한다.

<55> 수직 구동부(103)는 예를 들어 기록 주사부(WSCN: write scan)(104) 및 후술하는 임계값 보정 동작을 위한 준비 동작(초기화 동작(오토-제로(auto-zero) 동작이라고도 칭함))의 행-주사(row-scanning)를 수행하는 초기화 주사부(ASCN: auto zero scan)(115)를 포함한다.

<56> 일례로서, 화소 어레이부(102)는 도면에서 좌우측 방향의 일방 또는 양측에서 기록 주사부(104) 및 초기화 주사부(115)에 의해 구동되며, 도면에서 상단 및 하단 방향의 일방 또는 양측에서 수평 구동부(106)에 의해 구동된다.

<57> 단자부(108)에는 유기 EL 표시장치(1)의 외부에 배치된 구동 신호 생성부(200)로부터의 여러가지 펄스 신호가 공급된다. 또한, 영상 신호(Vsig)가 영상 신호 처리부(300)로부터 공급된다.

<58> 예를 들면, 수직 구동을 위한 펄스 신호로서, 수직 기록 시작 펄스의 일례인 시프트 시작 펄스(shift start pulse)(SPDS와 SPWS), 및 수직 주사 클록(CKDS과 CKWS) 등 필요한 펄스 신호가 공급된다. 또한, 수평 구동을 위한 펄스 신호로서, 수평 기록 시작 펄스의 일례인 수평 시작 펄스(SPH), 및 수평 주사 클록(CKH) 등 필요한 펄

스 신호가 공급된다.

<59> 단자부(108)의 개별 단자는 배선(109)을 통하여 수직 구동부(103)와 수평 구동부(106)에 접속된다. 예를 들면, 단자부(108)에 공급되는 개별 펄스는 필요에 따라 레벨 시프터(도시 생략)에 의해 내부적인 전압 레벨이 조정되고, 그후에 버퍼를 통하여 수직 구동부(103)와 수평 구동부(106)의 개별 유니트에 공급된다.

<60> 화소 어레이부(102)에 있어서, 도면에 도시되지 않더라도(상세한 것은 후술한다), 화소 트랜지스터가 표시 소자로서의 유기 EL 소자를 위해 제공되는 화소 회로(P)가 행렬 상에 2차원적으로 배치된다. 이런 화소 배열에 대하여, 주사선은 행 단위로 제공되고 신호선은 열 단위로 제공된다.

<61> 예를 들면, 화소 어레이부(102)에 대하여, 주사선(게이트 선)(104WS)과 영상 신호선(데이터 선)(106HS)이 형성된다. 양선의 교차부에는 유기 EL 소자와 이것을 구동하는 박막트랜지스터(TFT)(둘다 도시 생략)가 형성된다. 화소 회로(P)는 유기 EL 소자와 박막트랜지스터의 조합에 기초하여 형성된다.

<62> 구체적으로, 매트릭스 모양으로 배열된 개별 화소 회로(P)에 대하여, 기록 주사부(104)에 의해 기록 구동 펄스(WS)에 기초하여 구동되는 n 행의 기록 주사선(104WS_1 내지 104WS_n), 및 초기화 주사부(115)에 의해 초기화 주사 펄스(ASL)에 기초하여 구동되는 n 행의 초기화 주사선(115ASL_1 내지 115ASL_n)이 각각의 화소 행에 대하여 제공된다.

<63> 기록 주사부(104) 및 초기화 주사부(115)는 구동 신호 생성부(200)로부터 공급되는 수직 구동 펄스 신호에 기초하여 기록 주사선(104WS) 및 초기화 주사선(115ASL)을 통하여 각 화소 회로(P)를 순차적으로 선택한다. 선택된 화소 회로(P)에 대하여, 수평 구동부(106)는 구동 신호 생성부(200)로부터 공급되는 수평 구동 펄스 신호에 기초하여 영상 신호선(106HS)을 통하여 영상 신호(Vsig)의 소정 전위가 샘플링되어 훌딩 캐페시터에 기록되도록 한다.

<64> 본 실시예의 유기 EL 표시장치(1)에 있어서, 선 순차 방식의 구동만이 가능하다. 구체적으로, 수직 구동부(103)의 기록 주사부(104) 및 초기화 주사부(115)는 선 순차 방식(예를 들면, 행 단위로)으로 화소 어레이부(102)를 주사한다. 이런 주사에 동기하여, 수평 구동부(106)는 1수평 라인의 화상 신호를 화소 어레이부(102)에 동시에 기록한다.

<65> 예를 들면, 수평 구동부(106)는 선 순차 방식의 구동에 부합하기 위해서, 모든 열의 영상 신호선(106HS) 상에 제공된 스위치(도시 생략)를 동시에 온 시키는 드라이버 회로를 구비하는 수평 구동부(106)가 제공된다. 그러므로, 수평 구동부(106)는 영상 신호 처리부(300)로부터 입력되는 화소신호가 수직 구동부(103)에 의해 선택되는 1행의 모든 화소 회로(P)에 동시에 기록될 수 있도록 모든 열의 영상 신호선(106HS)에 제공된 스위치를 동시에 온 시킨다.

<66> 선 순차 방식의 구동에 부합하기 위해서, 수직 구동부(103)의 개별 유니트는 논리 게이트의 조합(latch)도 포함한다)에 기초하여 형성되며, 화소 어레이부(102)의 화소 회로(P)를 행 단위로 선택한다. 도 1이 수직 구동부(103)가 화소 어레이부(102)의 일방에만 배치되는 구성은 도시하고 있더라도, 화소 어레이부(102)의 좌우 양측에 수직 구동부(103)를 배치하는 것도 가능하다.

<67> 유사하게, 도 1이 수평 구동부(106)가 화소 어레이부(102)의 일방에만 배치되는 구성은 도시하고 있더라도, 화소 어레이부(102)의 상하단 양측에 수평 구동부(106)를 배치하는 것도 가능하다.

<68> <화소 회로>

<69> 도 2는 본 실시예의 화소 회로(P)에 대한 비교예를 도시한 도면이다. 또한, 도 2는 표시 패널부(100)의 기판(101) 상에 화소 회로(P)의 주변부로 설정되는 수직 구동부(103)과 수평 구동부(106)를 도시하고 있다. 도 3은 도 2에 나타낸 비교예의 화소 회로(P)의 동작을 설명하는 타이밍 차트이다. 도 4는 유기 EL 소자(127)와 구동 트랜지스터(121)의 특성 편차에 기인한 구동전류(Ids)에 주는 영향을 설명하는 도면이다. 도 4d와 도 4h는 그 영향을 캔슬하기 위한 구성의 개념을 설명하는 도면이다.

<70> 도 5는 본 실시예의 화소 회로(P) 및 유기 EL 표시장치(1)를 도시한 도면이다. 또한, 도 5는 표시 패널부(100)의 기판(101) 상에 화소 회로(P)의 주변에 제공되는 수직 구동부(103)와 수평 구동부(106)를 도시한다.

<71> 본 실시예의 화소 회로(P)의 특징은 구동 트랜지스터가 기본적으로 n채널 박막 전계효과 트랜지스터로 형성된다는 것이다. 또한, 다른 특징으로서, 화소 회로(P)는 유기 EL 소자의 시간 경과 열화에 의한 유기 EL 소자에 대한 구동전류(Ids)의 변동을 억제하기 위한 회로, 예를 들어 전기광학소자의 일례로서 유기 EL 소자의 전류-전압

특성의 변화를 보정하여 구동전류(Ids)를 일정하게 유지하는 구동 신호 일정화 회로를 구비한다. 부가적으로, 화소 회로(P)는 특징적으로 유기 EL 소자의 전류-전압 특성이 시간에 따라 변화되더라도 구동전류를 일정하게 유지하는 기능을 가진다.

<72> 구동 트랜지스터가 p채널 트랜지스터 대신에 n채널 트랜지스터를 사용하여 형성될 수 있다면, 현존하는 비정질 실리콘(a-Si) 프로세스가 트랜지스터 제조를 위해 사용될 수 있다. 이것은 트랜지스터 기판의 저비용화가 가능하도록 하고, 이러한 구성의 화소 회로(P)의 개발이 기대된다.

<73> 구동 트랜지스터에 의해 대표되는 개별 트랜지스터로서는 MOS 트랜지스터가 사용된다. 이 경우에, 구동 트랜지스터의 게이트는 제어 입력단으로서 취급된다. 구동 트랜지스터의 소스와 드레인 중 어느 하나(본 실시예에서, 소스)는 출력단으로서 취급되며, 다른 하나(본 실시예에서, 드레인)는 전원공급단으로서 취급된다.

<74> <비교예의 화소 회로>

<75> 우선, 본 실시예의 화소 회로(P)의 특징과 비교하기 위하여, 도 2에 도시된 비교예의 화소 회로(P)가 아래에서 설명될 것이다. 비교예의 화소 회로(P)를 화소 어레이부(102)에 구비하는 유기 EL 표시장치(1)가 비교예의 유기 EL 표시장치(1)라고 칭해질 것이다.

<76> 비교예의 화소 회로(P)는 구동 트랜지스터가 기본적으로 n채널 박막 전계효과 트랜지스터로 형성되는 점에서 본 실시예와 동일하다. 그러나, 본 실시예의 화소 회로(P)는 유기 EL 소자(127)의 시간 경과 열화에 기인하여 구동 전류(Ids)에 주는 영향을 방지하기 위한 구동 신호 일정화 회로가 제공되지 않는다.

<77> 구체적으로, 화소 회로(P)는 n채널 구동 트랜지스터(121), n채널 샘플링 트랜지스터(125), 및 전류 흐름에 응답하여 발광하는 전기광학소자의 일례로서 유기 EL 소자(127)를 포함한다. 유기 EL 소자(127)는 일반적으로 정류 기능을 가지기 때문에, 다이오드의 기호로 표시된다. 유기 EL 소자(127)는 기생 캐패시터(Cel)를 포함한다. 도 2에서, 이런 기생 캐패시터(Cel)는 유기 EL 소자(127)와 병렬로 배치된다.

<78> 구동 트랜지스터(121)의 드레인(D)은 제1 전원 전위를 공급하는 전원 공급선(DSL)에 접속되며, 그것의 소스(출력단)(S)는 유기 EL 소자(127)의 애노드(A)에 접속된다. 유기 EL 소자(127)의 캐소드(K)는 기준전위를 공급하고 전체 화소에 공통인 접지 배선(Vcath)(GND)에 접속된다.

<79> 샘플링 트랜지스터(125)의 소스(S)는 영상 신호선(HS)에 접속되며, 그것의 드레인(D)은 구동 트랜지스터(121)의 게이트(제어 입력단)(G)에 접속된다. 이 접속 노드와 제2 전원 전위를 공급하는 기준선 사이에는 훌딩 캐패시터(120)가 제공된다. 이런 구성에서, 제2 전원 전위를 공급하는 기준선은 도면에 도시된 바와 같이 유기 EL 소자(127)에 대해 기준전위를 공급하는 접지 배선(Vcath)과 동일하다. 그 대신에, 이런 기준선이 별도의 전위를 공급할 수 있다.

<80> 도면에 도시하고 있지 않지만, 발광 기간을 제어하는 발광 제어 트랜지스터의 추가로 비롯되는 3TR 구성의 경우에, 예를들면 구동 트랜지스터(121)의 소스는 발광 제어 트랜지스터의 드레인(D)에 접속되며, 발광 제어 트랜지스터의 소스(S)는 유기 EL 소자(127)의 애노드에 접속된다.

<81> 이러한 화소 회로(P)에서, 발광 제어 트랜지스터가 제공될 것인가 아닌가는 관계되지 않고, 구동 트랜지스터(121)의 드레인(D)이 제1 전원 전위에 접속되고 그것의 소스(S)가 유기 EL 소자(127)의 애노드(A)에 접속되기 때문에, 유기 EL 소자(127)를 구동할 때 전체로서 소스 팔로우(follower) 회로가 형성된다.

<82> 도 2에 도시된 비교예의 화소 회로(P)의 동작을 설명하는 도 3의 타이밍 차트는 신호선(HS)으로부터 공급되는 영상 신호(Vsig)의 전위(이하, 영상 신호선 전위라고도 칭함)로서 유효기간의 전위(신호 전위라고 칭함)를 샘플링하고 발광소자의 일례인 유기 EL 소자(127)를 발광 상태로 진입시키도록 하는 동작을 보여준다.

<83> 영상 신호선(106HS)이 영상 신호(Vsig)의 유효기간인 신호 전위에 있는 동안의 시간대(t1 내지 t4)에서, 기록 주사선(WS)의 전위는 하이 레벨(t2)로 천이된다. 이런 레벨 천이에 응답하여, n채널 샘플링 트랜지스터(125)가 온 상태에 진입되고, 신호선(HS)으로부터 공급되는 영상 신호선 전위가 훌딩 캐패시터(120)에 충전된다. 이런 충전에 기인하여, 구동 트랜지스터(121)의 게이트(G)의 전위(게이트 전위 Vg)는 상승하기 시작하고, 드레인 전류가 흐르기 시작한다. 그러므로, 유기 EL 소자(127)의 애노드 전위가 상승하여 발광을 시작한다.

<84> 이후에, 기록 구동 펄스(WS)가 로우 레벨(t3)로 천이되면, 그 시점의 영상 신호선 전위, 예를 들어 영상 신호(Vsig)의 전위 중 유효기간의 전위(신호 전위)가 훌딩 캐패시터(120)에 유지된다. 이런 동작에 의해, 구동 트랜지스터(121)의 게이트 전위(Vg)가 일정하게 되며, 발광 흐도가 다음 프레임(또는 필드)까지 일정하게 유지된다.

타이밍(t2)로부터 타이밍(t3)까지의 기간은 영상 신호(Vsig)의 샘플링 기간이 되고, 타이밍(t3) 이후의 기간이 유지 기간이 된다.

<85> 비교예의 화소 회로(P)에서, 구동 트랜지스터(121)의 소스(S) 전위(소스 전위 Vs)는 구동 트랜지스터(121)와 유기 EL 소자(127)의 동작점에 의존하며, 전압값은 구동 트랜지스터(121)의 게이트 전위(Vg)에 따라 달라진다.

<86> 일반적으로, 구동 트랜지스터(121)는 포화 영역에서 구동된다. 포화 영역에서 동작하는 트랜지스터의 드레인과 소스 사이에 흘르는 전류가 Ids , 이동도가 μ , 채널 폭(게이트 폭)이 W , 채널 길이(게이트 폭)가 L , 게이트 용량(단위 면적당 게이트 산화막 용량)이 Cox , 트랜지스터의 임계 전압이 Vth 라고 하면, 구동 트랜지스터(121)는 하기의 식 (1)에 나타낸 값을 가지는 정전류원인이 된다. 식 (1)로부터 분명하게 나타나는 바와 같이, 트랜지스터의 드레인 전류(Ids)는 포화영역에서의 게이트-소스 사이의 전압(Vgs)에 의해 제어된다.

$$Ids = \frac{1}{2} \mu \frac{W}{L} Cox (Vgs - Vth)^2 \quad \dots \text{식 (1)}$$

<88> <발광소자의 I_{el} - V_{el} 특성 및 I-V 특성>

<89> 도 4a는 유기 EL 소자로 대표되는 전류 구동형 발광소자의 전류-전압(I_{el} - V_{el}) 특성을 보여준다. 도 4a에서, 실선에 의해 도시된 곡선은 초기 상태에서의 특성을 나타내고, 파선에 의해 도시된 곡선은 시간에 따른 변화후의 특성을 나타낸다. 일반적으로, 유기 EL 소자로 대표되는 전류구동형 발광소자의 I-V 특성은 그래프에 나타난 바와 같이 시간 경과에 따라 열화한다.

<90> 예를 들면, 발광 전류(I_{el})가 발광소자의 일례인 유기 EL 소자(127)에 흐를 때, 그 애노드-캐소드 전압(V_{el})이 특유의 형태로 결정된다. 도 4a에 도시된 바와 같이, 발광 기간 동안, 구동 트랜지스터(121)의 드레인-소스 전류(Ids) (= 구동전류(Ids))에 의존하는 발광 전류(I_{el})는 유기 EL 소자(127)의 애노드(A)를 통해 흐르고, 그것에 의해 애노드-캐소드 전압이 V_{el} 만큼 상승한다.

<91> 비교예의 화소 회로(P)에서, 유기 EL 소자(127)의 I-V 특성의 시간에 따른 변화에 의해, 동일한 발광 전류(I_{el})에 필요한 애노드-캐소드 전압(V_{el})이 V_{el1} 로부터 V_{el2} 로 변화되며, 그것에 의해 구동 트랜지스터(121)의 동작점이 변화한다. 그러므로, 동일한 게이트 전위(Vg)가 인가되더라도, 구동 트랜지스터(121)의 소스 전위(Vs)가 변화하며, 결과적으로 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)이 변화한다.

<92> n채널 트랜지스터가 구동 트랜지스터(121)로서 사용되는 단순한 회로에서, 구동 트랜지스터(121)는 그것의 소스(S)가 유기 EL 소자(127)에 접속되기 때문에 유기 EL 소자(127)의 I-V 특성의 시간에 따른 변화의 영향을 받는다. 그러므로, 유기 EL 소자(127)에 흐르는 전류량(발광 전류 I_{el})이 변화한다. 결과적으로, 발광 휘도가 변화한다.

<93> 구체적으로, 비교예의 화소 회로(P)에서, 유기 EL 소자(127)의 I-V 특성의 시간에 따른 변화에 의해 동작점이 변화한다. 그러므로, 동일한 게이트 전위(Vg)가 인가되더라도 구동 트랜지스터(121)의 소스 전위(Vs)가 변화된다. 이에 따라, 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)이 변화된다. 식 (1)로부터 분명하게 알 수 있는 바와 같이, 게이트-소스 전압(Vgs)이 변화하면, 게이트 전위(Vg)가 일정하더라도 구동전류(Ids)가 변동하고, 동시에 유기 EL 소자(127)에 흐르는 전류값도 변화된다. 도 2에 나타낸 소스 팔로우 구성을 가지는 비교예의 화소 회로(P)에서, 유기 EL 소자(127)의 I-V 특성이 변화되면, 유기 EL 소자(127)의 발광 휘도가 시간 경과에 따라 변화된다.

<94> n채널 트랜지스터가 구동 트랜지스터(121)로서 사용되는 단순한 회로에서, 소스(S)가 유기 EL 소자(127)에 접속되기 때문에, 게이트-소스 전압(Vgs)이 유기 EL 소자(127)의 시간에 따른 변화와 함께 변화된다. 그러므로, 유기 EL 소자(127)에 흐르는 전류량이 변화되고, 그 결과 발광 휘도가 변화된다.

<95> 발광소자의 일례인 유기 EL 소자(127)의 특성의 시간 경과변동에 의한, 유기 EL 소자(127)의 애노드 전위 변동은 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)의 변동으로서 나타나며, 드레인 전류(구동전류(Ids))의 변동을 야기한다. 구동전류의 변동은 화소 회로(P) 사이에서의 발광 휘도의 편차로서 나타나고, 그것에 의해 화질의 열화가 일어난다.

<96> 이에 대하여, 본 실시예에서, 이후에 상술되는 바와 같이, 부트스트랩 기능을 실현하기 위한 회로 구성이 사용되고 상기 회로가 브트스트랩 동작을 위한 구동 타임에서 구동된다. 부트스트랩 기능은 신호 전위(Vin)에 대응하는 정보가 흘딩 캐패시터(120)에 기록된 시점(및 유기 EL 소자(127)의 순차적 발광 기간 동안 연속적으로)에

샘플링 트랜지스터(125)를 비도통 상태로 설정함으로써 구동 트랜지스터(121)의 게이트 전위(V_g)를 그것의 소스 전위(V_s)와 연동시킨다. 이런 특징에 의해, 유기 EL 소자(127)의 특성의 시간 경과변동에 의한 유기 EL 소자(127)의 애노드 전위가 변동하더라도(즉, 소스 전위가 변동하더라도), 이런 애노드 전위가 캔슬될 것 같이 게이트 전위(V_g)를 변동시킴으로써 화면 휘도의 균일성이 보장될 수 있다. 부트스트랩 기능은 유기 EL 소자로 대표되는 전류 구동형 발광소자의 시간 경과에 따른 변동의 보정 능력을 향상시킬 수 있다.

<97> 이런 부트스트랩 기능은 기록 구동 펄스(WS)가 불활성(L) 상태로 천이되어 샘플링 트랜지스터(125)가 오프되는 발광 시작 시점에서 개시될 수 있다. 부가적으로, 발광 개시후 유기 EL 소자(127)에 발광 전류(I_{el})가 흐르기 시작하고 안정이 될 때까지 애노드-캐소드 전압(V_{el})이 상승해 가는 과정에서 애노드-캐소드 전압(V_{el})의 변동에 연동하여 구동 트랜지스터(121)의 소스 전위(V_s)가 변동하는 동안에도 기능한다.

<98> <구동 트랜지스터의 V_{gs} - Ids 특성>

<99> 구동 트랜지스터(121)의 제조 프로세스의 편차에 기인하여, 화소 회로(P) 사이에서의 임계 전압과 이동도와 같은 특성 변동이 있다. 구동 트랜지스터(121)가 포화 영역에서 구동될 경우에 있어서도, 이런 특성 변동에 기인하여, 동일한 게이트 전위가 구동 트랜지스터에 인가되더라도, 드레인 전류(구동전류(Ids))가 화소로부터 화소 까지 변동하고, 이런 변동이 발광 휘도의 편차로서 나타난다.

<100> 도 4b는 구동 트랜지스터(121)의 임계값 편차에 주안점을 둔 전압-전류(V_{gs} - Ids) 특성을 도시한 도면이다. 도 4b에서, 서로 다른 임계 전압(V_{th1} 과 V_{th2})을 가지는 2개의 구동 트랜지스터(121)에 특성 곡선이 도시되어 있다.

<101> 상기한 바와 같이, 구동 트랜지스터(121)가 포화 영역에서 동작할 때의 드레인 전류(Ids)는 식 (1)에 의해 나타낸다. 식 (1)로부터 분명하게 나타나는 바와 같이, 임계 전압(V_{th})의 변동은 게이트-소스 전압(V_{gs})이 일정하더라도 드레인 전류(Ids)의 변동을 초래한다. 구체적으로, 임계 전압(V_{th})의 편차에 대하여 아무런 대책이 실행되지 않으면, 도 4b에 도시된 바와 같이 구동전류(Ids)가 변화한다. 더 구체적으로, 임계 전압이 V_{th1} 일 때, V_{gs} 에 대응하는 구동전류가 $Ids1$ 이 된다. 이와 대조적으로, 임계 전압이 V_{th2} 일 때, 동일한 게이트 전압(V_{gs})에 대응하는 구동전류($Ids2$)는 $Ids1$ 과 다르다.

<102> 도 4c는 구동 트랜지스터(121)의 이동도 편차에 주안점을 둔 전압-전류(V_{gs} - Ids)특성을 도시한 도면이다. 도 4c에서, 서로다른 이동도(μ_1 과 μ_2)를 가지는 2개의 구동 트랜지스터(121)의 특성 곡선이 도시되어 있다.

<103> 식 (1)로부터 분명하게 나타나는 바와 같이, 게이트-소스 전압(V_{gs})이 일정하더라도 이동도(μ)의 변동은 드레인 전류(Ids)의 변동을 초래한다. 구체적으로, 이동도(μ)의 편차에 대하여 아무런 대책이 실행되지 않으면, 도 4c에 도시된 바와 같이 구동전류가 변화한다. 더 구체적으로, 이동도가 μ_1 일 때, V_{gs} 에 대응하는 구동전류는 $Ids1$ 이다. 이와 대조적으로, 이동도가 μ_2 일 때, 동일한 게이트 전압(V_{gs})에 대응하는 구동전류는 $Ids1$ 과 다른 $Ids2$ 이다.

<104> <임계값 보정 및 이동도 보정의 개념>

<105> 대조적으로, 임계값 보정기능 및 이동도 보정기능을 실현하는 구동 타이밍 (상세한 것은 후술됨)을 사용함으로써, 임계값 및 이동도의 변동 영향이 억제될 수 있고, 화면 휘도의 균일성이 확보될 수 있다.

<106> 본 실시예의 임계값 보정 동작 및 이동도 보정 동작을 통하여, 상세한 것은 후술되지만, 발광시의 게이트-소스 전압(V_{gs})은 " $V_{in} + V_{th} - \Delta V$ "로서 표현되는 값으로 설정된다. 이것은 드레인-소스 전류(Ids)가 임계 전압(V_{th})의 편차나 변동에 의존하지 않도록 하는 동시에, 이동도(μ)의 편차나 변동에 의존하지 않도록 한다. 결과적으로, 임계 전압(V_{th})과 이동도(μ)가 제조 프로세스나 시간 경과에 의해 변동하더라도, 구동전류(Ids)는 변동하지 않고, 따라서 유기 EL 소자(127)의 발광 휘도도 변동하지 않는다.

<107> 도 4d는 이동도 보정시의 구동 트랜지스터(121)의 동작점을 설명하는 그래프이다. 구체적으로, 제조 프로세스와 시간 경과에 있어서의 이동도(μ_1 , μ_2)의 편차에 대하여, 발광시의 게이트-소스 전압(V_{gs})을 " $V_{in} + V_{th} - \Delta V$ "로서 표현되는 값으로 설정하기 위한 임계값 보정 및 이동도 보정이 수행된다. 이런 보정에 의해, 이동도와 관련하여, 이동도(μ_1)에 대하여는 이동도 보정 파라미터(ΔV_1)가 결정되는 반면, 이동도(μ_2)에 대하여는 이동도 보정 파라미터(ΔV_2)가 결정된다.

<108> 적정한 이동도 보정 파라미터가 보정에 기인한 이동도 중 어느 하나에 대해 결정되므로, 구동 트랜지스터(121)의 이동도가 μ_1 일 때 구동전류(Ids_a) 및 이동도가 μ_2 일 때 구동전류(Ids_b)가 결정된다. 최적인 상태에서, 관

계 "Idsa = Idsb"이 달성되고, 이동도(μ)의 차이는 캔슬된다.

<109> 이동도 보정이 수행되지 않으면, 도 4c에 도시된 바와 같이, 서로 다른 이동도(μ 1, μ 2)는 동일한 게이트-소스 전압(Vgs)에 대응하는 구동전류(Ids)로서 서로 다른 구동전류(Ids1, Ids2)를 산출한다. 이것에 대처하기 위해서, 적절한 이동도 보정 파라미터($\Delta V1$, $\Delta V2$)가 구동전류(Idsa, Idsb)가 되는 이동도(μ 1, μ 2)에 대하여 각각 부가된다. 개별적인 이동도 보정 파라미터($\Delta V1$, $\Delta V2$)의 최적화를 통하여, 이동도 보정으로부터 얻어지는 구동전류(Idsa, Idsb)의 레벨은 서로 균등화될 수 있다.

<110> 이동도 보정시에, 도 4d의 그래프로부터 분명하게 나타나는 바와 같이, 높은 이동도(μ 1)에 대하여 이동도 보정 파라미터($\Delta V1$)가 커지도록 하는 한편, 낮은 이동도(μ 2)에 대하여 이동도 보정 파라미터($\Delta V2$)가 작아지도록 하는 방식으로 부궤환이 수행된다. 이런 의미로부터, 이동도 보정 파라미터(ΔV)는 부궤환량(ΔV)으로도 칭한다.

<111> 도 4e의 각각의 도면은 임계값 보정의 관점에서 신호 전위(Vin)와 구동전류(Ids)의 관계를 도시한다. 도 4e의 각 도면에서, 구동 트랜지스터(121)의 전류전압특성은 신호 전위(Vin)와 구동전류(Ids)가 각각 가로축과 세로축에 플로팅되어 도시되어 있다. 각각의 도면에서, 2개의 특성 곡선은 비교적 낮은 임계 전압(Vth)과 비교적 높은 이동도(μ)를 가지는 구동 트랜지스터(121)를 포함한 화소 회로(Pa)(실선 곡선) 및 비교적 높은 임계 전압(Vth)과 비교적 낮은 이동도(μ)를 가지는 구동 트랜지스터(121)를 포함한 화소 회로(Pb)(점선 곡선)에 대해서 도시되어 있다.

<112> 도 4e는 임계값 보정 및 이동도 보정이 실행되지 않을 경우를 도시한다. 이런 경우에, 화소 회로(Pa) 및 화소 회로(Pb)에서 임계 전압(Vth) 및 이동도(μ)의 보정이 전혀 실행되지 않기 때문에, Vin-Ids 특성은 임계 전압(Vth)과 이동도(μ)의 차이에 기인하여 서로 큰 차이가 발생한다. 따라서, 동일한 신호 전위(Vin)가 인가되더라도, 구동전류(Ids), 즉 발광 휘도가 변동되고, 화면 휘도의 균일성이 달성될 수 없다.

<113> 도 4f는 임계값 보정이 실행되지만, 이동도 보정이 실행되지 않는 경우를 도시한다. 이런 경우에, 화소 회로(Pa)와 화소 회로(Pb)에서 임계 전압(Vth)의 차이는 캔슬된다. 그러나, 이동도(μ)의 차이는 그대로 나타나 있다. 따라서, 신호 전위(Vin)가 높은 영역(즉, 휘도가 높은 영역)에서, 이동도(μ)의 차이가 현저하게 나타나고, 계조가 동일하더라도 휘도가 변경된다. 구체적으로, 계조가 동일할 때(신호 전위(Vin)가 동일하다), 큰 이동도(μ)를 가지는 화소 회로(Pa)의 휘도(구동전류(Ids))는 높은 반면, 작은 이동도(μ)를 가지는 화소 회로(Pb)의 휘도는 낮아진다.

<114> 도 4g는 임계값 보정 및 이동도 보정이 둘다 실행될 경우를 도시한다. 이런 경우에, 임계 전압(Vth) 및 이동도(μ)의 차이는 완전하게 보정된다. 그 결과, 화소 회로(Pa)와 화소 회로(Pb)의 Vin-Ids 특성은 일치한다. 따라서, 모든 계조(신호 전위(Vin))에 대한 휘도(Ids)는 동일 레벨이 되고, 화면 휘도의 균일성이 현저하게 개선된다.

<115> 도 4h는 임계값 보정 및 이동도 보정이 둘다 실행되지만, 임계 전압(Vth)의 보정이 불충분한 경우를 도시한다. 이런 경우의 일례는 구동 트랜지스터(121)의 임계 전압(Vth)에 해당하는 전압이 1회의 임계값 보정 동작으로 충분히 홀딩 캐퍼시터(120)에 유지될 수 없는 경우이다. 이런 경우에, 임계 전압(Vth)의 차이가 제거되지 않기 때문에, 화소 회로(Pa)와 화소 회로(Pb)에서는 저계조의 영역에서 휘도(구동전류(Ids))에 차이가 발생한다. 따라서, 임계 전압(Vth)의 보정이 불충분한 경우에, 저계조에서 휘도의 얼룩이 나타나고 화질이 손상되게 된다.

<116> <본 실시예의 화소 회로>

<117> 도 5는 본 발명의 화소 회로(P)를 도시한다. 이런 화소 회로(P)는 도 2에 도시된 비교예의 화소 회로(P)에 있어서의 유기 EL 소자(127)의 시간 경과 열화에 의한 구동전류변동을 방지하는 회로(부트스트랩 회로)를 포함한다. 또한, 이런 화소 회로(P)는 구동 트랜지스터(121)의 특성변동(임계 전압과 이동도 편차)에 의한 구동전류변동을 방지하는 구동방식을 사용한다. 본 실시예의 화소 회로(P)를 포함하는 화소 어레이부(102)에 구비하는 유기 EL 표시장치(1)는 본 실시예의 유기 EL 표시장치(1)라고 칭한다.

<118> 본 실시예의 화소 회로(P)의 특징으로서, 화소 회로(P)는 구동 트랜지스터(121)와 영상 신호기록 주사를 위한 1개의 스위칭 트랜지스터(샘플링 트랜지스터 125)를 사용한 기본 2TR-구동 구성에 임계값 보정 동작에 선행하는 준비 동작으로서 구동 트랜지스터(121)의 출력단인 소스(S)의 전위를 초기화하기 위한 다른 1개의 스위칭 트랜지스터(초기화 트랜지스터 126이라고 칭함)를 추가한 3TR-구동 구성을 가진다.

<119> 초기화 트랜지스터(126)는 영상 신호선(106HS)을 통하여 공급되는 영상 신호(Vsig)의 초기화 전위(Vini)에 기초

하여 구동 트랜지스터(121)의 출력단으로서의 소스(S)의 전위를 초기화시키는 기능을 가진다. 또한, 본 실시예의 화소 회로(P)에서, 샘플링 트랜지스터(125)는 영상 신호선(106HS)을 통하여 공급되는 영상 신호(Vsig)의 신호 전위(Vin)에 대응하는 정보를 훌딩 캐패시터(120)에 기록하는 기능 뿐만 아니라 영상 신호선(106HS)을 통하여 공급되는 영상 신호(Vsig)의 초기화 전위(Vini)에 기초하여 구동 트랜지스터(121)의 제어 입력단으로서의 게이트(G)의 전위를 초기화시키는 초기화 트랜지스터의 기능도 가진다.

<120> 구동 타이밍의 특징으로서, 초기화 트랜지스터(126)의 추가에 관련하여, 구동 트랜지스터(121)의 소스(S)가 초기화되도록, 초기화 주사선(115ASL)과 초기화 주사 펄스(ASL)가 초기화 트랜지스터(126)를 제어하기 위하여 부가된다. 더욱이, 샘플링 트랜지스터(125)가 구동 트랜지스터(121)의 게이트(G)를 초기화하기 위한 초기화 트랜지스터로서 기능하도록, 기록 구동 펄스(WS)의 온/오프-타이밍이 조정된다. 사실상, 기록 주사선(104WS)은 기록 겸 초기화 주사선으로 사용되고, 기록 구동 펄스(WS)는 기록 겸 초기화 주사 펄스(WS 및 ASL)로서 사용된다.

<121> 영상 신호(Vsig)의 특징으로서, 각각의 1수평기간에서, 신호레벨을 나타내는 신호 전위(Vin) 및 영상 신호선(106HS)에 대한 프리차징에도 사용되는 기준전위(Vo)가 설정되고, 초기화를 위한 초기화 전위(Vini)가 기준전위(Vo)에 선행하는 전위로서 추가된다. 그 결과, 개별 스위칭 트랜지스터를 제어하기 위한 초기화 주사 펄스(ASL) 및 기록 구동 펄스(WS)의 온/오프-타이밍의 설정을 통해, 유기 EL 소자(127)의 시간 경과 열화와 구동 트랜지스터(121)의 특성변동(이를테면, 임계 전압과 이동도에서의 편차와 변동)에 의한 구동전류(Ids)에 주는 영향이 방지된다.

<122> 본 실시예의 화소 회로(P)는 3TR-구동 구성이며, 특허문헌 1에 기재된 5TR-구동 구성과 비교하여 소자수 및 배선수가 더 작다. 이것은 선명화 증진을 가능하게 한다. 더욱이, 영상 신호(Vsig)의 열화없이 샘플링이 수행될 수 있어서, 양호한 화질을 제공할 수 있다.

<123> 본 실시예의 화소 회로(P)와 도 2에 나타낸 비교예 사이에는 구성상의 큰 차이가 있다. 첫째, 본 실시예의 화소 회로(P)에서, 훌딩 캐패시터(120)의 접속 형태가 변형되어, 유기 EL 소자(127)의 시간 경과 열화에 의한 구동전류 변동을 방지하는 회로로서, 구동 신호 일정화 회로의 일레인 부트스트랩 회로가 구성된다.

<124> 둘째, 본 실시예의 화소 회로(P)는 구동 트랜지스터(121)의 특성 변동(예를 들면, 임계 전압과 이동도의 편차와 변동)에 의한 구동전류(Ids)에 주는 영향을 억제하는 구조로서, 임계값 보정 동작에 선행하는 준비 동작을 위한 초기화 트랜지스터(126)를 추가한 3TR-구동構成을 구비하고 있다. 더욱이, 초기화 트랜지스터(126)를 제어하는 초기화 주사선(115ASL)과 초기화 주사 펄스(ASL)가 추가된다. 부가적으로, 초기화를 위한 초기화 전위(Vini)가 영상 신호(Vsig)에 관해서 기준전위(Vo)에 선행하는 전위로 부가되고, 각 트랜지스터(125와 126)의 구동 타이밍은 독창적으로 설계된다.

<125> 구체적으로, 본 실시예의 화소 회로(P)는 훌딩 캐패시터(120), n채널 구동 트랜지스터(121), 활성-H(하이)의 기록 구동 펄스(WS)가 공급되는 n 채널 샘플링 트랜지스터(125), 활성-H(하이)의 초기화 주사 펄스(ASL)가 공급되는 n 채널 초기화 트랜지스터(126), 및 전류가 흐르는 것으로 발광하는 전기광학소자(발광소자)의 일레인 유기 EL 소자(127)를 포함한다.

<126> 훌딩 캐패시터(120)는 구동 트랜지스터(121)의 게이트(G)(노드(ND122))와 소스(S) 사이에 접속된다. 구동 트랜지스터(121)의 소스(S)는 직접적으로 유기 EL 소자(127)의 애노드(A)에 접속된다. 유기 EL 소자(127)의 캐소드(K)는 기준전위로서 캐소드 전위(Vcath)로 공급된다. 이 캐소드 전위(Vcath)는 도 2에 나타낸 비교예와 유사하게 기준전위를 공급하고 모든 화소에 공통인 접지 배선(Vcath)(GND)에 접속된다.

<127> 구동 트랜지스터(121)의 드레인(D)은 전원 전위를 공급하기 위한 전원 공급선(105DSL)에 접속된다. 전원 공급선(105DSL)은 구동 트랜지스터(121)에 대하여 전원공급 능력을 구비한다. 본 실시예에서, 전원 공급선(105DSL)은 특정한 고전압측의 전원전압(Vcc_H)을 구동 트랜지스터(121)의 드레인(D)에 공급한다.

<128> 샘플링 트랜지스터(125)는 영상 신호선(106HS)과 기록 주사선(104WS) 사이의 교차부에 배치된다. 샘플링 트랜지스터(125)의 게이트(G)는 기록 주사부(104)로부터의 기록 주사선(104WS)에 접속된다. 그것의 드레인(D)은 영상 신호선(106HS)에 접속되며, 그것의 소스(S)는 구동 트랜지스터(121)의 게이트(G)와 훌딩 캐패시터(120)의 하나의 단자 사이의 접속 노드(노드(ND122))에 접속된다. 샘플링 트랜지스터(125)의 게이트(G)에는 기록 주사부(104)로부터 활성-H의 기록 구동 펄스(WS)가 공급된다. 샘플링 트랜지스터(125)는 소스(S)와 드레인(D)을 역전시킨 접속 형태를 가질 수 있다. 또한, 샘플링 트랜지스터(125)로서, 공핍형 트랜지스터 또는 증가형 트랜지스터 중 어느 하나가 사용될 수 있다.

<129> 초기화 트랜지스터(126)는 영상 신호선(106HS)과 초기화 주사선(115ASL) 사이의 교차부에 배치된다. 초기화 트

랜지스터(126)의 게이트(G)는 초기화 주사부(115)로부터의 초기화 주사선(115ASL)에 접속된다. 그것의 소스(S)는 영상 신호선(106HS)에 접속되며, 그것의 드레인(D)은 구동 트랜지스터(121)의 소스(S)와 헀딩 캐페시터(120)의 다른 단자 사이의 접속 노드(노드(ND121))에 접속된다. 초기화 트랜지스터(126)의 게이트(G)에는 초기화 주사부(115)로부터 활성-H의 초기화 주사 펄스(ASL)가 공급된다.

<130> 또한, 초기화 트랜지스터(126)는 소스(S)와 드레인(D)을 역전시킨 접속 형태를 가질 수 있다. 그러나, 샘플링 트랜지스터(126)의 소스(S)와 드레인(D)의 접속 형태가 샘플링 트랜지스터(125)의 그것과 대응되는 것이 바람직하다.

<131> 초기화 트랜지스터(126)로서, 공핍형 트랜지스터 또는 증가형 트랜지스터 중 어느 하나가 사용될 수 있다. 그러나, 초기화 트랜지스터(126)의 형태가 샘플링 트랜지스터(125)의 그것과 대응되는 것이 바람직하다.

<본 실시예의 화소 회로의 동작>

<133> 본 실시예의 화소 회로(P)를 위한 구동 타이밍은 다음과 같다. 우선, 샘플링 트랜지스터(125)는 기록 주사선(104WS)로부터 공급된 기록 구동 펄스(WS)에 응답하여 도통되며, 영상 신호선(106HS)으로부터 공급된 영상 신호(Vsig)을 샘플링하여 헀딩 캐페시터(120)에 유지한다. 이런 특징은 기본적으로 도 2에 나타낸 비교예의 화소 회로(P)를 구동할 경우와 동일하다.

<134> 본 실시예의 화소 회로(P)를 위한 구동 타이밍에 기초한 순차 주사의 관점으로부터, 헀딩 캐페시터(120)에 대한 영상 신호(Vsig)의 신호 전위(Vin)의 정보의 기록에 있어서, 1행의 영상 신호가 각 열의 영상 신호선(106HS)에 동시에 전송된다. 즉, 선 순차 방식의 구동이 수행된다.

<135> 구동 트랜지스터(121)는 전원 공급선(105DSL)의 전원전압(Vcc_H)으로부터 전류를 공급받아 헀딩 캐페시터(120)에 유지된 신호 전위(영상 신호(Vsig)의 유효기간의 전위에 대응하는 전위)에 따라 구동전류(Ids)를 유기 EL 소자(127)에 인가한다.

<136> 수직 구동부(103)는 영상 신호선(106HS)가 영상 신호(Vsig)의 비유효기간인 기준전전위(Vo)에 있는 시간대에서 샘플링 트랜지스터(125)를 도통시키는 제어신호로서 기록 구동 펄스(WS)를 출력하고, 그 결과 구동 트랜지스터(121)의 임계 전압(Vth)에 해당하는 전압을 헀딩 캐페시터(120)에 유지해 둔다. 이런 동작은 임계값 보정기능을 실현한다. 임계값 보정기능은 화소 회로(P) 사이에서의 구동 트랜지스터(121)의 임계 전압(Vth)의 변동 영향을 캔슬시킬 수 있다.

<137> 본 실시예의 화소 회로(P)를 위한 구동 타이밍으로서, 수직 구동부(103)는 영상 신호(Vsig)의 신호 전위(Vin)의 샘플링에 선행하는 복수의 수평기간으로 임계값 보정 동작을 반복적으로 실행하며, 그 결과 구동 트랜지스터(121)의 임계 전압(Vth)에 해당하는 전압을 헀딩 캐페시터(120)에 확실하게 유지한다.

<138> 본 실시예의 화소 회로(P)에 있어서, 임계값 보정 동작을 여러번 실행함으로써, 충분하게 긴 기록 시간이 확보된다. 이것은 구동 트랜지스터(121)의 임계 전압(Vth)에 해당하는 전압이 확실하게 헀딩 캐페시터(120)에 미리 유지될 수 있게 한다.

<139> 상기 유지된 임계 전압(Vth)에 해당하는 전압은 구동 트랜지스터(121)의 임계 전압(Vth)을 캔슬시키는데 사용된다. 따라서, 화소 회로(P) 사이에서 구동 트랜지스터(121)의 임계 전압(Vth)에 변동이 있더라도, 이런 변동은 모든 화소 회로(P)에 대해 완전히 캔슬되어, 화상 균일성, 즉 표시장치의 화면 전체에 걸친 발광 휘도의 균일성이 높아진다. 특히, 신호 전위가 저계조에 대응할 때 나타나는 경향이 있는 휘도 편차가 방지될 수 있다.

<140> 바람직하게, 임계값 보정 동작에 앞서, 영상 신호선(106HS)이 영상 신호(Vsig)의 비유효기간에 대응하는 기준전위(Vo)에 선행하는 초기화 전위(Vini)(<기준전위(Vo)>에 있는 시간대에서, 수직 구동부(103)는 기록 구동 펄스(WS)를 활성 상태(본 실시예에서, H 레벨)로 천이시켜서 샘플링 트랜지스터(125)를 도통시키고, 초기화 주사 펄스(ASL)를 활성 상태(본 실시예에서, H 레벨)로 천이하여 초기화 트랜지스터(126)를 도통시킨다. 그 후에, 기록 구동 펄스(WS)를 활성-H로 유지하면서, 수직 구동부(103)는 초기화 주사 펄스(ASL)를 비활성 상태(본 실시예에서, L 레벨)로 천이시켜서 초기화 트랜지스터(126)를 비도통 시킨다.

<141> 이런 동작에 의해, 구동 트랜지스터(121)의 게이트(G) 및 소스(S)가 초기화 전위(Vini)로 설정된 후에 임계값 보정 동작이 시작된다. 이러한 게이트 전위 및 소스 전위의 리셋 동작(초기화 동작)은 후속하는 임계값 보정 동작이 확실하게 실행될 수 있도록 한다.

<142> 본 실시예의 화소 회로(P)는 임계값 보정기능에 더하여 이동도 보정 기능을 갖추고 있다. 구체적으로, 수직 구

동부(103)는 영상 신호선(106HS)이 영상 신호(Vsig)의 유효기간에 대응하는 신호 전위(Vin)에 있는 시간대에 샘플링 트랜지스터(125)를 도통 상태로 하기 위해서, 수직 구동부(103)는 기록 주사선(104WS)에 공급되는 기록 구동 펄스(WS)를 상기의 시간대보다 짧은 기간 동안 활성 상태(본 실시예에서, H 레벨)로 유지한다. 기록 구동 펄스(WS)의 활성 기간(샘플링 기간 및 이동도 보정 기간 둘다에 해당하는)을 적절하게 설정함으로써, 구동 트랜지스터(121)의 이동도(μ)에 대한 보정이 홀딩 캐패시터(120)에 신호 전위(Vsig)를 유지함과 동시에 신호 전위(Vsig)에 부가된다.

<143> 특히, 본 실시예의 화소 회로(P)에 있어서의 구동 타이밍에 따르면, 바람직하게 기록 구동 펄스(WS)는 영상 신호(Vsig)가 유효기간에 있는 시간대 내에서 활성 상태로 유지된다. 그 결과, 이동도 보정 기간(샘플링 기간도)은 기록 구동 펄스(WS)의 활성 기간과 영상 신호선(106HS)의 전위가 유효기간의 영상 신호(Vsig)에 대응하는 전위(신호선 전위)에 있는 시간대 사이의 중첩 범위에서 결정된다. 특히, 본 실시예의 바람직한 형태로서, 기록 구동 펄스(WS)의 활성 기간의 폭은 이런 활성 기간이 영상 신호선(106HS)이 신호 전위에 있는 시간대 내에 있도록 작게 설정된다. 그러므로, 이동도 보정 기간은 결국 기록 구동 펄스(WS)에 의해 결정된다.

<144> 정확하게, 이동도 보정 기간(샘플링 기간도)은 샘플링 트랜지스터(125)가 기록 구동 펄스(WS)의 상승에 응답하여 도통되는 시간으로부터 기록 구동 펄스(WS)의 하강에 응답하여 샘플링 트랜지스터(125)가 비도통되는 시간까지의 기간에 해당된다.

<145> 후술될 것이지만, 화면의 수평 방향에 따른 균일성에 대한 논의의 개요는 다음과 같다. 구체적으로 이동도 보정 기간은 기록 주사부(104)로부터 먼 화소 회로(P)(먼 쪽의 화소라고 칭함)와 기록 주사부(104)로부터 가까운 화소 회로(P)(가까운 쪽의 화소라고 칭함)에서 둘다 실질적으로 동일하다. 더욱이, 샘플링 트랜지스터(125)에 의해 홀딩 캐패시터(120)에서 샘플링되는 신호 전위(샘플링 전위)도 이런 화소 회로(P) 사이에서 차이가 없다. 그 결과, 화면의 수평 방향에 따른 휙도 차이가 나타나지 않는다. 이것은 수평 방향에 따른 쇼이딩(shading)(휙도 편차의 일례)을 억제하고, 따라서 양호한 화질의 표시장치를 실현할 수 있다.

<146> 게다가, 후술될 것이지만, 화면 수직방향의 균일성에 논의의 개요는 다음과 같다. 구체적으로, 영상 신호선(106HS)이 신호 전위(영상 신호(Vsig)의 유효기간의 전위)에 있는 시간대내에 기록 구동 펄스(WS)가 존재하는 한, 상측 및 하측 화소 회로(P) 사이에는 샘플링 전위와 이동도 보정 기간에 거의 차이가 없다. 그 결과, 화면의 수직 방향에 따른 휙도 차이가 나타나지 않는다. 이것은 수직 방향에 따른 쇼이딩을 억제하고, 따라서 양호한 화질의 표시장치를 실현할 수 있다.

<147> 또한, 본 실시예의 화소 회로(P)는 부트스트랩 기능도 구비하고 있다. 구체적으로, 영상 신호(Vsig)의 신호 전위(Vin)가 홀딩 캐패시터(120)에 유지될 때의 시간에, 기록 주사부(104)는 기록 주사선(104WS)에 대한 기록 구동 펄스(WS)의 인가를 중지시켜서(예를 들면, 펄스(WS)를 비활성-L(로우) 상태로 친이시켜서) 샘플링 트랜지스터(125)를 비도통 상태로 하며, 그 결과 구동 트랜지스터(121)의 게이트(G)를 영상 신호선(106HS)으로부터 전기적으로 분리시킨다.

<148> 홀딩 캐패시터(120)는 구동 트랜지스터(121)의 게이트(G)와 소스(S) 사이에 접속된다. 상기 홀딩 캐패시터(120)에 의한 효과에 의해, 구동 트랜지스터(121)의 게이트 전위(Vg)가 그것의 소스 전위(Vs)의 변동에 연동하여 변화되고, 게이트-소스 전압(Vgs)은 일정하게 유지될 수 있다.

<149> <타이밍 차트>

<150> 도 6은 도 5에 나타낸 본 실시예의 화소 회로(P)에 관한 구동 타이밍의 일례로서, 선 순차 방식으로 신호 전위(Vin)의 정보를 홀딩 캐패시터(120)에 기록할 때의 동작을 설명하는 타이밍 차트이다. 도 6b 내지 도 6i는 도 6의 타이밍 차트에 도시된 각 기간에 있어서의 등가회로와 동작 상태를 설명하는 도면이다.

<151> 도 6에서, 기록 주사선(104WS), 초기화 주사선(115ASL), 및 영상 신호선(106HS)의 전위변화가 도시되어 있으며, 전위 변화의 시간축이 동일하다. 또한, 이것들의 전위변화와 평행하게, 구동 트랜지스터(121)의 게이트 전위(Vg) 및 소스 전위(Vs)의 변화가 1행(도 6에서, 제1행)에 관련하여 도시되어 있다.

<152> 기본적으로, 기록 주사선(104WS)과 초기화 주사선(115ASL)의 동일한 구동은 1수평주사 기간에 대응하게 순차 지연하면서 각각의 1행에 대해 수행된다. 도 6에서의 각각의 개별 타이밍과 신호는 처리 대상 행을 막론하고 제1행째의 타이밍과 신호와 같은 타이밍이나 신호로 나타낸다. 설명중에 구별이 필요할 때, 그 타이밍과 신호에 대해, 그 처리 대상 행은 차별을 위해 심볼 "_"을 갖는 참조 부호에 의해 구별된다.

<153> 본 실시예의 화소 회로(P)를 위한 구동 타이밍에 관련하여, 영상 신호(Vsig)가 그것의 비유효기간에 대응하는

초기화 전위(Vini)에 있는 기간은 1수평기간의 전반부로서 정의된다. 또한, 영상 신호(Vsig)가 비유효 기간에 대응하고 초기화 전위(Vini)에 후속하는 기준전위(Vo)에 있는 기간은 1수평기간의 중간부로서 정의된다. 영상 신호(Vsig)가 그것의 유효기간에 대응하는 신호 전위(Vin)에 있는 기간은 1수평기간의 후반부로서 정의된다.

<154> 본 실시예에서, 임계값 보정 동작은 1회만 실행된다. 그러나, 이런 특징은 필수적이지 않다. 임계값 보정 동작은 1수평기간을 처리 사이클로서 여러번 반복적으로 실행될 수 있다.

<155> 임계값 보정 동작이 여러번 실행될 때, 1수평기간이 임계값 보정 동작의 처리 사이클로서 사용되는 이유는 임계값 보정 동작이 다음과 같이 실행되기 때문이다. 구체적으로, 각각의 행에 대하여, 샘플링 트랜지스터(125)가 홀딩 캐패시터(120) 내의 신호 전위(Vin)의 정보를 샘플링하기 이전에, 구동 트랜지스터(121)의 게이트(G) 및 소스(S)를 초기화 전위(Vini)로 설정하는 초기화 동작이 임계값 보정 동작에 앞서 실행된다. 초기화 동작후, 임계값 보정 동작으로서, 샘플링 트랜지스터(125)는 구동 트랜지스터(121)의 임계 전압(Vth)에 대응하는 전압을 홀딩 캐패시터(120)에 유지하도록 영상 신호선(106HS)이 기준전위(Vo)에 있는 시간대에서 도통된다.

<156> 그러므로, 임계값 보정 기간은 필연적으로 1수평기간보다 짧게 된다. 이것은 홀딩 이런 짧은 1회의 임계값 보정 동작 기간이 캐패시터(120)의 용량(Cs), 제2 전위(Vcc_L)의 크기, 및 그 밖의 요인에 의해 임계 전압(Vth)에 대응하는 정확한 전압을 홀딩 캐패시터(120)에 유지하기에 불충분한 경우를 초래할 가능성이 있다. 결론적으로, 임계값 보정 동작이 여러번 실행되는 것이 바람직하다. 구체적으로, 1수평기간의 사이클을 가지고 홀딩 캐패시터(120)에서의 신호 전위(Vin)의 샘플링(신호 기록)에 선행하는 복수의 수평기간에 임계값 보정 동작을 반복적으로 실행함으로써, 확실하게 구동 트랜지스터(121)의 임계 전압(Vth)에 해당하는 전압이 홀딩 캐패시터(120)에 유지된다.

<157> 소정의 행(본 예에서, 제1 행)에 대한 동작이 이하에서 설명될 것이다. 타이밍(t13A) 이전의 선행 필드의 발광 기간(B)에서, 기록 구동 펄스(WS)는 비활성-L이고, 따라서 샘플링 트랜지스터(125)는 비도통 상태에 있다. 또한, 초기화 주사 펄스(ASL)는 비활성-L이고, 따라서 초기화 트랜지스터(126)는 비도통 상태에 있다.

<158> 그러므로, 도 6b에 도시된 바와 같이, 영상 신호선(106HS)의 전위에 관계되지 않고, 구동전류(Ids)가 선행 필드에서의 동작에 기인하여 홀딩 캐패시터(120)에 유지되어 있는 전압상태(구동 트랜지스터(121)의 게이트-소스 전압(Vgs))에 따라 구동 트랜지스터(121)로부터 유기 EL 소자(127)에 공급되어, 모든 화소에 공통인 접지 배선(Vcath)(GND)으로 흐른다. 그러므로, 유기 EL 소자(127)가 발광 상태에 있다.

<159> 이후에, 새로운 필드의 선 순차 방식의 주사가 시작된다. 우선, 수평 구동부(106)는 기록 구동 펄스(WS)와 초기화 주사 펄스(ASL)가 둘다 비활성-L에 있는 상태에서 영상 신호(Vsig)를 초기화 전위(Vini)로 설정한다(t13V). 그 다음, 기록 주사부(104)는 샘플링 트랜지스터(125)를 온 시키기 위해 기록 구동 펄스(WS)를 활성-H 상태로 천이시키며 t13W, 초기화 주사부(115)는 초기화 트랜지스터(126)를 온 시키기 위해 초기화 주사 펄스(ASL)를 활성-H 상태로 천이시킨다(t13A).

<160> 그러므로, 도 6c에 도시된 바와 같이, 샘플링 트랜지스터(125) 및 초기화 트랜지스터(126)가 둘다 도통됨으로써, 구동 트랜지스터(121)의 게이트 전위(Vg)와 소스 전위(Vs)는 둘다 영상 신호선(106HS)로부터 공급되는 초기화 전위(Vini)로 초기화된다. 물론, 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)은 "0"이 된다.

<161> 이런 특징으로부터 알 수 있는 바와 같이, 각각의 천이 타이밍(t13V, t13W, t13A)은 서로 약간씩 시프팅될 수 있다. 이것은 영상 신호(Vsig)가 초기화 전위(Vini)에 있고 샘플링 트랜지스터(125) 및 초기화 트랜지스터(126)가 온 상태에 있을 때 구동 트랜지스터(121)의 게이트(G) 및 소스(S)에 대한 초기화 동작이 유효하기 때문이다. 도 6에서, 각각의 천이 타이밍(t13V, t13W, t13A)은 거의 동일한 시점으로 보이고 있다. 초기화 동작이 유효한 기간은 구동 트랜지스터(121)의 게이트 전위(Vg)와 소스 전위(Vs)를 초기화시키는 초기화 기간(C), 또는 임계값 보정 준비 기간이라고 칭한다.

<162> 다음에, 1수평기간의 중간부에서, 기록 구동 펄스(WS)를 활성-H 상태로 유지하면서, 초기화 주사부(115)는 초기화 트랜지스터(126)를 오프시키기 위해 초기화 주사선(115ASL)에 공급되는 초기화 주사 펄스(ASL)를 활성-H 상태로부터 비활성-L 상태로 천이시킨다(t14A). 그 이후에, 초기화 주사부(115)는 다음 프레임(필드)의 처리까지 초기화 주사선(115ASL)의 전위를 비활성-L 상태로 유지한다.

<163> 더욱이, 이 처리와 거의 동시에, 수평 구동부(106)는 영상 신호(Vsig)의 전위를 초기화 전위(Vini)로부터 기준 전위(Vo)로 전환시킨다(t14V). 이때, 샘플링 트랜지스터(125)가 온 상태에 있기 때문에, 기준전위(Vo)는 구동 트랜지스터(121)의 게이트(G)에 전달되어, 그 게이트 전압(Vg)은 초기화 전위(Vini)로부터 기준전위(Vo)로 천이

한다. 상기 천이 타이밍(t14A와 t14V)은 실질적으로 동일하며, 그러므로 서로 약간씩 시프팅될 수 있다.

<164> 이 동작에 의해, 드레인 전류가 훌딩 캐패시터(120)로 흐르고, 구동 트랜지스터(121)의 임계 전압(Vth)을 보정(캔슬)하는 임계값 보정 기간(E)이 시작된다. 이 임계값 보정 기간(E)은 기록 구동 펄스(WS)가 비활성-L 상태로 천이되는 타이밍(t15W)까지 계속된다.

<165> 도 6d에 도시된 바와 같이, 타이밍(t14W과 t14V) 이후의 임계값 보정 기간(E)이 시작될 때의 초기 동작으로서, 구동 트랜지스터(121)의 게이트 전압(Vg)은 초기화 전위(Vini)로부터 기준전위(Vo)로 상승하고, 동시에 소스 전위(Vs)는 초기화 전위(Vini)로부터 상승을 시작한다. 게이트 전위(Vg) 및 소스 전위(Vs)의 상승의 방법은 훌딩 캐패시터(120)의 용량값(Cs)과 유기 EL 소자(127)의 기생 캐패시터(Cel) 사이의 크기 관계에 의존하고, 게이트 전위(Vg)가 소스 전위(Vs)보다 더 빠르게 상승하도록 설정된다. 이 과정에서(특히, 게이트 전압(Vg)이 기준전위(Vo)에 도달된 후에), 게이트-소스 전압(Vgs)은 구동 트랜지스터(121)의 임계 전압(Vth)보다도 더 높다.

<166> 구동 트랜지스터(121)의 게이트(G)는 영상 신호(Vsig)의 기준전위(Vo)로 유지된다. 드디어, 도 6E에 도시된 바와 같이, 구동 트랜지스터(121)의 소스(S)의 전위(Vs)가 상승해서 게이트-소스 전압(Vgs)이 임계 전압(Vth)이 되고, 구동 트랜지스터(121)는 컷오프된다. 이 컷오프까지, 드레인 전류가 흐른다. 구동 트랜지스터(121)가 컷오프되면, 구동 트랜지스터(121)의 소스 전위(Vs)는 "Vo-Vth"이 된다.

<167> 임계값 보정 기간(E)에 드레인 전류가 오로지 훌딩 캐패시터(120)($Cs \ll Cel$ 일 때)로 흐르고 유기 EL 소자(127)로 흐르지 않도록 하기 위해서, 공통 접지 배선(cath)의 전위(Vcath)와 초기화 전위(Vini)는 유기 EL 소자(127)가 이 주기(E)에서 컷오프되도록 설정된다.

<168> 유기 EL 소자(127)의 등가회로는 다이오드와 기생 캐패시터(Cel)의 병렬회로로서 표현된다. 그러므로, 관계식 " $Vel \leq Vcath + VthEL$ "이 만족되는 한, 즉 유기 EL 소자(127)의 누설전류가 구동 트랜지스터(121)로 흐르는 전류보다 상당히 작게 되는 한, 구동 트랜지스터(121)의 전류는 훌딩 캐패시터(120)와 기생 캐패시터(Cel)를 충전하기 위해서 사용된다.

<169> 그 결과, 구동 트랜지스터(121)를 통해 흐르는 드레인 전류의 전류 경로가 차단되면, 유기 EL 소자(127)의 애노드(A)의 전압(Vel), 즉 노드(ND121)의 전위는 시간 경과에 따라 상승한다. 노드(ND121)의 전위(소스 전위 Vs)와 노드(ND122)의 전위(게이트 전위 Vg)간의 전위차가 정확히 임계 전압(Vth)과 동등하게 될 때, 구동 트랜지스터(121)는 온 상태에서 오프 상태로 전환되고, 따라서 드레인 전류의 흐름은 중지되어, 임계값 보정 기간의 종료와 동등하게 된다. 즉, 일정 시간 경과후, 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)은 임계 전압(Vth)과 동등하게 된다.

<170> 실제로, 임계 전압(Vth)에 해당하는 전압은 구동 트랜지스터(121)의 게이트(G)와 소스(S) 사이에 접속된 훌딩 캐패시터(120)에 기록된다. 그러나, 기록 구동 펄스(WS)를 활성-H 상태로 유지하면서 초기화 주사 펄스(ASL)가 비활성-L 상태로 천이되는 타이밍(t14A) 및 영상 신호(Vsig)가 기준전위(Vo)로 천이되는 타이밍(t14V)으로부터 기록 구동 펄스(WS)가 비활성-L 상태로 복귀되는 타이밍(t15W)까지가 되는, 임계값 보정 기간(E)이 충분하게 확보되지 않을 때, 이 기간(E)은 임계 전압(Vth)에 해당하는 전압의 기록 이전에 종료된다. 이런 문제를 해소하기 위해서, 임계값 보정 동작이 여러번 반복되는 것이 바람직하다. 도 6에서, 임계값 보정 동작의 반복 타이밍의 표시는 생략된다.

<171> 1수평기간의 후반부에서, 초기화 주사부(115)는 기록 구동 펄스(WS)를 비활성-L 상태로 천이시키고(t15W), 다음에 수평 구동부(106)는 영상 신호선(106HS)의 전위를 기준전위(Vo)로부터 신호 전위(Vin)로 천이시킨다(t15V). 이에 따라, 도 6f에 도시된 바와 같이, 타이밍(t15W) 내지 타이밍(t15V)의 기간에, 기록 주사선(104WS)의 전위(기록 구동 펄스(WS))는 영상 신호선(106HS)이 기준전위(Vo)에 있는 상태에서 로우 레벨이 된다.

<172> 이후에, 소정 기간에, 영상 신호(Vsig)의 신호 전위(Vin)가 수평 구동부(106)에 의해 영상 신호선(106HS)에 실제로 공급되고, 기록 구동 펄스(WS)는 활성-H 상태로 유지된다. 이 기간은 훌딩 캐패시터(120)에 신호 전위(Vin)를 기록하기 위한 기록 기간(샘플링 기간이라고도 칭함)이라고 한다. 이 신호 전위(Vin)는 구동 트랜지스터(121)의 임계 전압(Vth)에 더해지는 식으로 유지된다.

<173> 그 결과, 구동 트랜지스터(121)의 임계 전압(Vth)의 변동이 항상 캔슬되고, 따라서 임계값 보정이 달성된다. 이 임계값 보정에 의해, 훌딩 캐패시터(120)에 유지되는 게이트-소스 전압(Vgs)은 " $Vsig + Vth$ " = " $Vin + Vth$ "이 된다. 더욱이, 동시에, 이 샘플링 기간에서 이동도 보정이 실행된다. 즉, 본 실시예의 화소 회로(P)를 위한 구동 타이밍에 따르면, 샘플링 기간은 이동도 보정 기간으로서도 소용된다.

<174> 구체적으로, 우선, 기록 주사부(104)가 기록 구동 펄스(WS)를 비활성-L 상태로 천이시킨다(t15W). 또한, 수평 구동부(106)는 영상 신호선(106HS)의 전위를 기준전위(Vo)로부터 신호 전위(Vin)로 천이시킨다(t15V). 이런 동작에 의해, 도 6g에 도시된 바와 같이, 샘플링 트랜지스터(125)가 비도통(오프) 상태가 되는 상태에서, 다음 샘플링 동작 및 이동도 보정 동작의 준비가 완료된다. 기록 구동 펄스(WS)를 활성-H 상태로 천이시키는 타이밍(t16_1)까지의 기간은 기록 및 이동도 보정 준비 기간(G)이라고 칭해질 것이다.

<175> 주기(G)에 순차적으로, 영상 신호선(106HS)의 전위를 신호 전위(Vin)로 유지하면서, 기록 주사부(104)는 기록 구동 펄스(WS)를 활성-H 상태로 전환시킨다(t16_1). 다음에, 수평 구동부(106)가 영상 신호선(106HS)의 전위를 신호 전위(Vin)로부터 기준전위(Vo)로 전환시키는 타이밍(t18_1)까지의 기간내의 적당한 타이밍에서, 예를 들면 영상 신호선(106HS)가 신호 전위(Vin)에 있는 시간대의 적당한 타이밍에서, 기록 주사부(104)는 기록 구동 펄스(WS)를 비활성-L 상태로 전환시킨다(t17_1). 기록 구동 펄스(WS)가 활성-H 상태가 되는 이런 기간(t16_1 내지 t17_1)은 샘플링 기간 및 이동도 보정 기간(H)라고 칭해질 것이다.

<176> 구동 트랜지스터(121)의 이동도 변동과 편차를 보정하는 동작이 홀딩 캐패시터(120)에서의 영상 신호(Vsig)의 신호 전위(Vin)의 샘플링과 동시에 실행됨으로써, 이동도 보정과 샘플링이 별개의 타이밍에서 실행되는 경우와 비교하여, 전체 처리 시간이 단축될 수 있고, 그 처리 제어도 단순화되는 이점이 있다.

<177> 타이밍(t16_1)에서의 천이에 기인하여, 도 6h에 도시된 바와 같이, 구동 트랜지스터(121)의 게이트 전위(Vg)는 샘플링 트랜지스터(125)가 도통(온) 상태에 있는 동안 신호 전위(Vin)에 있게 된다. 그러므로, 샘플링 주기 및 이동도 보정 주기(H)에서, 구동 트랜지스터(121)의 게이트(G)가 영상 신호(Vsig)의 신호 전위(Vin)에 고정된 상태에서, 구동 트랜지스터(121)는 온 상태로 유지되어, 구동전류(Ids)가 구동 트랜지스터(121)에 흐른다. 이때, 초기에 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)은 "Vin+Vth"이 된다.

<178> VthEL이 유기 EL 소자(127)의 임계 전압이고 관계식 "Vo - Vth < VthEL"이 미리 설정되면, 유기 EL 소자(127)는 역 바이어스 상태에 있고, 따라서 컷오프 상태(고임피던스 상태)에 있게 된다. 그러므로, 유기 EL 소자(127)는 발광하지 않으며, 다이오드 특성 뿐만 아니라 단순한 용량특성도 보이지 않는다. 이에 따라, 구동 트랜지스터(121)에 흐르는 드레인 전류(구동전류(Ids))는 홀딩 캐패시터(120)의 용량값(Cs)과 유기 EL 소자(127)의 기생 캐패시터(등가용량)(Ce1)의 용량값(Ce1)의 양자를 결합한 용량 "C = Cs + Ce1"로 기록된다.

<179> 이것은 구동 트랜지스터(121)의 구동전류(Ids)가 유기 EL 소자(127)의 기생 캐패시터(Ce1)로 흐르도록 하여, 그것의 충전을 시작하도록 한다. 그 결과, 유기 EL 소자(127)의 애노드(A)의 전위, 즉 구동 트랜지스터(121)의 소스 전위(Vs)가 상승하기 시작한다. 구동 트랜지스터(121)의 소스 전위(Vs)가 ΔV 만 상승하면, 구동 트랜지스터(121)의 게이트-소스 전압(Vgs)은 ΔV 만큼 감소한다.

<180> 이것은 이동도 보정 동작에 해당된다. 이동도 보정 기간(도 6의 샘플링 기간 및 이동도 보정 기간 H)이 "t"일 때, 게이트-소스 전압(Vgs)의 감소량(ΔV)은 $\Delta V = Ids \cdot Ce1/t$ 에 따라 결정되며, 양(ΔV)이 이동도 보정을 위한 파라미터(이동도 보정 파라미터, 부귀환량)가 된다.

<181> 도 6의 타이밍 차트에서, 이 전위 상승분은 ΔV 로 표시된다. 이 전위 상승분, 즉 이동도 보정 파라미터인 부귀환량(ΔV)은 임계값 보정에 의해 홀딩 캐패시터(120)에 유지되는 게이트-소스 전압 "Vgs = Vin + Vth"으로부터 감산된다. 그러므로, 게이트-소스 전압(Vgs)은 "Vin - ΔV + Vth"이 되므로, 게이트-소스 전압(Vgs)에 대한 부귀환에 해당된다. 이때, 구동 트랜지스터(121)의 소스 전위(Vs)는 게이트 전위(Vg(Vin))로부터 홀딩 캐패시터에 유지되는 전압 "Vgs = Vin - ΔV + Vth"을 감산한 값 "- Vth + ΔV "이 된다.

<182> 이런 방식으로, 본 실시예의 화소 회로(P)에 있어서의 구동 타이밍에 따르면, 샘플링 기간 및 이동도 보정 기간(H)(t16~t17)에서, 영상 신호(Vsig)의 신호 전위(Vin)의 샘플링과 이동도(μ)을 보정하기 위한 부귀환량(이동도 보정 파라미터)(ΔV)의 조정이 실행된다. 기록 주사부(104)는 샘플링 기간 및 이동도 보정 기간(H)의 시간폭을 조정가능하며, 이에 따라 홀딩 캐패시터(120)에 대한 구동전류(Ids)의 부귀환량을 최적화할 수 있다.

<183> 상기 표현 "부귀환량을 최적화하는"은 영상 신호 전위의 블랙 레벨로부터 화이트 레벨까지의 범위에서 어느 레벨에 있어서도 적절한 이동도 보정을 하용하기 위한 설정으로 참조된다. 게이트-소스 전압(Vgs)에 대한 부귀환량(ΔVs)은 드레인 전류(Ids)의 추출 시간, 즉 샘플링 기간 및 이동도 보정 기간(H)에 의존한다. 이 기간이 더 길게 설정될수록, 부귀환량이 커지게 된다.

<184> 앞서 언급한 식으로부터 분명하게 나타나는 바와 같이, 구동 트랜지스터(121)의 드레인-소스간 전류인, 더 큰 구동전류(Ids)는 더 큰 부귀환량(ΔV)을 제공한다. 반대로, 더 작은 구동 트랜지스터(121)의 구동전류(Ids)는

더 작은 부귀환량(ΔV)을 제공한다. 이런 방식으로, 부귀환량(ΔV)은 구동전류(Ids)에 의존한다.

<185> 또한, 이후에 상술되는 바와 같이, 더 큰 신호 전위(Vin)는 더 큰 구동전류(Ids)를 제공하고, 따라서 부귀환량(ΔV)의 절대값도 커진다. 따라서, 발광 휘도 레벨에 의존한 이동도 보정이 실현된다. 이런 이동도 보정에서, 샘플링 기간 및 이동도 보정 기간(H)은 반드시 일정할 필요는 없다. 반대로, 일부의 경우에 구동전류(Ids)에 따라 주기(H)가 조정되는 것이 바람직하다. 예를 들면, 구동전류(Ids)가 클 경우, 이동도 보정 기간(t)은 짧게 설정된다. 반대로, 구동전류(Ids)가 작아지면, 샘플링 기간 및 이동도 보정 기간(H)은 길게 설정된다.

<186> 더욱이, 부귀환량(ΔV)은 $Ids \cdot C_{el}/t$ 과 같다. 그러므로, 구동전류(Ids)가 화소 회로(P) 사이에서의 이동도(μ) 편차에 기인하여 변동하는 경우에도, 화소 회로(P) 사이에서의 이동도(μ)의 편차를 보정할 수 있는, 구동전류(Ids)에 각각 대응하는 부귀환량(ΔV)이 얻어질 수 있다. 즉, 신호 전위(Vin)가 일정할 때, 구동 트랜지스터(121)의 이동도(μ)이 클수록 부귀환량(ΔV)의 절대값이 커진다. 다시 말해서, 이동도(μ)가 클수록 부귀환량(ΔV)이 커지므로, 화소 회로(P) 사이에서의 이동도(μ) 편차를 제거할 수 있다.

<187> 상술된 바와 같이, 본 실시예의 화소 회로(P)의 구동 타이밍에 따르면, 샘플링 기간 및 이동도 보정 기간(H)에서, 신호 전위(Vin)의 샘플링과 이동도(μ)의 편차를 보정하기 위한 부귀환량(ΔV)의 조정이 동시에 수행된다. 물론, 이동도 변동에 대한 보정량을 나타내는 부귀환량(ΔV)은 신호 전위(Vin)의 샘플링 신호인 기록 구동 펠스(WS)의 펠스폭, 즉 샘플링 기간 및 이동도 보정 기간(H)의 시간폭을 조정함으로써 최적화 가능하다.

<188> 주기(H) 다음에, 기록 주사부(104)는 영상 신호선(106HS)의 전위가 신호 전위(Vin)에 있는 상태에서 기록 구동 펠스(WS)를 비활성-L 상태로 바꾼다(t 17_1). 그 후에, 홀딩 캐패시터(120)에 유지된 정보에 기초하는 구동전류(Ids)가 유기 EL 소자(127)로 흐르는 기간(발광 기간 I)에서, 기록 구동 펠스(WS)는 지속적으로 비활성-L 상태에 유지되어 샘플링 트랜지스터(125)를 비도통 상태로 유지한다.

<189> 그러므로, 도 6i에 도시된 바와 같이, 샘플링 트랜지스터(125)가 비도통(오프) 상태가 되어 발광 기간(I)이 시작된다. 발광 기간(I)의 시작 이후의 특정 시점에서, 수령 구동부(106)는 영상 신호선(106HS)에 대한 영상 신호(Vsig)의 신호 전위(Vin)의 공급을 중지시키고, 영상 신호(Vsig)의 전위를 기준전위(Vo)로 복귀시킨다(t 18_1). 그 후에, 다음 프레임(펄드)이 시작되고, 다시 임계값 보정준비 동작, 임계값 보정 동작, 이동도 보정 동작, 및 발광 동작이 반복된다.

<190> 샘플링 트랜지스터(125)의 비도통 결과로서, 구동 트랜지스터(121)의 게이트(G)는 영상 신호선(106HS)으로부터 분리된다. 그러므로, 구동 트랜지스터(121)의 게이트(G)에 대한 신호 전위(Vin)의 인가가 중지되어, 구동 트랜지스터(121)의 게이트 전위(Vg)가 상승 가능해진다.

<191> 이때, 구동 트랜지스터(121)에 흐르는 구동전류(Ids)는 유기 EL 소자(127)로 흐르고, 유기 EL 소자(127)의 애노드 전위는 구동전류(Ids)에 따라 상승한다. 이런 전위 상승량은 V_{el} 로서 정의될 것이다. 드디어, 소스 전위(Vs)의 상승에 따른 단계에서, 유기 EL 소자(127)의 역바이어스 상태가 해제된다. 그러므로, 구동전류(Ids)의 흐름에 의해 유기 EL 소자(127)가 실제로 발광을 시작한다. 이때의 유기 EL 소자(127)의 애노드 전위의 상승(V_{el})은 구동 트랜지스터(121)의 소스 전위(Vs)의 상승에 해당된다. 그러므로, 구동 트랜지스터(121)의 소스 전위(Vs)는 $-(V_{th} + \Delta V + V_{el})$ 이 된다.

<192> 구동전류(Ids) 대 게이트 전압(Vgs)의 관계는 트랜지스터 특성을 표현하기 위한 식 (1)에서의 V_{gs} 에 대한 " $V_{in} - \Delta V + V_{th}$ "을 대입함으로써 얻어지는 식 (2)로 나타낼 수 있다. 식 (2)에서, $k = (1/2) (W/L)C_{ox}$ 이다.

$$Ids = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{in} - \Delta V)^2 \quad \dots (2)$$

<194> 식 (2)로부터 분명히 알 수 있는 바와 같이, 임계 전압(V_{th})은 제거되며, 따라서 유기 EL 소자(127)에 공급되는 구동전류(Ids)는 구동 트랜지스터(121)의 임계 전압(V_{th})에 의존하지 않는다. 기본적으로, 구동전류(Ids)는 영상 신호(Vsig)의 신호 전위(Vin)에 의해 정해진다. 다시 말해서, 유기 EL 소자(127)는 신호 전위(Vin)에 의존한 휘도로 발광한다.

<195> 상기 발광동안, 신호 전위(Vin)는 귀환량(ΔV)에 의해 보정된다. 이 보정량(ΔV)은 식 (2)의 계수부에 있는 이동도(μ)의 효과를 무효화시키는 기능을 한다. 결국, 구동전류(Ids)는 실질적으로 신호 전위(Vin)에만 의존하게 된다. 구동전류(Ids)는 임계 전압(V_{th})에 의존하지 않는다. 따라서, 임계 전압(V_{th})이 제조 프로세스에 의해 변동하더라도, 드레인-소스간의 구동전류(Ids)는 변동하지 않으며, 유기 EL 소자(127)의 발광 휘도도 변동하지 않는다.

<196> 더욱이, 훌딩 캐패시터(120)가 구동 트랜지스터(121)의 게이트(G)와 소스(S) 사이에 접속된다. 상기 훌딩 캐패시터(120)의 효과에 의해, 발광 기간의 초기에 부트스트랩 동작이 수행되어, 구동 트랜지스터(121)의 게이트-소스 전압 " $V_{gs} = V_{in} - \Delta V + V_{th}$ "이 일정하게 유지되는 식으로, 구동 트랜지스터(121)의 게이트 전위(V_g) 및 소스 전위(V_s)가 상승한다. 구동 트랜지스터(121)의 소스 전위(V_s)가 " $-V_{th} + \Delta V + V_{el}$ "이 되고, 따라서 게이트 전위(V_g)는 " $V_{in} + V_{el}$ "이 된다.

<197> 이때, 구동 트랜지스터(121)의 게이트-소스 전압(V_{gs})이 일정하기 때문에, 구동 트랜지스터(121)는 정전류(구동 전류(I_{ds}))를 유기 EL 소자(127)에 공급한다. 그 결과, 전압강하가 생기고, 유기 EL 소자(127)의 애노드(A)의 전위(V_{el}) (= 노드(ND121)의 전위)는 포화 상태에서의 구동전류(I_{ds})가 유기 EL 소자(127)를 통해 흐르도록 하는 전압까지 상승한다.

<198> 즉, 본 실시예의 구동 타이밍에 따르면, 부트스트랩 기능은 기록 구동 펄스(WS)가 비활성-L 상태로 천이되어 샘플링 트랜지스터(125)가 오프되는 발광 개시 시점에서 시작될 수 있다. 그 후의 발광 시작 초기에 있어서, 유기 EL 소자(127)를 통한 발광 전류(I_{el})의 흐름 개시에 응답하여 애노드-캐소드 전압(V_{el})이 안정이 될 때 까지 상승하는 과정에서, 애노드-캐소드 전압(V_{el})의 변동에 연동하여 구동 트랜지스터(121)의 소스 전위(V_s)가 변동하는 동안 부트스트랩 동작이 기능한다.

<199> 유기 EL 소자(127)의 애노드(A)가 V_{el} 만큼 상승할 때, 물론 구동 트랜지스터(121)의 소스 전위(V_s)도 V_{el} 만큼 상승한다. 이때, 게이트와 소스 사이의 훌딩 캐패시터(120)에 의한 부트스트랩 동작에 의해, 구동 트랜지스터(121)의 게이트 전위(V_g)도 V_{el} 만큼 상승한다. 그러므로, 부트스트랩 이전에 유지된 구동 트랜지스터(121)의 게이트-소스 전압("($V_{in} + V_{th} + \Delta V$)")은 발광 시작 초기의 부트스트랩 동작 이후에도 유지된다.

<200> 유기 EL 소자(127)의 I-V특성은 그것의 발광 시간이 길어질수록 변화한다. 그러므로, 유기 EL 소자(127)의 애노드 전위(즉, 노드(ND121)의 전위)도 시간의 경과에 따라 변화한다. 그러나, 유기 EL 소자(127)의 애노드 전위가 유기 EL 소자(127)에서의 시간에 따른 변화(시간에 따른 열화라고도 칭함)에 의해 변동하더라도, 훌딩 캐패시터(120)에 유지된 게이트-소스 전압(V_{gs})은 게이트와 소스 사이의 훌딩 캐패시터(120)에 의한 부트스트랩 동작에 의해 항상 " $V_{in} - \Delta V + V_{th}$ "에서 일정하게 유지된다.

<201> 구동 트랜지스터(121)는 정전류원으로서 동작한다. 그러므로, 유기 EL 소자(127)의 I-V특성이 시간에 따라 변화되고, 이에 따라서 구동 트랜지스터(121)의 소스 전위(V_s)가 변화될 경우에도, 구동 트랜지스터(121)의 게이트-소스 전위(V_{gs})는 훌딩 캐패시터(120)에 의해 일정(≒ $V_{in} - \Delta V + V_{th}$)하게 유지된다. 그러므로, 유기 EL 소자(127)에 흐르는 전류는 바뀌지 않고, 따라서 유기 EL 소자(127)의 발광 휘도도 일정하게 유지된다.

<202> 유기 EL 소자(127)의 특성 변동에 불구하고, 구동 트랜지스터(121)의 게이트-소스 전압이 일정하게 유지되어 휘도가 일정하게 유지되는, 보정을 위한 동작(훌딩 캐패시터(120)의 효과에 의한 동작)은 부트스트랩 동작으로 참조된다. 이러한 부트스트랩 동작에 의해, 유기 EL 소자(127)의 I-V특성이 시간에 따라 변화되어도, 시간 경과에 따른 변화에 수반하는 휘도의 열화없이 화상표시가 가능하게 된다.

<203> 즉, 본 실시예의 화소 회로(P)와 그것의 구동 타이밍에 따르면, 전기광학소자의 일레인 유기 EL 소자(127)의 전류-전압특성의 변화를 보정함으로써 구동전류를 일정하게 유지하기 위한 구동 신호 일정화 회로의 일례로서 부트스트랩 회로가 구성되어, 부트스트랩 동작의 기능이 허용된다. 따라서, 유기 EL 소자(127)의 I-V특성이 열화되더라도, 정전류(I_{ds})의 흐름은 내내 계속된다. 그러므로, 유기 EL 소자(127)는 화소신호(V_{sig})에 의존한 휘도로 발광을 계속하며, 따라서 휘도는 변화되지 않는다. 상기 부트스트랩 동작은 유기 EL 소자(127)(또는 다른 전류 구동형 발광소자)의 시간 경과에 따른 변동에 수반하는 구동전류(I_{ds})(및 발광 전류(I_{el}))의 변동을 보정 가능하게 한다.

<204> 더욱이, 본 실시예의 화소 회로(P)와 그것의 구동 타이밍에 따르면, 구동 트랜지스터(121)의 임계 전압(V_{th})을 보정함으로써 구동전류를 일정하게 유지하는 구동 신호 일정화 회로의 일레인 임계값 보정회로가 구성되어, 임계값 보정 동작의 기능이 허용된다. 상기 임계값 보정 동작은 구동 트랜지스터(121)의 임계 전압(V_{th})이 게이트-소스 전위(V_{gs})에 반영되도록 하여, 임계 전압(V_{th})의 편차에 의해 전혀 영향을 받지 않는 정전류(I_{ds})를 제공할 수 있다.

<205> 특히, 도면에 도시되지는 않았더라도, 1수평기간으로 설정한 처리 사이클로 여러번에 걸쳐서 임계값 보정 동작을 반복함으로써, 임계 전압(V_{th})은 확실하게 훌딩 캐패시터(120)에 유지될 수 있다. 이것은 화소간 임계 전압(V_{th})의 차이를 확실하게 제거시키며, 따라서 계조에 불구하고 임계 전압(V_{th})의 편차에 기인하는 휘도 편차를 억제할 수 있다.

<206> 이에 대하여, 예를 들어 임계값 보정 동작의 회수가 1회가 되는 등 임계 전압(Vth)의 보정이 불충분한 경우에, 즉 임계 전압(Vth)이 훌딩 캐패시터(120)에 유지되지 않을 경우에, 다른 화소 회로(P)의 사이에서의 휘도(구동 전류(Ids)) 차이가 저계조 영역에서 발생할 것이다. 따라서, 임계 전압의 보정이 불충분한 경우에, 저계조에서의 휘도 불균일이 나타나고 화질이 손상된다.

<207> 본 실시예의 화소 회로(P)와 그것의 구동 타이밍에 따르면, 샘플링 트랜지스터(125)에 의해 신호 전위(Vin)를 훌딩 캐패시터(120)에 기록하는 동작과 연동하여 구동 트랜지스터(121)의 이동도(μ)을 보정함으로써 구동전류를 일정하게 유지하는 구동 신호 일정화 회로의 일례인 이동도 보정회로가 구성되어, 이동도 보정 동작의 기능이 허용된다. 상기 이동도 보정 동작은 구동 트랜지스터(121)의 캐리어 이동도(μ)가 게이트-소스 전위(Vgs)에 반영되도록 하여, 캐리어 이동도(μ)의 편차에 의해 전혀 영향을 받지 않는 정전류(Ids)를 공급할 수 있다.

<208> 즉, 본 실시예의 화소 회로(P)에서, 임계값 보정회로 및 이동도 보정회로는 구동 타이밍의 독창적인 설계를 통해 자동적으로 구성된다. 더욱이, 구동 트랜지스터(121)의 특성 편차(본 예에서, 임계 전압(Vth) 및 캐리어 이동도(μ)의 편차)에 의한 구동전류(Ids)에 미치는 영향을 방지하기 위하여, 이러한 회로는 임계 전압(Vth) 및 캐리어 이동도(μ)에 의한 영향을 보정함으로써 구동전류를 일정하게 유지하기 위한 구동 신호 일정화 회로로서 각각 기능한다.

<209> 부트스트랩 동작 뿐만 아니라, 임계값 보정 동작과 이동도 보정 동작이 실행되기 때문에, 부트스트랩 동작에 의해 유지되는 게이트-소스 전압(Vgs)은 임계 전압(Vth)에 해당하는 전압과 이동도 보정을 위한 전압(ΔV)에 따른 조정으로 얻어진다. 그러므로, 유기 EL 소자(127)의 발광 휘도는 구동 트랜지스터(121)의 임계 전압(Vth)과 이동도(μ)의 편차에 의해 전혀 영향을 받지 않으며, 유기 EL 소자(127)의 시간 경과에 따른 열화에 의해서도 전혀 영향을 받지 않는다. 입력 신호 전위(Vin)에 대응하는 안정한 계조에서의 표시가 가능하며, 따라서 고화질의 화상이 얻어질 수 있다.

<210> 또한, 본 실시예의 화소 회로(P)는 n채널 구동 트랜지스터(121)를 사용한 소스 폴로어(follower) 회로로 구성될 수 있으며, 따라서 현재의 애노드와 캐소드 전극을 가지는 유기 EL 소자가 그대로 사용되더라도, 유기 EL 소자(127)를 구동할 수 있다.

<211> 또한, 화소 회로(P)는 샘플링 트랜지스터(125) 뿐만 아니라 구동 트랜지스터(121)도 포함하는 n채널 트랜지스터만 사용함으로써 구성될 수 있다. 그러므로, 비정질 실리콘(a-Si) 공정이 TFT 제조에 사용될 수 있어, TFT 기판의 저비용화를 꾀할 수 있다.

<212> <부트스트랩 동작과 기생 캐패시터의 관계>

<213> 도 7은 부트스트랩 동작과 구동 트랜지스터(121)의 게이트(G)에 생기는 기생 캐패시터의 관계를 설명하는 도면이다. 일례로서, 구동 트랜지스터(121)의 게이트(G)에 생기는 기생 캐패시터으로서, 샘플링 트랜지스터(125)의 게이트(G)와 소스(S)(소스 S가 영상 신호선(106HS)에 접속될 때, 드레인 D)의 사이에 형성되는 기생 캐패시터(C125gs)(Cw의 용량값을 가지는)이 존재한다. 더욱이, 구동 트랜지스터(121)의 게이트(G)와 접지(GND) 사이에 형성되는 기생 캐패시터(C125gg)(Cp의 용량값을 가지는)이 또한 존재한다.

<214> 또한, 구동 트랜지스터(121)의 게이트(G)와 소스(S) 사이에도 기생 캐패시터(C121gs)이 형성된다. 그러나, 이런 기생 캐패시터(C121gs)은 구동 트랜지스터(121)의 게이트(G)와 소스(S) 사이에 접속된 훌딩 캐패시터(120)와 병렬로 배치되어, 훌딩 캐패시터(120)와 동일한 효과를 제공할 수 있다. 그러므로, 부트스트랩 동작과 기생 캐패시터의 관계를 설명함에 있어서, 기생 캐패시터(C121gs)은 무시될 수 있다.

<215> 부가적으로, 구동 트랜지스터(121)의 게이트(G)와 드레인(D) 사이에도 기생 캐패시터(C121gd)이 형성된다. 그러나, 이런 기생 캐패시터(C121gd)은 기생 캐패시터(C125gs)과 병렬로 배치되기 때문에, 기생 캐패시터(C121gd)의 용량이 용량값(Cw)에 포함되는 것으로 고려함으로써 기생 캐패시터(C121gd)은 무시될 수 있다.

<216> 전술한 부트스트랩 동작 능력(부트스트랩 게인 Gb이라고 칭함)은 훌딩 캐패시터(120)의 용량값(Cs), 기생 캐패시터(C125gs)의 용량값(Cw), 및 기생 캐패시터(C125gg)의 용량값(Cp) 사이에서의 관계에 있어서, " $Gb = Cs/(Cs + Cw + Cp)$ "에 의해 표현된다. 부트스트랩 게인(Gb)이 "1"에 더 근접할수록 더 높은 부트스트랩 게인(Gb)을 의미한다. 즉, 부트스트랩 게인(Gb)이 "1"에 더 근접한다는 것은 유기 EL 소자(127)의 전류-전압 특성의 시간 경과에 따른 변동에 대한 구동전류(Ids)의 보정능력이 높다는 것을 의미한다.

<217> 도 5에 도시된 본 실시예의 화소 회로(P)에서, 훌딩 캐패시터(120) 이외의 구동 트랜지스터(121)의 게이트(G)에 접속되는 소자수는 최소화된다(구체적으로, 샘플링 트랜지스터(125)만). 그러므로, 게이트(G)와 접지(GND) 사이

에 형성되는 기생 캐패시터(C125gg)의 용량값(Cp)은 거의 무시될 수 있다. 결국, 부트스트랩 동작 능력은 "Gb = Cs / (Cs + Cw)"에 의해 표현된다. 그러므로, 기생 캐패시터(C125gs)의 용량값(Cw)이 훌딩 캐패시터(120)의 용량값(Cs) 보다 충분하게 더 낮다면, 부트스트랩 게인(Gb)은 극단적으로 "1"에 근접하게 되고, 이는 유기 EL 소자(127)의 전류-전압 특성의 시간 경과에 따른 변동에 대한 구동전류(Ids)의 보정 능력이 높다는 것을 나타낸다.

<218> 즉, 간소화된 화소 회로로, 소자의 특성 편차에 기인한 휘도 변화를 억제하는 임계값 보정 동작 및 이동도 보정 동작을 실현하기 위한 방식의 개발을 위하여, 단지 샘플링 트랜지스터(125)가 훌딩 캐패시터(120) 이외의 구동 트랜지스터(121)의 게이트(G)에 접속되는 소자로서 사용되는 화소 회로(P)가 제공된다. 그러므로, 구동 트랜지스터(121)의 게이트(G)에 생기는 기생 캐패시터은 극단적으로 낮아질 수 있고, 이는 부트스트랩 동작을 보조하여 유기 EL 소자(127)의 전류-전압 특성의 시간 경과에 따른 변동에 대한 구동전류(Ids)의 보정 능력을 향상시키도록 한다.

<219> 더욱이, 임계값 보정에 선행하는 구동 트랜지스터(121)에 대한 초기화 동작을 위하여, 초기화 전위를 공급하는 배선으로서 영상 신호(Vsig)를 위한 영상 신호선(106HS)을 이용함으로써, 초기화 전위(Vini)가 프리차징에 이용되는 기준전위(Vo)에 미리 공급된다. 이런 동작을 위하여, 초기화 전위(Vini)의 기간에 턴온되는 초기화 트랜지스터(126)가 기본적인 2TR-구동 구성에 추가되고, 그결과 3TR-구동 구성이 얻어진다. 이런 구성은 특허문현 1에 기재된 5TR-구동 구성에 비교하여 보정을 위한 배선과 트랜지스터의 수가 더 적어진다. 그러므로, 간소화된 화소 회로가 얻어질 수 있다.

<220> 유기 EL 소자로 대표되는 전류구동형 발광소자를 포함하는 표시장치에서, 모든 구동 트랜지스터의 임계값 변동 보정, 이동도 변동 보정, 및 발광소자의 시간 경과에 따른 변동 보정이 5TR-구동 구성과 비교하여 더 적은 소자에서 수행될 수 있다. 이런 특징은 고선명화에 적합하고, 휴대 기기(모바일 기기)와 같은 소형의 전자기기에 사용될 수 있는 표시장치에 전류구동형 발광소자를 적용하는 것이 용이하도록 한다.

<221> 여기까지는 본 발명의 실시예를 설명한 것이다. 본 발명의 기술적 범위는 상기 실시예에 기재된 범위에 한정되지 않는다. 다양한 변경 또는 개량이 발명의 요지를 일탈하지 않는 범위에서 상기 실시예에 더해질 수 있으며, 그러한 변경 또는 개량의 부가를 통해 얻어지는 형태도 본 발명의 기술적 범위에 포함된다.

<222> 더욱이, 상기의 실시예는 청구범위에 관련되는 발명을 한정하지 않을 것이고, 상기 실시예에서의 모든 특징의 조합이 발명의 해결 수단에 필수적인 것은 아니다. 상기 실시예에는 다양한 단계의 발명이 포함되며, 다양한 발명이 개시되는 복수의 구성 요건의 적절한 조합에 의해 추출될 수 있다. 몇몇의 구성 요건이 상기 실시예에서의 모든 구성 요건에서 제거되더라도, 이런 몇몇의 구성 요건의 제거로부터 얻어지는 구성은 유리한 효과가 얻어질 수 있는 한 발명으로서 추출될 수 있다.

<223> <화소 회로의 변형예>

<224> 예를 들면, 회로 이론과 관련하여, "이중성(duality) 이론"이 화소 회로(P)에 대하여 적용될 수 있으며, 따라서 이런 관점에서의 변형이 화소 회로(P)에 부가될 수 있다. 상기 변형으로서, 도시가 생략되더라도, 도 5에 도시된 화소 회로(P)가 n채널 트랜지스터를 사용하여 구성되고 있는 것과 대조적으로, p채널 트랜지스터를 사용하여 화소 회로(P)가 구성된다. 이런 변형에 부합하기 위하여, 영상 신호(Vsig)의 기준전위(Vo)에 대한 초기화 전위(Vini)와 신호 전위(Vin)의 극성 역전 및 전원 전압 사이의 크기관계의 역전과 같은, 이중성 이론에 따른 변경이 부가된다.

<225> 예를 들면, "이중성 이론"에 따른 변형된 형태의 화소 회로(P)에서, 훌딩 캐패시터(120)가 p채널 구동 트랜지스터(이하, p 형 구동 트랜지스터(121p)라고 칭함)의 게이트(G)와 소스(S) 사이에 접속된다. 상기 p 형 구동 트랜지스터(121p)의 소스(S)는 직접적으로 유기 EL소자(127)의 캐소드(K)에 접속된다. 유기 EL 소자(127)의 애노드(A)는 기준전위로서 애노드 전위(Vanode)를 공급된다. 이 애노드 전위(Vanode)는 기준전위를 공급하고 전체 화소에 공통인 기준전원(고전위측)에 접속된다. p 형 구동 트랜지스터(121p)의 드레인(D)은 저전압측의 전원 전위(Vcc_L)에 접속되어, 유기 EL 소자(127)를 발광시키기 위한 구동전류(Ids)의 통과를 허용한다.

<226> p채널 샘플링 트랜지스터(이하, p 형 샘플링 트랜지스터(125p)라고 칭함)는 영상 신호선(106HS)과 기록 주사선(104WS) 사이의 교차부에 배치된다. p 형 샘플링 트랜지스터(125p)는 게이트(G)를 기록 주사부(104)로부터의 기록 주사선(104WS)에 접속된다. 그것의 드레인(D)(또는 소스(S))은 영상 신호선(106HS)에 접속되고, 소스(S)(또는 드레인(D))은 p 형 구동 트랜지스터(121p)의 게이트(G)와 훌딩 캐패시터(120)의 한쪽 단자 사이의 접속 노드에 접속된다. p 형 샘플링 트랜지스터(125p)의 게이트(G)에는 기록 주사부(104)로부터 활성화-L의 기록 구동 펄스(WS)가 공급된다.

<227> p채널 초기화 트랜지스터(이하, p형 초기화 트랜지스터(126p)라고 칭함)가 영상 신호선(106HS)과 초기화 주사선(115ASL) 사이의 교차부에 배치된다. p형 초기화 트랜지스터(126p)의 게이트(G)는 초기화 주사부(115)로부터의 초기화 주사선(115ASL)에 접속된다. 그것의 드레인(D)(또는 소스(S))은 영상 신호선(106HS)에 접속되고, 그것의 소스(S)(또는 드레인(D))는 구동 트랜지스터(121)의 소스(S)와 홀딩 캐패시터(120)의 다른 단자 사이의 접속 노드에 접속된다. 초기화 트랜지스터(126)의 게이트(G)에는 초기화 주사부(115)로부터 활성화-L의 초기화 주사 펄스(ASL)가 공급된다.

<228> p형 트랜지스터가 이중성 이론에 기초하여 사용되는 변형예의 유기 EL 표시장치에 있어서도, 전술한 n형 트랜지스터를 포함하는 기본예의 유기 EL 표시장치 와 유사하게, p형 초기화 트랜지스터(126p)의 동작에 의한 임계값 보정 준비 동작(p형 구동 트랜지스터(121p)에 대한 초기화 동작), 임계값 보정 동작, 이동도 보정 동작, 및 부트스트랩 동작이 실행될 수 있다.

<229> 전술한 변형예가 도 5에 나타낸 구성에 대하여 "이중성 이론"에 따른 변경의 부가에 의해 얻어지더라도, 회로 변경의 구성은 이것에 한정되는 않는다. 상기 실시예의 개념은 상기 구성이 다음의 특징을 실현하고 있는 한 어린 구성에도 부가될 수 있다. 구체적으로, 임계값 보정 동작을 위하여, 기록 주사부(104)에 의한 선 순차 방식의 주사에 맞춰서 각 수평주기내에서 초기화 전위(Vini), 기준전위(Vo), 및 신호 전위(Vin)로 바뀌는 영상 신호(Vsig)가 영상 신호선(106HS)에 전송된다. 더욱이, 구동 트랜지스터(121)는 기준전위(Vo)에 선행하는 초기화 전위(Vini)의 기간에 초기화 트랜지스터(126)를 온 시킴으로써 초기화될 수 있다.

<230> <구동 타이밍의 변형예>

<231> 구동 타이밍의 측면에서, 제2 전위(Vcc_L)로부터 제1 전위(Vcc_H)로 천이하는 전원 공급선(105DSL)의 전위의 타이밍이 영상 신호(Vsig)의 비유효 기간에 대응하는 기준전위(Vo)의 기간으로 설정되는 여러가지 변형이 가능하다.

<232> 변형예로서, 도시가 생략되더라도(후술하는 도 8b 내지 도 11 참조), 샘플링 기간 및 이동도 보정 기간(H)의 설정 방법이 도 6에 도시된 구동 타이밍에 대하여 변형될 수 있다. 구체적으로, 우선 영상 신호(Vsig)가 기준전위(Vo)로부터 신호 전위(Vin)로 천이하는 타이밍(t15V)은 유효기간으로서 신호 전위(Vin)의 기간이 좁게 되도록 도 6에 도시된 구동 타이밍보다도 1수평기간의 후반측에 가깝게 시프트된다.

<233> 더욱이, 임계값 보정 동작의 완료후(임계값 보정 기간(E)의 완료후), 기록 구동 펄스(WS)가 활성-H로 유지되는 상태에서, 영상 신호(Vsig)의 신호 전위(Vin)가 수평 구동부(106)에 의해 영상 신호선(106HS)에 공급된다(t16). 상기 타이밍(t16)으로부터 기록 구동 펄스(WS)가 비활성-L 상태로 천이되는 타이밍(t17)까지의 기간은 홀딩 캐패시터(120)에 대한 화소신호(Vsig)의 기록 기간으로서 정의된다. 이 신호 전위(Vin)는 구동 트랜지스터(121)의 임계 전압(Vth)에 더해지는 형태로 유지된다. 그 결과, 구동 트랜지스터(121)의 임계 전압(Vth)의 변동은 항상 캔슬되며, 임계값 보정이 달성된다. 이 임계값 보정 동작에 의해, 홀딩 캐패시터(120)에 유지되는 게이트-소스 전압(Vgs)은 "Vsig + Vth"이 된다. 더욱이, 동시에, 이동도 보정이 타이밍(t16)으로부터 타이밍(t17)까지의 신호 기록 기간에서 실행된다. 즉, t16 내지 t17의 기간은 신호 기록 기간 및 이동도 보정 기간의 둘다를 겸하는 것이 된다.

<234> 이동도 보정이 실행되는 t16으로부터 t17까지의 기간에서, 유기 EL 소자(127)는 역바이어스 상태에 있으며, 실제로 발광하지 않는다. t16으로부터 t17까지의 이런 이동도 보정 기간에서, 구동전류(Ids)가 구동 트랜지스터(121)의 게이트(G)가 영상 신호(Vsig)의 레벨로 고정된 상태에서 구동 트랜지스터(121)에 흐른다. 다음의 구동 타이밍은 도 6에 도시된 구동 타이밍과 동일하다.

<235> 변형예의 구동 타이밍은 기준전위(Vo)에 선행하는 초기화 전위(Vini)의 기간에서 초기화 트랜지스터(126)를 온 시킴으로써 구동 트랜지스터(121)를 초기화시키는 동작과 관련하여 도 6에 도시된 구동 타이밍과 완전하게 동일하다. 따라서, 샘플링 기간 및 이동도 보정 기간(H)의 변형에 관한 점을 제외하고, 전술한 실시예의 효과는 마찬가지로 제공할 수 있다.

<236> 변형예의 구동 타이밍에 따르면, 각 구동부(104, 106)는 수평 구동부(106)로부터 영상 신호선(106HS)에 공급되는 영상 신호(Vsig)와 기록 주사부(104)로부터 공급되는 기록 구동 펄스(WS) 사이의 상대적인 위상차를 조정함으로써 이동도 보정 기간을 최적화할 수 있다.

<237> 그러나, 기록 및 이동도 보정 준비기간(G)이 존재하지 않고, 타이밍(t16V)로부터 타이밍(t17W)까지의 기간이 샘플링 기간 및 이동도 보정 기간(H)이 된다. 이것은 샘플링 기간 및 이동도 보정 기간(H)이 기록 주사선(104WS)

과 영상 신호선(106HS)의 배선 저항과 배선 용량의 거리 의존의 영향에 기인하는 파형 특성의 차이에 의해 영향을 받을 가능성이 있다. 거리 의존에 의해, 샘플링 전위와 이동도 보정 기간은 화면의 기록 주사부(104)에 가까운 측과 먼 측(즉, 화면의 좌우측)에서 다르게 될 것이다. 따라서, 화면의 좌우에서 휘도 차이가 생기고, 시각적으로 쇼이딩(shading)으로서 인식되는 문제점이 걱정된다.

<238> 이하, 기록 및 이동도 보정 준비기간에 관한 상세한 설명이 도 6에 도시된 기본예의 구동 타이밍과 변형예의 구동 타이밍 사이의 차이를 고려하여 이루어질 것이다.

<239> <이동도 보정 기간의 설정 구성>

<240> 도 8은 화소 회로(P)에 대한 이동도 보정 기간(t)를 결정하는 동작 타이밍을 설명하는 개략도이다. 도 8a는 도 6에 도시된 기본예의 구동 타이밍에 대응하는 경우를 나타낸다. 도 8b는 전술한 변형예의 구동 타이밍에 대응하는 경우를 나타낸다.

<241> 도 8a와 도 8b의 어느 하나의 경우에, 영상 신호선(106HS)의 신호 전위(V_{in})(이하, 영상 신호선 전위라고도 칭함)의 상승 에지가 경사를 가짐으로써, 이동도 보정 기간(t)이 영상 신호선 전위에 자동적으로 추종하도록 하여 이동도 보정 기간(t)의 최적화를 꾀하고 있다.

<242> 도 8a에 도시된 기본예에서, 이동도 보정 기간(t)는 기록 주사선(104WS)의 펄스폭에 의해 결정되고, 게다가 영상 신호선(106HS)의 전위에 의해 결정된다. 이동도 보정 파라미터(ΔV)는 " $\Delta V = I_{ds} \cdot C_{el}/t$ "이다. 이 식은 " $t = C_{el} \cdot \Delta V/I_{ds}$ "로 변환될 수 있다.

<243> 이들의 식으로부터 알 수 있는 바와 같이, 기본예의 구동 타이밍에 따르면, 구동 트랜지스터(121)의 드레인-소스간 전류(구동전류(I_{ds})))가 커질수록, 이동도 보정 파라미터(ΔV)는 커지고 이동도 보정 기간(t)은 짧아진다. 반대로, 구동 트랜지스터(121)의 구동전류(I_{ds}))가 작아질수록, 이동도 보정 파라미터(ΔV)는 작아지고 이동도 보정 기간(t)은 길어진다. 또한, 구동 트랜지스터(121)의 이동도 변동과 편차에 대한 보정 동작은 영상 신호 샘플링을 위한 기록 구동 펄스(WS)의 폴스 폭에 기초하여 조정될 수 있다.

<244> 한편, 도 8b에 도시된 변형예의 구동 타이밍에 따르면, 이동도 보정 기간(t)은 기록 주사선(104WS)의 전위와 영상 신호선(106HS)의 전위의 위상차에 의해 결정되고, 게다가 영상 신호선(106HS)의 전위 자체에 의해 결정된다. 이동도 보정 파라미터(ΔV)는 " $\Delta V = I_{ds} \cdot C_{el} / t$ "이다. 이 식은 " $t = C_{el} \cdot \Delta V/I_{ds}$ "로 변환될 수 있다.

<245> 이들의 식으로부터 알 수 있는 바와 같이, 변형예의 구동 타이밍에서도, 구동 트랜지스터(121)의 드레인-소스간 전류(구동전류(I_{ds})))이 커질수록, 이동도 보정 파라미터(ΔV)는 커지고 이동도 보정 기간(t)은 짧아진다. 반대로, 구동 트랜지스터(121)의 구동전류(I_{ds}))가 작아질수록, 이동도 보정 파라미터(ΔV)는 작아지고 이동도 보정 기간(t)은 길어진다. 기본예의 구동 타이밍과 차이점으로서, 구동 트랜지스터(121)의 이동도 변동과 편차에 대한 보정 동작이 기록 주사선(104WS)의 전위와 영상 신호선(106HS)의 전위 사이의 위상차에 기초하여 조정될 수 있다.

<246> 전술한 바와 같이, 도 8a와 도 8b의 어느 하나의 경우에, 이동도 보정 기간의 설정 구성이 약간 다르더라도, 이동도 보정 파라미터(ΔV)는 구동 트랜지스터(121)의 구동전류(I_{ds})(및 발광 전류(I_{el})))에 따라 결정된다. 이동도 보정시, 이동도 보정 기간(t)은 반드시 일정할 필요는 없다. 반대로, 일부의 경우에는 구동전류(I_{ds})에 따라 조정하는 것이 바람직할 경우가 있다. 예를 들면, 구동전류(I_{ds})가 클 경우에, 이동도 보정 기간(t)은 짧게 설정한다. 반대로, 구동전류(I_{ds})가 작아지면, 이동도 보정 기간(t)은 길게 설정한다.

<247> 도 8a와 도 8b의 어느 하나의 경우에, 적어도 영상 신호선 전위의 상승 에지에 경사를 제공함으로써, 이동도 보정 기간(t)이 영상 신호선(106HS)의 전위에 의해 조정될 수 있다. 예를 들면, 영상 신호선(106HS)의 전위가 높을 때, 구동전류(I_{ds})가 커져서 이동도 보정 기간(t)이 짧아진다. 반대로, 영상 신호선(106HS)의 전위가 낮을 때, 구동전류(I_{ds})가 작아져서 이동도 보정 기간(t)이 길어진다(서로 다른 이동도 보정 기간(t_a , t_b , 및 t_c)이 영상 신호선(106HS)의 전위에 의해 얻어진다). 즉, 이동도 보정 기간(t)은 영상 신호(V_{sig})(구체적으로, 신호 전위(V_{in}))에 자동적으로 추종하는 식으로 설정될 수 있다.

<248> <이동도 보정 기간과 배선 저항 및 배선 용량의 관계>

<249> 도 9 내지 도 12는 샘플링 기간 및 이동도 보정 기간(H)과 기록 주사선(104WS) 및 영상 신호선(106HS)의 배선 저항 및 배선 용량의 관계를 설명하는 개략도이다. 도 9는 화면의 수평방향에 따른 균일성에 초점을 맞추어 도 6에 도시된 기본예의 구동 타이밍을 나타낸다. 도 10은 화면의 수직방향에 따른 균일성에 초점을 맞추어 도 6에 도시된 기본예의 구동 타이밍을 나타낸다. 도 11은 화면의 수평방향에 따른 균일성에 초점을 맞추어 전술한 변

형예의 구동 타이밍을 나타낸다. 도 12는 도 9에 대한 변형예를 나타낸다. 도 12 이외의 각 도면에서, A는 면 측의 화소에 대한 주사선 전위와 영상 신호선 전위의 파형 사이의 관계를 도시하고, B는 가까운 측의 화소에 대한 주사선 전위와 영상 신호선 전위의 파형 사이의 관계를 도시한다.

<250> 각 도면에서의 파형 관계는 하기의 가설에 기초하고 있다. 구체적으로, 샘플링 트랜지스터(125)의 게이트(G)는 기록 주사부(104)로부터의 기록 주사선(104WS)에 접속된다. 그것의 드레인(D)은 영상 신호선(106HS)에 접속되며, 그것의 소스(S)는 구동 트랜지스터(121)의 게이트(G)와 홀딩 캐패시터(120)의 한쪽의 단자 사이의 접속 노드(노드(ND122))에 결합된다. 더욱이, 샘플링 트랜지스터(125)로서, 증가형 트랜지스터가 사용된다. 부가적으로, 오프로부터 온 할 때의 특성은 온으로부터 오프할 때의 특성과 동등하고, 소위 슈미트(Schmidt) 특성은 무시된다.

<251> 도 6에 도시된 본 실시예의 구동 타이밍이 사용될 때의 화면의 수평 방향에 따른 균일성에 대한 논의가 이루어질 것이다. 기록 구동 펄스(WS)는 기록 주사부(104)로부터 1행의 모든 화소 회로(P)에 공통으로 공급된다. 그러므로, 도 9에 도시된 바와 같이, 배선 용량과 배선 저항의 영향으로, 기록 주사부(104)로부터 면 화소 회로(P) (면 측의 화소)에서의 기록 구동 펄스(WS)의 파형 손상은 기록 주사부(104)로부터 가까운 화소 회로(P)(가까운 측의 화소)에서보다도 더 커진다. 반대로, 면 측의 화소 및 가까운 측의 화소가 신호원으로서 수평 구동부(106)로부터 동일한 거리에 있기 때문에, 영상 신호선 전위의 파형에서의 차이는 없다.

<252> 기록 구동 펄스(WS)의 파형이 크게 손상되어 열화되는 면 측의 화소에서, 샘플링 트랜지스터(125)의 온-타이밍이 가까운 측의 화소와 비교하여 후부에서 시프트되더라도, 오프-타이밍도 후부에서 시프트된다. 따라서, 온-타이밍과 오프-타이밍 사이의 차이에 의해 결정되는 이동도 보정 기간은 결국 가까운 측의 화소에서의 이동도 보정 기간과 실질적으로 동일하다.

<253> 구체적으로, 기본예의 구동 타이밍에 따르면, 이동도 보정 기간은 영상 신호선 전위가 신호 전위(Vin)인 기간과 기록 구동 펄스(WS)의 활성 기간 사이의 중첩 범위에 의해 결정된다. 특히, 기록 구동 펄스(WS)의 활성 기간이 영상 신호선(106HS)가 신호 전위(Vin)인 기간 내에 있도록 기록 구동 펄스(WS)의 펄스 폭이 작게 설정된다면, 결국 이동도 보정 기간(t1과 t2)은 기록 구동 펄스(WS)의 활성-H 기간의 폭(t)에 의해 결정된다.

<254> 정확하게, 이동도 보정 기간은 샘플링 트랜지스터(125)가 기록 구동 펄스(WS)의 상승 에지에 응답하여 온 동작되는 타이밍으로부터 샘플링 트랜지스터(125)가 기록 구동 펄스(WS)의 하강에 응답하여 오프 동작되는 타이밍까지의 기간과 동일하다.

<255> 기본적으로, 샘플링 트랜지스터(125)는 샘플링 트랜지스터(125)의 게이트 전위(기록 구동 펄스(WS)의 전위)와 소스 전위(신호 전위(Vin)의 전위) 사이의 차이인 게이트-소스 전압(Vgs_125)이 정확히 임계 전압(Vth_125)을 상회할 때 온 동작된다. 반대로, 샘플링 트랜지스터(125)는 게이트-소스 전압(Vgs_125)이 정확히 임계 전압(Vth_125) 이하로 떨어질 때 오프 동작된다.

<256> 따라서, 도 9에 도시된 바와 같이, 온-타이밍은 샘플링 트랜지스터(125)의 게이트 전위, 즉 기록 주사선(104WS)의 전위가 L (로우) 레벨로부터 상승한 후 그 시점의 샘플링 트랜지스터(125)의 소스 전위, 즉 그 직전의 기록 및 이동도 보정 준비기간(G)에서 샘플링 트랜지스터(125)의 게이트에 설정되는 기준전위(Vo)에 샘플링 트랜지스터(125)의 임계 전압(Vth_125)을 부가한 전압(온-전압(Von)이라고 칭함)을 상회하는 타이밍과 동일하다.

<257> 한편, 샘플링 트랜지스터(125)의 오프-타이밍은 샘플링 트랜지스터(125)의 게이트 전위, 즉 기록 주사선(104WS)의 전위가 H (하이) 레벨로부터 하강한 후 샘플링 트랜지스터(125)가 온 동작된 후의 샘플링 트랜지스터(125)의 소스 전위, 즉 샘플링 기간 및 이동도 보정 기간(H)에서 신호 전위(Vin)에 대응하는 정보를 홀딩 캐패시터(120)에 기록함으로써 얻어지는 샘플링 트랜지스터(125)의 게이트에 설정되는 전압(본 실시예에서, 신호 전위(Vin))에 샘플링 트랜지스터(125)의 임계 전압(Vth_125)을 부가한 전압(오프-전압(Voff)이라고 칭함) 이하로 떨어지는 타이밍과 같다.

<258> 그러므로, 도면에 도시된 바와 같이, 이동도 보정 기간(t1)은 파형이 크게 손상되는 면 측의 화소에서 얻어진다. 한편, 이동도 보정 기간(t2)은 파형이 크게 손상되지 않는 가까운 측의 화소에서 얻어진다. 파형이 크게 손상되어 열화되는 면 측의 화소에서, 샘플링 트랜지스터(125)의 온-타이밍이 가까운 측의 화소와 비교하여 후부에서 시프트되더라도, 오프-타이밍도 후부에서 시프트된다. 따라서, 온-타이밍과 오프-타이밍 사이의 차이에 의해 결정되는 면 측의 화소에서의 이동도 보정 기간(t1)은 결국 가까운 측의 화소에서의 이동도 보정 기간(t2)과 실질적으로 동일하다.

<259> 샘플링 트랜지스터(125)에 의해 최종적으로 홀딩 캐패시터(120)에서 샘플링되는 신호 전위(Vin)(샘플링 전위)에

의존하는 신호는 정확히 샘플링 트랜지스터(125)가 오프될 때 영상 신호선 전위에 따라 주어진다. 도 9로부터 분명하게 알 수 있는 바와 같이, 가까운 측의 화소와 면 측의 화소 둘다에서, 샘플링되는 영상 신호 전위(V1과 V2)는 신호 전위(Vin)에 대응하는 레벨을 가지며(본 실시예에서, 신호 전위(Vin)와 동일한 레벨을 가진다), 양자에서의 차이는 없다.

<260> 이런 방식으로, 본 실시예의 화소 회로(P)에 있어서의 기본예의 구동 타이밍에 따르면, 면 측의 화소와 가까운 측의 화소에서 샘플링되는 영상 신호 전위(V1과 V2)는 거의 차이가 없다. 더욱이, 면 측의 화소와 가까운 측의 화소에서의 이동도 보정 기간(t1과 t2) 사이의 차이는 실질적으로 무시될 수 있다. 따라서, 화면의 수평방향에 따라 휘도 차이가 나타나지 않으며, 기록 주사선(104WS) 및 영상 신호선(106HS)의 배선 저항 및 배선 용량에 기인하는 측면 방향(화면의 수평방향)에 따른 쉐이딩이 억제되어, 양호한 화질의 표시장치를 실현할 수 있다.

<261> 화면의 수직방향에 따른 균일성에 대하여 설명이 이루어질 것이다. 도 10에 도시된 바와 같이, 화면의 상측의 화소 회로(P)(상측 화소라고 칭함)와 화면의 하측의 화소 회로(P)(하측 화소라고 칭함) 사이의 기록 구동 펄스(WS)의 과정에서의 차이는 없는데, 이는 상측 화소와 하측 화소가 기록 주사부(104)로부터 동일한 거리에 있기 때문이다. 한편, 영상 신호(Vsig)가 1열내의 모든 화소 회로(P)에 대하여 수평 구동부(106)로부터 영상 신호선(106HS)을 통하여 공통적으로 공급된다. 그러므로, 하측 화소는 수평 구동부(106)에 대하여 면 측의 화소가 되고, 상측 화소는 수평 구동부(106)에 대하여 가까운 측의 화소가 된다.

<262> 따라서, 영상 신호선(106HS)의 배선 용량이나 배선 저항의 영향으로, 수평 구동부(106)로부터 면 측의 화소에서의 영상 신호전압의 지연량이 수평 구동부(106)로부터 가까운 측의 화소에서의 영상 신호전압의 지연량이 더 크다. 그 결과, 수평 구동부(106)로부터 면 측의 화소에서의 영상 신호(Vsig)와 기록 구동 펄스(WS) 사이의 위상 차(td1)는 수평 구동부(106)로부터 가까운 측의 화소에서의 영상 신호(Vsig)와 기록 구동 펄스(WS) 사이의 위상 차(td2)보다 더 작다.

<263> 그러나, 영상 신호선(106HS)에 나타나는 신호 전위 과정이 지연을 포함하더라도, 기록 구동 펄스(WS)의 활성 기간이 영상 신호선(106HS)이 신호 전위(영상 신호(Vsig)의 유효기간 전위)에 있는 기간 이내에 속하는 한, 샘플링 전위와 이동도 보정 기간에서의 차이는 거의 생기지 않는다. 그 결과, 도 10으로부터 분명하게 알 수 있는 바와 같이, 화면의 하측과 상측 사이에서, 샘플링되는 영상 신호 전위(V1과 V2)는 실질적으로 동일하고, 또한 이동도 보정 기간(t1과 t2)도 실질적으로 동일하다. 이에 따라, 화면의 수직방향에 따라 휘도 차이가 나타나지 않고, 기록 주사선(104WS) 및 영상 신호선(106HS)의 배선 저항 및 배선 용량에 기인하는 수직방향(화면의 상하방향)에 따른 쉐이딩이 억제되어, 양호한 화질의 표시장치를 실현할 수 있다.

<264> 도 9 및 도 10과 관련하여 설명된 예에서, 증가형 샘플링 트랜지스터(125)의 드레인(D)은 영상 신호선(106HS)에 접속되고, 소스(S)는 구동 트랜지스터(121)의 게이트(G)와 홀딩 캐페시터(120)의 한쪽의 단자 사이의 접속 노드(노드(ND122))에 결합된다. 그러나, 다른 형태도 도 9에 대응하는 간단한 도면인, 도 12의 각각의 도면에 도시된 바와 같이 실질적으로 동일한 특징을 가진다.

<265> 예를 들면, 도 12a에 도시된 바와 같이, 공핍형 트랜지스터가 드레인(D) 및 소스(S)의 동일한 접속 형태로 사용될 수 있다. 그러나, 샘플링 트랜지스터(125)의 게이트(G)에 공급되는 기록 구동 펄스(WS)의 전압 레벨은 음의 임계 전압(Vth_125)을 가지는 공핍형 트랜지스터에 대응하도록 변경된다.

<266> 특히, 기록 구동 펄스(WS)가 L 레벨에 있을 때의 전류 흐름을 방지하기 위하여, 즉 기록 구동 펄스(WS)가 L 레벨에 있을 때 확실하게 샘플링 트랜지스터(125)를 오프 상태로 유지하기 위하여, 기록 구동 펄스(WS)의 L-레벨 전압은 기준전위(Vo)로부터 임계 전압(Vth_125)(그것의 절대값)을 뺀 전압보다 더 낮도록 설정된다. 이런 설정에 기인하여, 온-타이밍은 샘플링 트랜지스터(125)의 게이트 전위, 즉 기록 주사선(104WS)의 전위가 L (로우) 레벨로부터 상승한 후 그 시점의 샘플링 트랜지스터(125)의 소스 전위, 즉 그 직전의 기록 및 이동도 보정 준비 기간(G)에서 샘플링 트랜지스터(125)의 게이트에 설정되는 전압(본 실시예에서, 기준전위(Vo)와 같다)으로부터 임계 전압(Vth_125)을 뺀 온-전압(Von)을 상회하는 타이밍과 같다.

<267> 한편, 샘플링 트랜지스터(125)의 오프-타이밍은 샘플링 트랜지스터(125)의 게이트 전위, 즉 기록 주사선(104WS)의 전위가 H (하이) 레벨로부터 하강한 후 샘플링 트랜지스터(125)가 온 된 후의 소스 전위, 즉 샘플링 기간 및 이동도 보정 기간(H)에서 신호 전위(Vin)에 대응하는 정보를 홀딩 캐페시터(120)에 기록함으로써 얻어지는 샘플링 트랜지스터(125)의 게이트에 설정되는 전압(본 실시예에서, 신호 전위(Vin)와 같다)으로부터 임계 전압(Vth_125)을 뺀 전압(오프-전압(Voff)이라고 칭함) 이하로 떨어지는 타이밍과 같다.

<268> 상술한 바와 같이, 양의 임계 전압(Vth_125)을 가지는 증가형 트랜지스터와 음의 임계 전압(Vth_125)을 가지는

공핍형 트랜지스터 사이에서, 샘플링 트랜지스터(125)의 온-타이밍이나 오프-타이밍에 있어서의 게이트 전위와 소스 전위의 극성 관계에서만 차이가 있지만, 배선 저항과 배선 용량의 영향에서의 차이에 기인하는 온-타이밍과 오프-타이밍의 자연 방향에 관해서는 차이가 없다.

<269> 도 12b에 도시된 바와 같이, 샘플링 트랜지스터(125)의 드레인(D) 및 소스(S)의 접속 형태는 반대로 될 수 있다. 구체적으로, 소스(S)는 영상 신호선(106HS)에 접속될 수 있으며, 드레인(D)은 구동 트랜지스터(121)의 게이트(G)와 훌딩 캐패시터(120)의 한쪽의 단자 사이의 접속 노드(노드(ND122))에 접속될 수 있다.

<270> 샘플링 트랜지스터(125)가 증가형 트랜지스터인, 도 12b의 경우에, 온-타이밍은 샘플링 트랜지스터(125)의 게이트 전위, 즉 기록 주사선(104WS)의 전위가 L (로우) 레벨로부터 상승한후 그 시점의 샘플링 트랜지스터(125)의 소스 전위, 즉 그 시점의 영상 신호선 전위인 신호 전위(Vin)에 임계 전압(Vth_125)을 부가한 온-전압(Von)을 상회하는 타이밍과 같다.

<271> 한편, 샘플링 트랜지스터(125)의 오프-타이밍은 샘플링 트랜지스터(125)의 게이트 전위, 즉 기록 주사선(104WS)의 전위가 H (하이) 레벨로부터 하강한후 그 시점의 샘플링 트랜지스터(125)의 소스 전위, 즉 그 시점의 영상 신호선 전위인 신호 전위(Vin)에 임계 전압(Vth_125)을 더한 오프-전압(Voff) 이하로 떨어지는 타이밍과 같다. 기록 구동 펄스(WS)의 활성화 기간(t16 내지 t17)이 신호 전위(Vin)의 기간(t15V 내지 t18) 내에 확실하게 존재하도록 설정하면, 온-전압(Von)과 오프-전압(Voff)은 서로 같다.

<272> 따라서, 샘플링 트랜지스터(125)의 소스(S)와 드레인(D)의 접속 형태가 역전되는 경우, 온-전압(Von)이 기록 및 이동도 보정 준비기간(G)에서 샘플링 트랜지스터(125)의 게이트에 설정되는 전압(본 실시예에서, 기준전위(Vo))에 대하여 설정되는 도 9 및 도 10에 도시된 접속 형태와 달리, 온-전압(Von)은 신호 전위(Vin)에 대하여 설정된다. 그러나, 이들의 접속 형태 사이에서 배선 저항과 배선 용량의 영향 차이에 기인하는 온-타이밍과 오프-타이밍의 자연 방향에 관해서는 차이가 없다.

<273> 더욱이, 도 12c에 도시된 바와 같이, 샘플링 트랜지스터(125)의 드레인(D) 및 소스(S)의 접속 형태가 역전되고 공핍형 트랜지스터가 샘플링 트랜지스터(125)로 사용되는 구성이 사용될 수도 있다. 이런 구성에서, 기록 구동 펄스(WS)의 전압 레벨은 음의 임계 전압(Vth_125)을 가지는 공핍형 트랜지스터에 대응하도록 변경된다. 특히, 기록 구동 펄스(W)가 L 레벨에 있을 때의 전류 흐름을 방지하기 위하여, 즉 기록 구동 펄스(W)가 L 레벨에 있을 때 확실하게 샘플링 트랜지스터(125)를 오프상태로 유지하기 위하여, 기록 구동 펄스(W)의 L-레벨 전압은 기준 전위(Vo)로부터 임계 전압(Vth_125)(그것의 절대값)을 뺀 전압(온-전압(Von0))이라고 칭함)보다 낮게 설정된다. 배선 저항과 배선 용량의 영향 차이에 기인하는 온-타이밍과 오프-타이밍의 자연 방향에 관해서는 증가형 트랜지스터와 차이가 없다.

<274> 한편, 변형예의 구동 타이밍에 따르면, 이동도 보정 기간은 기록 주사선(104WS)의 전위와 영상 신호선(106HS)의 전위 사이의 위상차에 의해 결정된다. 그러므로, 샘플링 기간 및 이동도 보정 기간(H)은 기록 주사선(104WS)과 영상 신호선(106HS)의 배선 저항과 배선 용량의 거리 의존의 영향에 기인하는 파형 특성의 차이에 의해 영향을 받는다.

<275> 구체적으로, 변형예의 구동 타이밍에 따르면, 이동도 보정 기간의 시작 타이밍은 신호 전위(Vin)의 상승 시점에 의해 정의된다. 대조적으로, 이동도 보정 기간의 정지 타이밍은 기록 구동 펄스(WS)의 활성화 기간과 영상 신호선 전위가 신호 전위(Vin)에 있는 기간 사이의 중첩 영역의 한계에 의해 정의된다. 정확하게, 이동도 보정 기간의 정지 타이밍은 기록 구동 펄스(WS)의 하강에 응답하여 샘플링 트랜지스터(125)가 오프되는 타이밍이 된다.

<276> 구체적으로, 도 11에 도시된 바와 같이, 샘플링 트랜지스터(125)의 오프-타이밍은 샘플링 트랜지스터(125)의 게이트 전위(기록 구동 펄스(WS)의 전위)와 소스 전위(신호 전위(Vin)의 전위) 사이의 차이(Vgs_125)가 정확히 임계 전압(Vth_125) 이하가 되는 타이밍이 된다.

<277> 도 11에 도시된 파형을 산출하는 구성에서, 샘플링 트랜지스터(125)의 드레인(D)은 영상 신호선(106HS)에 접속되고, 그것의 소스(S)는 구동 트랜지스터(121)의 게이트(G)와 훌딩 캐패시터(120)의 한쪽의 단자 사이의 접속 노드(노드(ND122))에 접속된다. 또한, 샘플링 트랜지스터(125)로서, 증가형 트랜지스터가 사용된다.

<278> 화면의 수평방향에 따른 균일성에 대하여 논의가 이루어질 것이다. 도 11에 도시된 바와 같이, 가까운 측의 화소에서, 기록 주사선(104WS)의 배선 저항과 배선 용량이 작기 때문에 기록 주사선(104WS)의 전위(즉, 기록 구동 펄스(WS))는 열화되지 않는다. 이에 대하여, 먼 측의 화소에서, 기록 주사선(104WS)의 배선 저항과 배선 용량이 크기 때문에 기록 주사선(104WS)의 전위(즉, 기록 구동 펄스(WS))는 크게 손상되어 열화된다. 한편, 영상 신호 전위에 관하여, 먼 측의 화소와 가까운 측의 화소가 영상 신호의 공급원으로서 수평 구동부(106)로부터 동일한

거리에 있기 때문에 펠스의 열화에서의 차이는 적다.

<279> 기록 주사선(104WS)의 전위의 파형 열화가 화면의 가까운 측과 먼 측에서 다르기 때문에, 가까운 측의 화소와 먼 측의 화소에서의 훌딩 캐페시터(120)에서 샘플링되는 영상 신호 전위(V1과 V2) 사이에 차이가 있다. 더욱이, 이동도 보정 기간에 관하여도, 먼 측의 화소와 가까운 측의 화소에서 이동도 보정 기간(t1과 t2) 사이에 차이가 있다. 화면의 먼 측에서, 기록 구동 펠스(WS)의 파형 열화가 두드러져서, 샘플링 전위(V1)가 크고 이동도 보정 기간(t1)이 길어지는 경향이 초래된다. 이에 대하여, 화면의 가까운 측에서, 기록 구동 펠스(WS)의 파형 열화가 거의 발생하지 않고, 그러므로 샘플링 전위(V2) 및 이동도 보정 기간(t2)은 둘다 설계값에 가까운 값을 가진다.

<280> 상술한 바와 같이, 변형예의 구동 타이밍에 따르면, 샘플링 전위와 이동도 보정 기간은 화면의 기록 주사부(104)에 근접하는 가까운 측의 화소와 화면의 기록 주사부(104)에서 멀리 떨어진 먼 측의 화소(즉, 화면의 좌우 측 사이에)에서 다를 것이다. 이러한 차이는 화면의 수평방향에 따른 휘도 차이를 초래하며, 이러한 휘도 차이는 시각적으로 쉐이딩으로서 인식된다.

<281> 도 11에서 설명된 특징은 증가형 샘플링 트랜지스터(125)의 드레인(D)이 영상 신호선(106HS)에 접속되고, 소스(S)가 구동 트랜지스터(121)의 게이트(G)와 훌딩 캐페시터(120)의 한쪽의 단자 사이의 접속 노드(노드(ND122))에 접속되는 구성에 관련된다. 그러나, 도시가 생략되더라도, 기본예의 구동 타이밍에 관련되는 도 12와 유사한 다른 형태도 실질적으로 동일한 특징을 가진다.

<282> 상술한 바와 같이, 변형예의 구동 타이밍에 따르면, 신호 전위(Vin)와 기록 구동 펠스(WS)(기록겸 초기화 주사 펠스의 일례)의 상대적인 위상차가 조정된다. 이에 대하여, 도 6에 도시된 기본예의 구동 타이밍에 따르면, 기록 구동 펠스(WS)는 신호 전위(Vin)가 영상 신호선(106HS)에 공급되는 기간, 및 신호 전위(Vin)의 공급 기간보다 짧은 기간내의 소정 위치에서 활성화 상태로 유지된다. 기본예와 변형예의 비교로부터 알 수 있는 바와 같이, 샘플링 기간 및 이동도 보정 기간 동안 기록 주사선(104WS) 및 영상 신호선(106HS)의 배선 저항 및 배선 용량의 관계에 있어서, 기본예는 이동도 보정 기간이 배선 저항 및 배선 용량의 영향을 받지 않고 더욱 정밀하게 조정될 수 있도록 하며, 따라서 변형예와 비교하여 쉐이딩 내성이 뛰어나다.

<283> 즉, 도 6에 도시된 기본예의 구동 타이밍은 다음 구성이 사용된다면 뛰어나다. 구체적으로, 임계값 보정후, 구동 트랜지스터(121)의 이동도 보정을 위한 전압을 훌딩 캐페시터(120)에 기록된 정보에 부가하는 이동도 보정 동작은 샘플링 트랜지스터(125)를 온 시켜서 신호 전위(Vin)에 대응하는 정보를 훌딩 캐페시터(120)에 기록하는 샘플링 동작과 동시에 실행한다. 게다가, 기준전위(Vo)로부터 신호 전위(Vin)로 바뀌는 시점의 영상 신호(Vsig)의 상승 에지가 경사를 가지는 것으로, 이동도 보정 기간이 신호 전위(Vin)의 레벨에 자동적으로 추종하도록 한다.

<284> 본 발명의 바람직한 실시예가 특정 용어를 사용하여 설명되었더라도, 이런 설명은 단지 예시적 목적을 위한 것이며, 변경 및 변형이 하기의 특허청구범위의 정신 또는 사상에서 벗어나지 않고 이루어질 수 있다고 이해되어야 한다.

도면의 간단한 설명

<285> 도 1은 본 발명의 일실시예에 따른 능동형 표시장치의 구성을 개략적으로 도시하는 블럭도이다.

<286> 도 2는 본 실시예의 화소 회로에 대한 비교예를 도시한 도면이다.

<287> 도 3은 도 2에 나타낸 비교예 및 유기 EL 표시장치의 화소 회로의 동작을 설명하는 타이밍 차트이다.

<288> 도 4a 내지 도 4c는 유기 EL 소자 및 구동 트랜지스터의 특성 편차가 구동전류에 주는 영향을 설명하는 도면이다.

<289> 도 4d는 구동 트랜지스터의 특성 편차가 구동전류에 주는 영향을 제거하는 구성의 개념을 설명하기 위한 도면이다.

<290> 도 4e 내지 도 4h는 구동 트랜지스터의 특성 편차가 구동전류에 주는 영향을 제거하는 수법의 개념을 설명하기 위한 도면이다.

<291> 도 5는 본 실시예의 화소 회로 및 유기 EL 표시장치를 도시하는 도면이다.

<292> 도 6a는 도 5에 나타낸 본 실시예의 화소 회로에 관한 구동 타이밍의 기본예를 설명하는 타이밍 차트이다.

<293> 도 6b는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 발광 기간(B)의 등가회로와 동작을 설명하는 도면

이다.

<294> 도 6c는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 초기화 기간(C)의 등가회로와 동작을 설명하는 도면이다.

<295> 도 6d는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 임계값 보정 기간(E)의 개시 기간(D)에서의 등가회로와 동작을 설명하는 도면이다.

<296> 도 6e는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 임계값 보정 기간(E)에서의 등가회로와 동작을 설명하는 도면이다.

<297> 도 6f는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 기록 및 이동도 보정 준비 기간(G)에서의 등가회로와 동작을 설명하는 도면이다.

<298> 도 6g는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 기록 및 이동도 보정 기간(G)에서의 등가회로와 동작을 설명하는 도면이다.

<299> 도 6h는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 샘플링 기간 및 이동도 보정 기간(H)의 등가회로와 동작을 설명하는 도면이다.

<300> 도 6i는 본 실시예의 화소 회로에 대한 구동 타이밍에 기초한 발광 기간(I)의 등가회로와 동작을 설명하는 도면이다.

<301> 도 7은 부트스트랩 동작과, 구동 트랜지스터의 게이트에 생기는 기생 캐패시터와의 관계를 설명하는 도면이다.

<302> 도 8a와 도 8b는 화소 회로에 대한 이동도 보정 기간을 결정하기 위한 동작 타이밍을 설명하는 개략도이다.

<303> 도 9a와 도 9b는 샘플링 기간 및 이동도 보정 기간과, 기록 주사선 및 영상 신호선의 배선 저항 및 배선 용량의 관계를 설명하는 개략도이며, 화면의 수평방향에 따른 균일성에 초점을 두고 도 6에 나타낸 기본예의 구동 타이밍을 나타낸다.

<304> 도 10a 및 도 10b는 샘플링 기간 및 이동도 보정 기간과, 기록 주사선 및 영상 신호선의 배선 저항 및 배선 용량의 관계를 설명하는 개략도이며, 화면의 수직방향에 따른 균일성에 초점을 두고 도 6에 나타낸 기본예의 구동 타이밍을 나타낸다.

<305> 도 11은 샘플링 기간 및 이동도 보정 기간과, 기록 주사선 및 영상 신호선의 배선 저항 및 배선 용량의 관계를 설명하는 개략도이며, 화면의 수평방향에 따른 균일성에 초점을 두고 도 6에 나타낸 기본예에 대한 변형예의 구동 타이밍을 나타낸다.

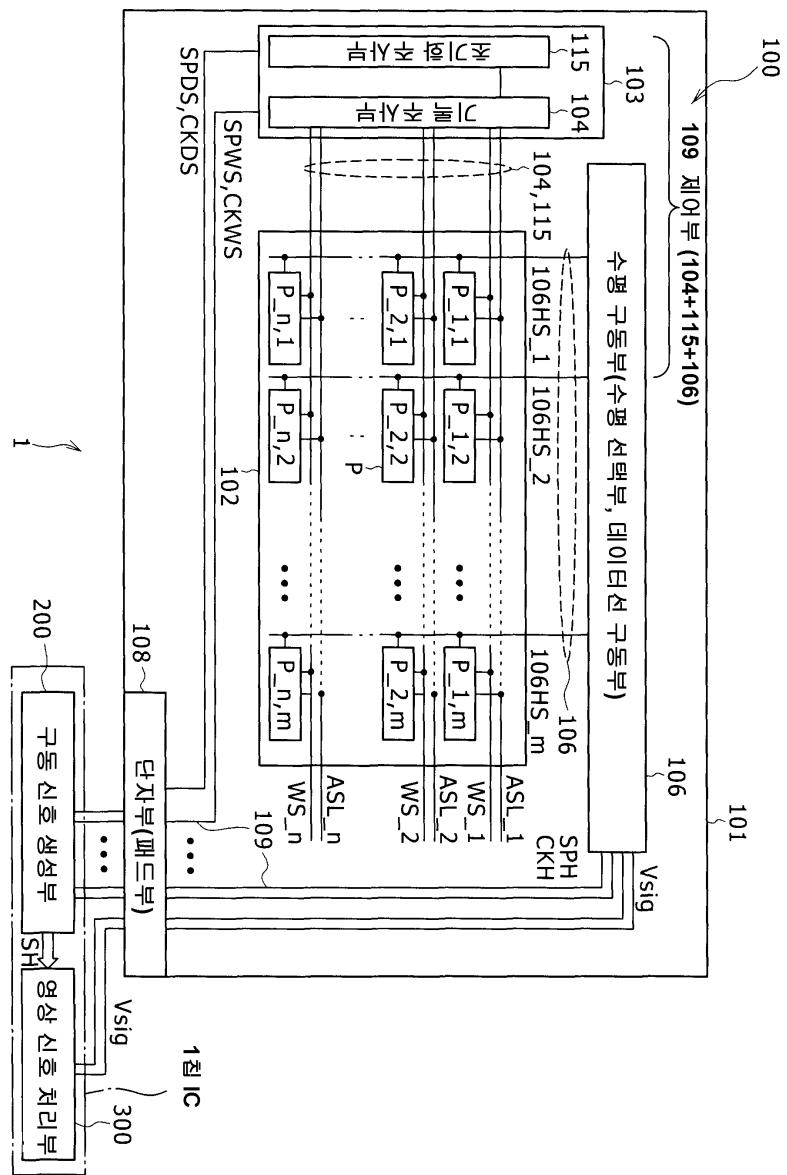
<306> 도 12a 내지 도 12c는 샘플링 기간 및 이동도 보정 기간과, 기록 주사선 및 영상 신호선의 배선 저항 및 배선 용량의 관계를 설명하는 개략도이며, 도 9의 구성에 대한 변형예를 나타낸다.

<307> <도면의 주요부분에 대한 부호의 설명>

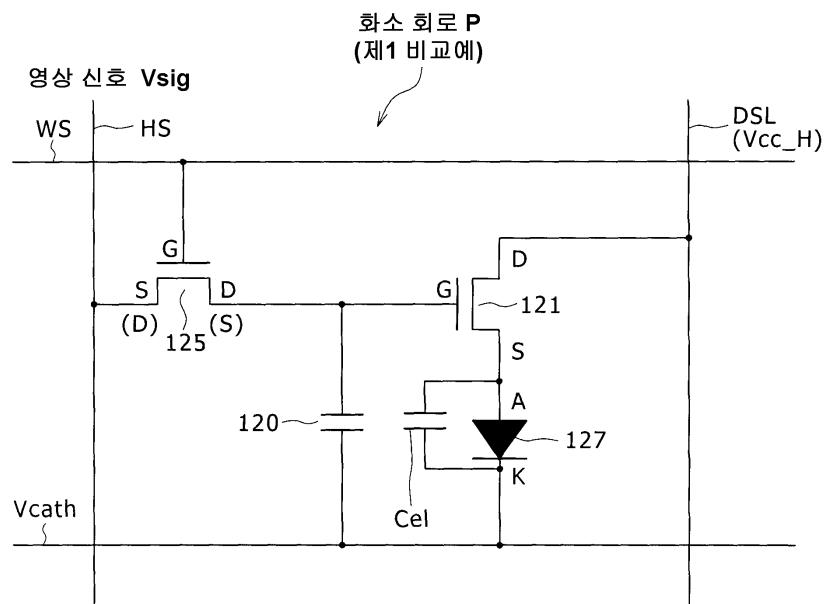
<308> 1: 유기 EL 표시장치, 101: 기판, 102: 화소 어레이부, 103: 수직 구동부, 104: 기록 주사부, 104WS: 기록 주사선(기록겸 초기화 주사선), 105: 구동주사부, 105DSL: 전원 공급선, 106: 수평 구동부, 106HS: 영상 신호선, 109: 제어부, 115: 초기화 주사부, 115ASL: 초기화 주사선, 120: 훌딩 캐패시터, 121: 구동 트랜지스터, 125: 샘플링 트랜지스터, 126: 초기화 트랜지스터, 127: 유기 EL 소자, Ce1: 유기 EL 소자의 기생 캐패시터, P: 화소 회로, Vsig: 영상 신호, Vini: 초기화 전위, Vo: 기준전위, Vin: 신호 전위, Vcc_H: 전원 전압, WS: 기록 구동 펄스(기록겸 초기화 주사 펄스), ASL: 초기화 주사 펄스, DSL: 전원구동 펄스

도면

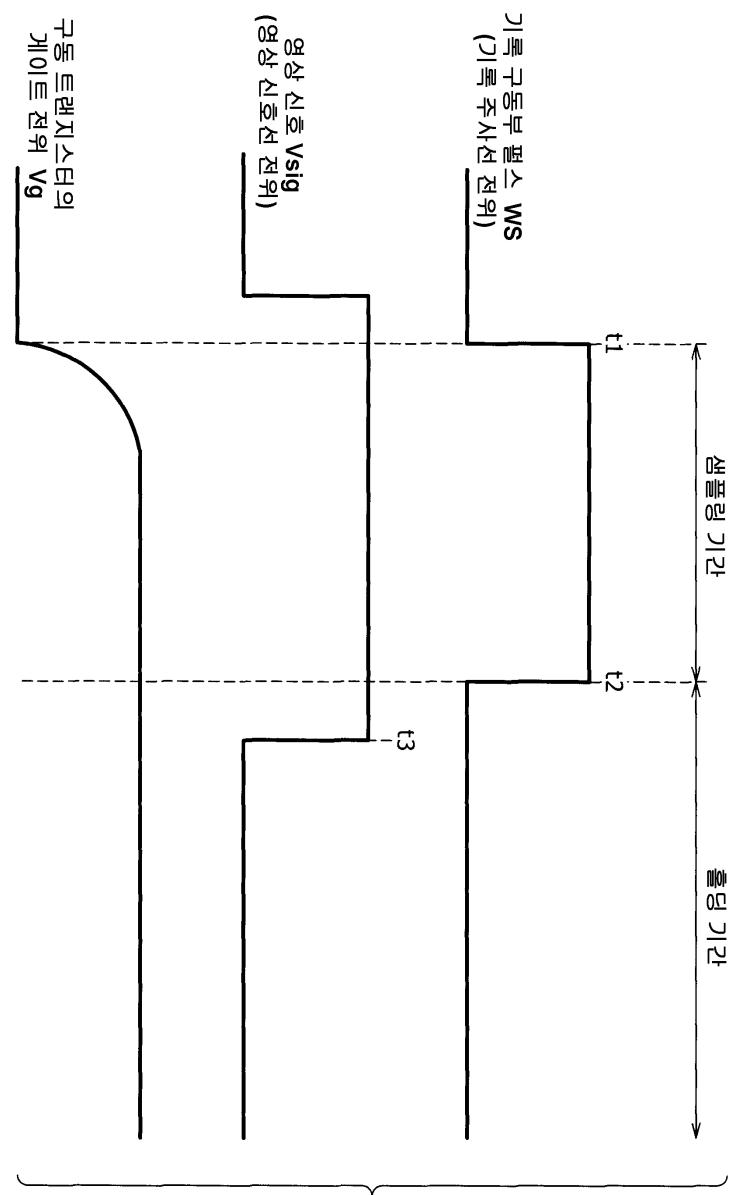
도면1



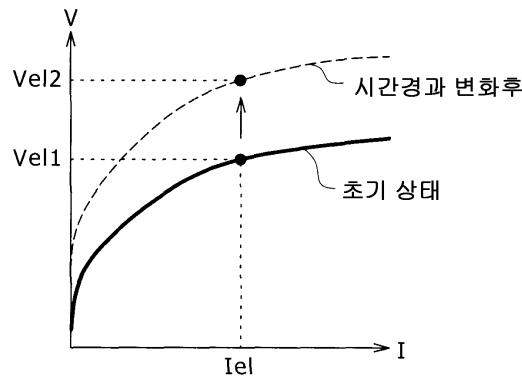
도면2



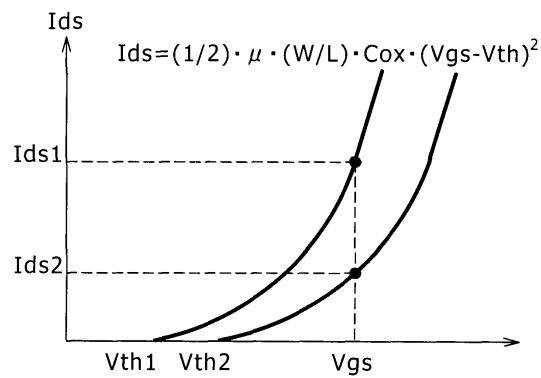
도면3



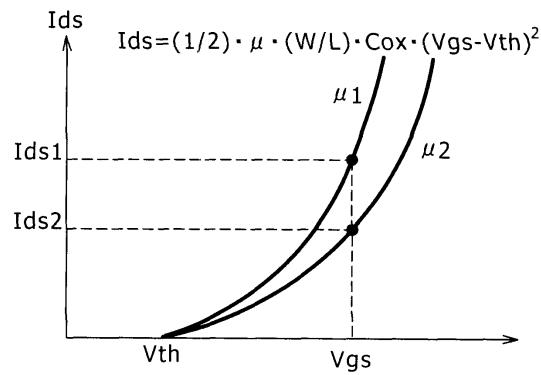
도면4a



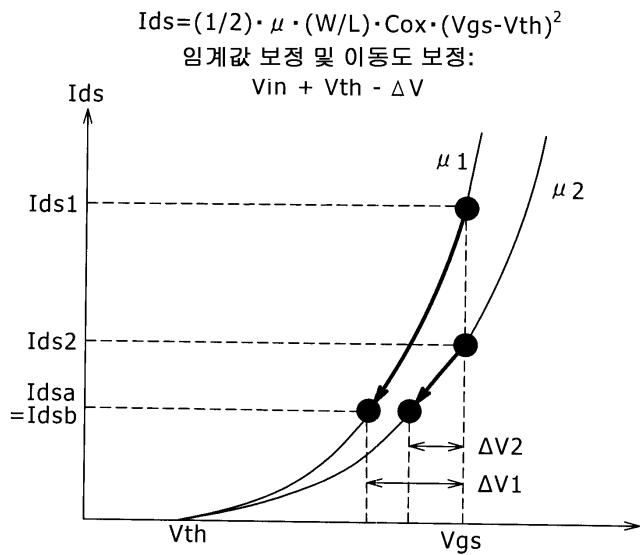
도면4b



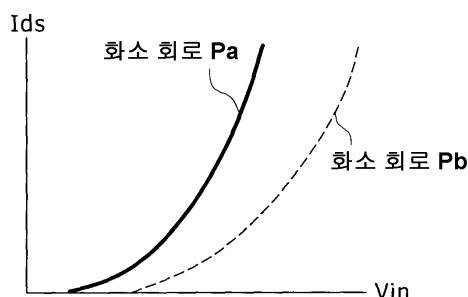
도면4c



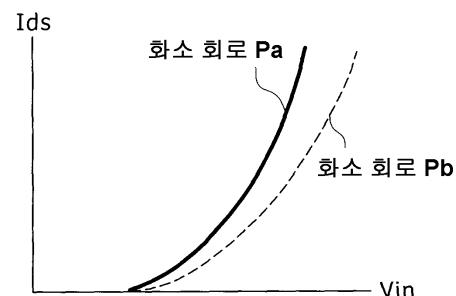
도면4d



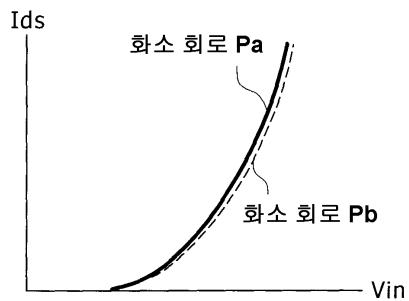
도면4e



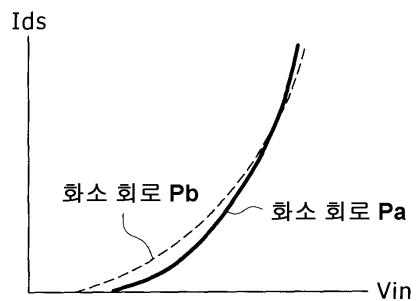
도면4f



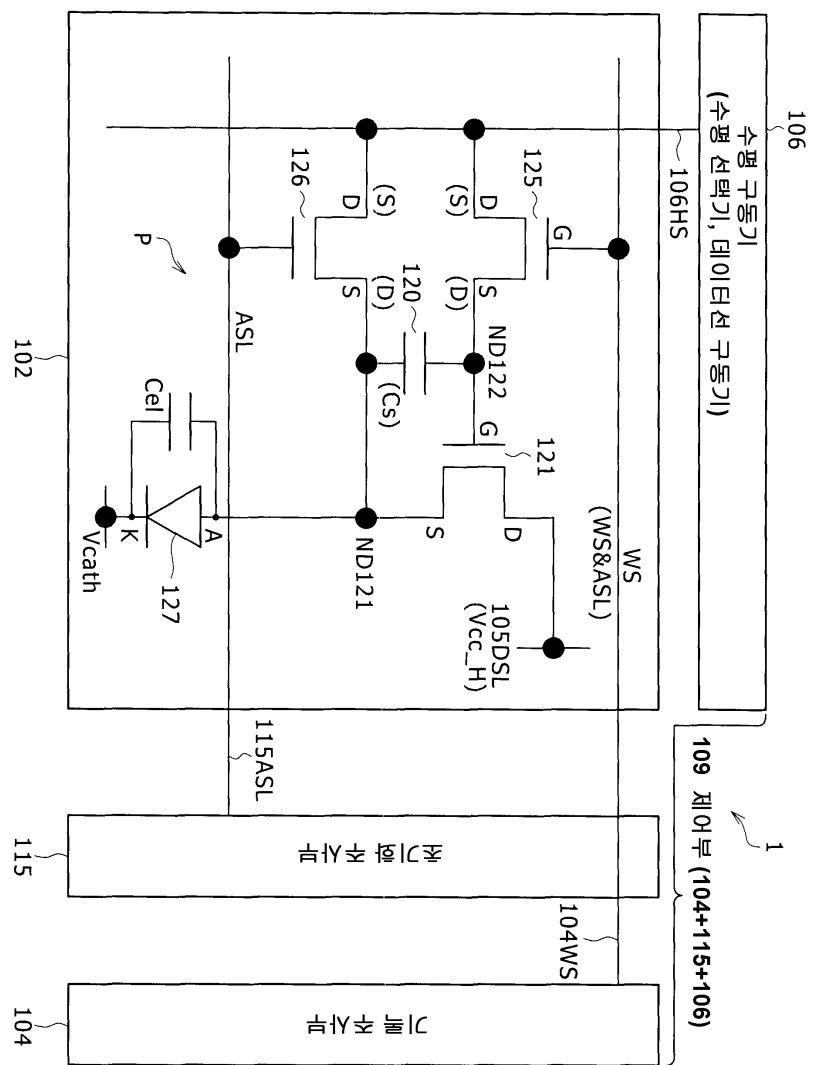
도면4g



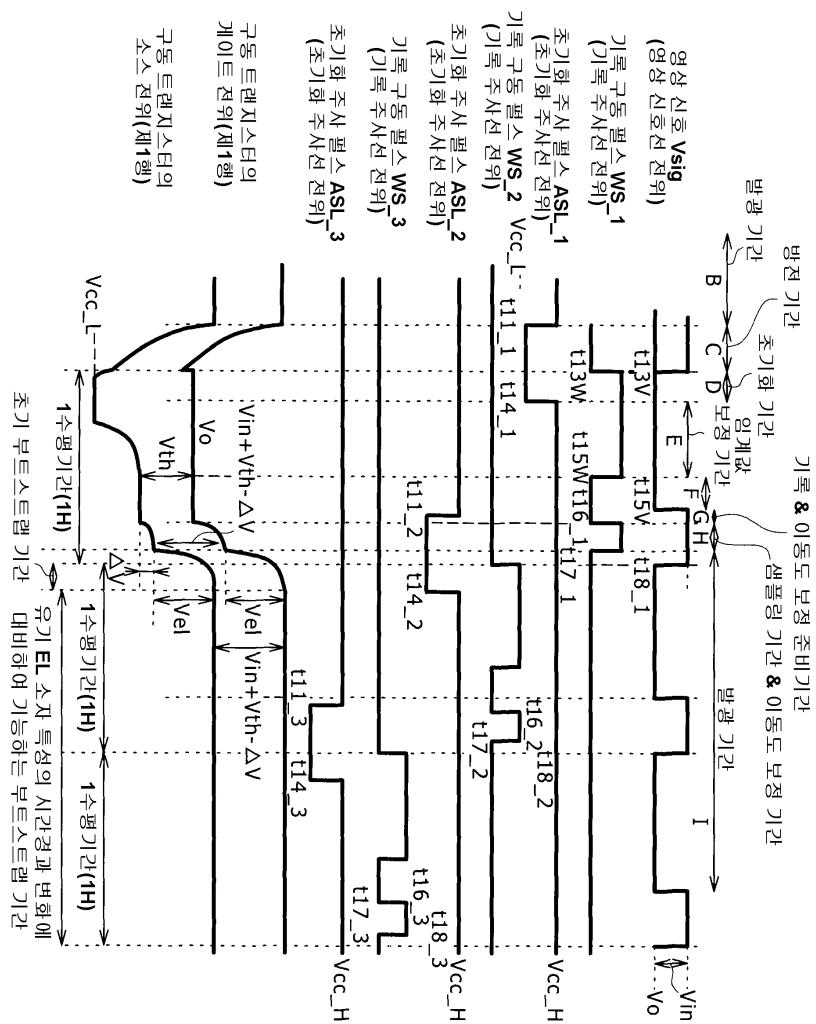
도면4h



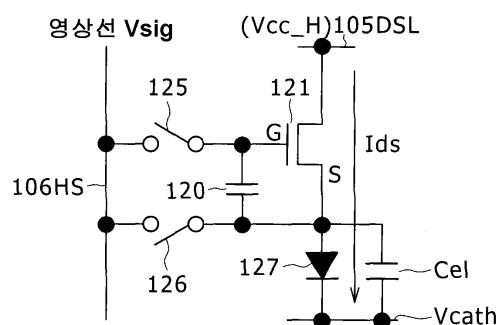
도면5



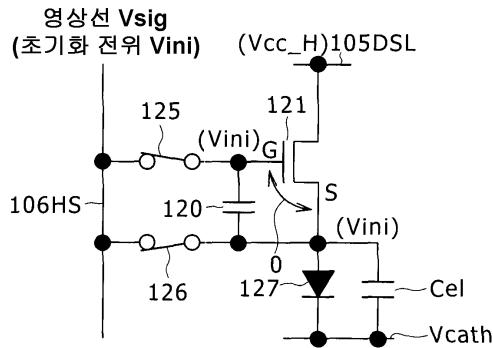
도면6a



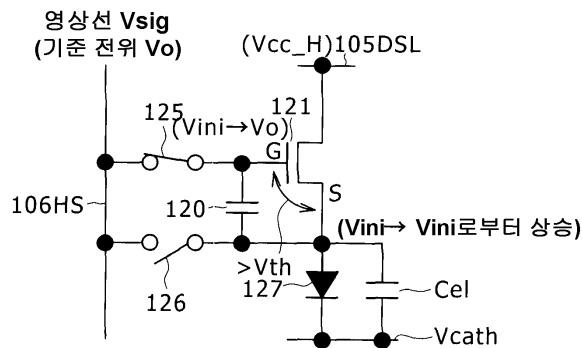
도면6b



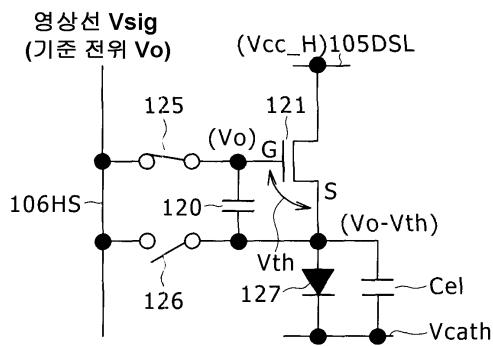
도면6c



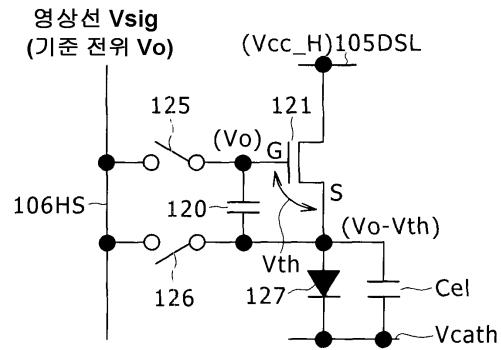
도면6d



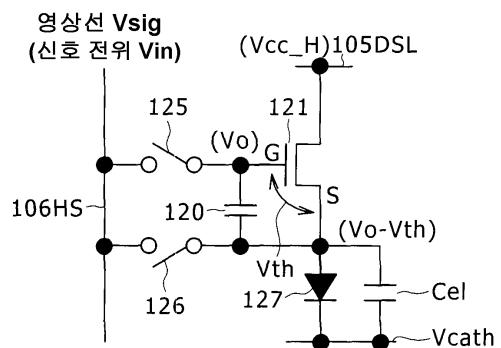
도면6e



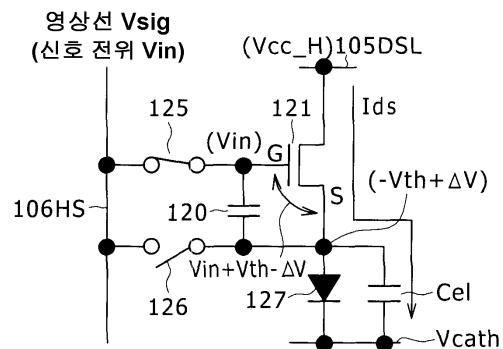
도면6f



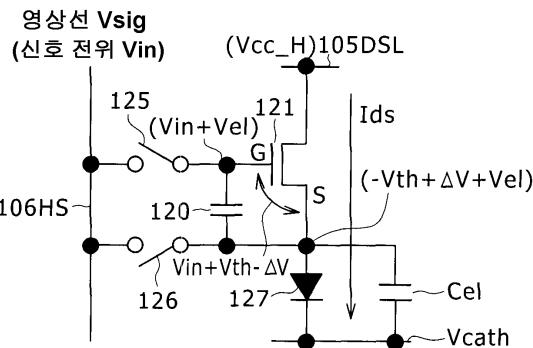
도면6g



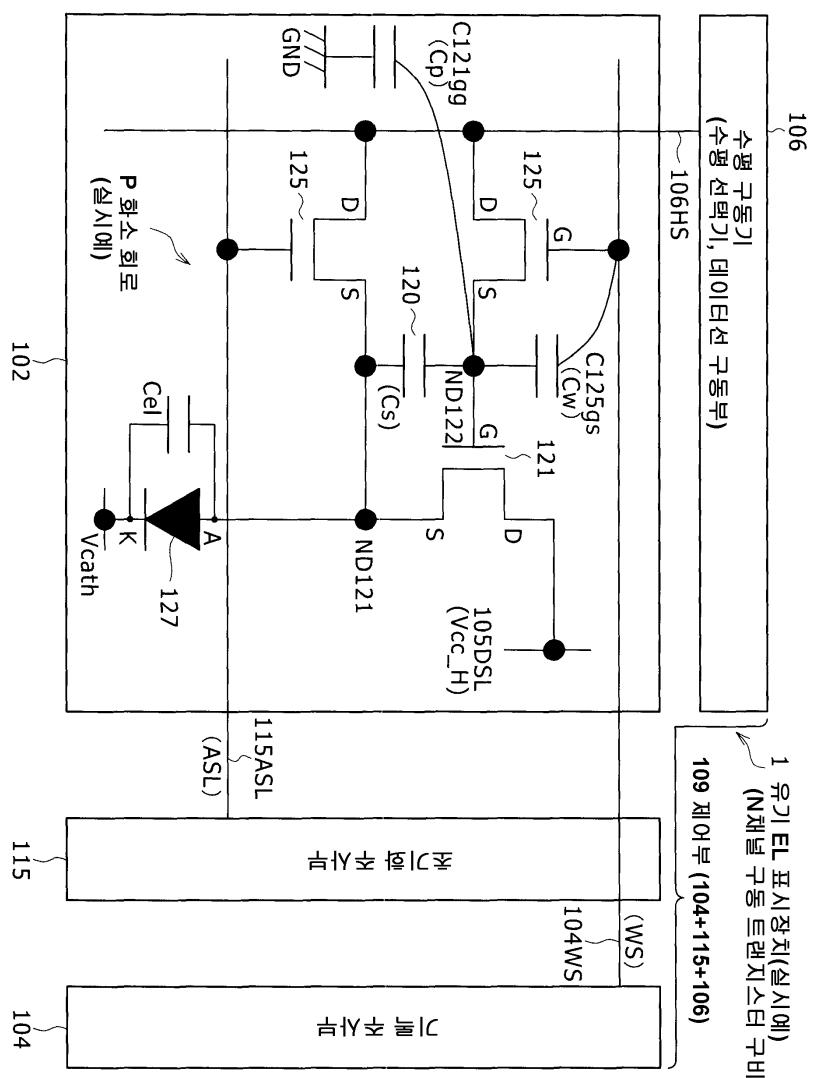
도면6h



도면6i

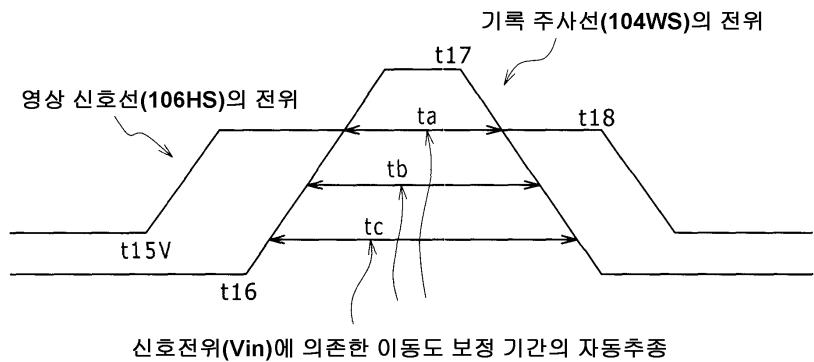


도면7

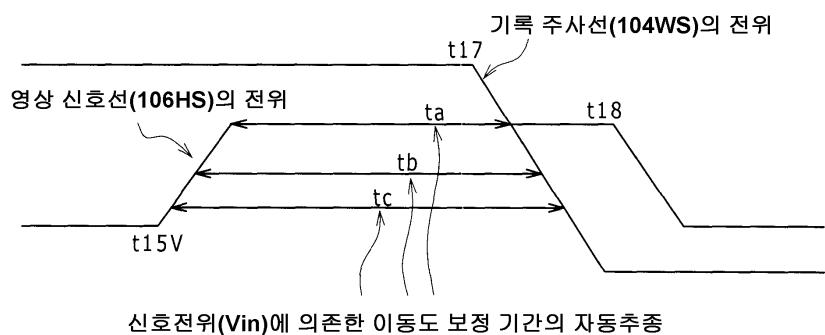


도면8

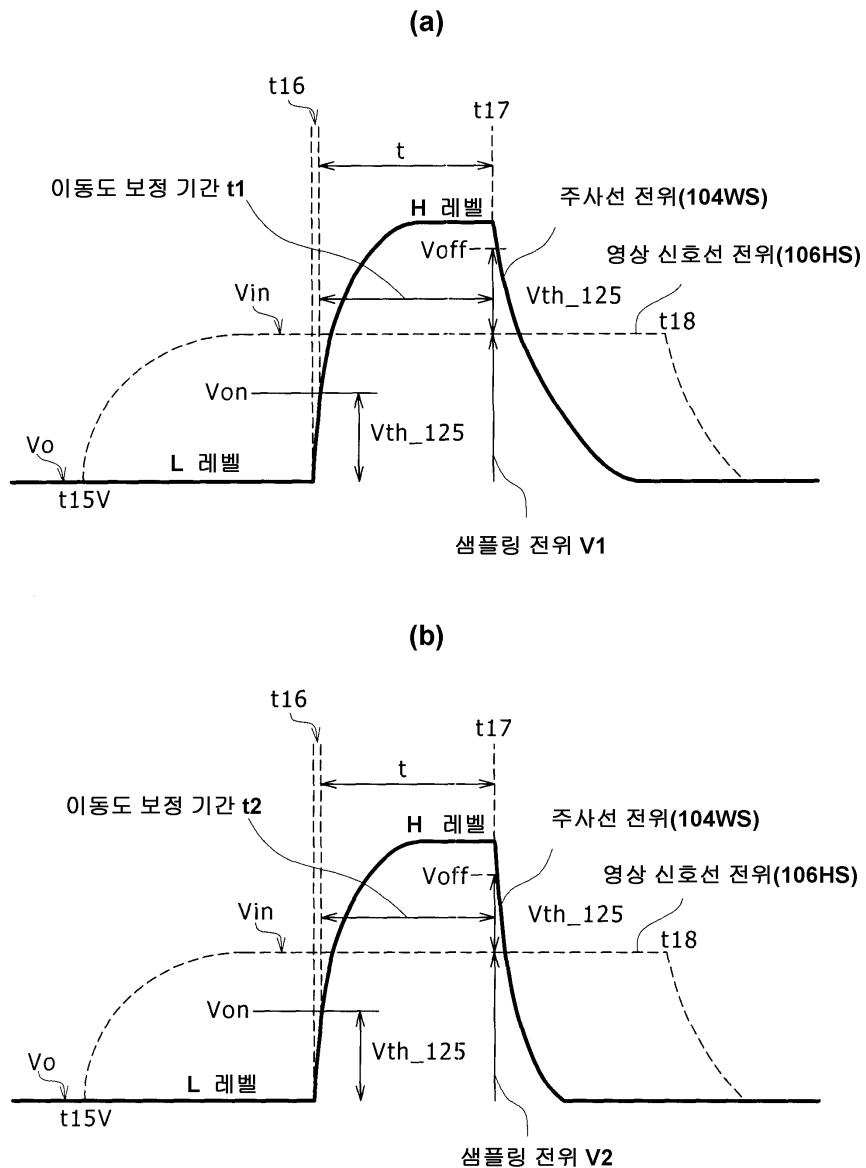
(a)



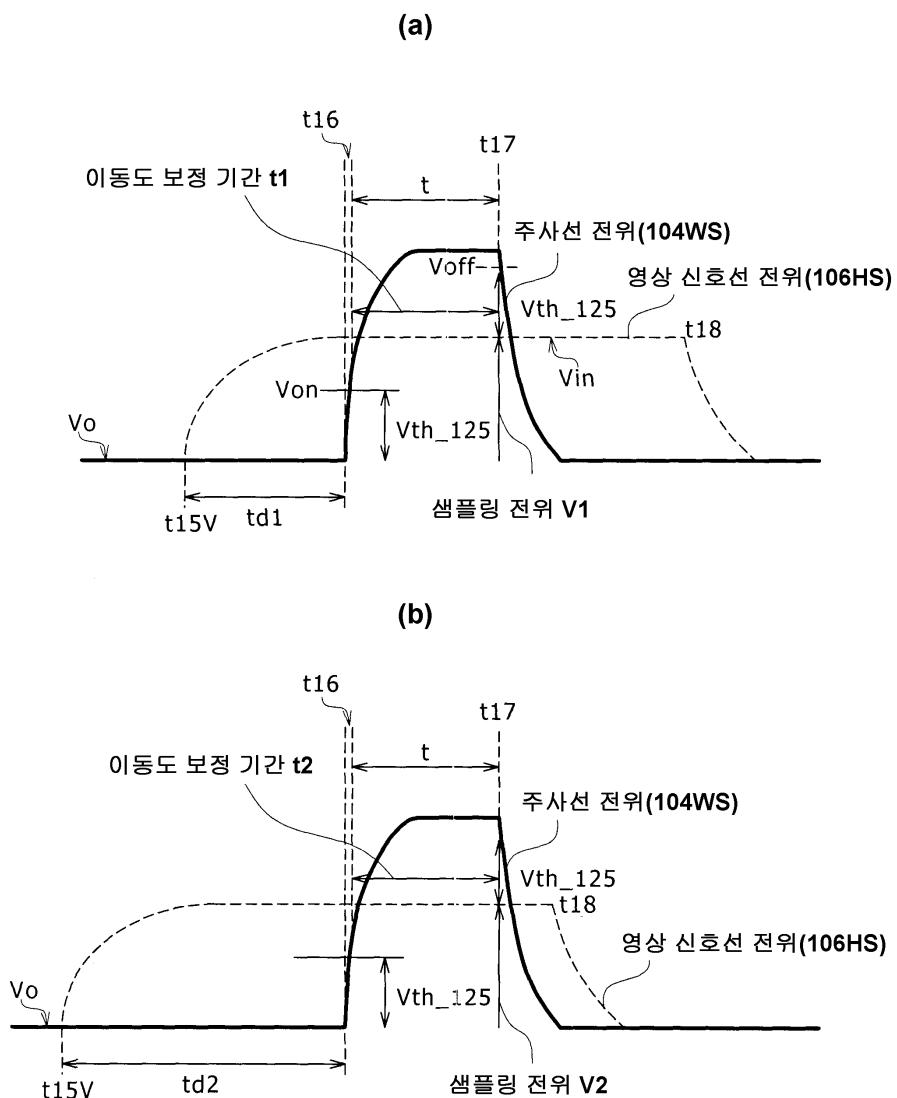
(b)



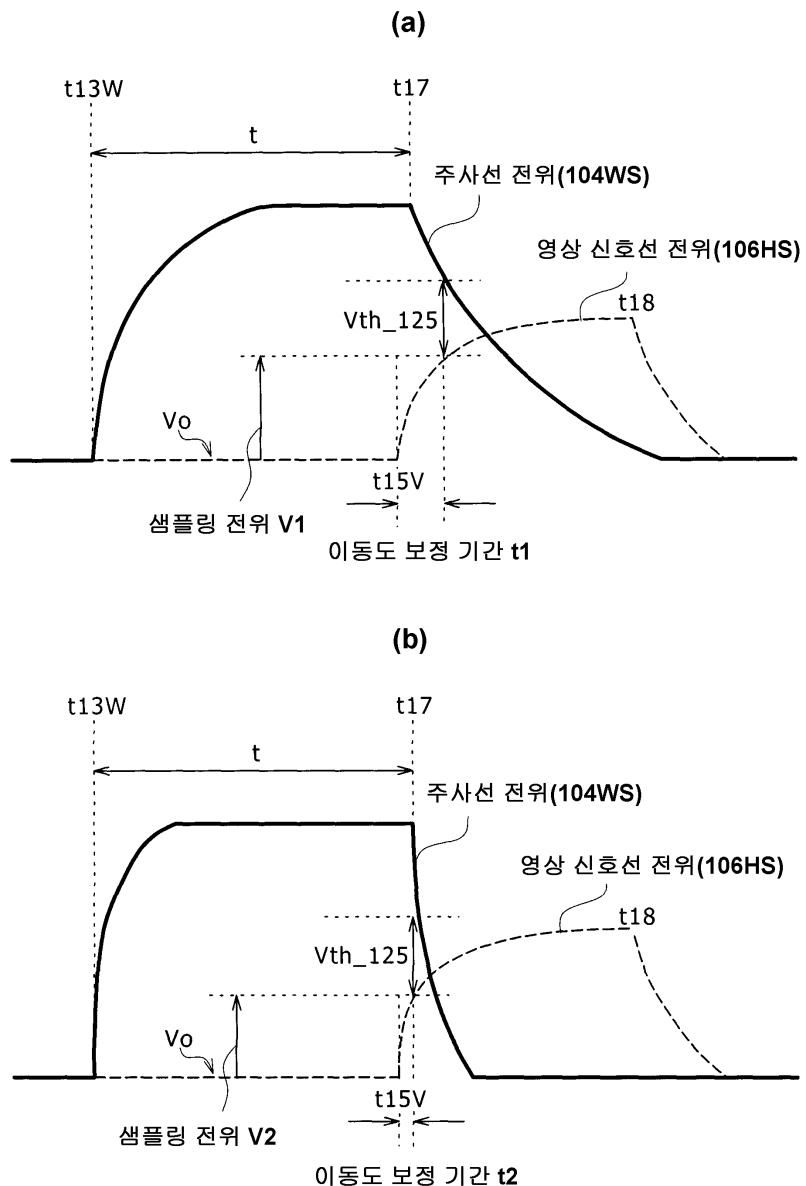
도면9



도면10

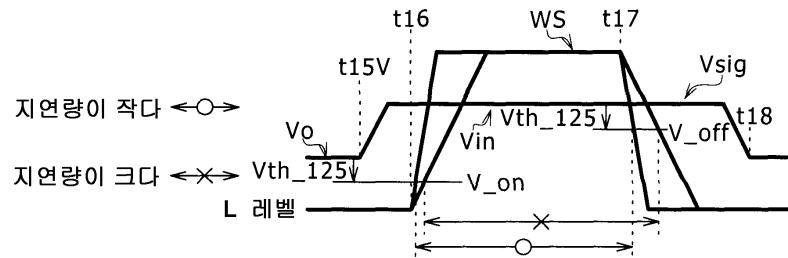


도면11

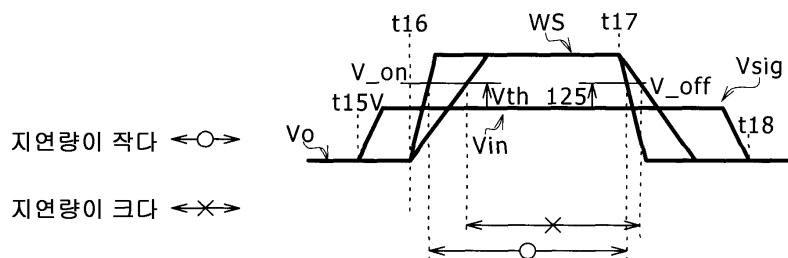


도면12

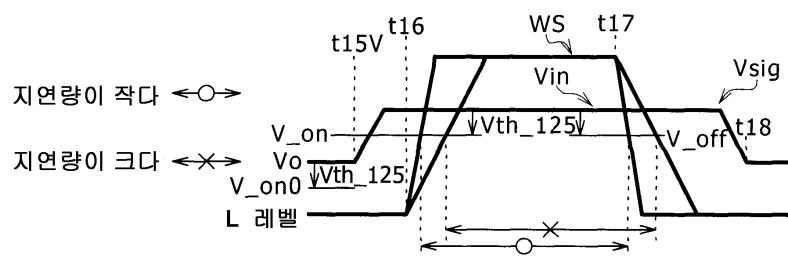
(a)



(b)



(c)



专利名称(译)	像素电路，显示装置和像素电路的驱动方法		
公开(公告)号	KR1020080061268A	公开(公告)日	2008-07-02
申请号	KR1020070124153	申请日	2007-12-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	IIDA YUKIHIKO 이이다유키히토 UCHINO KATSUHIDE 우치노카쓰히데		
发明人	이이다유키히토 우치노카쓰히데		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2320/045 G09G2300/0842 G09G2320/043 G09G3/3233 G09G2300/0819 G09G3/3266		
代理人(译)	LEE HWA我		
优先权	2006352560 2006-12-27 JP		
外部链接	Espacenet		

摘要(译)

提供包括对准光束扫描的显示装置，并且包括初始化晶体管的水平驱动部分，其中基于保持电容器内保持的信息建立的驱动电流被施加在用于电子辐射的电光装置上。- 光学装置和包括初始化光束扫描的控制单元包括在内。电光器件，像素电路，像素阵列，显示器件，有机电致发光显示器，发光器件，保持电容器。

