



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0042751  
(43) 공개일자 2008년05월15일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)  
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2007-0114449

(22) 출원일자 2007년11월09일  
심사청구일자 2007년11월09일

(30) 우선권주장

JP-P-2006-00305797 2006년11월10일 일본(JP)

(71) 출원인

도시바 마쓰시마 디스플레이 테크놀로지 컴퍼니,  
리미티드

일본 도쿄도 미나토구 4조메 고난 1-8

(72) 별명자

쓰게 히또시

일본 도쿄도 미나토구 고난 4조메 1-8 도시바 마  
쓰시마디스플레이 테크놀로지 컴퍼니, 리미티드  
지적재산부 내

(74) 대리인

장수길, 이중희

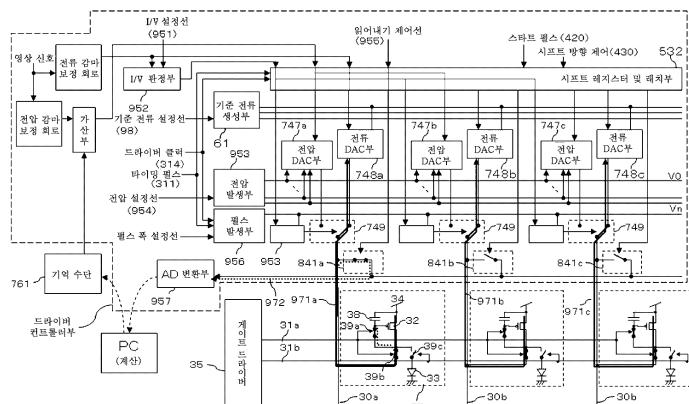
전체 청구항 수 : 총 25 항

(54) 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치, 및 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법

### (57) 요약

유기 발광 소자를 이용하는 표시에서 표시 얼룩이 발생하게 된다고 하는 과제가 있었다. 유기 발광 소자(33)를 이용하는 화소(37)가 갖는 구동 트랜지스터(32)의 특성에 따라서 화소(37)에 전압을 인가하기 위한 보상 데이터를 기억하기 위한 기억 수단(761)과, 기억 수단(761)에 의해 기억되어 있는 보상 데이터에 기초하여 화소(37)에 전압을 인가하기 위한 드라이버 컨트롤러부를 구비한 액티브 매트릭스형 표시 장치이다.

### 대표도



## 특허청구의 범위

### 청구항 1

유기 발광 소자를 갖는 화소와,

상기 유기 발광 소자에 흐르는 전류를 게이트 전압에 의해 결정하는 구동용 트랜지스터와,

기억부와,

상기 화소에 전압을 공급하는 전압 출력부를 구비하고,

상기 전압 출력부의 전압 출력은, 상기 기억부의 데이터에 따라 상이한, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 2

제1항에 있어서,

상기 구동 트랜지스터의 게이트 전압, 상기 구동 트랜지스터의 드레인 전압, 및 상기 전압 출력부의 출력 전압 중 적어도 1개의 전압을 검출하는 전압 검출 수단을 구비하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 3

제2항에 있어서,

상기 전압 검출 수단은, 상기 전압 출력부를 구비하는 드라이버부에 형성된, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 4

제2항에 있어서,

상기 전압 검출 수단은, 상기 화소가 형성된 어레이 기판에 설치된, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 5

제2항에 있어서,

상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압은, 상기 구동 트랜지스터에 제1 전류를 흘렸을 때에서의 전압인, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 6

제2항에 있어서,

상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압은, 상기 구동 트랜지스터에 제1 입력 계조에서의 드레인 전류를 흘렸을 때에서의 전압인, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 7

제2항에 있어서,

상기 전압 출력부의 출력 전압은, 제2 입력 계조에서의 출력 전압인, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 8

제1항에 있어서,

상기 기억부는 상기 구동 트랜지스터의 게이트 전압, 상기 구동 트랜지스터의 드레인 전압, 및 상기 전압 출력부의 출력 전압 중 적어도 1개에 기초하여 생성된 보정 데이터를 유지하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 9

제8항에 있어서,

상기 구동 트랜지스터의 게이트 전압, 상기 구동 트랜지스터의 드레인 전압, 및 상기 전압 출력부의 출력 전압 중 적어도 1개의 전압을 검출하는 전압 검출 수단을 구비하고,

상기 전압 검출 수단을 이용하여 전압을 검출한, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 10

제8항에 있어서,

상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압은,

제2 계조 입력과 상기 제2 계조 입력과는 상이한 제3 계조 입력에 대한, 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압을 각각 측정하고,

동일 위치에 있는 상기 화소에 대응하는

상기 제2 계조 입력에 대응하는 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압과,

상기 제3 계조 입력에 대응하는 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압으로부터 계산되는,

상기 제2 및 제3 계조 입력과는 상이한 제4 계조 입력에 대한 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압인, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 11

제8항에 있어서,

상기 전압은,

상기 전압 출력부의 제5 계조 입력에서의 출력과,

상기 전압 출력부의 상기 제5 계조 입력과는 상이한 제6 계조 입력에서의 출력으로부터 상기 전압 출력부의 1계 조당의 전위차가 계산되고,

상기 계산된 전위차에 의해 샘플링되어 유지되는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 12

제8항에 있어서,

상기 보정 데이터가, 동일한 상기 화소에 대하여, 적어도 2 이상 유지되고, 유지된 상기 보정 데이터는 각각 서로 다른 입력에 대한 전압인, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 13

제8항에 있어서,

상기 보정 데이터는, 상기 화소마다 형성된, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 14

제1항에 있어서,

상기 화소에 인가되는 전압의 조정을 행하기 위한 전자 볼륨을 구비하고,

상기 전자 볼륨의 조정에 의해, 흑 표시 시에서의 휘도를 조정하고,

소정 흑 휘도에서의 상기 전자 볼륨의 값을, 상기 기억부에 유지시킨, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 15

제1항에 있어서,

표시 계조에 따른 표시를 행하기 위해 입력되어 오는 계조 데이터와 상기 기억부에 의해 기억되는 보정 데이터를 이용하여 D/A 변환을 행하는 전압 출력부를 구비하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 16

제15항에 있어서,

상기 전압 출력부는, 출력이 리니어이며, 상기 입력되어 오는 계조 데이터와 상기 기억되는 보정 데이터를 가산함으로써 상기 D/A 변환을 행하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 17

제15항에 있어서,

상기 보정 데이터가, 동일한 화소에서 2개 이상 존재하고, 보정 데이터군을 형성하는 경우에는,

상기 보정 데이터군 중, 측정 조건이 상기 입력되어 오는 계조 데이터와 가까운 상기 보정 데이터를 이용하여 상기 D/A 변환을 행하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 18

제15항에 있어서,

상기 보정 데이터가, 동일한 화소에서 2개 이상 존재하고, 보정 데이터군을 형성하는 경우에는,

상기 보정 데이터군 중, 측정 조건이 상기 입력되어 오는 계조 데이터와 가까운 2개의 제1 보정 데이터와 제2 보정 데이터로부터, 상기 입력되어 오는 계조 데이터에 대응하는 제3 보정 데이터를 산출하고,

상기 제3 보정 데이터와 상기 입력되어 오는 계조 데이터를 이용하여 상기 D/A 변환을 행하여 상기 전압 출력부의 출력을 결정하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

### 청구항 19

상기 전압 출력부에 의한 출력을 행하는 기간을 갖는 제1항의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법.

### 청구항 20

제19항에 있어서,

상기 화소는, 전류 구동 방식에 따른 화소 구성을 갖고 있으며,

표시 계조에 따른 표시를 행하기 위해 입력되어 오는 계조 데이터와 상기 기억부에 의해 기억되는 보상 데이터에 기초하여, 상기 전류 구동 방식에서의 전압 프리차지 기간에서 상기 화소에 상기 전압 출력부에 의한 전압을 인가하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법.

### 청구항 21

제19항에 있어서,

상기 기억부에 의해 기억되는 보상 데이터에 기초하여, 신호 기입 기간에서 상기 화소에 상기 전압 출력부에 의한 전압을 인가하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법.

**청구항 22**

제1항에 있어서,

동작 시에서 상기 화소에 인가되어 있는 전압의 측정을 행하기 위해서 A/D 변환을 행하기 위한 AD 변환부와, 상기 측정의 결과에 따라서 상기 화소에 인가되는 전압의 제어를 행하기 위한 전압 제어부를 구비하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

**청구항 23**

제22항에 있어서,

상기 전압 제어부는, 상기 측정 결과와 상기 기억부에 의해 기억되는 보상 데이터의 비교 결과에 따라서 상기 전압의 제어를 행하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

**청구항 24**

제23항에 있어서,

상기 전압 제어부는, 주위의 온도를 고려하여 상기 전압의 제어를 행하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

**청구항 25**

제23항에 있어서,

상기 전압 제어부는, 전원이 투입되고 나서의 경과 시간을 고려하여 상기 전압의 제어를 행하는, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치.

**명세서****발명의 상세한 설명****기술 분야**

&lt;1&gt;

본 발명은, 예를 들면, 유기 발광 소자 등을 이용하여 전류량에 의해 계조 표시를 행하는, 액티브 매트릭스형 표시 장치, 및 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법에 관한 것이다.

**배경기술**

&lt;2&gt;

유기 발광 소자는, 자발광 소자이기 때문에, 액정 표시 장치에서 필요로 되는 백라이트가 불필요하며, 시야각이 넓은 등의 이점으로부터, 차세대 표시 장치로서 기대되고 있다.

&lt;3&gt;

일반적인 유기 발광 소자의 소자 구조의 단면도를 도 1에 도시한다. 유기층(12)이 음극(11) 및 양극(13)에 의해 사이에 끼워진 구조으로 되어 있다. 이것에 직류 전원(14)을 접속하면, 양극(13)으로부터 정공이, 음극(11)으로부터 전자가 유기층(12)에 주입된다. 주입된 정공 및 전자는 유기층(12) 내를 전원(14)에 의해 형성된 전계에 의해 반대의 극으로 이동한다. 이동 도중에서, 전자와 정공이 유기층(12) 내에서 재결합하여, 여기자를 생성한다. 여기자의 에너지가 비활성되는 과정에서 발광이 관측된다. 발광색은 여기자가 갖는 에너지에 따라 상이하며, 대략 유기층(12)이 갖는 에너지 밴드갭의 값에 대응한 에너지의 파장을 갖는 광으로 된다.

&lt;4&gt;

유기층 내에서 발생한 광을 외부로 취출하기 위해, 전극 중 적어도 한쪽은 가시광 영역에서 투명한 재료가 이용된다. 음극에는, 유기층에의 전자 주입을 용이하게 하기 위해 일함수가 낮은 재료가 이용된다. 예를 들면, 알루미늄, 마그네슘, 칼슘 등이다. 내구성, 한층 더한 저일함수화를 위해 이들의 합금이나, 알루미늄 리튬 합금과 같은 재료가 이용되는 경우가 있다.

&lt;5&gt;

한편 양극은 정공 주입의 용이성으로부터 이온화 포텐셜이 큰 것을 이용한다. 또한 음극이 투명성을 갖지 않기 때문에, 이쪽의 전극에 투명성 재료를 이용하는 경우가 많다. 그 때문에 일반적으로는, ITO(Indium Tin Oxide), 금, 인듐 아연 산화물(IZO) 등이 이용된다.

&lt;6&gt;

최근에는 저분자 재료를 이용한 유기 발광 소자에서, 발광 효율을 높이기 위해, 유기층(12)을 복수의 층으로 구

성하는 경우가 있다. 이에 의해, 각 층에서, 캐리어 주입, 발광 영역에의 캐리어 이동, 원하는 파장을 갖는 광의 발광의 기능을 분담하는 것이 가능하게 되고, 각각에 효율이 좋은 재료를 이용함으로써, 보다 효율이 높은 유기 발광 소자를 작성하는 것이 가능하게 된다.

- <7> 이와 같이 하여 형성된 유기 발광 소자는, 도 2의 (a)에 도시하는 바와 같이 휙도는 전류에 대하여 비례하고, 도 2의 (b)에 도시하는 바와 같이 전압에 대해서는 비선형의 관계로 된다. 이 때문에 계조 제어를 행하기 위해서는, 전류값에 의해 제어를 행하는 쪽이 좋다.
- <8> 액티브 매트릭스형의 경우, 전압 구동 방식과 전류 구동 방식의 2가지가 있다.
- <9> 전압 구동 방식은 전압 출력형의 소스 드라이버를 이용하고, 화소 내부에서 전압을 전류로 변환하고, 변환한 전류를 유기 발광 소자에 공급하는 방법이다.
- <10> 이 방법에서는 화소마다 설치된 트랜ジ스터에 의해 전압 전류 변환을 행하기 때문에, 이 트랜ジ스터의 특성 변동에 따라서, 출력 전류에 변동이 발생하고, 휙도 얼룩이 생기는 문제가 있다.
- <11> 전류 구동 방식은 전류 출력형의 소스 드라이버를 이용하고, 화소 내부에서는 1수평 주사 기간 출력된 전류값을 유지하는 기능만을 갖게 하며, 소스 드라이버와 동일한 전류값을 유기 발광 소자에 공급하는 방법이다(예를 들면, 특허 문헌 1 및 2 참조).
- <12> 또한, 상술한 문헌의 모든 개시는, 전부 그대로 인용함(참조함)으로써, 여기에 일체화한다.
- <13> 전류 구동 방식의 예를 도 3에 도시한다. 도 3의 방식은 화소 회로에 커런트 코퍼어 방식을 이용한 것이다.
- <14> 도 4에 도 3의 화소(37)의 동작 시의 회로를 도시한다.
- <15> 화소가 선택되었을 때에는 도 4의 (a)에 도시하는 바와 같이, 그 행의 게이트 신호선(31a)에는, 스위치를 도통 상태로 하도록 게이트 드라이버(35)로부터 신호가 입력된다. 그리고, 게이트 신호선(31b)에는 비도통 상태로 하도록 신호가 입력된다. 이 때의 화소 회로의 모습을 도 4의 (a)에 도시한다. 이 때 소스 드라이버(36)에 인입되는 전류인 소스 신호선(30)에 흐르는 전류는 점선(41)으로 나타낸 경로를 흐른다. 따라서 구동 트랜지스터(32)에는 소스 신호선(30)에 흐르는 전류와 동일 전류가 흐른다. 그렇게 하면 절점(42)의 전위는 구동 트랜지스터(32)의 전류 전압 특성에 따른 전위로 된다.
- <16> 다음으로 비선택 상태로 되면 게이트 신호선(31)에 의해 도 4의 (b)에 도시하는 바와 같은 회로로 된다. EL 전원선(34)으로부터 유기 발광 소자(33)에 참조 부호 43으로 나타내는 점선의 경로로 전류가 흐른다. 이 전류는 절점(42)의 전위와 구동 트랜지스터(32)의 전류 전압 특성에 의해 결정된다.
- <17> 도 4의 (a)와 (b)에서 절점(42)의 전위는 변화되지 않는다. 따라서 동일 구동 트랜지스터(32)에 흐르는 드레인 전류는 도 4의 (a)와 (b)에서 동일하게 된다. 이에 의해 소스 신호선(30)에 흐르는 전류값과 동일한 값의 전류가 유기 발광 소자(33)에 흐른다. 구동 트랜지스터(32)의 전류 전압 특성에 변동이 있어도 원리상 전류(41과 43)의 값에는 영향이 없어, 트랜지스터의 특성 변동의 영향이 없는 균일한 표시를 실현할 수 있다.
- <18> 따라서, 균일한 표시를 얻기 위해서는 전류 구동 방식을 이용할 필요가 있고, 그를 위해서는 소스 드라이버(36)는 전류 출력형의 드라이버 IC이어야만 한다.
- <19> 계조에 따른 전류값을 출력하는 전류 드라이버 IC의 출력단의 예를 도 6에 도시한다. 표시 계조 데이터(54)에 대한 아날로그의 전류 출력은, 참조 부호 64로 나타내어진 바와 같이 디지털 아날로그 변환부(66)에 의해 행해진다. 디지털 아날로그 변환부(66)는, 복수개(적어도 계조 데이터(54)의 비트수)의 계조 표시용 전류원(63)과 스위치(68) 및, 1개당의 계조 표시용 전류원(63)이 흘리는 전류값을 규정하는 공통 게이트선(67)으로 구성된다.
- <20> 도 6에서는 4비트의 입력(54)에 대하여 아날로그 전류를 출력한다. 비트의 가중치에 따른 수의 계조 표시용 전류원(63)을 전류 출력(64)에 접속할지의 여부는, 스위치(68)에 의해 선택한다. 따라서, 계조에 따른 전류를 출력할 수 있다. 예를 들면, 데이터1의 경우에는, 계조 표시용 전류원(63)이 1개분의 전류를 출력할 수 있고, 데이터7의 경우에는 7개분의 전류를 출력할 수 있다. 이 구성을 드라이버의 출력수에 따른 수만큼 참조 부호 66을 배열함으로써 전류 출력형 드라이버가 실현 가능하다. 계조 표시용 전류원(63)에 이용한 트랜지스터의 온도 특성을 보상하기 위해 공통 게이트선(67)의 전압은 분배용 미러 트랜지스터(62)에 의해 결정된다. 분배용 트랜지스터(62)와 계조 표시용 전류원(63)은 커런트 미러 구성으로 되고, 기준 전류(99)의 값에 따라서 1계조당의 전류가 결정된다. 이 구성에 의해, 계조에 의해 출력 전류가 변화되며, 또한 1계조당의 전류는 기준 전류에 의

해 결정된다.

- <21> 또한 계조 표시용 전류원(63)의 개수 차이에 의한 계조 표시 외에, 도 6에서 드레인 전극이 동일 스위치(68)에 접속된 복수의 전류원(63)을 1개로 통합하는 방법이나, 스위치(68)를 통하여 흐르는 전류가 변화되지 않도록, 전류원(63)의 채널 사이즈비를 변화시켜 형성하는 방법에 의해서도, 계조 표시가 실현 가능하다(이 경우 최저 4개의 전류원(63) 트랜지스터로 구성됨).
- <22> 또한, 전류원(63) 트랜지스터의 개수에 의한 전류 변화와, 채널 사이즈비의 변화에 의한 전류 변화를 조합하여 실시해도 된다.
- <23> 기준 전류(99)의 값은, 저항 소자(60)의 저항값 및 전원(69)의 전원 전압에 의해 결정된다. 저항 소자(60) 및 분배용 미리 트랜지스터(62), 전원(69)으로 이루어지는 회로에서 1계조당의 전류를 결정하는 기준 전류가 생성되기 때문에, 이들 회로를 기준 전류 생성부(61)로 한다.
- <24> [특허 문헌 1] 일본 특개 2004-271646호 공보
- <25> [특허 문헌 2] 일본 특개 2006-154302호 공보

### 발명의 내용

#### 해결 하고자하는 과제

- <26> 그러나, 상술한 종래의 표시 장치에서는, 유기 발광 소자를 이용하는 표시에서 표시 얼룩이 발생하게 된다고 하는 과제가 있었다.
- <27> 본 발명자는, 이러한 표시 얼룩이 혹 표시에서 특히 현저한 것을 깨닫고, 그 이유가 이하에서 설명하는 바와 같이 TFT 특성의 변동에 있다고 분석하고 있다.
- <28> 저온 폴리실리콘 TFT로 화소 회로를 형성하는 경우, 아몰퍼스 실리콘으로부터 레이저 어닐링에 의해 다결정화하는 공정이 있다.
- <29> 이 때, 도 47에 도시하는 바와 같이, 표시 에리어 전체를 한번에 어닐링하는 것이 아니라, 참조 부호 471에 도시하는 바와 같이 라인 형상으로 레이저 조사하고 다결정화한다. 이것을 화면 전체에 조사하기 위해 참조 부호 471의 영역을 화살표와 같이 서서히 스캔하도록 이동시켜 실시하고, 화면 전체를 다결정화시켜, 저온 폴리실리콘 TFT를 작성한다.
- <30> 이 때, 레이저의 강도 변동에 의해, 다결정화의 상태에 변동이 발생하고, TFT의 이동도 및 임계값 전압에 변동이 발생한다. 레이저 강도의 변동은 시간 변동에 의한 영향이 크고, 강도가 높은 타이밍에서 조사된 영역, 강도가 약한 타이밍에서 조사된 영역이, 참조 부호 471의 영역의 형상으로 분포된다.
- <31> 그 결과 도 47의 참조 부호 472, 473, 474로 나타내는 화소에서, 레이저 강도에 차이가 생기고, 도 48에 도시하는 바와 같이 화소 회로(37) 내부의 구동 트랜지스터(32)의 특성 변동에 의해, 참조 부호 482 내지 참조 부호 484의 소스 신호선의 전압 전류 특성에 차이가 생긴다.
- <32> 전압 프리차지에 의해 계조0 표시를 행한 경우의, 화소(472 내지 474)를 포함하는 행에서의 화소에 흐르는 전류(즉 EL 소자에 흐르는 전류)는 도 49의 참조 부호 491로 나타내는 바와 같이, 화소에 의해, 변동이 발생한다. 이 예에서는 최소로는 IOMIN, 최대로는 IOMAX의 전류가 흐른다.
- <33> EL 소자의 휘도는, 이 전류값의 차의 영향을 받아, IOMAX가 흐르는 화소에서는, 주위와 비교하여 밝게 발광하게 된다. 이 휘도차가 얼룩으로서 시인되면, 표시 품위의 저하를 초래한다.
- <34> 본 발명은, 상술한 과제를 감안하여 이루어진 것으로, 유기 발광 소자를 이용하는 표시에서 표시 얼룩이 발생하게 되는 것을 억제할 수 있는, 액티브 매트릭스형 표시 장치, 및 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법을 제공하는 것을 목적으로 한다.

#### 과제 해결수단

- <35> 상술한 과제를 해결하기 위해, 제1 본 발명은,
- <36> 유기 발광 소자를 갖는 화소와,

- <37> 상기 유기 발광 소자에 흐르는 전류를 게이트 전압에 의해 결정하는 구동용 트랜지스터와,
- <38> 기억부와,
- <39> 상기 화소에 전압을 공급하는 전압 출력부를 구비하고,
- <40> 상기 전압 출력부의 전압 출력은, 상기 기억부의 데이터에 따라 상이한, 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <41> 또한, 제2 본 발명은,
- <42> 상기 구동 트랜지스터의 게이트 전압, 상기 구동 트랜지스터의 드레인 전압, 및 상기 전압 출력부의 출력 전압 중 적어도 1개의 전압을 검출하는 전압 검출 수단을 구비하는, 제1 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <43> 또한, 제3 발명은,
- <44> 상기 전압 검출 수단은, 상기 전압 출력부를 구비하는 드라이버부에 형성된, 제2 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <45> 또한, 제4 발명은,
- <46> 상기 전압 검출 수단은, 상기 화소가 형성된 어레이 기판에 설치된, 제2 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <47> 또한, 제5 발명은,
- <48> 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압은, 상기 구동 트랜지스터에 제1 전류를 흘렸을 때에서의 전압인, 제2 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <49> 또한, 제6 발명은,
- <50> 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압은, 상기 구동 트랜지스터에 제1 입력 계조에서의 드레인 전류를 흘렸을 때에서의 전압인, 제2 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <51> 또한, 제7 발명은,
- <52> 상기 전압 출력부의 출력 전압은, 제2 입력 계조에서의 출력 전압인, 제2 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <53> 또한, 제8 발명은,
- <54> 상기 기억부는 상기 구동 트랜지스터의 게이트 전압, 상기 구동 트랜지스터의 드레인 전압, 및 상기 전압 출력부의 출력 전압 중 적어도 1개에 기초하여 생성된 보정 데이터를 유지하는, 제1 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <55> 또한, 제9 발명은,
- <56> 상기 구동 트랜지스터의 게이트 전압, 상기 구동 트랜지스터의 드레인 전압, 및 상기 전압 출력부의 출력 전압 중 적어도 1개의 전압을 검출하는 전압 검출 수단을 구비하고,
- <57> 상기 전압 검출 수단을 이용하여 전압을 검출한, 제8 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.
- <58> 또한, 제10 발명은,
- <59> 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압은,
- <60> 제2 계조 입력과 상기 제2 계조 입력과는 상이한 제3 계조 입력에 대한, 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압을 각각 측정하고,
- <61> 동일 위치에 있는 상기 화소에 대응하는
- <62> 상기 제2 계조 입력에 대응하는 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압

과,

<63> 상기 제3 계조 입력에 대응하는 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압으로부터 계산되는,

<64> 상기 제2 및 제3 계조 입력과는 상이한 제4 계조 입력에 대한 상기 구동 트랜지스터의 게이트 전압 또는 상기 구동 트랜지스터의 드레인 전압인, 제8 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<65> 또한, 제11 발명은,

<66> 상기 전압은,

<67> 상기 전압 출력부의 제5 계조 입력에서의 출력과,

<68> 상기 전압 출력부의 상기 제5 계조 입력과는 상이한 제6 계조 입력에서의 출력으로부터 상기 전압 출력부의 1계 조당의 전위차가 계산되고,

<69> 상기 계산된 전위차에 의해 샘플링되어 유지되는, 제8 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<70> 또한, 제12 발명은,

<71> 상기 보정 데이터가, 동일한 화소에 대하여, 적어도 2 이상 유지되고, 유지된 상기 보정 데이터는 각각 서로 다른 입력에 대한 전압인, 제8 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<72> 또한, 제13 발명은,

<73> 상기 보정 데이터는, 상기 화소마다 형성된, 제8 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<74> 또한, 제14 발명은,

<75> 상기 화소에 인가되는 전압의 조정을 행하기 위한 전자 볼륨을 구비하고,

<76> 상기 전자 볼륨의 조정에 의해, 흑 표시 시에서의 휙도를 조정하고,

<77> 소정 흑 휙도에서의 상기 전자 볼륨의 값을, 상기 기억부에 유지시킨, 제1 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<78> 또한, 제15 발명은,

<79> 표시 계조에 따른 표시를 행하기 위해 입력되어 오는 계조 데이터와 상기 기억부에 의해 기억되는 보정 데이터를 이용하여 D/A 변환을 행하는 전압 출력부를 구비하는, 제1 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<80> 또한, 제16 발명은,

<81> 상기 전압 출력부는, 출력이 리니어이며, 상기 입력되어 오는 계조 데이터와 상기 기억되는 보정 데이터를 가산함으로써 상기 D/A 변환을 행하는, 제15 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<82> 또한, 제17 발명은,

<83> 상기 보정 데이터가, 동일한 화소에서 2개 이상 존재하고, 보정 데이터군을 형성하는 경우에는,

<84> 상기 보정 데이터군 중, 측정 조건이 상기 입력되어 오는 계조 데이터와 가까운 상기 보정 데이터를 이용하여 상기 D/A 변환을 행하는, 제15 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<85> 또한, 제18 발명은,

<86> 상기 보정 데이터가, 동일한 화소에서 2개 이상 존재하고, 보정 데이터군을 형성하는 경우에는,

<87> 상기 보정 데이터군 중, 측정 조건이 상기 입력되어 오는 계조 데이터와 가까운 2개의 제1 보정 데이터와 제2 보정 데이터로부터, 상기 입력되어 오는 계조 데이터에 대응하는 제3 보정 데이터를 산출하고,

<88> 상기 제3 보정 데이터와 상기 입력되어 오는 계조 데이터를 이용하여 상기 D/A 변환을 행하여 상기 전압 출력부의 출력을 결정하는, 제15 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<89> 또한, 제19 발명은,

<90> 상기 전압 출력부에 의한 출력을 행하는 기간을 갖는 제1항의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법이다.

<91> 또한, 제20 발명은,

<92> 상기 화소는, 전류 구동 방식에 따른 화소 구성을 갖고 있으며,

<93> 표시 계조에 따른 표시를 행하기 위해 입력되어 오는 계조 데이터와 상기 기억부에 의해 기억되는 보상 데이터에 기초하여, 상기 전류 구동 방식에서의 전압 프리차지 기간에서 상기 화소에 상기 전압 출력부에 의한 전압을 인가하는, 제19 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법이다.

<94> 또한, 제21 발명은,

<95> 상기 기억부에 의해 기억되는 보상 데이터에 기초하여, 신호 기입 기간에서 상기 화소에 상기 전압 출력부에 의한 전압을 인가하는, 제19 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법이다.

<96> 또한, 제22 발명은,

<97> 동작 시에서 상기 화소에 인가되어 있는 전압의 측정을 행하기 위해서 A/D 변환을 행하기 위한 AD 변환부와, 상기 측정의 결과에 따라서 상기 화소에 인가되는 전압의 제어를 행하기 위한 전압 제어부를 구비하는, 제1 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<98> 또한, 제23 발명은,

<99> 상기 전압 제어부는, 상기 측정 결과와 상기 기억부에 의해 기억되는 보상 데이터의 비교 결과에 따라서 상기 전압의 제어를 행하는, 제22 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<100> 또한, 제24 발명은,

<101> 상기 전압 제어부는, 주위의 온도를 고려하여 상기 전압의 제어를 행하는, 제23 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

<102> 또한, 제25 발명은,

<103> 상기 전압 제어부는, 전원이 투입되고 나서의 경과 시간을 고려하여 상기 전압의 제어를 행하는, 제23 본 발명의 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치이다.

## 효과

<104> 본 발명에 따르면, 유기 발광 소자를 이용하는 표시에서 표시 얼룩이 발생하게 되는 것을 억제할 수 있다.

### 발명의 실시를 위한 구체적인 내용

<105> 이하에서는, 본 발명의 실시 형태에 대하여 도면을 참조하면서 설명한다.

<106> 컬러 유기 발광 소자를 이용한 표시 장치에서, 3원색 각각에 서로 다른 재료를 이용하여 화소를 형성한 경우, 도 7에 도시하는 바와 같이, 표시 색마다 발광 효율이 서로 다른 것, 또한 각 발광색의 색도에 따라서는, 백 표시 시의 각 표시 색의 전류가 서로 다른 값으로 되어, 1계조당의 전류를 개별로 설정할 필요가 있다.

<107> 따라서 도 8에 도시하는 바와 같이, 기준 전류 생성부(61)를 포함하는 전류 출력 회로(65)를 표시 색마다 개별로 준비하여, 표시 장치에 사용하는 발광 재료가 변화되었다고 해도, 저항 소자(60)의 값을 변경하여 사용함으로써, 패널 휘도 및 색도를 목적의 값으로 설정할 수 있는 구성으로 하고 있다.

<108> 또한 발광 재료의 색마다의 발광 효율 변동이 백 색도에 영향을 미쳐, 패널마다 백색이 서로 다르게 보이는 문제에 대응하기 위해, 도 9에 도시하는 바와 같이, 기준 전류 생성부(61)에서, 저항 소자(60) 대신에 전자 볼륨과 정전류원으로 이루어지는 회로 구성으로서, 발광 효율에 의해 제어 데이터(98)의 값을 변화시키고, 기준 전류를 변화시켜 출력 전류값을 조정함으로써, 휘도를 일정한 범위 내로 조정할 수 있다. 또한 색도에 대해서도 마찬가지로 일정한 범위 내로 조정하는 것이 가능하게 된다. 제어 데이터(98)를 기준 전류 전자 볼륨이라고 부르는 것으로 한다.

- <109> 조정 방법을 도 10에 도시한다.
- <110> 상정되는 발광 효율로부터 계산된 기준 전류 전자 볼륨의 초기값에 의해 전체 화면 백 표시를 행한다. 이 때에 휙도 및 색도 측정을 실시한다. 측정 데이터가 패널의 설계 스펙의 범위 내에 들어가 있으면, 전자 볼륨은 이 초기값으로 결정되지만, 범위 밖인 경우에는, 설정값과 비교하여, 각 색의 기준 전류 전자 볼륨(98)의 값의 증감을 행하고, 재차 백 표시하여 휙도 및 색도를 측정한다. 이 동작을, 휙도 및 색도가 설계 범위 내에 들어갈 때까지 반복하여 실시하고, 최종적으로 패널마다 최적의 기준 전류 전자 볼륨(98)의 값을 결정한다.
- <111> 전자 볼륨의 전압 조정부(95)의 눈금 폭은, 가늘수록, 기준 전류값의 미세 조정이 효과가 있어, 목표값에 가까운 설정이 가능하다. 또한 최대-최소값의 폭이 클수록 발광 효율의 변동이 커도 정확히 설계대로의 값으로 조정하는 것이 가능하다. 그러나, 이 조건을 만족하도록 설계하면 전압 조정부(95)의 회로 규모가 커지게 되어, 드라이버 IC(36)의 면적을 크게 하여 코스트 업의 요인으로 되게 된다. 이 때문에 조정 범위는 최대 2배 정도 (발광 효율의 변동이 2배 이내), 눈금 폭은 1%의 전류 변화로 하여, 6비트의 전자 볼륨에 의해 구성하는 것이 실용적으로 바람직하다. 이에 의해 패널마다의 색도의 변동은 x, y 모두  $\pm 0.005$  이하로 설정할 수 있다.
- <112> 전류 구동 시의 문제점으로서 도 11에 도시하는 바와 같은 표시 패턴에서, 영역(111)이 중간조 이하이고 1/4계조 이상인 경우에서, 영역(112)에서 저계조 표시를 실시하는 경우에, 영역의 경계선이 희미하게 되는 현상이 발생한다.
- <113> 또한 도 12에 도시하는 바와 같은 전체면이 저계조 표시의 경우에서 표시 1행째(영역(121))의 휙도가 다른 행보다도 높게 되는 현상이 발생한다.
- <114> 이것은 각 화소에의 기입 전류가 작아(10nA 정도), 기입 전류에 의한 소스 신호선의 부유 용량의 충방전이 곤란하게 되며, 그 전류값을 1수평 주사 기간 내에 소정의 전류값까지 변화시킬 수 없는 것이 원인이다.
- <115> 이에 대해서는, 문헌 Proc. EuroDisplay2002 pp.855~858 등에서 알려져 있다.
- <116> 또한, 상술한 문헌의 모든 개시는, 전부 그대로 인용함(참조함)으로써, 여기에 일체화한다.
- <117> 예를 들면 도 3에 도시하는 화소 구성의 액티브 매트릭스형 표시 장치에서, 소스 신호선으로부터 임의의 화소에 소정 전류값을 기입하는 경우에 대하여 생각한다. 소스 드라이버(36)의 출력단으로부터 화소까지의 전류 경로에 관계되는 회로를 추출한 회로는 도 15의 (a)와 같이 된다.
- <118> 계조에 따른 전류 I가 드라이버 IC(36) 내로부터, 전류원(152)이라고 하는 형태로 인입 전류로서 흐른다. 이 전류는 소스 신호선(30)을 통하여, 화소(37) 내부에 취득된다. 취득된 전류는 구동 트랜지스터(32)를 흐른다. 즉, 선택된 화소(37)에서 EL 전원선(34)으로부터 구동 트랜지스터(32), 소스 신호선(30)을 통하여, 소스 드라이버(36)에 전류 I가 흐른다.
- <119> 영상 신호가 변화되어 전류원(152)의 전류값이 변화되면, 구동 트랜지스터(32) 및 소스 신호선(30)에 흐르는 전류도 변화된다. 그 때 소스 신호선의 전압은 구동 트랜지스터(32)의 전류-전압 특성에 따라서 변화된다. 구동 트랜지스터(32)의 전류 전압 특성이 도 15의 (b)인 경우, 예를 들면 전류원(152)이 흘리는 전류값이 I2로부터 I1로 변화되었다고 하면, 소스 신호선의 전압은 V2로부터 V1로 변화되게 된다. 이 전압의 변화는 전류원(152)의 전류에 의해 발생한다.
- <120> 소스 신호선(30)에는 부유 용량(151)이 존재한다. V2로부터 V1까지 소스 신호선 전압을 변화시키기 위해서는 이 부유 용량의 전하를 빼낼 필요가 있다. 이 빼내는 데에 걸리는 시간  $\Delta T$ 는,  $\Delta Q(\text{부유 용량의 전하})=I(\text{소스 신호선에 흐르는 전류}) \times \Delta T=C(\text{부유 용량값}) \times \Delta V$ 로 된다.
- <121> 백(255계조 레벨)에서  $1\mu A$ 의 전류가 필요로 되는 패널에서 영역(111)의 계조가 32, 영역(112)의 계조가 0인 것으로 하면  $\Delta V(\text{흑 표시 시부터 계조32 표시 시간의 신호선 진폭})=3[V]$ ,  $C=10pF$ , 32계조 표시 시의 전류  $I=125nA$ 로 되므로,  $\Delta T=240\mu s$  초 필요로 된다. 이것은 QCIF+사이즈(화소수  $176 \times 220$ )를 60Hz의 프레임 주파수에서 구동시킬 때의, 1수평 주사 기간( $75\mu s$ )보다도 길어지기 때문에, 만일, 흑 표시 화소의 다음에 주사하는 화소에 32계조 표시를 행하고자 하면, 소스 신호선 전류가 변화 도중에 화소에 전류를 기입하기 위한 스위치 트랜지스터(39a, 39b)가 닫히게 되기 때문에, 중간조가 화소에 메모리됨으로써 32계조와 흑의 중간의 휙도로 화소가 빛나게 되는 것을 의미한다.
- <122>  $\Delta T$ 의 시간만큼 변화에 시간이 걸리기 때문에, 복수 행에 걸쳐 휙도가 소정 값과 전의 화소의 중간의 값으로 되기 때문에, 표시로서는 완만하게 변화되고 있는 것처럼 보이고, 그 결과 경계선이 희미하게 보이게 된다.

- <123> 계조가 낮아질수록 I의 값이 작아지기 때문에, 부유 용량(151)의 전하를 빼내기 어렵게 되기 때문에, 소정 휘도로 변화되기 전의 신호가 화소 내부에 기입되게 된다고 하는 문제는, 저계조 표시일수록 현저하게 나타난다. 극단적으로 말하면 흑 표시 시에는 전류원(152)의 전류는 0으로, 영역(111) 아래의 영역(112)에서 전류를 흘리지 않아 부유 용량(151)의 전하를 빼내는 것은 곤란하다(정확하게는 구동 트랜지스터(32)가 초기 상태에서는 계조32 상당의 전류를 흘리고 있어, 드레인 전류를 줄이도록, 이 전류를 이용하여 소스 신호선 전위를 변화시키고 있음).
- <124> 이러한 것으로부터, 도 11에 도시하는 표시에서 영역(111)이 계조32, 영역(112)이 계조0인 경우의 소스 신호선의 시간 변화는 도 13에 도시하는 바와 같이 완만하게 변화된다. 변화 도중의 행에서 표시 이상이 확인된다.
- <125> 도 15에 도시한, 주사 1행째의 휘도가 다른 것에 비해 높아지는 현상은, 예를 들면 계조5를 전체 화면 표시한 경우의 예에서 설명한다.
- <126> 수직 블랭킹 기간에서는, 어느 화소 회로에도 소스 신호선이 접속되지 않아, 소스 드라이버(36)는 전류를 인입하고자 한다고 하는 동작만이 행하여진다.
- <127> 그 결과, 도 14에 도시하는 바와 같이 소스 신호선(30)의 전위는 전류원(63)에 의해 시간이 지남과 함께 저하되고, 수직 블랭킹 기간의 종료 시에는 백 계조 상당까지 전위가 저하된다. 이 상태에서 계조5 표시를 행하고자 하면, 1행째에서 크게 신호선 전위를 변화시킬 필요가 있어, 도 11의 예와 마찬가지로, 변화에 시간이 걸려, 백과 목표 계조의 중간 전위가 메모리된다(도 14의 점(1413)). 그 결과, 휘도가 높게 표시되어, 1행째가 밝게 보이게 된다.
- <128> 이를 문제를 해결하기 위해 프리차지 방법을 이용하여 구동시킨다.
- <129> 계조0을 표시할 수 없는 것에 관해서는, 계조0 표시 시에 전압에 의해 계조0 표시 상당의 전압을 화소(37)에 인가하여, 계조0 상태로의 변화를 고속화한다. 이 때의 전압을 프리차지 전압이라고 부르고, 전류 구동 시에 흑 표시 상태로 고속으로 소스 신호선의 상태를 전압 인가에 의해 변화시키는 방법을 전압 프리차지라고 부르는 것으로 한다.
- <130> 소스 드라이버(36)의 출력단의 구성을 도 16에 도시한다. 종래의 드라이버에 대하여, 계조0 표시 시에 인가하는 전압을 공급하는 프리차지 전원(24)과, 프리차지 전원(24)을 화소에 인가할지의 여부를 판정하기 위한 인가 판정부(169)를 추가하고, 인가 판정부(169)에 판정 데이터를 영상 신호에 동기하여 송신하기 위해, 래치부(22)의 비트수가 증가한 것이 상이하다. 전압 프리차지를 실시하는 기간은 프리차지 펄스(52)에 의해 결정된다. 전압 프리차지 유무 시에서의 소스 드라이버 동작을 도 17에 도시한다.
- <131> 전압 기간의 길이는 소스 신호선(30)의 부유 용량(151) 및 수평 주사 기간의 길이, 프리차지 전원(24)의 버퍼 능력에 의해 정해지지만, 대략  $2\mu$ 초 정도의 길이로 설정된다. 프리차지 전원(24)의 능력은  $2\mu$ 초에서 부유 용량(151)(약  $10pF$ )을  $5V$  정도 전위 변화시켜도록 설계한다.
- <132> 이에 의해 종래 도 13에서 참조 부호 131로 나타내는 변화가, 도 18의 참조 부호 181로 나타내는 바와 같이 변화되게 되어, 영역(112)의 표시 1행째로부터 계조0의 표시가 가능하게 되었다.
- <133> 이 방법에서는 참조 부호 132로 나타내는 변화에 대해서는 효과가 없기 때문에, 변화 속도를 가속하기 위한 수단으로서, 도 19에 도시하는 바와 같이, 일시적으로 전류량을 많게 하는 기간을 설정하고, 그 기간에서 변화 속도를 가속하여, 소정 전류값으로 신속하게 변화시키는 방법을 취하였다. 도 19에서는 10배의 전류를 흘리는 예이다. 10배가 아니어도, 최대 계조 전류를 흘리는 등, 소정 계조 전류보다도 큰 전류를 흘리면 효과가 있다. 이와 같이 전류를 많이 흘리는 기간을 설정하는 방식을 전류 프리차지라고 하며, 많이 흘리는 전류를 프리차지 전류라고 부른다.
- <134> 이 방법을 이용하여, 32계조 레벨의 전류로 변화시킨 경우의 전류 변화의 모습을 도 20에 도시한다. 종래의 참조 부호 202의 곡선에서는  $125nA$ 까지 변화하는 데에  $240\mu$ 초 걸렸지만,  $75\mu$ 초 이내로 변화시키는 것이 가능하게 되었다. 이 예에서는, 프리차지 전류는 드라이버의 최대 계조 전류(8비트의 예에서는 255계조) 상당을 흘리고 있다. 그 때문에 도 20에 도시하는 전류 프리차지 기간(1073)은,  $30\mu$ 초 정도 있으면, 거의 소정 전류값 부근에까지 변화할 수 있다. 남은  $45\mu$ 초를 이용하여 소정 계조 표시 전류를 흘려, 커런트 코파이의 화소 구성에서 특징으로 되는 구동 트랜지스터(32)의 열룩을 보정한다. 이에 의해 전류 변화가 신속하게 되어, 저계조라도 소정의 휘도를 표시할 수 있게 된다.

- <135> 전류 프리차지에 의한 소정 전류에의 변화 시간은 1행 전의 소스 신호선의 상태에 따라서 변화된다. 예를 들면, 1행 전이 흑 레벨에서 32계조까지 변화시키는 경우와, 1행 전이 3계조에서 32계조까지 변화시키는 경우에서, 전압 변화량이 서로 다르기 때문에, 32계조 전류로 기입을 해도 기입 상태가 상이하고, 1행 전이 3계조인 쪽이 기입하기 쉽기 때문에, 전류 프리차지의 기간은 짧게 해야만 한다(프리차지 전류값이 동일한 경우에서의 비교이며, 전류값을 적게 하여 길이를 짧게 해도 마찬가지임).
- <136> 이와 같이 생각하면, 프리차지 기간의 종류는 단순하게는  $256 \times 256$  가지 필요로 되어, 판정하고 출력하는 것이 복잡하게 된다.
- <137> 따라서, 프리차지의 종류를 압축하기 위해, 전류 프리차지를 실시하기 전에, 소스 신호선의 상태를 임의의 값으로 고정하고, 그 상태로부터 소정 계조까지 변화되도록 하면, 그 행의 계조에 의해 전류 프리차지 기간을 정하는 것만으로 소정 표시가 가능하게 된다. 도 21에 1수평 주사 기간 내에서의 전류 프리차지 실시 시의 시퀀스를 도시한다. 처음에 전압 프리차지를 실시한다(211). 이에 의해 흑 표시 상태로 전압이 설정되고, 다음으로 전류 프리차지를 실시한다(212). 이것으로 소정 전류 근방까지 전류값이 변화된다. 마지막으로 계조 전류 출력 기간(213)에 의해, 구동 트랜지스터(32)의 전위 보정을 하여 계조 표시를 실시한다.
- <138> 이에 의해 도 11의 표시 패턴에서 도 22에 도시하는 바와 같이, 영역(111a)으로부터 영역(112)으로의 변화 및 영역(112)으로부터 영역(111b)으로의 변화 속도가 빨라져 도 22에 도시하는 바와 같이 변화 후의 1행째에서도 정확히 소정 계조를 표시할 수 있었다.
- <139> 이것을 표시 1행째에 반드시 실시하도록 하면 도 23에 도시하는 바와 같이 계조5 표시를 1행째부터 실시할 수 있게 된다.
- <140> 수직 블랭킹 기간의 전위 저하를 방지하기 위해, 수직 블랭킹 기간에서는 소스 드라이버 출력을 강제적으로 계조0 출력(즉 전류 인입 없음)으로 하거나, 수직 블랭킹 기간 중에는 전압 프리차지를 실시하여 흑 전위로 고정하거나 하는 방법이 있다. 전압 프리차지는, 도 24의 (a)에 도시하는 바와 같이 통상의 전압 프리차지와 마찬가지로  $2\mu$ 초 정도만 행하는 방법과, 도 24의 (b)에 도시하는 바와 같이 황시 전압 프리차지를 하는 방법 중 어느 쪽이라도 된다. 도 24의 (a)의 경우에는, 계조 출력 기간이 있기 때문에, 계조0으로 고정하고, 계조0 출력 기간(241)으로 하는 것이 바람직하다.
- <141> 전류 프리차지 및 전압 프리차지를 행하기 위한 전류 출력부 구성은 도 25에 도시한다. 여기서 선택부(259)는, 계조 데이터(54) 혹은, 전류 프리차지 제어선(254)이 하이 레벨일 때에 계조 표시용 전류원(63)을 전류 출력(64)에 접속한다. 선택부(259)는, 접속할지의 여부를 결정하기 위한 수단이다. 도 21에 도시한 전압 프리차지 실시 기간(211)은, 전압 프리차지 펄스(258)의 폴스 폭에 의해 결정되며, 전류 프리차지 실시 기간(212)은 전류 프리차지 펄스군(256)에 의해 결정된다. 전류 프리차지 펄스가 복수개 있는 것은, 표시 계조에 따라 최적의 전류 프리차지 기간이 상이하기 때문에, 계조에 따라서 최적의 폴스 폭을 갖는 전류 프리차지 펄스를 선택한다. 전류 프리차지 펄스(256) 및 전압 프리차지 펄스(258) 모두가 입력되지 않은 기간이 도 21에 도시하는 계조 전류 출력 기간(213)으로 된다.
- <142> 계조에 따라서 최적의 전류 프리차지 펄스(256)의 선택 및, 전압 프리차지 펄스의 유무를 설정하는 것이 프리차지 판정선(251)이며, 계조 데이터(54)와 동기하여 신호가 입력된다. 펄스 선택부(252)는 예를 들면 도 26에 도시하는 바와 같이 프리차지 판정선(251)의 값에 대하여, 프리차지 펄스를 출력한다. 프리차지 판정선(251)의 값이 0일 때에는 프리차지 펄스가 나오지 않기 때문에, 통상의 계조 출력을 행한다. 프리차지 판정선(251)의 값이 7일 때에는 전압 프리차지만 행한다. 그 밖의 경우에는, 전압 프리차지 실시 후, 전류 프리차지를 실시하는 동작으로 된다.
- <143> 각 프리차지 펄스의 설정예를 도 27에 도시한다. 여기서 전압 프리차지 펄스(258) 및 전류 프리차지 펄스(256)가 동시에 입력된 경우에는, 전압 인가 선택부(253)에 의해, 전압 프리차지 펄스(258)가 우선하여 작용하도록 되어 있기 때문에, 수평 주사 기간의 개시 시에 동시에 펄스가 상승하고 있다. 여기서는 전류 프리차지 펄스는 6종류 준비되고, a부터 순서대로 길게 되어 있다.
- <144> 프리차지 판정선(251)의 값이 4이면 도 26에서 도시한 바와 같이, 우선 전압 프리차지 펄스(258)에 의해 전압 프리차지 실시 기간(211), 다음으로 전류 프리차지 실시 기간(212)(전류 프리차지 펄스(256d)로 설정된 기간 만), 남은 시간이 계조 전류 출력 기간(213)으로 된다.
- <145> 프리차지 판정선(251)의 값이 0이면, 수평 주사 기간(272)으로 나타내는 바와 같이, 모두 계조 전류 출력 기간

(213)으로 된다.

<146> 각 계조에 대하여 어떻게 프리차지를 실시하는지를 도시한 것이 도 28이다. 계조0의 경우에는, 앞서 설명한 바와 같이 전압 프리차지를 실시한다. 계조1~계조102에서는 전류 프리차지를 실시한다. (전류 프리차지 전에 반드시 전압 프리차지 기간이 존재하는) 전류 프리차지 기간은, 계조가 증가할 때마다 길어지도록 설정한다. 계조103 이상에서는, QCIF+의 화소의 예에서 255계조일 때가, 1mA의 전류인 경우에는, 1행 전이 계조0이라도 75  $\mu$ 초 이내에 변화가 가능하기 때문에, 프리차지는 불필요하다. 따라서 계조 전류만으로의 출력을 행한다.

<147> 다음으로 각 프리차지 폴스 폭의 예를 도 29에 도시한다. 계조0 표시 상당의 프리차지 전압값으로부터의 전압 변화량에 따라서 설정되어 있다. 이 때의 각 프리차지 폴스에 대한 계조의 조합은 도 28에 도시하는 바와 같다.

<148> 도 28에서 복수의 계조에서 동일 프리차지 폴스를 공유할 수 있는 것은, 전류 프리차지에 의해 목표값 근방까지 전위를 변동시키면, 소정값까지는 계조 전류로 보정할 수 있기 때문이다.

<149> 도 30에 전류 프리차지 폴스(256d)를 계조5 및 계조8에서 적용한 경우의 전류 변화의 모습을 도시한 것이다. 계조5 표시의 경우에는, 소스 신호선의 전위 변화는 흑 표시 상태로부터 2.4V, 계조8 표시의 경우에는 2.65V 필요하다.

<150> 전류 프리차지 기간(212)에서, 도 29에 도시하는 전류 프리차지의 길이를 설정하면, 전위 변화는 2.5V로 된다. 이 후 계조 전류에 의해 소정 전위까지 변화시킨다. 계조5 표시에서는 참조 부호 304로 나타내는 바와 같이 0.1V 정도 전류를 감소시키는 방향으로 변화시킬 필요가 있다. 전류값이 20nA, 계조 전류 출력 기간(213)이 55  $\mu$ 초이기 때문에, 계조5 전류로 0.11V 변화시키는 것이 가능하다. 전류 프리차지(256d)를 이용하면 소정 계조를 표시할 수 있는 것을 알 수 있다. 한편 계조8에서는, 전류값이 31nA이기 때문에 55  $\mu$ 초에서 0.16V 변화시킬 수 있고, 변화에 필요한 전압값 0.15V에 대하여 충분히 변화가 가능하다. 이와 같이 동일 전류 프리차지 폴스(256d)를 이용하여 계조5~8의 표시를 행하는 것이 가능하다.

<151> 이와 같이 계조마다 최적의 전류 프리차지 폴스(256)를 선택함으로써, 전체 계조에 대하여 기입 부족이 없는 표시가 가능하게 되었다.

<152> 프리차지 폴스는 도 31에 도시되는 바와 같이 폴스 발생부로부터 공급된다. 수평 주사 기간의 개시 후부터 프리차지가 실시되기 때문에, 소스 드라이버의 아날로그 출력 타이밍을 결정하는 타이밍 폴스(311)에 의해, 폴스가 발생하도록 하고 있다. 그 후 각 프리차지 폴스의 길이를 결정하기 위해, 클럭(314) 및 카운터(317)와, 프리차지 기간 설정선(315, 316)의 값을 비교하여 일치하는 값까지 폴스를 계속해서 발생시키도록 한다.

<153> 전류 프리차지 폴스군이 색마다 별도의 설정으로 되어 있는 것은 각 색에서 계조 전류의 값이 상이하여, 최대 계조 전류로 전류 프리차지를 실시하였다고 해도 소정 전류값까지 변화되는 시간이 서로 다를 가능성성이 있기 때문이다.

<154> 전압 프리차지에 대해서는, 전압에 의해 강제적으로 임의의 전위까지 변화시키는 것이며, 전압값에 의해 필요한 프리차지 기간이 변화되는 것은 아니기 때문에 전체 색 공통으로 설정하고 있다.

<155> 또한 각 프리차지 폴스는, 소스 드라이버 클럭(314)에 의해 발생시키기 때문에, 클럭의 주파수에 따라서는, 폴스 폭을 짧게밖에 설정할 수 없거나(고해상도의 패널에 적용하는 경우), 길게밖에 설정할 수 없거나(해상도가 낮은 패널) 하는 문제가 발생한다. 폴스 발생부에서 기간을 설정하는 설정선(315)의 비트수를 증가시켜, 가변 범위를 넓히는 방법이 있지만, 이 경우, 폴스 생성 수단(318)의 회로 규모가 커진다. 따라서, 소스 드라이버의 클럭(314)을 분주하여 클럭 주파수를 제어하는 분주 회로(313)를 설치하고, 폴스 발생을 위한 카운터(317)의 회로에 분주 후의 클럭을 입력함으로써, 화면의 해상도에 어느 정도 좌우되지 않고, 폴스 폭을 설정할 수 있는 구성을 하였다.

<156> 도 25에 대하여 전압 프리차지를 행하기 위한 회로 구성을 도 32에 도시한다. 프리차지 전압 발생부(323)는 전자 볼륨(324)에서, 출력 전압값을 커맨드로 변경할 수 있는 구성으로 되어 있다. 또한 출력은 전압 프리차지 제어선(257)을 통하여 출력(64)에 접속된다. 전체 출력 모두 공통 전압이 출력된다. 이것은 흑 표시 시의 전압 설정을 색마다 개별로 설정할 수 없기 때문에, 개별 설정하는 회로가 필요하지 않아, 회로 규모 약간을 위한 1개만 존재하고 있다.

<157> 전자 볼륨(324)은, 패널마다 서로 다른 흑 휘도를 조정하여 변동을 억제하기 위해 사용된다. 도 33에 흑 휘도를 조정하기 위한 회로 구성을 도시한다. 본래 흑 휘도의 조정은 휘도계 등에 의해 휘도를 측정하고, 휘도를

일정하게 하도록 조정할 필요가 있지만, 자발광인 유기 발광 소자에서는, 흑 휘도가 0.05 칸델라 이하로 되어, 측정을 위해서는, 휘도계를 선택하고, 또한 암실에서의 조정이 요구되게 된다. 따라서, 휘도 측정 대신에 유기 발광 소자의 휘도-전류 특성이 거의 비례 관계인 것을 이용하여, 전체 화소에 흐르는 전류값의 총합을 측정하고, 그 전류가 일정한 범위 내에 들어가도록 조정하는 방법을 취하는 것으로 하였다. 따라서 도 33에서는, 유기 발광 소자에 흐르는 전류의 총합을 알 수 있는 EL 캐소드 전원선(330)에 전류계(333)를 삽입하고, 전류계(333)의 값을 읽어내어, 퍼스널 컴퓨터 등의 제어 장치(332)가, 컨트롤러를 통하여 소스 드라이버 내부의 전자 볼륨(324)을 제어한다. 최종적으로 최적의 전자 볼륨값을 기억 수단(337)에 기억시킨다(기억 수단은, 최종 모듈 상에 탑재되고, 기입 후에는, 조정된 패널과 쌍으로 모듈화됨). 조정 후, 전압 프리차지의 전압값은 기억 수단(337)에 기억된 값으로 동작한다.

<158> 도 34에 흑 조정 시의 조정 방법을 도시한다. 전압 프리차지를 실시하여 흑 표시를 행한다(341). 다음으로 EL 캐소드 전원(330)의 전류값을 측정한다. 전류값이 소정 범위 내에 들어가 있는지를 판정하고, 범위 밖이면, 범위 내에 들어가도록 재차 전압 프리차지용 전자 볼륨(324)의 값을 변경하고, EL 캐소드 전류를 측정한다. 이것을 범위 내에 들어갈 때까지 반복하여 실시한다.

<159> 또한 흑 표시 시의 휘도가 측정 가능한 경우에는, EL 캐소드 전원(330)의 전류값 대신에 휘도를 측정하고, 휘도가 소정 범위 내에 들어가도록, 전압 프리차지용 전자 볼륨(324)의 값을 변경해도 된다.

<160> 소정의 범위 내에 들어가면, 이 때의 전자 볼륨값을 기억 수단(337)에 기입한다. 이에 의해 조정 종료로 된다. 마지막으로 기억 수단에 기재된 값이 올바른지 확인하고, 검사를 끝내고, 이후에는 기억 수단(337)의 값에 기초한 프리차지 전압을 발생하게 된다. 이에 의해 패널간에서의 흑 휘도 변동이 적은 표시 장치가 실현되었다.

<161> 전류 프리차지 및 전압 프리차지의 실시에 의해 기입 부족이 없는 표시가 실현되었지만, 복수의 행에 걸쳐 일정 휘도가 표시되는 경우, 매회 프리차지가 실시됨으로써, 프리차지 실시 전보다도 신호선 전위의 변화가 심하게 되는 경우가 있다. 예를 들면 도 11에 도시하는 영역(111)에서 계조32가 표시되어 있는 경우이다. 도 35에 신호선 전류의 변화의 모습을 도시한다. 각 수평 주사 기간 개시 시에 한번 전류가 0으로 크게 변화하고 있다. 한편 종래의 프리차지가 없는 방식에서는, 영역의 변화 후 수행간에서는 소정 전류로 되지 않는 문제가 있지만 복수의 행에서 동일 계조 표시의 경우 항상 일정 전류가 흘러, 전류 변화가 적은 표시로 되어 있어, 보다 기입하기 쉬운 동작으로 되어 있다.

<162> 따라서, 1행 전의 상태에 의해 프리차지를 행할지의 여부를 판별하는 방법을 취하는 것을 생각하였다. 영역(111)으로부터 영역(112) 및 영역(112)으로부터 영역(111)으로의 변화점에서는 프리차지를 행하지만, 계조 변화가 없는 영역(111)내 및 영역(112) 내에서는 프리차지를 실시하지 않는 방법이다. 프리차지가 필요없이 기입할 수 있는 경우에는 프리차지를 실시하지 않는다고 하는 판정 처리를 하는 것이다. 프리차지의 길이에 대해서는, 지금까지와 마찬가지로 해당 계조에 의해 결정된다. 이에 의해 도 36에 도시하는 바와 같이, 전류 변화가 큰 부분에서도 정확히 표시할 수 있고, 또한 전류 변화가 적은 부분에서는 프리차지를 멈춤으로써 전류 변화를 적게 할 수 있어, 표시 품위가 향상된 표시 패널을 실현하였다.

<163> 다음으로 프리차지를 행할지의 여부의 판정 기준을 결정하는 방법에 대하여 설명을 행한다. 판정은, 프리차지가 없어도 소정 상태로 변화할 수 있는지의 여부로 결정되며, 변화할 수 없는 경우에 프리차지를 행하도록 한다.

<164> 기입이 가능한지의 여부는, 표시 계조(기입 전류)와 1행 전부터의 변화량(전위차)에 의해 결정된다.

<165> 도 38에 1행 전의 기입 전류와, 표시 행의 기입 전류의 조합에 대한 프리차지 없이는 기입할 수 없는 영역(381 및 382)의 관계를 도시한다. 참조 부호 381 및 382의 경계선은,  $\Delta V \times C = I_w \times T$ 로 나타내어지는 선(여기서 C는 부유 용량  $10\text{pF}$ ,  $I_w$ 는 기입 전류, T는 수평 주사 기간  $75\mu\text{s}$ )이며, 참조 부호 381 및 382는  $\Delta V \times C / I_w > 75\mu\text{s}$ 로 되는 영역에서, 수평 주사 기간 내에 변화할 수 없는(기입할 수 없는) 영역을 나타내고 있다.

<166> 따라서 프리차지할지의 여부의 판정은, 참조 부호 381 및 382의 영역에 들어가기 1행 전과 해당 행의 조합 시에 실시하는 것으로 하면, 이 경우, 판정에 곱셈이 포함되기 때문에, 회로 규모가 큰 판정 로직으로 된다.

<167> 따라서, 곱셈을 없애기 위해, 참조 부호 381 및 382의 영역으로부터 뛰어가지 않도록, 해당 행의 계조가 일정값보다 위인지 아래인지, 또한 1행 전의 계조가 일정값보다 위인지 아래인지로 판정하도록 한다.

<168> 도 38은 255계조가  $1\mu\text{A}$ 의 전류이고, QCIF+의 화소수에서 소스선 용량이  $10\text{pF}$ 인 경우에서의 예에서, 기입 전류가 103계조 미만( $I_w 103$ 으로 함) 또한 1행 전 전류가 12계조 미만( $I_b 12$ )일 때와, 기입 전류가 50계조 미만( $I_w 50$ )일

때에 프리차지를 하면 된다. 단 1행 전과 해당 행의 계조가 동일하면 전류값에 상관없이 기입 가능하기 때문에, 동일한 경우에는 프리차지를 하지 않는다고 하는 판정을 추가한다.

<169> 이 판정을 실시하기 위한 판정부 방식을 도 37에 도시한다.

<170> 우선 표시하는 계조가 0인지의 여부를 판정하고(371), 계조0이면 전압 프리차지를 하도록 한다. 복수 행에 걸쳐 계조0이 계속되었다고 해도 프리차지 전압값이 계조0일 때의 전위이기 때문에, 도 35에 도시하는 바와 같은 프리차지를 매회 행하는 것에 의한, 전위 변동이 많아지는 문제가 발생하지 않기 때문에, 매회 프리차지를 하도록 한다.

<171> 계조0이 아닌 경우에는 다음으로, 1행 전의 계조 데이터와 비교한다(372). 비교를 실시하기 위해, RAM 혹은 래치 회로 등에서, 1행분의 데이터를 기억시키는 회로가 필요로 된다.

<172> 1행 전의 계조 데이터와 비교하여, 일치하는 경우에는, 표시 계조(기입 전류)에 상관없이 기입이 가능하다(소스 신호선의 전위가 변화되지 않기 때문임). 그 때문에, 이 경우에는 전류 프리차지를 실시하지 않도록 한다.

<173> 다음으로 1행 전의 계조 쪽이 큰 경우에는, 도 38의 영역(381)을 고려하여, 이제부터 기입하는 전류가 계조50 상당의 200nA 이하일 때 전류 프리차지를 실시한다. 영역(381)보다도 큰 영역에서 프리차지를 실시하게 되지만, 기입 부족에 의한 화질 열화가 발생하지 않는 것이 우선이며, 처리의 간편함을 고려하여, 이와 같이 판정한다. 200nA보다 큰 경우에는, 기입 전류에 의해, 소정 전류값까지 프리차지 없이 소스 신호선 전위를 변화시키는 것이 가능하기 때문에 전류 프리차지 없음으로 한다.

<174> 1행 전 계조 쪽이 낮은 경우에는, 계조 전류로 기입이 불가능한 영역(382)을 고려하여, 우선 기입 전류가 계조 103 상당의 400nA 이상인 경우, 1행 전 기입 전류에 상관없이 프리차지 없이 기입이 가능하기 때문에, 판정(374)에서 프리차지하지 않는 판정을 한다.

<175> 계조102 이하에서는 1행 전의 기입 전류에 의해, 기입 가능 불가능이 나누어지기 때문에, 다시 판정부(375)에서, 1행 전의 전류가 계조12 상당의 45nA 이하인 경우, 프리차지를 실시한다.

<176> 이에 의해 프리차지 없음에서는 기입할 수 없는 영역(382)을 내포한 형태로, 프리차지를 실시하는 조합이 결정되어, 필요에 따른 프리차지의 온 오프 선택이 가능하게 되었다.

<177> 도 39에, 도 37의 판정 처리를 포함시킨 경우에서의, 소스 신호선 전류 변화의 모습을 도시한다(도 11의 영역 (111)이 계조32이고, 영역(112)이 계조3인 경우를 도시함). 프리차지가 없는 회로 구성에 비하여, 전류의 변화 시의 속도가 향상되고, 영역의 경계 행에서도 정확히 계조 표시를 실현할 수 있다.

<178> 계조에 따라서 최적의 프리차지 펠스를 선택 혹은 프리차지하지 않는 것을 판정하는 회로는, 표시 패널 외부로부터 송신되어 오는 영상 신호(407)에 대하여, 데이터 인에이블 신호(401)에 의해, 수직 블랭킹 기간에서는 입력에 상관없이 흑 데이터를 출력하는 흑 데이터 삽입부(402)를 통과하여, 감마 보정을 행하는 감마 보정 회로 (403)의 출력에 의해, 소스 드라이버에 송신되는 데이터를 바탕으로 프리차지 판정을 실시할 필요가 있다. 그 때문에 도 40에 도시하는 바와 같은 구성으로 되며, 감마 보정 후 영상 신호(404)를 이용하여 프리차지 판정을 행하고, 이 데이터와 동기하여, 프리차지 플래그(406)로서, 소스 드라이버에 송신된다. 프리차지 플래그(406)는 사용되는 소스 드라이버 측의 펠스 선택부(252)와 모순되지 않도록 도 26에 대응하여, 도 41에 도시하는 바와 같은 관계에서 프리차지 플래그(406)를 송신한다.

<179> 또한, 1행 전 데이터와의 비교부에 대하여, 비교하는 영상 신호가 없는 1행째의 처리이지만, 금회 수직 블랭킹 기간에서 흑 데이터를 삽입하기 위한 흑 데이터 삽입부(402)를 추가함으로써, 1행째 전에는 반드시 전압 프리차지를 실시한 흑 계조로 된다. 1행 전의 타이밍에 송신된 데이터는 반드시 기억 수단에 기억되며, 비교 데이터로 되기 때문에, 이 데이터도 또한 유지되고, 1행째의 프리차지를 판정할 때에는 계조0 표시가 1행 전에 있었을 때의 프리차지를 하도록 자동적으로 판정되기 때문에, 1행째의 처리에 대해서도 2행째 이후와 마찬가지로 실시하는 것이 가능하다.

<180> 프리차지 펠스(256)의 펠스 폭에 대해서는, 영상 신호마다 판정할 필요가 없고, 동일 패널에서는 고정값이기 때문에, 별도로, 커맨드 설정 등에 의해 소스 드라이버에 송신하도록 한다. 영상 신호에 동기하여 프리차지 플래그가 필요하고, 또한 프리차지 펠스의 설정이나 프리차지 전압값의 설정 등 커맨드가 많기 때문에, 컨트롤러와 드라이버가 별도의 칩으로 구성되는 모듈의 경우(도 42), 2개의 IC간에서의 제어 신호선 수가 많아져, 외부 배선이 복잡하게 되는 것이 상정된다. 따라서, 예를 들면 도 43에 도시하는 바와 같이 1화소분에 필요한 데이터를 클럭 주파수 N배로 함으로써 시리얼 전송하는 방법, 수평 블랭킹 기간을 이용하여 영상 신호 입력선과 동

일 신호선에서 각종 커맨드를 설정하는 것(432)에 의해 외부 신호선을 삭감하는 방법이 있다. 여기서 ROM(422)은 패널마다 서로 다른 커맨드 설정을 보관하기 위해 존재하며, 프리차지 전압의 전자 볼륨값이나, 각 색의 기준 전류 전자 볼륨값을 보관하고 있다.

<181> 전류 및 전압 프리차지가 실시 가능한 소스 드라이버의 회로 구성을 도 44에 도시한다. 이 예에서는, 도 43과 같이 영상 신호(434)와 커맨드(435)가 동일 선(영상 신호선(429))으로 송신되어 온다. 영상 신호선 데이터는 커맨드(315, 316, 98, 502)와 계조 데이터(386), 프리차지 판정 신호(380), 또한 게이트 드라이버용 제어 신호(428)로, 영상 신호 · 커맨드 분리부에 의해 분리되어 있다.

<182> 6종류의 전류 프리차지 펠스(256)는 펠스 발생부(319)에서 생성되고, 각 색 6개의 펠스를 생성하고, 펠스 선택부(252)에 입력되어 있다. 전류 출력부(255)에서는 계조 데이터(54) 및 기준 전류 생성부(61)에 의해 생성되는 1계조당의 전류 설정에 기초하여 전류 출력을 행한다. 이 때 펠스 선택부(252)의 동작에 의해서는, 전류 프리차지 펠스의 펠스 폭에 따라서 최대 계조를 내는 기간이 발생한다(전류 프리차지). 최종단에서, 전압 프리차지를 실시할지의 여부의 판정을 전압 인가 선택부에서 결정한다. 판정은 펠스 선택부의 출력에 의해 결정되고, 출력되는 전압은 프리차지 전압 발생부에서 결정된 전압으로 된다. 이에 의해, 전류 및 전압 프리차지가 가능한 소스 드라이버가 실현된다.

<183> 이상의 설명에서 전류 프리차지 펠스는 6종류로 설명을 행하였다. 그러나 유기 발광 소자의 효율에 따라서는, 1계조당의 전류값이 더욱 감소하고, 도 28에 도시하는 계조와 프리차지 펠스의 관계에서, 복수 계조를 동일 프리차지 펠스에서 공용할 수 없게 되기 때문에, 필요한 펠스수가 증가한다. 예를 들면 전류값이 절반으로 된 경우, 지금까지의 계조16 및 계조102의 전류값은 계조8과 계조51 상당으로 감소한다. 계조8과 계조51에서는 서로 다른 전류 프리차지 펠스를 선택하고 있으며, 이 경우 3종류의 프리차지 펠스로 되어 있다. 즉 필요한 프리차지 펠스수가 증가한다. 따라서, 전류 프리차지 펠스의 수가 6보다 많은 경우도 생각된다.

<184> 이 경우, 전류 프리차지 펠스군(256)의 전류 프리차지 펠스의 수를 증가시킨다. 이에 의해 펠스 선택부(252)의 동작도 선택수가 증가한다. 이 때문에 프리차지 판정선(251)의 비트수를 증가시켜 대응할 필요가 있다.

<185> 도 28의 관계에 대해서도, 증가한 프리차지 펠스수의 범위에서, 계조를 할당함으로써, 전류가 절반으로 되어도, 대응하는 것이 가능하다.

<186> 예를 들면 16가지의 프리차지 펠스가 필요한 경우에는, 프리차지 판정선(251)은 5비트로 되고, 계조의 할당에 대해서도 저계조 측에서는 계조마다 개별의 프리차지 펠스를 준비하고, 고계조일수록 복수의 계조를 공용하여 이용하는 방식을 이용한다.

<187> 기입 부족을 해소하기 위해 필요한 프리차지 펠스의 종류를 준비하도록 하면, 지금까지의 설명과 마찬가지의 효과를 얻을 수 있고, 프리차지 펠스의 종류는 임의의 값만큼(극단적으로 말하면 계조수 -1개) 준비하는 것도 가능하다.

<188> 또한, 상술한 설명에 이용한 소스 드라이버는, 도 3의 커런트 코퍼어 회로 구성뿐만 아니라, 도 5에 도시하는 커런트 미러의 회로 구성이어도 실시 가능하다. 구동 트랜지스터(52)의 게이트 전위(=소스 신호선 전위)를 미소 전류에 의해 변화시켜 기입하는 동작은 동일하기 때문이다.

<189> 전류 출력형 소스 드라이버에서, 도 6에 도시하는 바와 같이, 전류 출력을 트랜지스터의 배열로 구성하면, 배열하는 트랜지스터의 개수분만큼 면적을 필요로 한다. 기준 전류의 변동을 고려하여, 칩내, 칩간의 인접 단자간의 변동을 2.5% 이내로 할 필요가 있기 때문에 도 58에서의 출력 전류의 변동(출력단에서의 전류 변동)은 2.5% 이하로 하는 것이 바람직하고, 참조 부호 63의 트랜지스터 사이즈는 160평방 마이크론 이상인 것이 좋다.

<190> 저온 폴리실리콘 TFT로 화소 회로를 형성하는 경우, 아몰퍼스 실리콘으로부터 레이저 어닐링에 의해 다결정화하는 공정이 있다.

<191> 이 때, 도 47에 도시하는 바와 같이, 표시 애리어 전체를 한번에 어닐링하는 것이 아니라, 참조 부호 471로 나타내는 바와 같이, 라인 형상으로 레이저 조사하고 다결정화한다. 이것을 화면 전체에 조사하기 위해 참조 부호 471의 영역을 화살표와 같이 서서히 스캔하도록 이동시켜 실시하고, 화면 전체를 다결정화시켜, 저온 폴리실리콘 TFT를 작성한다.

<192> 이 때, 레이저의 강도 변동에 의해, 다결정화의 상태에 변동이 생기고, TFT의 이동도 및 임계값 전압에 변동이 생긴다. 레이저 강도의 변동은 시간 변동에 의한 영향이 크며, 강도가 높은 타이밍에서 조사된 영역, 강도가

약한 타이밍에서 조사된 영역이, 참조 부호 471의 영역의 형상으로 분포된다.

<193> 그 결과 도 47의 참조 부호 472, 473, 474로 나타내는 화소에서, 레이저 강도에 차이가 생기고, 도 48에 도시하는 바와 같이 화소 회로(37) 내부의 구동 트랜지스터(32)의 특성 변동에 의해, 참조 부호 482 내지 484의 소스 신호선의 전압 전류 특성에 차이가 생긴다.

<194> 전압 프리차지에 의해 계조0 표시를 행한 경우의, 화소(472) 내지 화소(474)를 포함하는 행에서의 화소에 흐르는 전류(즉 EL 소자에 흐르는 전류)는 도 49의 참조 부호 491로 나타내는 바와 같이, 화소에 의해, 변동이 생긴다. 이 예에서는 최소로는 IOMIN, 최대로는 IOMAX의 전류가 흐른다.

<195> EL 소자의 휘도는, 이 전류값의 차의 영향을 받아, IOMAX가 흐르는 화소에서는, 주위와 비교하여 밝게 발광하게 된다. 이 휘도차가 얼룩으로서 시인되면, 표시 품위의 저하를 초래한다.

<196> 따라서, 프리차지 전압(즉 구동 트랜지스터(32)의 게이트 전압)을 전체 화소 공통의 전위로 인가하는 것이 아니라, 화소마다 최적의 전압을 입력하도록 하여, 화소에 흐르는 전류를 전체 화소 동일하게 하도록 하는 것을 생각하였다.

<197> 소정 전류값 I0으로 하기 위해, 화소(472)에서는 VA의 전압을 인가, 화소(473)에서는 VB의 전압을 인가, 화소(474)에서는 VC의 전압을 인가하면, 이 3화소는 모두 I0의 전류가 흐른다. 이것을 전체 화소에 마찬가지로 적용하면 된다.

<198> 도 50의 (b)에 도 49의 출력 전류 분포를 나타낸 경우에서의, 구동 트랜지스터(32)의 게이트 전극에 인가하는 전압 분포의 모습을 도시한다. 이것은 즉 프리차지 전압값의 분포로 된다. 이와 같이 출력 단자마다 프리차지 전압을 변화시킴으로써, 화소에 흐르는 전류값은 도 50의 (a)의 참조 부호 506으로 나타내는 바와 같이, 거의 I0의 전류로 일정하게 하는 것이 가능하게 되었다.

<199> 도 50의 (b)에서는 1행 분의 전위 변화를 도시하고 있지만, 다른 행에서도 각각 마찬가지로, I0 출력으로 되는 전압값을 프리차지 전압으로서 인가하도록 하면, 전체 화면에서 균일한 흑 표시를 실현하는 것이 가능하게 된다.

<200> 프리차지 전압을 출력 단자마다 변화시키기 위해서는 복수의 전압을 공급할 수 있는 프리차지 전압 발생부가 필요로 된다. 도 51에 프리차지 전압 발생부의 회로 구성을 도시한다. 지금까지의 프리차지 전압 발생부(323)와 다른 점은, 복수의 전압을 공급할 수 있게 한 것과, 복수의 전압 중의 최대 및 최소값을 전자 볼륨(515)에 의해 변경할 수 있게 한 것이다.

<201> 도 51에서는, 우선 최대 전압을 결정하기 위한 전자 볼륨(515a)에 의해 최대 전압을 참조 부호 513a의 앰프로부터 공급한다. 한편 최소 전압을 결정하기 위한 전자 볼륨(515b)에 의해 최소 전압은 참조 부호 513h로부터 공급된다. 중간의 전위는 저항 소자(512)에 의해 분할된 전압을 버퍼(511) 경유에 의해 공급하고, 참조 부호 513b 내지 513g의 6치의 전압이 공급된다. 이 예에서는 8종류의 전압을 공급할 수 있다.

<202> 8종류의 전압을 화소마다 변경할 수 있게 하기 위해서는, 또한 프리차지 전압 발생부(525)의 8전압 출력을 각 출력에 분배하고, 화소마다 8치의 전압 중 1개를 선택할 수 있는 구성으로 할 필요가 있다. 이 때의 소스 드라이버 출력의 구성의 일부를 도 52에 도시한다. 지금까지의 구성에 대하여, 전압 인가 선택부(253)의 직전에 전압값을 1개 선택하기 위한 전압 선택부(521)를 화소마다 배치하고 있다. 선택하기 위한 제어 신호(프리차지 전압값 선택용 신호)는 출력마다 개별로 설정할 수 있도록, 출력마다 래치 회로를 설치하여 1수평 주사 기간 동안 유지할 수 있도록 하고 있다. 이에 의해, 프리차지 판정선(251)에 의해, 전압 프리차지가 선택된 경우에는, 전압 프리차지 제어선(257)이 출력(64)과 접속되고, 그 때에, 8치의 전압값 중 선택된 1개의 전압을 출력할 수 있게 된다.

<203> 드라이버 IC의 구성을 도 53에 도시한다. 8치 전압을 출력 단자마다 개별로 출력할 수 있도록 외부로부터 프리차지 전압 선택 신호(531)가 입력되고, 이것이 래치부(384)의 각 출력에 축적되고, 프리차지 전압 선택 신호(531)를 화소마다 개별로 설정하면, 화소마다 최적의 전압값을 선택할 수 있다. 래치부(384)의 출력이 참조 부호 524에 의해 전압 선택부(521)에 입력되기 때문에, 1화소 기입 시간 내이면, 동일한 전압을 계속해서 출력할 수 있는 구성으로 되어 있다.

<204> 8치의 최대 및 최소 전압은 전압 설정선(516 및 517)에 의해 외부로부터 커맨드 입력에 의해 설정할 수 있도록 하고 있기 때문에, 드라이버 IC가 실장된 패널마다 최적의 전압값을 커맨드에 의해 설정하는 것이 가능하게 된

다.

<205> 도 47~도 49의 특성의 패널의 경우, 최대 전압 설정선(516)은 전압 VC를, 최소 전압 설정선(517)은 전압 VA를 참조 부호 514의 앰프으로부터 출력하도록 설정한다. 이에 의해 도 57의 (b)의 각 점에 도시하는 바와 같이 프리차지 출력이 단자마다 설정되고, 그 결과, 도 57의 (a)의 참조 부호 575로 나타내는 바와 같은 각 화소 전류로 된다.

<206> 따라서, I0으로 되는 구동 트랜지스터(32)의 게이트 전위를 화소마다 검출할 필요가 있다.

<207> 커런트 코퍼어의 화소 구성의 경우, 도 54에 도시하는 바와 같이 「임의의 전류(I1)」가 구동 트랜지스터(32)에 흐르고 있는 경우의 게이트 전압은, 소스 신호선(30) 전위와 동일하게 되기 때문에, 화소 회로(37)에 정전류원(543)으로부터 전류가 기입되고 있을 때의 소스 신호선(30) 전압을 전압 검출 수단(542)에 의해 검출하면, I1의 전류값에 대한 V1 전압을 측정할 수 있다. 여기서 소스 신호선(30)이 고저항 상태이기 때문에, 전압 검출에는, 오피앰프 등을 통하여, 접속하고, 노이즈가 소스 신호선(30)에 전파되지 않도록 또한 안정된 전위에서 측정할 수 있도록 하는 것이 바람직하다.

<208> 전류가 0을 정확하게 정전류원(543)으로부터 공급하는 것은 곤란하며 또한, 화소(37)마다 전위가 상이한 경우, 참된 전압값으로 될 때까지의 안정 기간이 길어지기 때문에, 측정에 시간이 걸리는 것이 상정된다. pA오더 이하의 전류에 의해 소스 신호선(30)의 부유 용량의 전하 충방전에는 초오더 이상의 시간이 걸려 현실적으로 측정에 이용하는 것은 곤란하다.

<209> 따라서 I0 부근의 서로 다른 2점의 전류 및 전압을 측정하고, 2점으로부터 I0에 상당하는 전압 V0을 계산에 의해 구하는 것을 생각하였다.

<210> 구동 트랜지스터(32)의 특성으로부터 소스 신호선(30)의 전압 전류 특성은 도 55의 참조 부호 551로 나타내는 쇄선으로 표현된다. I0으로부터 I2의 점이 가까운 경우에는 참조 부호 552로 나타내는 바와 같이, I1, I2, V1, V2의 점으로부터 I0에 대한 V0을 직선 근사로 보간하여 구해도 된다. 이와 같이 하여 구한 참조 부호 555의 점이 V0으로 되고, 이 전압을 프리차지 전압으로서 설정하면 된다.

<211> V0을 구하기 위한 계산은  $V0 = (V2 - V1) / (I2 - I1) \times I0 + V1 - (V2 - V1) / (I2 - I1) \times I1$ 에 의해 산출된다.

<212> 화소마다 최적의 전압을 산출하여 인가하기 위한 흐름을 도 56에 도시한다.

<213> 각 화소의 계조0에 상당하는 전압을 산출하기 위해, 2개의 서로 다른 전류를 흘려, 전류값 및 전압값을 각각 측정한다. 여기서 유기 발광 소자를 흐르는 전류값은 화소마다 측정하는 것이 곤란하기 때문에, 유기 발광 소자(33)의 캐소드 전극에 전류를 공급하는 캐소드 전원선에 흐르는 전류값을 측정하고, 동시에 점등하고 있는 화소 수로 나눈 값을 1화소 전류로서 계산해도 된다. 이 경우 전체 화면 동일 계조 표시일 필요가 있다.

<214> 모듈로 구성한 경우에는, I1, I2를 직접 지정할 수는 없고, 입력 계조에 의해 전류가 지정된다. 따라서, 임의의 계조 L1, L2를 입력하고, 측정된 캐소드 전류로부터 I1, I2를 구하고, L1일 때의 화소의 전압을 V1로 하고, L2일 때의 화소의 전압을 V2로 하면, V0을 구하는 것이 가능하다.

<215> 다음으로 참조 부호 565로 나타내는 바와 같이 지금까지의 측정 결과를 바탕으로 계조0 표시 전압(V0)을 계산한다.

<216> 산출된 각 화소 V0의 전압을 바탕으로 최대값 및 최소값을 검출하고, 최대 전압 설정선(516) 및 최소 전압 설정선(517)을 결정한다(566).

<217> 다음으로 소스 드라이버(36)에서 출력 가능한 프리차지 전압수로부터 설정 가능한 전압수(예를 들면 8종류)가 결정되고, 참조 부호 565에서 계산된 각 출력의 전압 데이터에 대하여 오차가 가장 적은 전압값을 1개씩 선택하고, 각 화소에 대응하는 프리차지 전압 선택 신호(531)를 결정한다.

<218> 이에 의해 전압 프리차지 시에는 각 화소에 최적의 혹 표시 시의 전압값을 인가할 수 있게 되었다.

<219> 최대 전압 설정선(516) 및 최소 전압 설정선(517), 프리차지 전압 선택 신호(531)는, 패널마다 서로 다른 최적의 값을 입력할 필요가 있다. 그 때문에 패널에 일대일 대응된 ROM 등에 기억시키는 것이 필요로 된다. 반대로 ROM에 축적된 데이터를 바탕으로 각 화소에 출력되는 전압값을 결정한다. 각 화소 데이터에 동기하여 프리차지 전압 선택 신호를 ROM(422)으로부터 제어 IC(28)를 경유하여 소스 드라이버(36)에 입력한다.

<220> 이와 같이 패널과 일체로 하여 ROM 데이터를 관리할 필요가 있기 때문에, 계조0 표시 시의 전압은, 모듈에 조립

된 후에 측정할 필요가 있다.

<221> 따라서, 도 54에 도시하는 전압 검출 방법의 일례로서, 소스 드라이버(36)를 통하여 외부에 전압을 읽어내는 방법을 고안하였다. 드라이버 IC에 추가되는 회로 구성을 도 62에 도시한다. 프리차지 전압 발생부의 출력에 절환부(621)를 설치하고, 8치의 전압 출력용 신호선(623)을 외부 단자에 직접 접속할 수 있는 경로를 추가한 점이, 추가 회로 구성이다. 이에 의해 전압 선택부(521)에서 선택된 신호선(참조 부호 623 중 1개)이 절환부(621)를 통하여 참조 부호 622의 신호선에 의해 드라이버 외부 단자에 접속된다. 여기서 전압 프리차지 제어선(257)에 의해 스위치가 도통 상태로 되면, 출력(64)을 통하여 소스 신호선과 접속되고, 외부 단자(624)의 전위 측정에 의해 소스 신호선(30)의 전압을 측정할 수 있다. 여기서, 전압 선택부(521)의 선택이 소스 드라이버의 복수 단자 출력에서 동일한 경우에는 해당하는 신호선(522과 623) 중 1개가 모두 접속된 상태로 되기 때문에, 이 상태에서 해당하는 출력 중 2개 이상의 전압 프리차지 제어선(257)이 스위치를 도통 상태로 하는 신호를 송신하면, 복수의 소스 신호선이 접속된 상태로 된다. 그 때문에 전압 프리차지 제어선(257)은 복수 동시에 스위치를 도통 상태로 하지 않도록 할 필요가 있다.

<222> 예를 들면 외부 접속 단자(624) 1개로 전체 화소의 전압을 측정하기 위해서는, 전압 선택부(521)를 모두 동일값(사용하는 참조 부호 624의 단자에 의함)으로 하여, 임의의 타이밍에서 2개 이상의 전압 프리차지 제어선(257)을 하이 레벨로 하지 않도록 제어할 필요가 있다(하이 레벨일 때, 스위치가 도통 상태로 된다고 정의한다).

<223> 도 63에 전체 화소의 전압값을 판독하기 위한 신호 과정을 도시한다. 1행 분의 데이터를 읽어내는 시간이 참조 부호 635로 나타내는 기간이고, 참조 부호 635의 기간은 표시 행수만큼 반복하여 존재한다. 이 기간 전체 출력 동일 계조 전류를 소스 드라이버의 전류 출력부(255)로부터 계속하여 출력함으로써, 전류 및 전압을 측정한다. I1 및 I2의 값은 소스 드라이버(36)에서 출력 가능한 계조의 범위로부터 선택하여 결정한다.

<224> 참조 부호 635a의 기간에서 1행째의 화소가 선택된(구동 트랜지스터(32)에 전류가 흐른) 상태에서, 우선 참조 부호 631로 나타내는 바와 같이 일정 기간, 어느 화소도 전압을 읽어내지 않는 기간을 설정한다. 이것은, 직전의 상태에서 소스 신호선(30)의 부유 용량에 측정 대상과는 상이한 전하가 축적된 경우에, 소정 전류가 기입되는 상태까지 변화시키기 위해 필요한 시간을 두기 위해서이다. 이에 의해 제1번째의 화소의 전압을 읽어내기 전에, 직전의 상태에 상관없이, 구동 트랜지스터(32)의 성능에 따른 전압 상태로 하는 것이 가능하게 된다. 이 기간은 대략 1ms 정도 설정하고 있다. 이 경우 50ns 정도의 전류를 흘린 경우에, 1V 정도의 전위 변화가 있어도, 측정 전까지 소정 전압으로 되는 것까지 보증된다. 참조 부호 631의 기간은 소스 신호선(30)의 용량값과, 소스 신호선(30)에 기입되는 전류값, 상정되는 전위 변화량으로부터 결정된다. (소스선 용량)×(전위 변화량)/(기입 전류값)의 값에 대하여 2배 정도 취하면 된다.

<225> 그 후 1화소씩 전압을 읽어내는 동작을 실시한다(참조 부호 632로 나타내는 기간). 이 기간에서는 1출력씩 전압 프리차지 제어선(257)을 하이 레벨로 하여, 대응하는 화소의 소스 신호선(30)의 전위를 읽어낸다. 확실하게 전위 읽어내기를 하기 위해, 1화소마다 읽어내는 시간을 100 μ초 이상 취하도록, 펄스 폭을 설정한다.

<226> 이 동작을 실현하기 위해서는 대응하는 출력의 프리차지 판정선은 전압 프리차지만 실시의 값을 선택(여기서의 드라이버의 예에서는 7)하고, 전압 프리차지 펄스(258)는, 항상 하이 레벨로 되도록 설정한다. 다른 출력에서는 전압 프리차지 제어선(257)이 하이 레벨로 되지 않도록 프리차지 판정선(251)의 값을 0으로 한다. 이 동작을 전체 출력에 걸쳐 반복하여 동작시킴으로써 참조 부호 632의 기간에서 동일 행의 전체 화소의 읽어내기가 완료되었다.

<227> 다음으로 게이트 드라이버의 제어를 행하여 2행째의 게이트 신호선 A를 도통 상태로 하여, 2행째의 측정의 동작을 개시한다. 이 동작을 최종행까지 반복하여 실행함으로써 전체 화소의 구동 트랜지스터(32)의 게이트 전압이 측정 완료하였다.

<228> 이것을 도 56에 도시하는 참조 부호 562 및 564에서 실행함으로써, 계조0 표시 시의 전압 산출의 원데이터를 측정할 수 있어, 화소에 대응한 프리차지 전압을 공급하는 것이 가능하게 되었다.

<229> 계조0 표시 시의 화소마다의 인가 전압을 결정하기 위한 조정 장치의 구성을 도 64에 도시한다. 화소에 임의의 전류를 흘렸을 때의 구동 트랜지스터(32)의 게이트 전압을 검출하는 기능을 가진 드라이버(36)에 대하여, 전위 읽어내기선(624)에 의해 전압을 모듈 외부로 인출하고, 아날로그 디지털 변환(641)을 경유하여, 전압값 데이터를 퍼스널 컴퓨터 등의 제어 장치(332)에 입력할 수 있는 구성으로 하고 있는 것이 특징이다. 또한 패널마다 프리차지 전압 판정 신호(531), 최대 전압 설정선(516) 및 최소 전압 설정선(517)이 서로 다른 값으로 되는 관계로부터, 패널마다 서로 다른 설정을 할 수 있도록 기억 수단(337)이 모듈에 탑재되고, 기억 수단(337)에 전압

값을 기입할 수 있는 구성으로 되어 있다. 이 기억 수단(337)은 전원 오프 시에도 값을 유지할 필요가 있기 때문에, 불휘발성의 기억 소자로 구성되어 있을 필요가 있다.

<230> 도 56의 참조 부호 561 내지 565에 나타내는 과정에 따라서, 계조0 표시 시의 각 화소의 전압값을 결정한다. 전압값의 검출은 아날로그 디지털 변환(641)에 의해 퍼스널 컴퓨터 등의 제어 장치(332)에 입력된 데이터를 이용하고, 전류값은, EL 캐소드 전원(330)에 설치한 전류계(333)의 값을 제어 장치(332)에 입력함으로써 검출 가능하다. 입력되어 온 데이터를 바탕으로 계조0 표시 시의 각 화소 전압 데이터를 산출한다.

<231> 전압 산출 과정에서, 인접하는 화소에 비하여 크게 다른 전압값이 검출될 가능성이 있다. 예를 들면 도 66에 임의의 소스 신호선(30)에 접속된 각 화소의 전압값의 분포의 예를 도시한다. 크게 다른 점(661)이 관측되고 있다. 이것은 화소 내부의 트랜지스터의 결합에 의해 트랜지스터가 쇼트 혹은 오픈 상태 혹은 축적 용량의 결합 등에 의한 EL 전원 전압의 영향을 받은 가능성이 있다. 화면에서, 휘점 혹은 멀접으로 되어 있는 화소에 상당한다. 이것은 구동 트랜지스터(32)의 특성을 그대로 나타낸 것은 아니기 때문에, 이상점으로서 파기할 필요가 있다. 인접 화소의 참조 부호 662 및 663의 전압으로부터 보간하여 구하는 것으로 한다(참조 부호 664의 전위를 필요한 전압값으로 함).

<232> 전압 데이터의 집합의  $3\sigma$  값을 계산하고,  $3\sigma$ 로부터 벗어나는 값을 이상 데이터로 한다.

<233> 따라서, 기억 수단(337)의 필요 용량의 삭감 및 데이터 액세스에 의한 전력의 삭감을 위해, 특성이 비슷하다고 여겨지는 화소에서는, 동일한 프리차지 전압 설정 데이터를 이용하도록 하는 것을 생각하였다.

<234> 도 47의 참조 부호 471과 같이 레이저 조사를 주사하여 다결정화시키는 경우에서, 세로 방향으로 배열한 화소에서는 가로 방향에 비하여 특성 변동의 영향이 적어진다.

<235> 동일 소스 신호선에 배열한 화소의 전압 분포를 도 66에 도시한다. 이 예에서는 이상 데이터를 제외하고 대략  $20mV$  이내 범위에서 전압값이 분포하고 있다. 따라서, 이상 데이터를 제거하고, 보간 데이터(664)를 이용하여 평균값의 산출을 행하고, 산출된 전압값을 이 소스 신호선에 대한 프리차지 전압값으로서 결정하는 것으로 한다. 이 작업을 행함으로써, 지금까지 화소수분 필요한 전압값 데이터는 수평 방향의 화소수분만의 전압값 데이터만으로 해결되어, 기억 소자에 기억시키는 데이터량을 삭감할 수 있었다.

<236> 수평 방향에 대해서도, 구동 트랜지스터(32)의 특성 변동의 분포의 주파수 특성이 낮은 경우, 수화소마다 1개의 데이터를 샘플링하고, 남은 데이터는 2개의 샘플링 데이터간을 선형 보간함으로써, 필요한 전압 데이터를 구하는 것도 가능하게 된다. 예를 들면 20단자 주기에서 도 57과 같은 프리차지 전압의 최적값이 상이한 경우, 적어도 5출력마다의 데이터가 유지되어 있으면 남은 데이터는 유지된 데이터로부터 계산할 수 있어, 대략 원래의 전압 분포와 동일값의 계산 결과가 얻어진다. 예를 들면 도 68의 참조 부호 687로 나타내는 곡선으로 전압 분포가 있었던 경우라도, 기억 수단(337)에는 참조 부호 681로 나타내는 단자의 데이터만을 유지하고, 중간의 점은 계산에 의해 구한다. 예를 들면 참조 부호 682로 나타내는 3점은, 참조 부호 681a와 681b의 2점으로부터, 참조 부호 683으로 나타내는 3점은 참조 부호 681b와 681c의 2점으로부터 계산된다. 이 경우라도 전체 데이터를 기억시킨 경우에 비해서도 거의 오차가 없는 전압 인가의 패턴을 실현할 수 있다.

<237> 각 화소의 흑 표시 시의 전압값을 기억 수단(387)에 기억시키는 방법으로서 도 65에 도시하는 흐름에 의해 행하여, 기억 용량을 줄이면서 흑 표시 시에 얼룩이 없는 표시를 실현한다.

<238> 계조0 표시 시의 전압값이 계산된 후, 우선 도 66에서 설명한 바와 같이 결합 화소 기인에 의한 이상 전위 변동을 나타낸 데이터를 제거한다(652).

<239> 다음으로 화소 트랜지스터의 변동 분포의 특징(도 47에서는 세로 방향 변동이 적음)을 이용하여, 행 방향의 데이터를 평균화 방법에 의해, 행수분의 데이터로부터 1개의 데이터로 압축한다(653).

<240> 열 방향에 대해서는, 동일 전류가 흐를 때에서의 화소 트랜지스터(62)의 게이트 전위의 변화의 상태를 고려하여, 변화의 상태를 재현할 수 있는 범위에서 기억하는 데이터의 씌닝을 행한다(참조 부호 654, 도 68 참조).

<241> 다음으로 전압 데이터 그 자체로부터, 프리차지 전압 발생부(525)의 8치 전압을 이용하여 출력할 수 있도록, 전압 데이터를, 최대 전압 설정선(516), 최소 전압 설정선(517) 및 프리차지 전압 선택 신호(531)로 표현하도록 변환한다.

<242> 도 67의 (a)에 도시하는 바와 같이, 우선, 소스 신호선 전압의 분포에 대하여, 최대값과 최소값을 검출하고, 이

경우 참조 부호 671의 점이 최대값이고 전압값은 ((EL 전원(34))-1.5)V이다. 이 값이 프리차지 전압 발생부(525)에서의 최대 전압값이면 되기 때문에, 전자 볼륨(515a)을 조작하고, 최대 전압 설정선(516)의 제어에 의해, 참조 부호 513a의 전압값이 (EL 전원(34))-1.5)V로 되도록 설정한다. 최소값에 대해서도 마찬가지로 참조 부호 674의 전압값이 참조 부호 513h의 전압으로 되도록 참조 부호 517을 설정한다. 이에 의해 8치 전압의 모든 전압값이 확정된다. 또한 중간의 6치 전압은 도 51의 회로 구성으로부터 저항 소자(512)에 의해 등분으로 분할된 전압값이 출력되도록 설계되어 있다.

<243> 이 경우 0.2V를 7분할한 대략 28.6mV 눈금으로 참조 부호 511의 베퍼로부터 전압이 공급된다. 그 때문에 참조 부호 511의 베퍼의 출력 편자는 10mV 이하로 되도록 정밀도 좋게 작성할 필요가 있다.

<244> 소스 신호선 전압에 대하여 8치의 전압 출력은 28.6mV 눈금으로의 공급이기 때문에, 반드시 일치한 전압을 공급 할 수 있다고는 할 수 없다. 예를 들면 참조 부호 672, 673의 단자에서의 전압은 8치의 전압 출력과는 일치하지 않는다. 이 경우에는 도 67의 (b)에 도시하는 바와 같이 어느 쪽인가 가까운 전압값을 선택하도록 한다. 참조 부호 672의 경우에는 참조 부호 676으로 나타내는 점, 참조 부호 673의 경우 참조 부호 677로 나타내는 점으로 하였다. 프리차지 전압(513a~513h)이 프리차지 전압 선택 신호(531)의 0~7에 할당되기 때문에, 도 67의 (b)의 그래프를 바탕으로 프리차지 전압 선택 신호(524)가 확정된다. 혹 표시 시의 전압 프리차지에 필요한 모든 데이터가 확정되었다. 이것을 기억 수단(387)에 기억시킨다.

<245> 마지막으로 기억시킨 데이터를 바탕으로 전체 화면 흑 표시를 행하고, 흑 표시 시의 EL 캐소드 전원(330)의 전류값을 측정한다. 전류값이 규정의 범위 내이면, 기억 수단(387)의 데이터를 그대로 유지하고, 조정을 종료한다.

<246> 한편 규정의 범위 밖인 경우에는, 흑 표시 시의 휘도가 밝거나, 너무 어둡거나 하는 것이 생각된다. 수정을 위해, 참조 부호 516 및 517의 전자 볼륨 제어 신호의 값을 변경한다. 예를 들면 흑 표시 시의 설정 전류값이 0.1mA이었던 것으로 하여, 측정값이 0.05mA로 된 경우에는, 전류가 흐르도록, 전체 화소의 프리차지 전압값을 낮게 설정한다. 도 69(a)에 도시하는 전압값의 설정이면, 도 69(b)에 도시하는 바와 같이, 8치의 전압값을 모두 일정값만큼 낮게 한다. 이 때 참조 부호 516의 제어 신호에 의해 참조 부호 513a의 전압은 참조 부호 691a로부터 참조 부호 691b로 변화하고, 참조 부호 513h의 전압은 참조 부호 517의 제어 신호에 의해 참조 부호 692a로부터 참조 부호 692b로 변화한다. 이 설정은 캐소드 전류값이 설정 범위 내에 들어갈 때까지 반복하여 실시되며, 그 결과 흑 표시 시의 휘도는 패널에 상관없이 거의 일정값으로 유지하는 것이 가능하게 된다.

<247> 기억 수단(387)을 바탕으로 흑 표시를 실시하는 방법은, 우선, 최대 전압 설정선(516), 최소 전압 설정선(517)의 데이터를 호출하고, 프리차지 전압 발생부(525)의 출력을 확정한다. 다음으로 프리차지 전압 선택 신호(524)의 값을 기억 수단(387)으로부터 읽어내고, 대응하는 출력에 선택 신호(524)를 공급한다. 데이터 압축에 의해 존재하지 않는 단자의 선택 신호(524)는, 균접하는 2개의 데이터로부터 선형 보간에 의해 데이터를 작성한다. 도 68에서, 참조 부호 682~686으로 나타내는 데이터가, 보간에 의해 구해진 데이터이다. 예를 들면 참조 부호 686은 참조 부호 681e와 681f의 데이터로부터 구해진다. 여기서는, 행 방향 데이터 압축을 위해 동일 소스 신호선에서는 항상 동일한 프리차지 전압값이 출력된다. 그 때문에 전압값을 선택하기 위한 제어 신호를 래치하는 래치부(523)는 항상 동일값이 유지된다. 도 53에서는, 영상 신호와 마찬가지로 2행분의 래치부(532)에서 유지되는 구성으로 되어 있지만, 이 실시 형태에서는, 프리차지 전압을 선택하는 신호에 한해서는 1행분의 래치 회로가 있으면 실현 가능하다. 회로 규모를 작게 하는 것이 가능하게 된다.

<248> 이 구동 트랜지스터(32)의 전압 읽어내기에 의한 흑 표시 시의 얼룩 저감 효과는 커런트 코피어의 화소 구성의 경우 외에, 도 5에 도시하는 커런트 미러의 화소 구성에서도 실현할 수 있다. 커런트 미러의 회로 구성에서도, 전압 측정 시의 등가 회로는 도 54로 되고, 구동 트랜지스터(32)의 게이트 전위가 소스 신호선(30)과 동일하게 되므로, 소스 신호선(30)의 전위 측정을 하면 된다고 하는 것에, 변함이 없기 때문이다.

<249> 또한 지금까지의 설명에서는, 화소에 이용되는 구동 트랜지스터(32)가 p형 TFT인 경우로 설명을 행하여 왔지만, 도 46에 도시하는 n형 TFT라도 마찬가지로 적용 가능하다. 기준 전류선을 도 45에 도시하는 바와 같이 역 방향의 전류를 발생시키도록 하고, 또한 출력부(65)에 대해서도 계조 표시용 전류원(63)을 p형 TFT로 구성하여, 드라이버 IC 출력을 향하여 전류를 토출하도록 하면 된다. 계조에 대한 소스 신호선 전위는 백 계조일수록 전위가 높아진다(지금까지와 전위 관계가 반대로 됨). 프리차지 전압의 설정을 흑 표시를 가장 낮은 전압으로 설정하고, 전류 프리차지에 의해 소스 신호선 전위를 상승시키도록 하면 마찬가지로 프리차지도 적용 가능하게 된다.

- <250> 이하에서는, 예를 들면 도 97에서 도시되어 있는 바와 같은, 유기 발광 소자(33)를 이용하는 화소(37)가 갖는 구동 트랜지스터(32)의 특성에 따라서 화소(37)에 전압을 인가하기 위한 보상 데이터를 기억하기 위한 기억 수단(761)과, 기억 수단(761)에 의해 기억되어 있는 보상 데이터에 기초하여 화소(37)에 전압을 인가하기 위한 드라이버 컨트롤러부를 구비한, 액티브 매트릭스형 표시 장치에 대하여 보다 구체적으로 설명한다.
- <251> 또한, 예를 들면 기억 수단(761)(도 97 참조)은 본 발명의 기억부에 대응하고, 예를 들면 드라이버 컨트롤러부(도 97 참조)나 드라이버부(981)(도 98 참조)는 본 발명의 드라이버부에 대응한다.
- <252> 또한, 예를 들면 읽어내기부(983)(도 98 참조)는, 본 발명의 전압 검출 수단에 대응한다.
- <253> 또한, 예를 들면 전자 볼륨A(961a)(도 96 참조)나 전자 볼륨B(961b)(도 96 참조)는, 본 발명의 전자 볼륨에 대응한다.
- <254> 또한, 예를 들면 전압 DAC부(747a)(도 97 참조)는, 본 발명의 전압 출력부에 대응한다.
- <255> 또한, 예를 들면 AD 변환부(957)(도 100 참조)는 본 발명의 AD 변환부에 대응하고, 예를 들면 전압 제어부(1001)(도 100 참조)는 본 발명의 전압 제어부에 대응한다.
- <256> 도 47에서, 레이저 조사의 열룩에 의해 TFT의 특성에 열룩이 발생함으로써 휘도 변동이 발생하는 설명을 행하였다. 이 예에서는 소스 신호선을 따라 레이저를 동일 타이밍에서 조사하며, 또한 가로 방향에 대해서도 어느 정도의 폭을 갖은 영역에서 조사하고 있다.
- <257> 여기서 레이저의 조사 폭이 좁고 가로 방향 1화소마다 서로 다른 타이밍에서 조사되면 1화소마다 TFT 특성이 서로 다를 가능성이 있다. 또한 레이저 조사 장치의 빔의 설치 방향과, 어레이 기판 상의 각 패널의 레이아웃에 따라서는, 레이저의 빔의 방향이 90도 회전한 상태에서 조사되는 경우도 있다. 또한 참조 부호 471로 도시된 동일 타이밍에서 조사되는 영역 내에서도 조사량에 변동이 생기는 경우가 있다.
- <258> 이러한 변동에 대응하기 위해서는, 1화소마다의 TFT 특성을 파악하고, 1화소마다 서로 다른 흑 전압을 인가할 필요가 있다.
- <259> 1화소마다 서로 다른 전압을 인가하기 위해서는, 기억 수단에 모든 화소에 대응하는 흑 전압 데이터를 유지시켜야만 한다. 그 때문에 기억 수단의 용량은 지금까지에 비하여 커지게 되어, 수킬로바이트 이상의 기억 수단이 필요로 된다. 예를 들면 플래시 롬과 같은 기억 수단이다.
- <260> 또한, 소스 드라이버에는, 화소마다 영상 신호와, 전압 데이터를 동기하여 송신할 필요가 있고, 동기 신호에 맞추어, 전압 데이터를 드라이버 출력단에 전송할 필요가 있다.
- <261> 전압 데이터가 기억되어 있는 기억 수단(337)과 제어 IC(28)와 소스 드라이버(36)의 접속은 도 70 혹은 도 71과 같이 구성된다.
- <262> 도 70은, 제어 IC(28)로부터의 타이밍 신호(701)에 의해 생성된 제어 데이터(703)가, 기억 수단(337)에 입력되고, 표시를 행하는 화소에 대응하는 보정 데이터(702)가 소스 드라이버(36)에 입력되는 구성이다. 소스 드라이버(36)에서는, 타이밍 신호(701)에 동기하여 입력되는 영상 신호(704)와 보정 데이터(702)로부터, 대응하는 화소에 대하여, 영상 신호(704)에 의해 계조 표시를 행하고, 보정 데이터(702)에 의해 흑 전압이 설정되며, TFT의 변동에 따른 전압이 출력되게 된다.
- <263> 이 방식의 경우, 화소마다 데이터를 기억 수단(337)으로부터 출력시킬 필요가 있고, 보정 데이터(702)는 도트 클러퍼와 동일한 레이트로 동작하게 된다. 그 때문에 소비 전력이 커진다. 단 소스 드라이버에 데이터를 저장할 필요가 없어지기 때문에 회로 규모는 작아지는 이점이 있다. 기억 수단(337)의 데이터 버스 폭에 따라서는 복수의 화소의 데이터를 동시에 전송하고, 전송 레이트를 내리는 방법도 있다.
- <264> 이와 같이 하면, 전체 화소의 TFT 변동에 따른 흑 전압이 영상 신호의 주사와 동시에 송신되고, 화소마다의 휘도 열룩을 보정하는 것이 가능하게 된다.
- <265> 기억 수단(337)으로부터 화소마다의 보정 데이터를 드라이버의 출력단에 전송하는 방법으로서는, 도 71과 같은 구성도 생각된다.
- <266> 도 71의 구성에서는 소스 드라이버에 RAM 영역(711)을 설치하고, RAM 영역(711)에 화소마다의 보정 데이터를 축적하며, 주사에 맞추어, 대응하는 보정 데이터를 읽어내고, 최적의 흑 전압을 공급한다.

- <267> RAM의 경우 전원이 차단되면, 유지 내용이 없어지게 되기 때문에, 기억 수단(337)도 외부에 설치해 둔다. 전원 투입 시 등에서, 기억 수단(337)에 기록된 보정 데이터를 RAM 영역(711)에 전송하여, 화소마다의 혹 전압의 보정을 행하고 있다. 기억 수단(337)으로부터 소스 드라이버에의 데이터 전송은 전원 투입 후 표시까지 1회 보내면 되고, 보정 데이터선(702)에서의 전송을 항상 행할 필요가 없어, 데이터 버스의 충방전에 의한 전력이 작아진다고 하는 이점이 있다.
- <268> 패널 전체의 화소에 대하여 혹 전압의 보정을 행하기 위해, 전압의 변동이 커지는 경향이 있다. 그 때문에 지금까지의 방식에 비하여, 눈금 폭 10mV에 대해서는 변화가 없기 때문에, 전압 출력부의 비트수를 증가시킬 필요가 있다. 320mV 정도의 변동이 있었기 때문에, 각 색의 화소에 대하여, 5비트의 보정 데이터를 준비할 필요가 있다. 이 경우, 적녹청의 데이터를 합하여도 15비트로 되어, 16비트의 데이터 버스를 갖는 ROM 등을 이용하는 경우에는, 적녹청의 데이터를 동시에 전송하는 것도 가능하다.
- <269> 1비트의 나머지에 대해서는, 그대로 미사용이어도 되고, 보정 범위의 확대에 이용해도 된다. 예를 들면 1비트의 데이터가 0인 경우에는, 각 색 5비트의 데이터는 그대로의 값을 사용하고, 1인 경우에는, 각 색 5비트의 데이터는 16을 가산한 값을 사용한다고 하는 방법이 있다. 이 경우, 종래 0~31의 310mV 차까지의 보정 범위였던 것이, 0~47의 470mV 차까지 보정 범위를 확대하는 것이 가능하게 되어, 보다 큰 TFT 변동에도 대응이 가능하게 된다.
- <270> 지금까지에서 데이터 버스는 16비트로서 설명을 행하였지만, 32비트나 64비트의 데이터 버스를 갖는 ROM이 존재하면, 그것에 대응하여 보정 데이터의 비트수를 증가시켜도 된다. 증가하면 보정 범위가 넓어져, 보다 큰 얼룩에 대하여 보정이 가능하게 되지만, 메모리 용량의 증가나, 기판 상의 기억 수단과 드라이버간의 배선 영역의 증가에 수반되는 기판 면적의 증가, 소비 전력의 증가의 문제도 있어, 보정 데이터는 5~8비트 정도가 바람직하다.
- <271> 이 예에서는 컨트롤부와 드라이버부가 별개로 된 회로 구성에서의 설명을 행하고 있지만, 컨트롤부와 드라이버부가 일체로 된 드라이버 IC이어도 마찬가지의 회로 구성은 드라이버 IC 내부에서 실시하면 되고, 외부에 있는 기억 수단과의 접속을 취하면, 일체화 드라이버이어도 마찬가지의 효과를 얻는 것이 가능하다.
- <272> 전압 보정용의 신호와 영상 신호로부터 도 72에 도시하는 바와 같은 출력부의 구성에 의해, TFT의 얼룩에 대응한 혹 전압과 영상 신호에 따른 계조 표시를 행하는 것이 가능하게 된다.
- <273> 모든 화소에 대응한 혹 전압을 인가하는 경우에는, 필요한 혹 전압을 산출하기 위해 모든 화소의 구동 트랜지스터(32)의 게이트 전압을 측정해 둘 필요가 있다.
- <274> 전체 화소의 전압값을 측정하기 위해, 측정 시간이 걸린다. 도 56에 도시하는 바와 같이, 2조건의 전류값에서의 전압값을 측정하고, 계조0에서의 전압을 계산하여 보정을 행하기 위한 데이터를 작성하고 있어, 2회분의 전체 화소 전압을 측정하는 것에 가장 시간을 필요로 하고 있다.
- <275> 따라서, 화소의 전압 측정 시간을 단축하기 위해, 1조건만의 전압값을 측정하고, 화소간의 전위차를 보정 데이터로 설정하도록 하는 것으로 한다. 도 55의 예에서는 본래는 I0에 대한 전압 V0을 화소마다 구하는 것을 종래의 I2, I1의 2조건을 측정하는 것이 아니라, I1의 전압만을 측정하고, 대응하는 V1의 전압을 화소마다 측정한다. 화소마다의 V1의 전위차를 보정 데이터로서 기억 수단에 기억함으로써, 종래의 V0의 전위차를 보정 데이터로 하는 대체로 한다. 전압의 절대값의 차(여기서는 V1과 V0의 차)는 도 34에 도시하는 바와 같은 방식으로, 모든 화소 공통으로 전자 볼륨의 조정에 의한 전압 변동(전체 화소 동일 양만큼 변동함)에 의해 조정함으로써, 혹 레벨의 보정이 가능하게 된다. 이 조정은 전자 볼륨의 변경과, 캐소드 전류의 측정, 변경량의 계산마으로 행하여져, 5~15초 정도에서 완료된다. 전체 화소의 전압 측정은 1회당 20~35분 정도 걸리기 때문에, 1회 측정과 절대값 조정을 행하는 쪽이, 2회 측정에 의한 조정보다도 빨리 조정을 끝내게 하는 것이 가능하게 된다.
- <276> TFT 변동의 산출 방법의 오차에 대해서도, 혹의 경우, 유기 발광 소자를 이용한 패널에서는, 휙도가 0.001칸델라 이하로, 암실 환경 하에서도 얼룩은 알기 어렵다. 그 때문에, 보정 데이터가 어느 정도 어긋나 있어도 문제가 없는 것을 알 수 있었다. 한편, 저계조에서 5~10 계조 부근에서는 휙도가 1칸델라 이상으로 되어, 얼룩을 시인할 수 있는 환경에 있다. 이들 계조에서는 계조 전류가 작고, 보정 데이터의 오차를 전류 기입으로 보정하는 능력이 작아, 얼룩으로 되어 시인될 가능성이 있다.
- <277> 따라서, I1의 전류를 5~10 계조 정도의 전류로 하여, I1의 전류에서의 각 화소의 전압을 측정하고, 보정을 행

하는 쪽이, I2와 I1로부터 I0을 구하여 열룩 보정을 행하는 것에 비하여, 전체 계조 범위에서 열룩이 적어진다.

<278> 이 때의 흑 전압 산출 방법을 도 73에 도시한다. 화소 전위를 5~10 계조 상당의 전류로 측정하고, 최대-최소 값으로부터 화소마다의 전위차를 바탕으로 양자화를 행한다(최대 전압이 0, 전압이 작아질수록 큰 값으로 됨). 양자화의 눈금 폭은, 전압 DAC부가 갖는 1계조당의 전압차에 의해 결정된다. 예를 들면, 10mV 단위의 전압 DAC 출력으로 되어 있으면, 최대 전압의 화소에 대해서는 50mV 전위가 낮은 화소에 대한 값은 「5」로 된다. 양자화한 데이터를 기억 수단(337)에 기입하고, TFT 특성 변동을 보정하는 데이터가 완성되었다. 흑 표시 시의 휘도 레벨을 조정하기 위해 그 후, 도 34에 도시하는 처리를 실시하고, 전자 볼륨의 값을 마찬가지로 기억 수단(337)에 기억하면, TFT 특성을 보상하며 또한 흑 휘도가 소정 범위 이하로 되는 표시 장치가 실현된다.

<279> 보정을 행하는 데이터는, 전압 측정 시에서, 전체 화면의 전압 분포에 대하여, 최대 전압을 0으로 하여 차의 값을 유지하고 있기 때문에 상대적인 차만을 기억하게 된다.

<280> 전압의 절대값에 대해서는, 전압 DAC부에 전압을 공급하는 전압 발생부의 전자 볼륨의 설정에 의해 결정되고, 도 34의 전자 볼륨의 조정에 의해 전압 DAC의 출력 범위가 결정된다. 이에 의해 보정 데이터의 값에 대하여 전압이 할당되게 된다.

<281> 또한, 전압 출력부의 비트수를 많게 하면 계조 표현을 행하는 것이 가능하게 된다. 예를 들면 5비트로부터 8~12비트까지 전압 출력부의 DAC부를 증가시키면, 전압에 의해서도 6~10비트의 계조 표시가 가능하게 된다.

<282> 계조 표시와, TFT의 특성 보상은 보상 데이터와 계조 데이터의 가산에 의해 행한다. 도 3, 도 5와 같은 p형 TFT로 구동 트랜지스터가 구성되어 있는 경우에는, 전류가 클수록 전압값은 저하된다. 즉 계조가 클수록 전압이 낮아지도록 DAC를 설계한다. 예를 들면 도 75와 같이 입력 데이터에 대하여 출력 전압을 변화시키도록 한다. 특성 보상용의 데이터에 대해서도, 값이 클수록, 전압이 낮아지도록 도 73의 양자화를 행한다. 도 75에서, 입력 데이터에 대하여 출력 전압이 리니어로 변화되도록 해 두면, 보상 데이터값+계조 데이터값의 가산 결과의 출력에 의해 TFT 특성 보상과 계조 표시를 동시에 실현하는 것이 가능하다.

<283> 도 74에 출력단의 구성을 도시한다. 신호의 흐름을 간략화하기 위해, 1출력만의 예로 기재를 하고 있지만, 복수 출력을 갖는 경우라도, 마찬가지로 실현이 가능하다. DAC부의 입력 데이터를 시프트 레지스터 등에 의해 복수의 출력으로 분류하면 된다.

<284> 영상 신호는 입력되면, 전압 DAC용과 전류 DAC용으로 분기된다. 이것은, 전압에 의한 출력이든 전류에 의한 출력이든, 동일 계조에서는 동일 전류가 유기 발광 소자에 흐를 필요가 있고, 전류 DAC에서는, 출력 전류가 그대로 유기 발광 소자에 흐르는 것에 대하여, 전압 DAC에서는, 구동 트랜지스터에 의해 전류로 변환되고, 변환된 전류가 유기 발광 소자에 흐른다. 이 변환은 비선형이며, 변환부가 개재됨으로써 동일 입력에 대하여, 출력이 서로 다르게 된다. 그 때문에 이 변환부의 변환 특성을 보정하기 위해 전류 및 전압에서 서로 다른 감마 보정을 행하는 구성으로 하고 있다. 전압 DAC용의 감마 보정 회로(741)의 출력은, 보정 데이터(744)와의 가산 회로(745)에 접속되고, 계조에 따른 전압에, 또한 TFT의 특성 열룩에 따른 전압분의 증감을 행하여, 특성 보상을 실시한다. 만일 TFT의 특성 변동이 없으면, 모두 동일값인 보정 데이터(744)와의 가산으로 되기 때문에 계조 데이터(743)가 전압 DAC부(747)에 입력되고, 계조에 따른 전압이 출력되게 된다. 여기서 설명한 방식에서는 보정 데이터(744)가 모두 동일한 값으로 되도록 하거나, 가산 회로(745)에서, 가산을 행하지 않고 계조 데이터(743)를 전압 DAC부(747)에 그대로 출력하는 회로 구성을 선택 가능하게 함으로써, 특성 보정이 없는 회로도 실현하는 것이 가능하다.

<285> 전압 DAC부(747)로부터 출력된 TFT 특성 보상이 있는 계조 전압파, 전류 DAC(748)로부터 출력된 계조 전류는, 절환부(749)에 의해, 어느 한쪽을 절환하도록 한다. 이것이 지금까지의 전압 인가 선택부(253)에 상당한다. 여기서는, 수평 주사 기간의 처음에 전압 DAC부(747)를 선택하고, 소정 소스 전압 부근까지 고속으로 충방전을 행하며, 다음으로, 전류 DAC(745)에 의해 본래의 전류 구동에 의한 소스 전위까지 변화시키고, 구동 트랜지스터의 특성 변동에 의한 열룩이 없으며, 또한 1행 전의 상태에 상관없이, 소정 전압을 정확히 기입할 수 있는 표시가 가능하게 되었다.

<286> 이 방식의 경우, 전압 DAC부(747)가 커지지만, 종래 필요한 전류 프리차지 펄스의 발생부 및 선택부가 불필요하게 되는 것이나 프리차지를 할지의 여부의 판정 신호를 생성하고, 드라이버 출력에 송신할 필요가 없어져, 전압 DAC부(747)의 회로 증대의 영향은 거의 없어진다.

<287> 또한, 전압 DAC부(747)의 눈금 폭은, 표시 색에 상관없이, 패널에 상관없이 일정한 것이 바람직하다. 보정 데

이터를 양자화할 때에, 전압 DAC부(747)의 눈금 폭을 고려하여, 눈금 폭에 의해 양자화를 행하기 위해서이다. 눈금 폭은, 구동 트랜지스터의 게이트 전압과 드레인 전류의 관계에 의하지만, 구동 트랜지스터의 (채널 폭)/(채널 길이)=1/4인 경우에는 10mV 이하가 바람직하다. (채널 폭)/(채널 길이)의 값이 작을수록, 눈금 폭은 커도 되고, 클수록 눈금 폭을 작게 할 필요가 있다. 이것은 (채널 폭)/(채널 길이)의 값이 작을수록 구동 트랜지스터의 게이트 전압의 변화에 대하여 전류값의 변화가 작아지게 되어, 휘도 얼룩으로서 관측되는 전류값의 오차(2~3.5% 정도 이내)에 대하여 허용되는 게이트 전압의 어긋남량이 커지기 때문이다. 따라서, 눈금 폭을 크게 하기 위해서는 (채널 폭)/(채널 길이)의 값을 작게 하는 것이 바람직하지만, 소정 휘도를 실현하기 위한 소스 신호선 진폭이 커지게 되어, 그 결과 전원 전압을 크게 해야만 하여, 패널의 전력이 증가하게 되기 때문에, 1/16 정도가 최소값이다. 한편 최대값에 대해서는, 드라이버 IC의 전압 눈금 폭을 어디까지 미세하게 나눌 수 있는지에 의해 결정되며, 현재의 IC에서는 인접간 단자의 전압 출력 변동이 2.5mV 정도가 최소이기 때문에, (채널 폭)/(채널 길이)의 값은 1이 최대로 된다. 금후 고정밀도의 DAC를 실현할 수 있으면 더욱 큰 값으로 하는 것은 가능하다. 2.5/(실현 가능한 눈금 폭)이, (채널 폭)/(채널 길이)의 최대로 된다.

<288> 또한, 전압 DAC부(747)의 눈금 폭을 결정하였다고 해도, 실제로 패널마다 변동이 발생하는 경우가 있다. 따라서 눈금 폭에 변동이 발생한 경우라도, 보정 데이터의 양자화에 영향이 없도록, 패널마다 전압 DAC부(747)의 눈금 폭을 측정하고, 측정된 눈금 폭에 의해, 패널마다 양자화를 행한다. 그러면, 전압 DAC(747)부의 눈금 폭에 설계값에 대한 오차가 있어도 되어, 제조가 간단하게 된다.

<289> 눈금 폭의 측정은, 예를 들면 도 84의 드라이버 구성이라도, 도 106의 전압 발생부(953)와 도 107의 전압 DAC부(747)를 이용하는 경우이면, 절환부(749)는 전압 DAC부(747)의 출력을 향시 선택하도록 하여, 전압 DAC부(747)의 입력에 「0」이 들어간 경우의 출력 전압과, 「255」가 입력된 경우의 출력 전압을 측정하도록 한다. 그리고, 동일 출력 단자에서의 2 출력 전압의 전압차를 255로 나누면, 눈금 폭이 구해진다. 구해진 눈금 폭에 기초하여 양자화를 행하면 된다.

<290> 출력 전압을 측정하면, 인접 단자간의 편차로부터 모두가 동일한 눈금 폭으로 되는 것은 아니다. 따라서, 출력 단자마다 대응하는 화소의 양자화를 개별로 행하여도 된다.

<291> 또는, 전압 DAC부의 출력 편차가 1칩 내에서 10~20mV 정도이면, 0~255의 입력 범위에 대하여 최대로 10~20mV의 어긋남이 생기지만, 1단계당에서는 0.1mV 이하의 어긋남밖에 생기지 않는다. 따라서, 평균값을 눈금 폭으로 하여 전체 화소의 양자화를 행하여도 된다.

<292> 평균값을 눈금 폭으로 하는 경우에는, 모든 출력이 아니라 일부의 출력에 대해서만 측정을 행하여도 된다.

<293> 또한 측정 시의 계조는 「0」과 「255」에 한하지 않고 서로 다른 임의의 2개의 계조간이어도 된다. 2개의 전압의 전위차를 눈금수로 나누면, 눈금 폭의 산출이 마찬가지로 실시 가능하다.

<294> 또한, 전압 DAC부(747)는, 고계조에 대응하는 출력에서는 2계조마다나 4계조마다 씨닝을 하는 것도 가능하다. 저계조에서는 10mV 눈금이지만, 고계조 측으로 됨에 따라서, 20mV 눈금이나 40mV 눈금으로 하는 것이 가능하다. 이것은, 고계조로 됨에 따라서, 계조 표시를 행하는 전류값이 증가하기 때문에, 전류 DAC(748)의 출력이 커진다. 출력이 커지면 커질수록, 소스 신호선 전압을 변화시키는 능력이 높아져, 전압 DAC부(747)의 출력 오차가 10mV나 20mV이었다고 해도, 그 후의 전류 DAC(748)에 의한 기입에서 소정 전압까지 변화되어, 얼룩이 없는 표시를 실현할 수 있기 때문이다.

<295> 따라서 전압 DAC부(747)는, 계조에 의해 분해능을 최소 분해능의 2의 N승배( $N \geq 1$ )로 설정하는 것이 가능하다. 이것을 이용하여, 출력 가능한 전압의 수를 줄임으로써, 칩 면적을 삭감할 수 있는 이점이 있다. 이것은, 전압에 의해 TFT 특성 보상을 행한 계조를 인가한 후에, 동일 수평 주사 기간 내에서 전류에 의해 계조를 기입하는 구동 방식에 특유한 회로 삭감 방법이다.

<296> 또한, 보정값과 계조 데이터의 가산에 의해 출력 전압을 결정하는 방식에서는, 미리 보정값에 의한 전압 변동과, 전압 DAC부(747)의 출력 변동이 일치하고 있을 필요가 있다. 전압 DAC부(747)의 1단계당의 전압 변동이 변동되면, 특성 보정의 데이터도 그것에 따라서 변화시킬 필요가 있다. 영상 신호와의 가산으로 되기 때문에, 영상 신호에 의해 보정값에 대한 전압 변화량이 변화되기 때문에, 변화량의 보정이 어렵다.

<297> 따라서, 계조수를 줄이는 방법으로서는, 전압 발생부의 구성을 도 103과 같이 하고, 전압이 낮을(고계조)수록 전압 눈금 폭이 성진 구성의 경우에, 도 104에 도시하는 바와 같은 전압 DAC부의 관계로 하면, 전압수를 276으로부터 220으로 줄였다고 해도, 276개의 경우와 마찬가지로, 입력 데이터에 대하여 출력 전압이, 씨닝을 행한 단 이외에서는 변화되지 않는 전압을 공급할 수 있고, 보정 데이터는 10mV 눈금으로 하여, 기억 수단에 기억시

키는 것이 가능하다. 씨닝이 없는 감마 보정 회로(741), 보정 데이터(744), 가산부(745)를 이용할 수 있기 때문에, 이 부분에서의 회로 규모는 동일하게 할 수 있다. 출력수가 감소한 만큼은 인접하는 전압을 이용한다. 예를 들면 V200과 V201 사이의 전압에 대한 데이터(201)는 V200으로 한다. 데이터(200과 201)를 V200으로 함으로써, 8비트의 데이터 중 하위 1비트를 비교하지 않고, V200을 선택할 수 있고, 상위 7비트 데이터로부터 전압을 선택할 수 있다. 이에 의해, 비교 제어부를 간편화할 수 있기 때문에, 회로 규모를 작게 할 수 있다. 40mV 눈금의 경우에는 4데이터분을 동일 전압 출력으로 한다. 이 예는 아니지만, 80mV의 경우에는 8데이터분이라고 하는 씨닝 방법을 한다.

<298> 이 구동 방식은, 커런트 코파이어, 커런트 미러의 화소 구성 이외에서도, 소정 전류를 기입하였을 때에, 구동 트랜지스터의 게이트 전압의 화소마다의 변동을 알 수 있어, 구동 트랜지스터의 게이트 전압에 전압을 공급하는 것이 가능하고, 구동 트랜지스터의 드레인 전류를 기입하는 것이 가능한 화소 구성이면 실시가 가능하다.

<299> 또한 구동 트랜지스터가 N형 TFT인 경우에는, 입력 데이터에 대한 전압의 변화를 입력 데이터가 커질수록 전압이 높아지도록 전압 DAC부(747)를 설계하면 적용 가능하다.

<300> 또한 기억 수단(337)의 용량을 크게 하면, 전체 화소의 복수의 전류값에 대한 전압값을 기억하는 것도 가능하게 된다. 용량이 3배이면, I0, I1, I2의 전류에 대한 전압 변동 데이터를 기억하는 것이 가능하다. 최대로는, 표시 계조수분의 전류에 대한 전압 변동 데이터를 기억하면, 모든 계조에서 TFT 특성 변동을 고려한 계조 전압을 인가하는 것이 가능하게 된다. 모든 계조에서, 모든 화소에 대한 데이터를 측정하면, 전체 계조에서 항상 최적의 보정이 이루어진 전압을 인가하는 것이 가능하게 된다.

<301> 이 경우 출력단의 구성은, 도 76과 같이 된다. 모든 계조 전압이 ROM에 유지되어 있는 경우에는, 이미 감마 보정 후의 전압을 ROM에 넣어 두면, 전압 DAC용의 감마 변환부는 불필요하여, 전류 DAC용에만 감마 변환부를 준비해 둔다. 전압 출력용의 데이터는, 영상 신호(763)와 동기 신호(762)로부터 ROM(761)에 유지된, 원하는 위치의 화소에 대한, 원하는 계조에 대한 전압값을 읽어내어, 전압 DAC부(747)에 입력하고, 전압 출력을 행한다.

<302> 또한 전체 계조분이 아니라 복수의 계조분의 데이터가 유지되는 경우에는, ROM에는, 각 계조에서의 전위차 데이터를 준비한다. 도 73에서 도시된 작업을 기억시키는 계조분만큼 반복하여 실시하고, 화소간에서의 전위차 데이터를 작성한다. 계조에 대한 전압 변화는 전압 감마 변환부에서 실시하고, 전위차 데이터와의 가산에 의해, 계조마다 TFT 특성을 보정한 데이터를 출력할 수 있도록 한다.

<303> 예를 들면, ROM의 비트수가 5비트인 경우에는, 32계조에서 패턴의 면 내에서의 변동만을 표현하고, 전압 감마 보정 회로(741)에서 계조에 따른 휘도를 출력할 수 있도록 전압을 결정한다. 도 92에서, 전압 감마 보정 회로(741)에 의해 참조 부호 921의 직선의 관계를 설정하고, ROM의 데이터에 의해 화소마다 참조 부호 922나 923의 직선의 관계로 변화시킴으로써, 특성 변동에도 대응이 가능하게 된다.

<304> 모든 계조에 대한 전위차 데이터가 ROM에 기억되어 있지 않은 경우, 다른 계조에 대한 전위차 데이터로부터 보정값을 결정할 필요가 있다.

<305> 제1 방법으로서는 가장 가까운 전류값의 보정 데이터를 그대로 이용하는 방법이다. 이 방법의 경우, 예를 들면 I0, I1과 I2에 대응하는 데이터가 있는 것으로 하면,  $(I0+I1)/2$  미만의 전류에 대응하는 계조의 경우에는 I0일 때의 보정 데이터를 이용하고,  $(I0+I1)/2$  이상  $(I1+I2)/2$  미만의 경우에는 I1의 보정 데이터를,  $(I1+I2)/2$  이상의 경우 I2의 보정 데이터를 이용하도록 하면 된다. 따라서 도 77에 도시하는 바와 같이, ROM 컨트롤부(771)를 설치하여, 영상 신호(전압 DAC용 감마 변환의 출력)와 동기 신호로부터, ROM의 어드레스를 지정할 수 있도록 하고, 영상 신호와 화소에 의해, 최적의 보정 전압을 ROM으로부터 취출할 수 있도록 하고 있다. 전압과 계조 특성에 대해서는, ROM에는 기억되어 있지 않고(동일 계조에서의 화소간 전위차만 기억되어 있음), 전위차 정보와, 계조 신호를 가산하고, 가산 데이터를 바탕으로 전압 발생부에서 결정된 전압 범위 중 어느 하나를 전압 DAC부에서 선택함으로써, 계조에 대응한 보정 전압을 출력할 수 있도록 하고 있다.

<306> 제2 방법으로서는, 표시 계조를 사이에 두는 2개의 전압 측정된 계조 보정 데이터로부터 표시 계조 시의 보정 데이터를 산출하는 방법이 있다. 이 경우에는 도 77에서 ROM 컨트롤부(771)에서, 표시 계조로부터, 2개의 보정 데이터를 읽어내는 제어를 행할 필요가 있다. ROM으로부터 출력된 2개의 데이터로부터, 표시 계조에 대응하는 데이터를 2점간 직선 근사에 의해 구하여, 보정 데이터로 한다. 그 때문에 도 78과 같이, 도 77의 데이터 출력에 연산부(781)를 추가할 필요가 있다. 또한 ROM으로부터의 읽어내기는 1데이터당 2회의 읽어내기를 행할 필요가 있어, 전송 레이트를 2배로하거나, 버스 폭이 2배 혹은 2개의 ROM으로부터의 동시 읽어내기 등의 구조가 필요로 된다. 2개의 데이터는, 동일 화소의 계조가 상이한 2개의 데이터이다. 2개 데이터가 있으면, 직선 근사

함으로써 데이터를 구할 수 있다. 필요한 계조에 대하여 계조차가 작은 것부터 2개를 선택하거나, 필요한 계조에 대하여 저계조 측에서 가장 가까운 데이터와 고계조 측에서 가장 가까운 데이터의 2개를 선택하거나 한다. 어느 한쪽의 방법에 의해 표시 계조에 대하여 보정 데이터를 계산함으로써 오차가 적어 계산 오차에 의한 얼룩이 발생하기 어려운 표시가 얻어진다.

<307> 측정하는 전류는, 도 3과 같은 전류에 의해 기입이 가능한 화소 구성의 경우에서, 고계조측일수록 전류 구동에 의해 기입이 가능하게 되므로, 입력 전압이 정확하지 않아도, 얼룩이 없는 표시가 가능하기 때문에, 얼룩이 발생하기 쉬운 저계조를 중심으로 측정할 필요가 있다.

<308> WQVGA의 화소수에서 2~5형 패널의 경우,  $0.1\mu A$  이상의 전류 영역에서는,  $0.01\mu A$ 의 저계조 표시 시의 화소 전위 데이터로부터의 보정 데이터라도, 얼룩이 없는 표시였다.  $0.1\mu A$  미만의 전류 영역에서, 이동도 변동 기인으로 생각되는 레이저 샷과 동일한 방향의 얼룩이 시인되었다.

<309>  $0.05\mu A$  전류 시의 화소 전위 데이터를 이용하면,  $0.04\mu A \sim 0.1\mu A$ 의 범위에서 얼룩이 없는 표시가 실현되었다.

<310>  $0.03\mu A$  전류 시의 화소 전위 데이터에서,  $0.025 \sim 0.04\mu A$ 의 범위의 계조에서,  $0.02\mu A$  전류 시의 화소 전위 데이터에서,  $0.018 \sim 0.026\mu A$ 의 범위의 계조에서,  $0.01\mu A$  전류 시의 화소 전위 데이터에서,  $0.02\mu A$  이하의 범위에서 표시 얼룩이 없는 것을 확인할 수 있었다.

<311> 이에 의해 WQVGA에서 2~5형 패널에서는,  $0.01, 0.02, 0.03, 0.05\mu A$ 의 4점의 화소 전위 측정을 행하여, 기억 수단에 데이터를 축적하고, 데이터를 바탕으로 표시를 행함으로써 전체 계조에 대하여 얼룩이 없는 표시가 실현되었다.

<312> 일반적으로는 수직 라인수(수평 주사 기간)와 패널 사이즈(배선 용량)에 의해 필요한 화소 전위 데이터의 종류가 구해지고, 라인수가 2배로 되면, 필요한 데이터는 2배, 패널 사이즈가 2배로 되면, 필요한 데이터는 2배로 된다.

<313> 그 때문에, 보정을 행하는 계조는 되도록이면 적은 쪽이 코스트가 저하되고, 1계조분만으로 보정을 행하는 경우에는, 전류가 가장 작은 흑 계조에서 보정(전류가 흐르지 않으므로, 전류에 의한 보정을 기대할 수 없음)하는 것이 좋다. 단 흑 표시의 휘도가 낮아 얼룩이 있었다고 해도 시인할 수 없는 경우에는, 시인 가능한 휘도로 되는 계조에서 최소 전류의 계조에 의해 보정을 행하는 것이 바람직하다. 이 경우에는 흑의 다음의 계조인 1계조 째가 보정의 대상으로 된다.

<314> 특히 전류 구동을 행하는 화소 구성이면, 1수평 주사 기간의 처음의  $2 \sim 10\mu s$  동안에서 전압 DAC에 의한 기입을 행하고, 나머지의 기간에서 전류 DAC에 의한 기입을 행하면 된다. 그러면, TFT의 이동도 성분의 변동 기인에 의한 전압의 어긋남을 전류 DAC의 기입에 의해 보정하기 때문에, 모든 계조에 대하여 딱 들어맞는 보정 데이터가 없어도, 얼룩이 없는 표시가 가능하다. 특히 고계조(=전류가 많음)일수록 전류 DAC에 의한 화소에의 기입 능력이 향상되기 때문에, 보정을 행하는 계조는 저계조를 중심으로 실시하면 된다. 그리고, 고계조에서는, 계조 성분을 이용함과 함께, 임계값 성분까지 전압을 변화시켜, 보정할 수 없었던 이동도 성분을 전류에 의해 보정하면 된다.

<315> 구동 트랜지스터의 이동도 성분의 변동이 작아지면, 전압 구동이라도 씨닝하는 것이 가능하다.

<316> 또한, 측정 시의 전류는, 계조 표시 시의 전류와 반드시 동일할 필요는 없으며, 보정을 행하는 계조 부근의 전류이어도 되고, 측정 결과와 계조를 나중에 관련지어도 된다. 이것은, 화소 전위를 측정하는 조건은, 일정 전류를 흘린 상태의 전위를 측정하고 있는 한편, 백의 전류는 유기 발광 소자의 효율 변동에 의해 패널마다 서로 달라지기 때문에, 임의의 1계조의 전류가 반드시 일정값으로 된다고는 할 수 없고, 측정 조건의 전류가 어느 계조에도 속하지 않는 경우가 있기 때문에, 측정 조건과 일치시키는 것이 곤란하다. ROM에 기억되는 전압은, 패널 면 내에서의 전위차를 유지하고 있어 절대값은 문제삼지 않기 때문에, 계조와 측정 전류가 어긋나 있었다고 해도, 변동의 상태가 변하지 않으면, 측정 전류의 근접 계조를, 보정 계조로 해도 된다. 효율 변동에 의한 전류의 어긋남은 백 조정 후의 전류 측정의 결과에서 10% 이내이었다. 예를 들면 앞의 예에서,  $0.01, 0.02, 0.03, 0.05\mu A$ 의 4점을 측정한 경우에, 동일 계조에 대한 전류가 패널간에서 10% 변화되었다고 해도, 4점의 각 사이의 차는 100% 이상으로, 상이한 측정점까지 계조가 변화되는 일은 없다. 만일 10% 전류가 어긋나서, 화소 전위의 분포가 어긋났다고 해도, 조금 전의 보정 가능한 전류 범위의 결과로부터 보면, 4점의 측정점 중 어느 것을 취할지는, 전류 변동에 대하여 거의 영향이 없다고 생각된다.

<317> 그 때문에  $0.01\mu A = \text{계조A}, 0.02\mu A = \text{계조B}, 0.03\mu A = \text{계조C}, 0.05\mu A = \text{계조D}$ 로 하였을 때에 계조A~D에 대해서는, 백

전류의 데이터로부터, 후기에서 정의하면 된다. 이 결과는 도 77 등의 ROM 제어부(771)에 반영되고, 계조 데이터 입력에 대하여, 어느 전류에 대한 보정 데이터를 취할지, 보정 데이터를 선택할 때에, 선택의 기준으로서 계조A~D를 이용한다. 즉 영상 신호와의 계조 비교를 행하여, 가장 가까운 측정 데이터가 어느 것인지 판단하거나, 가까운 2데이터를 취하기 위한 데이터가 어느 것인지를 판단하거나 하는 것이다. 동기 신호가 입력되어 있는 것은, 어느 화소 어드레스의 데이터를 취할지를 판단하기 위한 것으로, 계조 데이터(743)로부터, 어느 전류 조건의 변동 데이터를 취할지를 결정하고, 동기 신호로부터, 어느 화소의 데이터를 취출할지를 결정하고 있다.

<318> 또한, 대형 패널 등에서 전체 계조 범위에 대하여 전류 구동에서의 기입이 곤란한 경우에는, 모든 계조에서의 보정 데이터에 의한 전압 인가가 필요하다.

<319> 보정 데이터의 작성은, 우선 전류 구동에 의해 백 표시를 행하여, 휘도와 색도를 조정한다. 이것으로 백 표시의 전류값이 결정된다. 이 때의 각 색의 전류값을 측정해 둔다. 다음으로 감마 커브를 결정한다. 각 계조의 휘도 즉 전류값이 결정된다. 모든 계조에 대한 전류값을 알았으므로, 각각의 전류를 훌렸을 때의 전체 화면의 화소의 전압을 측정하고, 계조마다 보정 데이터를 계산한다. 모든 계조의 모든 화소에 대응하는 보정 데이터가 정해지면, 기억 수단에 기입을 행함으로써, 보정 데이터의 완성으로 된다.

<320> 이 방법은, 모든 계조의 데이터를 측정할 때 이외라도, 복수의 계조에 대응하는 보정 데이터가 필요할 때에도 적용이 가능하다.

<321> 또한 도 84와 같이 드라이버 출력부를 구성하고, 전압 읽어내기부를 구성하고, 출력(842)을 소스 신호선에 접속하면, 절환부(749)에서 전류 DAC부(748)를 선택하고, 임의의 화소에 전류를 기입한 상태에서 읽어내기부(841) 중 1개를 도통 상태로 하면, 구동 트랜지스터의 게이트 전압이 DA 변환부에 입력되어, 전압이 측정 가능하다. 이에 의해 특성 변동을 보정하지만, 또한, 절환부(749)를 전압 DAC부(747)에 접속하고, 읽어내기부(841) 중 1개를 도통 상태로 하면, 임의의 1출력의 전압 DAC의 전압 출력이 DA 변환을 통하여 측정 가능하게 된다. 이것을 모든 출력에 대하여 반복하여 실시하면, 임의의 드라이버의 전압 DAC의 출력 변동이 측정 가능하게 된다.

<322> 측정 결과를 이용하여, 동일 계조라도 전압이 높은 출력에서는, 그 출력을 이용하는 화소에서는, 보정 데이터를 가산하여 낮은 전압으로 보정하도록 한다. 반대로 전압이 낮은 출력에서는 보정 데이터는 감산하면 된다(단, 보정 데이터는 마이너스의 데이터도 취급할 수 있는 경우를 고려하여 생성되어 있지 않기 때문에, 최소값이 0으로 되도록 하기 위해 화면 전체에서 보정이 필요하다).

<323> 이에 의해 전압 DAC부(747)의 출력 편차가 있다고 해도, 보정용의 ROM(761)에서 보정이 가능하게 되어, 출력 편차에 의한 표시 얼룩을 억제하는 것이 가능하게 된다. 그 때문에 전압 DAC부에서는, 출력 편차를 작게 하는 기능을 회로적으로 설치하지 않아도 되어, 회로 규모를 작게 하는 것이 가능하게 된다.

<324> 화소의 구동 트랜지스터와, 전압 DAC부(747)의 전압 변동의 양방을 보정하는 경우에는, 보정용의 ROM(761)에는, 화소 전위의 변동과 전압 변동의 결과를 가산한 값을 입력하면 된다.

<325> 어느 쪽의 데이터도, 1단계당의 전압 변동량은 동일하게 되어 있기 때문에 단순 가산으로, 보정이 가능하다. 화소 전위의 데이터는 1화면분 있지만, 드라이버의 전압 변동은 1행 분의 데이터이기 때문에, 가산할 때에는, (X, Y) 좌표에서, X열 Y행의 보정 데이터는, X열 Y행의 화소 전위 변동 데이터와, X번째의 드라이버 전압 변동 데이터의 가산으로 실현할 수 있다(X, Y는 화소의 어드레스분을 나타내는 정수임).

<326> 또한, 화소의 구동 트랜지스터의 변동이, 표시 영역의 극히 일부분이거나, 복수 화소에 걸쳐 발생하는 주기적인 얼룩을 없애는 경우에는, 반드시 전체 화소분의 화소 전위 변동 데이터가 없어도 된다.

<327> 예를 들면, 가로 방향의 인접 2화소간에서 화소 전위의 특성에 변동이 없으면,  $X=2p$ ,  $2p+1$ (p는 정수)의 화소 공통으로 동일한 변동 데이터를 이용하여도 된다. 변동 데이터의 수를 절반으로 할 수 있어, 보정용의 ROM(761)의 용량을 작게 하는 것이 가능하게 된다. 세로 방향에 대해서도 마찬가지이다.

<328> 도 79는 구동 트랜지스터(795)의 임계값 변동 보정 기능을 가진 전압 구동용 화소 회로의 예이다. 구동 방법을 도면을 참조하면서 설명한다.

<329> 화소에 원하는 계조를 기입하기 전에 도 83에 도시하는 바와 같은 4개의 게이트 신호선(G1~G4)과 리세트 전원(799)을 입력하고, 구동 트랜지스터(795)에 리세트 전압을 인가한다. 이것은 오프셋 캔슬 화소 구성과 마찬가지의 동작이다.

- <330> 다음으로 도 80에 도시하는 바와 같은 게이트 신호선의 입력에 의해, 전압 출력부로부터의 출력 전압이 화소에 기입된다. 이 때 구동 트랜지스터(795)의 게이트 전압은 전압 출력부의 전압으로부터 구동 트랜지스터(795)의 임계값 전압만큼 낮은 전압이 인가된다.
- <331> 다음으로 도 81에 있는 바와 같은 게이트 신호선의 조작에 의해, EL 소자에 전류가 흘러 계조 표시되게 된다. 이 때 흐르는 전류는, 축적 용량 양단에 축적된 전하에 의해 결정된다. 축적 용량에 축적되는 전하는, 도 80에서의 설명에서 전압 출력부의 전압과, 구동 트랜지스터(795)의 임계값 전압에 의해 결정되기 때문에, 이 회로 구성에서는 트랜지스터의 임계값 전압의 변동을 보정하는 것이 가능하다. 보정 시에는, 구동 트랜지스터(795)의 드레인 전류가 흐르고 있지 않기 때문에, 드레인 전류가 흐르지 않는 흑 표시 시의 트랜지스터 특성 보정이 가능하다.
- <332> 계조의 변화는 전압 출력부의 전위 변화에 의해 행하여진다. 전위 변화는 드라이버 IC의 전압 DAC 출력에 의해 행하여지기 때문에, 구동 트랜지스터마다의 보정이 없어, 이동도 변동에 의한 얼룩이 발생할 우려가 있다.
- <333> 이동도 변동을 보정하기 위해서는, 구동 트랜지스터(795)마다 드레인 전류의 변화에 대한 게이트 소스간 전압의 변동을 확인하고, 드라이버에 있는 전압 출력부의 출력을 동일 계조라도 화소마다 서로 다르게 할 필요가 있다.
- <334> 따라서, 출하 전에, 도 82의 동작을 실시하여, 구동 트랜지스터의 전압 변동을 측정하고, 화소마다의 전위 변동으로부터, 변동분을 보상하는 ROM 데이터를 작성하여, 유지하도록 하고, 표시 시에는 ROM 데이터와 계조 데이터로부터 표시를 행하는 구성을 고안하였다.
- <335> 우선 도 82와 같이 측정하는 화소의 게이트 신호선의 제어를 행한다. 전압 출력부로부터 전압 V1을, 전류 출력부로부터 전류 I1을 인가하고, Vout로부터 구동 트랜지스터의 게이트 전압을 측정한다.
- <336> I1=0으로 하면, 도 80의 상태에서의 구동 트랜지스터의 게이트 전압이 측정 가능하다. 화소마다의 전압 변동이 흑 표시 시에서의 트랜지스터의 게이트 전압 변동으로서 관측된다(V1-Vth로 규정함).
- <337> I1이 0이외의 계조 표시에 대응하는 전류를 인가하면, 대응 계조 표시 시에서의 게이트 전압 변동을 Vout로부터 관측하는 것이 가능하다. 이 전압은 V1-Vg로 규정한다. Vg는 구동 트랜지스터에 의한 전위 강하분으로 임계값 전압과 이동도 성분이 합쳐진 전압으로 된다.
- <338> 0시의 전압과 0이외의 전위차는 Vg-Vth로 된다. Vg=Vu+Vth로 표현할 수 있고(Vu 계조간의 전위차에 상당), 연산 결과는 Vu+Vth-Vth=Vu로 되어, 그 계조 표시에 필요한 흑 전압으로부터의 변화량 Vu가 구해진다. Vu의 값을 흑 표시 시의 전압으로부터 감산한 값을 전압 출력부로부터 출력하면, 소정 계조 표시로 되고, Vu의 데이터를 화소마다 개별로 입력하면, 구동 트랜지스터의 변동에 따른 신호 출력이 가능하게 된다.
- <339> ROM에 유지할 때에는, Vu의 최소값을 산출하고, 최소값을 우선 DAC의 출력에 반영한다. 흑 표시 시의 전압에 대하여 Vu의 최소값만큼 낮은 전압이 그 계조의 출력 전압으로 되도록 DAC의 입력 데이터를 설정한다. 화소마다의 Vu의 최소값으로부터의 전위차를 계산하고, 계산 결과를 ROM에 기억시킨다. ROM 데이터와, DAC의 입력 데이터의 연산 결과를 전압 DAC에 입력하면, 화소마다의 특성 변동에 따른 소정 계조 전압을 패널에 인가시키는 것이 가능하게 되어, 특성 변동의 영향이 적은 표시가 가능하게 된다.
- <340> 복수의 계조에서 전압을 측정하고, Vu의 값을 산출하면, 복수의 계조에서 최적의 화소 전압을 인가할 수 있는 구성으로 된다. 전체 계조에서 실시하면 모든 화소에서 특성 변동을 보상한 전압이 드라이버로부터 패널에 공급되어, 얼룩이 없는 표시가 실현 가능하다.
- <341> 모든 계조에서의 측정에는 측정 시간이 걸리며, 조정에 필요로 하는 시간이 커져 코스트 업하게 된다. 또한 ROM 용량도 큰 것이 필요하여, 코스트는 상승하는 방향으로 된다. 따라서 보정을 행하는 계조의 비율은 전체 계조 중 1/4~1/128 정도가 바람직하다. 현상에서는, 1~3계조분의 데이터에서 실시한다.
- <342> 도 3과 같은 커런트 코파이어의 화소 구성의 경우, 전압 DAC부의 출력이 그대로 구동 트랜지스터의 게이트에 공급되기 때문에, 측정된 전압을 그대로 이용하면 되었지만, 도 79의 구성에서는, 전압 DAC로부터의 출력이 그대로 인가되는 것이 아니라, 임계값 전압분 저하된 전압이 인가되기 때문에 임계값 전압분의 저하를 고려한 전압을 인가할 필요가 있음으로써, 화소마다의 임계값 전압 측정 결과로부터, 임계값 전압분을 뺀 전압을 ROM에 기억시키는 점에서 방법이 상이하다.
- <343> 또한 오프셋 캔슬 방식의 화소 구성에서도, ROM에 의해 전압을 보정하는 것이 가능하다. 오프셋 캔슬 방식의

화소 구성에서는, 캔슬점에 상당하는 전류값에서는, 구동 트랜지스터의 특성 변동을 보상하지만, 전류값이 어긋날수록, 이동도 변동에 의한, 보상 능력의 저하가 발생하여, 표시 얼룩이 남기 쉬워지는 문제가 있다.

<344> 따라서, 구동 트랜지스터의 게이트 전압 변동을 전류값마다 측정하고, 소스 드라이버로부터 인가하는 전압을 동일 계조라도 화소마다 조정하여 설정함으로써 특성 변동에 의한 표시 얼룩을 저감시키는 것으로 하였다.

<345> 도 85에 1화소 회로와 주변의 회로를 도시한다. 종래의 구성에 비하여 구동 트랜지스터(851)의 게이트 전압을 초기화하기 위한 초기화 신호선과, 계조 전압을 기억하기 위한 용량 C2의 전하를 리세트하기 위한 리세트 신호선에 대하여 출력 오른쪽의 스위치(857)을 삽입하고, 전류원(858)로부터의 전류를 초기화 신호선과 리세트 신호선에 인가할 수 있는 스위치(857)와 전류원(858)을 추가한 것이 특징이다. 전류원(858)은 어레이 기판 상에 1 소스선마다 배치해도, 드라이버 IC에 작성해도 된다.

<346> 통상의 오프셋 캔슬 동작을 시키기 위해서는, ENA1, ENA4에 연결되는 스위치를 OFF로 하고, ENA2, ENA3에 연결되는 스위치를 ON으로 한다. 또한, 도 85에 도시하는 바와 같은 게이트 신호선의 입력에 의해, C2의 전하를 방전하고, 다음으로 구동 트랜지스터(851)의 임계값 보정을 캔슬 기간(862)에 실시하고, 구동 트랜지스터(851)의 게이트 전압이 임계값 전압으로 되도록 변화한다. 이 상태에서 혹 표시 시의 전압으로 된다. 신호 기입 기간(863)에서, 혹 표시 시와 소정 계조의 차에 대응하는 전위를 소스 신호선으로부터 기입함으로써, 구동 트랜지스터(851)의 임계값 전압의 변동에 대응한 계조 전압이 구동 트랜지스터(851)의 게이트에 입력되고, 발광 기간(864)에 의해 소정 휘도 발광한다.

<347> 이 방식에서는, 리세트 전압(Vreset)과 전압원(859)의 전압의 차에 의해 혹 표시 상태로부터 어느 정도 구동 트랜지스터(851)의 게이트 전압을 변화시킬지를 결정한다. 리세트 전압과 전압원의 전위차는 모든 화소에서 동일하기 때문에, 구동 트랜지스터(851)의 이동도에 변동이 있었던 경우에, 리세트 전압으로부터 어긋난 계조(이 경우에는 백)에서, 드레인 전류에 변동이 생겨, 표시 얼룩이 발생한다.

<348> 전압원(859)의 전압이, 화소마다의 특성 변동에 따라서, 동일한 계조라도 출력 전압이 변화되는 것이 특징이다. 변화시키는 방법을 모듈 내의 ROM부에 기억함으로써, 조정하고 출하한 후 전원이 없는 상태로부터의 구동이라도 특성에 따른 전압을 출력할 수 있는 구성으로 하고 있다.

<349> ROM에 기억시키는 데이터를 작성하기 위한 수순을 설명한다.

<350> 도 88에 1화소에서의 구동 파형을 도시한다. 리세트 기간(861) 및 캔슬 기간(862)에서, 종래와 마찬가지로 구동 트랜지스터(851)의 임계값 변동을 보정한다. 이 때, 구동 트랜지스터(851)의 게이트 전압은, 드레인 전류가 0일 때의 게이트 전압으로 되고, 화소마다의 변동에 대응한 전압으로 된다.

<351> 다음으로, ENA1~4 신호를 제어하고, 전위 기입 기간(883)에서, 전류원(858)의 전류를 구동 트랜지스터(851)에 유입한다. 이 때 트랜지스터(854와 855)가 ON 상태이고, 참조 부호 853이 OFF 상태로 되어 있고, 구동 트랜지스터(851)가 전류원(858)의 전류(예를 들면 I1)의 전류를 흘리도록 게이트 전압을 변화시키고, 캔슬 기간(852)에 의해 C2에 축적된 전하를 유지한 상태 그대로, 참조 부호 851의 게이트 전압이 변화된 만큼, 절점(871)의 전위가 변화된다. 이 절점(871)의 전위가, EL 소자에 I1의 전류를 흘리는 데에 필요한 전위로 된다.

<352> 따라서, 전위 기입 기간(883)에서 기입된 절점(871)의 전위를 전위 읽어내기 기간(884)에서 외부로 읽어내도록 하면 되고, 예를 들면 전류원(858과 857)의 스위치간으로부터 전압을 취출하는 신호를 준비하고, AD 변환에서 데이터를 취출하거나, 전압원(859)의 출력을 분리한 후에 신호선으로부터 전압을 취출하거나 하는 방법도 있다.

<353> 화소수분만큼 반복하여 실시함으로써, 모든 화소에서 I1의 전류에서의 전압원(859)으로부터 인가할 전압값이 구해진다. 이 전압값을 도 86의 신호 기입(863)의 기간에서 입력하면, 구동 트랜지스터의 특성 변동에 상관없이 EL 소자에 I1의 전류가 흘러, 얼룩이 없는 표시가 실현 가능하다.

<354> 화소마다 동일 계조라도 서로 다른 전압을 인가하는 방법으로서는, 동일 계조에서의 전압 변동분을 ROM에 기억시키고, 각 계조의 최대, 최소 혹은 평균 전압을 계조-전압 특성으로서 감마 보정부에서 기억시키는 방식이 생각된다. 전압원(859)의 출력은 감마 보정 후의 데이터와 ROM 데이터의 가산에 의해 결정하도록 함으로써, 동일 계조라도 화소의 구동 트랜지스터(851)의 특성에 맞춘 전압을 출력하는 것이 가능하게 된다. 1출력당의 신호의 흐름으로서는, 도 74로부터 전류 출력부가 없어진 도 89의 구성으로 된다.

<355> 전류원(858)에 대해서는, 드라이버 IC와는 별도로 어레이나 검사 회로 상에 설치해도 상관없으며, 드라이버 IC에 전압 측정용의 전류원으로서 내장하는 것도 가능하다. 예를 들면 도 90과 같이 전류원(858) 및 전압원(85

9)을 드라이버부(901) 내에 내장한 구성을 들 수 있다. 도 90에서는 또한 전압을 측정하기 위한 AD 변환부(902)가 스위치(903)를 통하여 접속되고, AD 변환부(902)의 출력을 외부로 취출할 수 있다. 전류 I1을 구동 트랜지스터에 흘리는 경로는 참조 부호 904와 같이 되고, 그에 수반하여 참조 부호 856의 스위치는 ON, 절환부(905)는 전류원(858)을 선택하고 있다. 이 때문에, 전위 기입 기간(883)에서, I1을 흘리는 데에 필요한 전압으로 절점(871)이 변화된다. 변화 종료 후에 스위치(903)를 ON으로 하여, AD 변환부(902)와 절점(871)이 접속됨으로써, 전압값이 검출되어, 화소마다의 필요 전압을 알 수 있게 된다.

<356> 드라이버 IC의 구성으로서는 도 91에 도시하는 바와 같이, 전압원(859) 측에는 영상 신호와 기억 수단(보정 데이터가 기억되어 있음)을 가산한 데이터가 입력되고, 영상 신호와 화소에 의해, 최적의 전압이 전압원(859)으로부터 출력된다. 한편 전류원(858) 측에서는 출력 전류를 결정하는 전류 제어 신호(911)가 입력되어 있다. I1을 결정하는 것은 이 전류 제어 신호(911)이다. 전류 제어 신호의 비트수가 많으면, 보다 미세하게 혹은 넓은 전류 범위에서 기입 전류를 설정하는 것이 가능하게 된다. 단 본래의 표시에는 필요가 없는 회로로서 회로 규모가 되도록하면 작은 것이 바람직하기 때문에 5~6비트 정도의 DAC로 형성된다. 또한, 개략 조정용의 비트와 미세 조정용의 비트를 조합하여 작성하는 경우도 있다.

<357> 이와 같이 하여, 도 92에 도시하는 바와 같이, 동일 계조라도 출력 전압이 서로 다른 전압 출력부를 구성하는 것이 가능하게 되었다. 혹 표시의 경우, 이 예에서는 Vth1~Vth5의 전압으로 되는 5종류의 전압이 출력 가능하다. 보정용의 ROM에 1계조분의 데이터가 들어가 있는 경우에는, 다른 계조라도 마찬가지로 5종류의 전압이 선택 가능하며, 계조A에 대해서는, 출력은 VA를 중심으로 5점(VA+(Vth1-Vth3), VA+(Vth2-Vth3), VA, VA-(Vth3-Vth4), VA-(Vth3-Vth5))의 출력이 가능하다. 일반적으로 동일 계조에서의 출력수는 보정용의 ROM의 비트수에 의해 결정된다. 그 때문에, 도시된 계조와 출력 전압의 관계의 직선은 1패널당에서 1색당 8~256가지의 관계가 존재하게 된다.

<358> 또한 도 93에서는 계조0, A, B의 3점에서 보정 전압을 측정하고, 동일 계조라도 출력 전압이 서로 다른 사양으로 되어 있다. 계조A보다도 계조B 쪽이 변동이 작은 경우에 이러한 관계로 된다.

<359> 구동 트랜지스터가 p형인 경우에서 설명을 행하였지만, n형이어도 마찬가지로 실현이 가능하다. 전압을 읽어내기 위한 전류의 방향을 반전시키는 것과, 입력 계조에 대한 전압의 변화가, 계조가 높을수록 전압이 높아지도록하면 된다. 따라서, 기억 수단에 데이터를 넣을 때에는, 가장 전압이 낮은 화소에서 데이터0을 전압이 높아질 수록 데이터를 크게 하도록 데이터를 유지시키도록 하면 된다.

<360> 화소마다의 전압을 읽어내기 위한 방법은, 도 84의 드라이버 구성에서 도 3의 화소의 경우의 타이밍차트를 도 94에 도시한다. 적어도 동일 색의 모든 화소에 동일한 전류값을 인가하고, 전압 변동을 확인하기 위해 절환부(749)는 전류 DAC 측의 출력을 선택한다. 영상 신호와 감마 보정 회로의 제어로, 각 화소에의 인가 전류를 결정한다. 적어도 동일한 색에서는 동일한 전류가 기입되는 패턴을 드라이버 IC에 입력한다. 이 상태에서, 1행 째의 화소에 전류가 기입되도록 1행째의 참조 부호 31a 신호를 인가하면, 1행째의 모든 화소에 전류가 기입된다. 이 기간이 전류 기입 기간(942)에 상당한다.

<361> 전류가 화소에 기입되는 데에는 시간이 걸리기 때문에, 전류 기입 기간(942)은 기입이 완료될 때까지 계속된다. 2~3형의 패널에서 대략 0.2~2ms 정도의 시간을 필요로 한다.

<362> 화소에 기입된 전압이 안정된 시점에서, 1화소씩 전압을 읽어낸다. 이것은 AD 변환 회로가 1개밖에 없는 경우의 예이며, 복수개의 AD 변환 회로가 있으면 복수 화소 동시에 읽어내기를 행하는 것이 가능하다.

<363> 순서대로 화소의 전압을 읽어내기 위해, 읽어내기부(841)가 존재하고, 1출력씩 순서대로 출력(842)을 AD 변환부(957)와 접속하도록 한다. 이 예에서는 드라이버의 면적을 작게 하기 위해, 통상 표시에 이용되는 시프트 레지스터를 겸용하여 이용하여, 순서대로 AD 변환을 행하도록 하고 있다. 이것으로 1화소째부터, 1행에 존재하는 전체 화소분을 순서대로 주사하고, 화소의 전압 변동 데이터를 얻고 있다. 참조 부호 943~945의 시간인지만, 1화소당 5~20ms 정도 걸리고 있다. 이 주사를 게이트 드라이버(31)를 동작시켜 행마다 반복하여 실시하고, 전체 화소의 전압 변동 데이터를 얻음으로써, 기억 수단에 기억시키는 데이터의 원데이터를 작성하였다.

<364> 1화소씩 변환하면 측정 시간이 걸리기 때문에, 복수 화소를 동시에 변환하는 방법으로서, 복수의 AD 변환부를 준비하면 된다. 이 경우 AD 변환부마다 변동이 있는 것이 상정되며, 동일 입력 전압이라도 출력 데이터가 상이한 것이 생각된다. 이 경우에는, 동일 앰프로부터 공급된 전압을, 복수의 AD 변환부에 입력하고, 출력값의 변동으로부터, AD 변환부의 오프셋 변동을 검출하여 보정을 결면 된다.

<365> 또한, 레이저 샷에 의한 전압 변동 등, 원인을 알고 있고, 발생하는 위치나 주기를 알고 있는 경우나, 근접의

복수의 화소간에서는 전압 변동이 없는 경우에서는, 모든 화소가 아니라, 복수의 화소분을 공용하여, 보정 데이터로 해도 된다. 이 경우에는, 공용화하는 화소 중 적어도 1개의 전압 읽어내기를 행하면 되고, 4화소마다 공통의 경우에는, 읽어내기를 행하는 화소의 수는 1/4이어도 된다(전압 읽어내기의 정밀도를 올리기 위해서 2~4 화소 읽어내기를 하여, 결과의 평균을 취하여 보정 데이터로 하여도 된다. 이 방법에서도 2~3화소 읽어내기이면, 전체 화소 읽어내기보다 읽어내기 시간을 단축할 수 있다).

<366> 이상의 방식에서, 드라이버와 패널과 ROM을 조합한 경우의 구성을 도 95에 도시한다.

<367> 입력된 영상 신호는, 감마 보정 회로를 통하여 DAC부에 입력된다. DAC부에서 아날로그 신호로 변환된 후, 절환부(749)에서 전압 혹은 전류 중 어느 쪽을 출력할지를 결정한다. 어느 쪽으로 할지는, 펄스 발생부에 의한 펄스 출력과, I/V 판정부(952)의 출력으로부터 결정된다. 펄스 발생부(956)는, 1수평 주사 기간 내에서 전압 기입을 행하는 시간을 결정하기 위한 것으로, 수평 주사 기간의 처음에 2~10  $\mu$ 초 정도의 펄스를 출력한다. I/V 판정부(952)는, 화소마다, 전압 기입 기간을 설정할지의 여부를 결정하는 것으로, 화소마다 「할지」인지 「하지 않을지」 인지를 판정한다. I/V 판정부(952)의 출력은, 전압 기입을 허가하는 경우에 「1」, 전압 기입을 허가하지 않는 경우에 「0」으로 한다. 이에 의해 전류 구동만의 기입도 가능하게 된다. 또한, 전압 기입을 허가해도, 펄스 발생부(956)에서 펄스가 없는 경우에는 절환 제어부(953)에서, 항상 전류 DAC부가 선택되게 된다. 절환 제어부(953)는, I/V 판정부(952)의 출력과 펄스 발생부(956)의 출력의 논리곱을 취하는 이미지로 되어 있다. 그 때문에, 전류 구동만을 실시하는 경우에는, I/V 설정선(951)에 의해 항상 전압 기입을 허가하지 않도록 하거나, 펄스 폭 설정선에서 펄스 폭을 0으로 하는 방법이 있다. 또한 전압 구동만을 실시하는 것도 가능하며, I/V 판정부(952)의 출력을 항상 「1」로 하도록 하여, 펄스 발생부(956)의 출력을 항상 "H" 레벨로 하면, 전압 DAC부가 선택되게 된다. 이 동작을 이용하면 도 85의 화소 구성에서도 본 드라이버를 이용하는 것이 가능하게 된다.

<368> 또한, I/V 판정부(952)는 전류 감마 보정 회로(742)의 출력을 취득하고 있다. 이에 의해, 예를 들면 일정 계조 이상에서는 전류 구동만으로 하는 것도 가능하게 된다. 즉 전류 감마 보정 회로(742)의 출력이 일정 계조 이상인 경우에 I/V 판정부(952)의 출력이 「0」으로 되는 것으로 하면 된다. 이것은, 전류 구동만으로도 기입 가능한 경우에 적용이 가능하며, 전압 DAC를 사용하지 않음으로써, 앰프의 충방전에 의한 전력을 삼감하는 것이 가능하다.

<369> 기억 수단(761)의 구동 트랜지스터의 변동 데이터를 넣는 방법으로서는, 지금까지의 설명대로, 일정 전류를 화소에 인가하고, 그 때의 구동 트랜지스터의 게이트 전압을 측정하고, 변동분을 양자화하여 기입을 행하고 있다.

<370> 일정 전류를 화소에 인가하는 방법은, 영상 신호에 일정 계조를 입력하고, 모든 화소에서 동일한 전류 출력이 전류 DAC부에서 행하여지도록 한다. 이 때 전류 출력을 선택할 수 있도록, 펄스 발생부(956)의 출력을 없애거나, I/V 판정부의 출력을 「0」으로 할 필요가 있다.

<371> 이와 같이 하여, 일정 전류를 화소에 기입하고, 구동 트랜지스터(32)에 일정 전류가 기입되게 된다. 도 97에 구동 트랜지스터(32)에 전류가 기입되었을 때의, 전류의 흐름(971)을 도시한다. 이 때의 참조 부호 32의 게이트 전압을 측정하기 위해, 읽어내기부(841) 중의 1개를 AD 변환부(957)와 접속한다. 2개 이상 동시에 접속하면, 서로 다른 전압끼리가 접속되게 되기 때문에, 1개만의 접속으로 한다. 도 95에서는 읽어내기 제어선(955)과 시프트 레지스터(532)에 의해 순서대로 1개씩 접속할 수 있는 구성으로 하고 있다. 전부 비접속도 가능하며 그 때에는, 읽어내기 제어선(955)에서, "L" 레벨을 넣으면 된다. 접속하는 경우에는, 1시프트 클럭 분의 폭에서 "H" 레벨을 입력하면, 1출력마다 순서대로 접속되게 된다.

<372> 이에 의해, 참조 부호 32의 게이트 전압은, 도 97의 참조 부호 972의 점선으로 나타내는 바와 같이, 참조 부호 39b의 스위치를 통하여 소스 신호선(30)에 전파되고, 선택된 읽어내기부(841a)를 통하여 AD 변환부에 입력된다. AD 변환의 타이밍은, 구동 트랜지스터(32)의 게이트 전압이 AD 변환부(957)에 입력될 때까지 각 신호선의 부유 용량 충방전이 완료되고 나서 실시할 필요가 있다. AD 변환이 완료되었다면, 시프트 레지스터에 의해, 참조 부호 841a의 선택을 참조 부호 841b로 변경한다. 참조 부호 841b 종료 후, 참조 부호 841c와 동일 행에 있는 화소의 전압을 순차적으로 읽어내어 간다. 1행이 모두 완료되면, 게이트 드라이버의 조작에 의해, 다음 행의 전압을 읽어내는 동작으로 이동한다.

<373> 도 97에서는 컨런트 코피어의 화소 구성에서 설명을 행하였지만, 커런트 미러의 화소 구성(도 5) 등의 화소 구성에서도, 마찬가지로 전압을 읽어내는 동작의 실현이 가능하다. 유기 발광 소자에 흘리는 전류를 제어하는 구

동 트랜지스터(32)에 드레인 전류를 인가할 수 있는 구성이라도, 전류값을 외부에서 알 수 있어, 게이트 전압 혹은 드레인 전압을 외부로 취출할 수 있는 화소 구성이면, 마찬가지로 이 방법의 적용이 가능하다. 전류 구동의 화소 구성뿐만 아니라, 도 79나 도 85의 화소 구성이라도, 이 방법의 적용이 가능하다.

<374> 변환 후의 데이터는 PC에 취득하고, 전체 화소분의 데이터가 갖추어진 시점에서 계산을 행한다. 계산은 도 73에 따라서 실시한다. 데이터를 기억 수단(761)에 기입하고, 보정 데이터의 작성을 완료한다.

<375> 또한 AD 변환부로부터 PC간과 PC로부터 기억 수단간에 대해서는, 항상 접속될 필요가 없으며, 출하 전의 조정 공정(화소 전압의 보정 공정)에서만 접속되면 된다. 따라서, 통상 구동 시에서는 AD 변환부는 불필요하며, 도 95와 같이 드라이버부에 내장해도, PC와 마찬가지로 조정 시에만, 조정용의 외부 회로에 탑재해도 된다. 읽어내기부(841)는, 통상 시에는 모든 회로에서 OFF 상태로 해 둔다.

<376> 전압 발생부(953)는 도 96에 도시하는 바와 같은 회로로 구성된다.

<377> 최대 전압이 V0이며 최소 전압이 Vn으로 된다(n은 전압 출력에 필요한 단수로 1 이상). 계조성을 높이기 위해 저항 소자(963)의 저항 분할에 의해 전압을 생성하고 있다. V0~Vn 출력에 대해서는, 부하 용량에 따라서는, 버퍼를 설치하는 경우도 있다. 최대 및 최소 전압은, 어레이의 구동 트랜지스터의 특성 변동을 고려하여, 가변할 수 있도록 되어 있다. 최대 전압은 거의 트랜지스터의 임계값 전압에 상당하고, 임계값 전압의 변동에 의해, 전압의 고저를 조정할 수 있도록 하고 있다. 조정을 행하기 위해 전자 볼륨(961)을 구비하고, 외부로부터 전압 설정선(954)에 의해 조정할 수 있도록 되어 있다. Vn 측은 고계조 측의 전압이다. 도 78 등에서 설명한 바와 같이, 전압 보정 부분에 대해서도 V0~Vn의 1단당의 전압을 바탕으로 데이터를 가감산하여 전압 표시를 행하기 때문에, 1단계당의 전압 변동 폭을 변화시킬 수는 없다(예를 들면 10mV로 고정한다). 그 때문에 V0의 전압을 변화시키면, 동일 전압값만큼 Vn의 전압도 변화시킬 필요가 있어, Vn 측에도 전자 볼륨과, 전압 설정선이 구비되어 있다. 운용상, 전자 볼륨A와 B는 동일 전압값만큼 동시에 변경이 필요하다.

<378> 전자 볼륨을 2개소에 설치하지 않아도, V0과 Vn의 전위차를 일정하게 하는 것이 가능하면, 어느 1개소는 불필요하며, 그러한 회로 구성이어도 문제는 없다.

<379> 2개소의 전자 볼륨의 방식은, 예를 들면 VA 출력과 VB 출력에 설치된 앰프(962)의 오프셋에 의한 1단계당의 전위차의 어긋남을 보정하는 것이 가능하게 되는 이점이 있다.

<380> V0과 Vn의 전압값을 측정하고, 측정 전압을 바탕으로 1단계당의 전압을 산출한다. 이 전압값이, 기억 수단에 보정 데이터를 넣었을 때의 전압 눈금 폭과 어긋나 있는 경우에는, 1단계당의 전압을 맞추도록, 전자 볼륨A 혹은 B 중 어느 한쪽을 조정하면 된다. 또한 각 출력에 앰프가 구비되어 있는 경우에는 출력 앰프의 편차의 영향이 있을 가능성 있으므로, 그 경우에는 예를 들면 복수(전부라도 됨) 단자의 출력 전압을 측정하여 평균값으로 조정해도 된다.

<381> V0 및 Vn 전압의 측정은, 우선, 기억 수단(761)에는 보정 데이터가 들어 있지 않기 때문에, 가산부에서의 기억 수단(761)과의 가산을 그만두고(보정 없음), 영상 신호와 전압 감마 보정 회로의 설정에 의해, V0에 대응하는 데이터를 전압 DAC부(747)에 입력한다. 또한 절환부(749)는 전압 DAC부를 선택하도록 한다. 이 때문에, I/V 판정부(952)는 출력을 「1」로 하고, 또한 펄스 발생부(956)는 항상 "H" 레벨로 하면, 항상 전압 DAC부가 소스 신호선(30)과 접속되게 된다. 이 상태에서 읽어내기부(841)를 1개씩 AD 변환부(957)와 접속함으로써, 전압 발생부(953) 중 V0에 상당하는 전압을 측정하는 것이 가능하다. Vn에 대해서도, 영상 신호와 전압 감마 보정 회로의 설정에 의해 전압 DAC부 입력을 Vn에 대응하는 데이터로 함으로써 Vn에 대응하는 전압을 AD 변환부(957)로부터 측정 가능하다.

<382> 다음으로 V0에 상당하는 전압과, Vn에 상당하는 전압의 차분을 계산한다. 차분의 계산은, V0의 출력 데이터군과 Vn의 출력 데이터군 각각의 평균의 차라도, 동일 단자에서의 V0과 Vn의 출력 전위차의 데이터 중 적어도 2출력분의 평균값이라도, 임의의 1출력에서의 V0과 Vn의 전위차라도 상관없다. 전위차를 얇으로써, 전압 DAC부(747)의 다이내믹 레인지지를 알 수 있고, DAC의 단수를 알고 있으면, 1단계당의 전압 눈금 폭을 알 수 있다.

<383> 변동 데이터를 양자화할 때의, 눈금 폭에, 실제의 전압 DAC부의 눈금 폭을 맞추기 위해서는, 참조 부호 954a 혹은 954b 중 한쪽의 전압 설정선의 값을 변경하고, 전자 볼륨을 변경함으로써, 맞춤이 가능하다. 예를 들면, 실제의 눈금 폭이 작은 경우에는, 눈금 폭을 크게 하기 위해 VA의 전압을 높이거나(참조 부호 961a의 전자 볼륨을 제어), VB의 전압을 낮추거나(참조 부호 961b의 전자 볼륨을 제어) 하면 된다.

<384> 또한, 반대로, 실제의 전압 출력부의 눈금 폭 데이터를 이용하여 양자화를 실시해도 된다. 도 73에서의 양자화

(732)를 실시하기 전에, V0, Vn에 해당하는 데이터를 측정하고, DAC의 1단계당의 눈금 폭을 계산해 두고, 계산된 눈금 폭에 따라서 양자화를 실시한다.

<385> V0 및 Vn 전압을 측정하는 방법을 이용하여 전압 DAC부의 인접간 단자 전압 변동을 측정하는 것에도 이용 가능하다. 전압 편차분만큼 전압 DAC부(747)에 입력되는 데이터를 가감산함으로써, 전압 변동을 작게 보이게 하는 것이 가능하다. 예를 들면, 5번째의 출력 전압이 다른 출력에 대하여, 20mV 높은 경우에, 전압 발생부의 눈금 폭이 10mV이고 또한 전압 DAC부(747)는 입력 데이터가 클수록 저전압으로 되는 경우에는, 5번째의 출력을 이용하는 화소에서는, 보정값을 화소 전위 측정 결과에 대하여 더욱 「2」만큼 크게 하면, 5번째의 출력의 화소만 일률적으로 20mV 전압이 낮아져, 출력 전압의 어긋남을 보정하여, 얼룩의 발생을 방지하고 있다. 이 경우에는, 기억 수단에 기억되는 데이터는, 화소마다의 구동 트랜지스터의 특성 변동과, 소스 드라이버의 출력 전압의 특성 변동을 서로 겹치게 하여 생긴, 변동분의 데이터가 기입된다.

<386> DA 변환부 및 읽어내기부(841)는, 통상 구동 시에는 이용하지 않기 때문에, 드라이버부에 넣지 않아도 된다. 예를 들면, 도 98에 도시하는 바와 같이, 드라이버부와 표시부는 별도로, 읽어내기부로서, 별도의 장소 예를 들면 어레이 상에 형성해도 된다. 어레이 상에 형성하는 것은 검사 종료 후에, 읽어내기부를 포함하는 읽어내기 용의 회로를 할단하고, 출하 시에 회로 스페이스마다 제거함으로써 프레임을 늘리지 않고 패널을 제공하는 방법도 가능하게 되는 이점이 있다.

<387> 또한 도 99에서, 읽어내기부에 시프트 레지스터를 설치하고, 또한 외부로부터 전압을 인가하기 위한 전압 인가 수단(993)을 설치하며, 읽어내기선(994)에 접속하면, 읽어내기부(841)의 동작과 게이트 드라이버의 주사에 의해, 전압 인가 수단(993)으로부터의 전압에 따른 전압값에 의해, 구동 트랜지스터(32)의 게이트에 전압이 인가됨으로써, 유기 발광 소자(33)가 점등한다. 소스 드라이버 I가 없어도 점등이 가능하게 된다. 구동 트랜지스터(32)의 특성에 상관없이 일정 전압의 기입으로 되기 때문에, 화소마다 휙도가 상이할 가능성성이 있지만, 표시 상태로 되기 때문에, 휙점이나, 멀점과 같은 점 결함이나 선 결함을 검출하는 것이 가능하게 된다.

<388> 이와 같이 화소의 결함을 검사하기 위해서는, 검사하는 범위의 소스 신호선(30)에 대하여 전압을 동시에 공급할 수 있도록, 시프트 레지스터(994)에서 참조 부호 841의 스위치를 전부 ON 상태로 할 수 있는 구성이 가능하게 되도록 해 두면 된다. 예를 들면 검사 시에는 스타트 펄스(991)를 항상 하이 레벨로 하고, 전압 읽어내기 시에는 읽어내기 시간에 따른 펄스를 입력함으로써 1화소씩 읽어내기선(994)에 접속되도록 한다.

<389> 이와 같이, 검사와 전압 읽어내기를 공용으로 함으로써, 검사에 필요한 회로를 삭감할 수 있어, 패널 프레임을 작게 하는 것이 가능하게 된다. 할단하여 출하하는 경우라도, 1패널당의 레이아웃 면적은 읽어내기부가 작아지는 만큼 작아져, 획득 수를 늘릴 수 있을 가능성이 있다고 하는 이점이 있다.

<390> 구동 트랜지스터(32)의 드레인 전류와 게이트 전압의 관계에는 온도 의존성이 있고, 온도가 높을수록 동일 드레인 전류로 하기 위해서는 게이트 전압을 높게 할 필요가 있다. 반대로 일정한 전압을 인가한 경우, 온도가 높아질수록 드레인 전류가 많아져 유기 발광 소자(33)에 흐르는 전류가 증가하고, 휙도가 높아진다. 즉 온도에 의해 패널의 휙도가 변화될 우려가 있다. 도 3의 구성의 화소에서는, 전류 DAC부(748)에 의해 전류 기입을 행하기 위해, 전류 구동에서 온도에 의한 전압 변화를 보상하지만, 전류값이 작은 경우에는, 충분히 보상 동작이 행하여지지 않아 동작이 불완전하게 되어 휙도 변화가 발생할 우려가 있다.

<391> 따라서 도 100에 도시하는 바와 같이, 드라이버 IC부에 AD 변환부(957)를 설치하고, 검사 시 이외의 통상 동작 시라도 화소의 전압을 측정할 수 있는 구성에서, 화소의 전압을 측정하고, 변화량에 따라서, 인가 전압을 변화시키도록 하여, 온도에 의한 휙도 변화를 작게 하는 구성을 생각하였다.

<392> 미리 실온(예를 들면 25도) 시의 구동 트랜지스터(32)의 화소 전압을 기록하고, 측정 시와의 전위차에 의해, 측정 시에 최적의 전압을 결정하도록 한다. 예를 들면, 조정 시의 전압이 4.5V이고, 측정 시의 전압이 4.2V인 것으로 하면, 0.3V만큼이 온도에 의해 변화된 분으로 된다. 따라서, 전압 발생부(953)의 전자 볼륨(961)을 2개소 모두 0.3V만큼 저하시키면, 실온 시와 동일한 전류가 EL 소자에 흐른다고 생각된다.

<393> 따라서, 전자 볼륨(961)의 전압을 결정하는 전압 설정선(954)의 값을 화소의 전압에 따라서 변화할 수 있도록, AD 변환부(957)의 출력으로부터 피드백할 수 있는 도 100의 구성으로 하였다.

<394> 조정 시와 측정 시의 차를 검출하기 위해, 비교기(1002)에 의해, 전압 변화량을 검출하도록 하고 있다. 조정 시=실온으로 되도록 조정 시의 온도는 일정하게 하여 조정을 행할 필요가 있다.

<395> 비교기(1002)에서, 전압 변화량을 구하여, 전압 제어부(1001)에 출력한다. 전압 제어부(1001)에서는 전압 변화

량으로부터, 전자 볼륨의 값을 어느 만큼 변경하면 되는지를 계산하는 회로 블록에서, 전자 볼륨의 눈금 폭으로, 전압 변화량을 나누어, 전자 볼륨의 증감량을 계산한다. 이 값을, 현재의 전자 볼륨값에 가감산함으로써, 발생 전압 V0~Vn의 값이 변화되고, 온도마다 최적의 계조 전압이 전압 발생부(953)로부터 출력되게 된다.

<396> 측정하는 전압은 화소수가 많을수록, 패널 전체에서의 평균 변화량을 알 수 있어, 평균 휘도를 일정하게 하는 효과가 있지만, 전압을 읽어내는 데에 시간이 걸리고, 읽어내기 중에는 표시를 할 수 없는 것을 고려하면, 되도록이면 적은 시간에 전압을 읽어낼 필요가 있다. 그 때문에 읽어내기를 행하는 화소는 10화소 이하가 바람직하다. 또한 조정 시의 전압으로부터 면 내 변동의 범위 내(평균값 ± σ)의 화소를 선택하는 것이 바람직하다. 온도 읽어내기 시간의 단축의 관점에서는, 화소에의 전류값의 기입을 동시에 행할 수 있는 동일 행의 화소가 많을수록 고속으로 읽어내기가 가능하다. 그 때문에, 동일 행으로부터 10화소 이하의 화소의 전압을 읽어낸다.

<397> 전압을 읽어내고, 온도에 따라서 변경하는 방법을 도 101에 도시한다. 여기서는 이미 조정 단계에서 실온 시의 전압 데이터가 있는 경우의 흐름이다. 전압을 읽어낼 때에는 조정 시와 온도 이외가 동일 조건에서 측정할 필요가 있다. 그를 위해서는 우선, 전류 DAC의 계조를 설정한다(설정은 항상 일정하게 해 두어도 되고, 기억 수단에 기억시켜, 기억 수단의 지정 어드레스로부터 읽어내어도 됨).

<398> 다음으로 읽어내기를 행하는 화소에 전류를 기입한다. 읽어내기를 행하는 화소는, 미리 조정 시에 결정해 둔 1행 중의 복수 화소이며, 행수, 열, 화소수에 대해서는, 기억 수단에 조정 시에 기억시키고, 기억한 어드레스로부터 읽어내도록 한다. 이것은, 결합 화소의 데이터를 취하는 것을 방지하기 위해, 조정 시에 데이터를 음미하고, 결합이 아닌 화소의 어드레스를, 기억 수단에 기재해 둔다. 지정된 화소를 지정수만큼 전압 읽어내기를 실시한다. 읽어내기 흐름(841)에 의해 순서대로 제어한다. 행렬의 설정은 모두 시프트 레지스터에서 행하여지는 경우가 많고, 지정행까지의 변화를 시키는 컨트롤러가 필요하다(7행째에서 게이트 드라이버가 정지하는 등의 경우를 상정하고 있음).

<399> 화소 전위의 변화는 화소 단위가 아니라, 전체 화면에 균일하게 실시되기 때문에, 1개의 데이터가 있으면 된다. 따라서 복수의 화소에 대한 전압을 측정한 경우에는, 평균화를 행하여, 백색 노이즈의 영향을 적게 하도록 하고 있다.

<400> 다음으로 미리 측정된 실온 시의 전압과 비교를 행하여, 전압의 변화량을 계산한다(1016).

<401> 변화된 분만큼, 인가 전압을 변화시킬 수 있도록, 변화량에 따라서 2개의 전자 볼륨(961)의 값을 변경한다.

<402> 이에 의해, 면 내의 평균이기는 하지만, 온도에 따른 전위 변화에 대응한 계조 전압을 공급할 수 있어, 온도 특성 변동의 영향이 적은 표시를 실현할 수 있었다.

<403> 실온 시에 대해서는 도 102에 도시하는 흐름에 의해, 실온 시의 전압 데이터, 온도 보정 시에 읽어내는 화소의 어드레스, 기입 전류를 ROM에 기억한다. 기억시키기 위한 데이터를 도 102의 흐름에 의해 작성한다.

<404> 읽어내기를 행하는 화소가 결정되어 있으면, 그 화소만의 전압 측정이지만, 결정되어 있지 않은 경우에는, 전체 화소를 읽어내고, 전압 데이터로부터 극단값으로 되어 있는 결합 화소를 제외한 화소로부터 실온 데이터를 검출한다. 극단값은 예를 들면  $3\sigma$ 를 벗어난 값으로 해도 된다.

<405> 또한 결합 화소수가 적다고 상정되는 경우나, 읽어내기를 행하는 화소수가 적은 경우에는, 전체 화소가 아니라, 일부의 영역의 화소로부터 결합 화소를 제거하는 작업으로 해도 된다.

<406> 온도에 따른 화소 전압의 변화의 보정을 전자 볼륨(961)에 의해 행하기 때문에, 전자 볼륨의 눈금 폭에 따라서는, 급격한 휘도 변화나 보정이 불충분하게 되는 것이 생각된다.

<407> 눈금 폭은 미세할수록 좋지만, 전자 볼륨의 단수가 증가하여, 코스트가 상승한다. 화소 전압의 측정 정밀도가 2~5mV 정도의 노이즈를 포함하기 때문에, 눈금 폭으로서는 10mV 미만에서는 노이즈에 의한 영향을 받아, 온도 보정 효과를 보기 어렵다. 10mV 눈금 미만의 정밀도에서의 전압 측정이 불가능하기 때문에 10mV 이상의 눈금 폭이면 된다. 한편 눈금 폭을 성기게 하면, 1단계당의 전위 변화량이 커지고, 1단계의 휘도 변화량이 커진다. 최적의 값을 설정하려고 해도 설정할 수 없고 라운딩 오차에 의한 계산값과의 전위차가, 측정마다 변화됨으로써 휘도가 변화되어 플리커가 발생할 우려가 있다. 따라서 플리커를 발생시키지 않는 방법으로서, 측정하는 횟수를 삭감한다. 또한 측정 타이밍을 고려한다.

- <408> 횟수의 삭감으로서는, 예를 들면 전원 투입 후만, 표시 상태로 되기 직전만, 대폭적인 씬 체인지 시만이라고 하는 방법이 있다. 통상 생활 상태에서는, 표시 중에 대폭적인 온도 변화가 일어나는 일이 거의 없기 때문에, 전원 투입 시나, 표시 직전의 상태의 전압 측정에서도 충분히 보정이 가능하다. 그 후의 온도 변화에서도 10도 미만이면 휘도 변화는 5% 정도이기 때문에, 휘도 변화가 디스플레이 사용 중에 인식할 수 있을 정도가 아니어서, 문제는 없다.
- <409> 눈금 폭에 대해서는, 온도 보정의 동작이 표시 중에 1회 정도이면, 극단적으로 밝거나 어둡거나 하는 것이 아니면, 표시마다의 휘도 어긋남은 알아차리기 어렵다. 구동 트랜지스터(32)의 채널 길이에 대한 채널 폭의 비율이, (채널 폭)/(채널 길이)=1/4 정도이면, 60mV 눈금이어도, 라운딩 오차에 의한 휘도 어긋남은 5% 정도로, 사용 중에는 알아차리지 못하는 어긋남이다.
- <410> 이상의 점으로부터 전자 볼륨(961)의 눈금 폭은 바람직하게는 10~60mV의 범위에서 설계된다.
- <411> 또한, 이 화소 전압을 읽어내어, 조정 시와의 전위 비교를 행하여, 차분을 보정하는 방법은, 온도 변화뿐만 아니라, TFT의 경시 변화에 의한 전압 변동의 경우라도 마찬가지로 보정하는 것이 가능하다. 이에 의해 Vth 시프트가 현저하게 되는 아몰퍼스 실리콘을 구동 트랜지스터(32)에 전압 구동 방식을 채용하는 것이 가능하게 된다. 경시 변화나, 고전압 인가에 의해 Vth가 변화된 경우, 전압 변화량을 검지하는 것이 가능하므로, 변화량에 따른 전압 인가에 의해 일정한 전류를 공급할 수 있게 되어, 구동 트랜지스터의 경시 변화에 의한 휘도 변화를 방지한다.
- <412> 또한, AD 변환부(957)와 비교기(1002), 전압 제어부(1001)에 의해 기억 수단과의 전압 변화량을 검출하는 것은, 온도에 의한 변화나, 경시 변화에 의한 TFT 특성 변화 이외에도, 외부 요인에 의해 TFT의 특성이 변화된 경우에, 변화분을 보상하는 기능을 갖는다. AD 변환(957)의 측정 간격에 따라서, 변화에 추종하는 시간이 바뀐다.
- <413> 이상에서 설명한 방식은, 동화상 응답 개선 등에서 이용되는 흑 삽입을 행하는 듀티 구동이어도 실현이 가능하다. 듀티 구동의 경우에는, 도 105와 같이 유기 발광 소자에 흐르는 전류를 일정 기간 없애도록, 도 85의 BG선, 도 79의 G3, 혹은 도 3의 참조 부호 31b, 도 5의 참조 부호 31d의 게이트 신호선을 제어하고, 1프레임 중의 일부의 기간(1/N)만 도통 상태로 한다.
- <414> 이 경우에는, 휘도를 유지하기 위해 인가하는 전류를 N배로 해 둘 필요가 있다. 이상에서 설명한 방식에서는, 화소로부터 변동 데이터를 읽어낼 때의 전류를 N배로 하고, 전압 감마 보정 회로에서의 설정값을 N배의 전류가 흐르도록 변경하면 된다. 전류 구동을 행하는 경우에는, 전류 DAC부의 전류 출력도 아울러 N배로 한다. 이 전류 출력을 N배로 하는 동작을, 기준 전류 생성부(61)에 의해 실시된다. 다른 동작은 흑 삽입이 없는 경우와 마찬가지이다.
- <415> 또한, 표시 소자로서, 유기 발광 소자로 설명을 행하였지만, 발광 다이오드, SED(표면 전계 디스플레이), FED 등 전류와 휘도가 비례 관계로 되는 표시 소자라면 어떠한 소자를 이용해도 실시 가능하다.
- <416> 또한, 도 59 내지 도 61에 도시하는 바와 같이, 이러한 표시 소자를 이용한 표시 장치를 텔레비전이나, 비디오 카메라, 휴대 전화에 적용함으로써, 보다 계조 표시 성능이 높은 제품을 실현할 수 있다.
- <417> 또한, 제어 IC(28) 혹은 컨트롤러와 소스 드라이버(36)는 각각 별도의 IC를 이용하여 실현한 예를 도시하고, 설명을 행하였지만, 동일 칩에서 일체화하여 작성한 경우라도 마찬가지로 실시 가능하며 마찬가지의 효과가 얻어진다.
- <418> 이상에서 트랜지스터는 MOS 트랜지스터로서 설명을 행하였지만 MIS 트랜지스터나 바이폴라 트랜지스터라도 마찬가지로 적용 가능하다.
- <419> 또한 트랜지스터는 결정 실리콘, 저온 폴리실리콘, 고온 폴리실리콘, 아몰퍼스 실리콘, 갈륨 비소 화합물 등 어느 재질이라도 적용 가능하다.
- <420> 상술한 전류 출력형 반도체 회로, 및 표시 장치에서 전류 드라이버의 출력 비트수를 증가시켜도, 상관없다.

### 산업이용 가능성

- <421> 본 발명에 따른, 액티브 매트릭스형 표시 장치, 및 유기 발광 소자를 이용한 액티브 매트릭스형 표시 장치의 구동 방법은, 유기 발광 소자를 이용하는 표시에서 표시 얼룩이 발생하게 되는 것을 억제할 수 있어, 유기 발광

소자 등을 이용하여 전류량에 의해 계조 표시를 행하는 표시 장치 등으로서 유용하다.

### 도면의 간단한 설명

- <422> 도 1은 종래의, 유기 발광 소자의 구조를 도시한 도면.
- <423> 도 2의 (a)는 종래의, 유기 발광 소자의 전류-전압-휘도 특성을 도시한 도면, 도 2의 (b)는 종래의, 유기 발광 소자의 전류-전압-휘도 특성을 도시한 도면.
- <424> 도 3은 종래의, 커런트 코피어 구성의 화소 회로를 이용한 액티브 매트릭스형 표시 장치의 회로를 도시한 도면.
- <425> 도 4의 (a)는 종래의, 커런트 코피어 회로의 동작을 도시한 도면, 도 4의 (b)는 종래의, 커런트 코피어 회로의 동작을 도시한 도면.
- <426> 도 5는 본 발명에 따른 실시 형태의, 커런트 미러의 회로 구성을 도시하는 도면.
- <427> 도 6은 종래의, 전류 출력형 드라이버의 각 출력에 전류를 출력하기 위한 회로를 도시한 도면.
- <428> 도 7은 본 발명에 따른 실시 형태의, 표시 색마다의 유기 발광 소자의 발행 효율을 도시하는 도면.
- <429> 도 8은 본 발명에 따른 실시 형태의, 표시 색마다 전류 출력 회로를 개별로 준비하는 것을 설명하는 도면.
- <430> 도 9는 본 발명에 따른 실시 형태의, 기준 전류 생성부의 구성의 일례를 도시하는 도면.
- <431> 도 10은 본 발명에 따른 실시 형태의, 출력 전류의 조정 방법을 도시하는 도면.
- <432> 도 11은 본 발명에 따른 실시 형태의, 전류 구동 시의 문제를 설명하기 위한 표시 패턴을 도시하는 도면.
- <433> 도 12는 본 발명에 따른 실시 형태의, 전류 구동 시의 문제를 설명하기 위한 표시 패턴을 도시하는 도면.
- <434> 도 13은 본 발명에 따른 실시 형태의, 소스 신호선에서의 전류의 시간 변화를 도시하는 도면.
- <435> 도 14는 본 발명에 따른 실시 형태의, 소스 신호선에서의 전위의 시간 변화를 도시하는 도면.
- <436> 도 15의 (a)는 본 발명에 따른 실시 형태의, 화소에 소스 신호선 전류가 흐를 때의 등화 회로를 도시하는 도면, 도 15의 (b)는 본 발명에 따른 실시 형태의, 트랜지스터의 전류-전압 특성도.
- <437> 도 16은 본 발명에 따른 실시 형태의, 1출력 단자에서의 전류 출력과 프리차지 전압 인가부 및 절환 스위치의 관계를 도시한 도면.
- <438> 도 17은 본 발명에 따른 실시 형태의, 프리차지 펄스, 프리차지 판정 신호와 인가 판정부 출력의 관계를 도시한 도면.
- <439> 도 18은 본 발명에 따른 실시 형태의, 전류 프리차지를 행하였을 때의, 소스 신호선에서의 전류의 시간 변화를 도시하는 도면.
- <440> 도 19는 본 발명에 따른 실시 형태의, 수평 주사 기간의 처음에 소정 전류의 10배의 전류를 출력할 때의 소스 드라이버 출력의 시간 변화를 도시한 도면.
- <441> 도 20은 본 발명에 따른 실시 형태의, 전류 프리차지를 행하였을 때의 소스 신호선 전류의 변화의 모습을 도시한 도면.
- <442> 도 21은 본 발명에 따른 실시 형태의, 1수평 주사 기간 내에서의 전류 프리차지 실시 시의 시퀀스도.
- <443> 도 22는 본 발명에 따른 실시 형태의, 전류 프리차지 실시 시의 소스 신호선 전류의 시간 변화를 도시하는 도면.
- <444> 도 23은 본 발명에 따른 실시 형태의, 1행째에 전류 프리차지를 행한 경우의 소스 신호선 변화의 모습을 도시한 도면.
- <445> 도 24는 본 발명에 따른 실시 형태의, 전압 프리차지를 행하는 시간에 의한 소스 신호선 전위의 비교도.
- <446> 도 25는 본 발명에 따른 실시 형태의, 전류 프리차지를 행하는 기능을 갖는 전류 출력부(255)의 회로를 도시한 도면.
- <447> 도 26은 본 발명에 따른 실시 형태의, 펄스 선택부(252)의 입출력 신호의 관계를 도시한 도면.

- <448> 도 27은 본 발명에 따른 실시 형태의, 프리차지 펄스군과 프리차지 판정선과 출력의 시간 변화를 도시한 도면.
- <449> 도 28은 본 발명에 따른 실시 형태의, 각 계조와 사용하는 프리차지 펄스의 대응을 도시하는 도면.
- <450> 도 29는 본 발명에 따른 실시 형태의, 표시 계조와 필요한 프리차지 전류 출력 기간의 관계를 도시하는 도면.
- <451> 도 30은 본 발명에 따른 실시 형태의, 전류 프리차지 펄스(256d)가 선택되었을 때의 소스 신호선 전류의 시간 변화를 도시하는 도면.
- <452> 도 31은 본 발명에 따른 실시 형태의, 발광색마다 서로 다른 전류 프리차지 기간을 출력하는 펄스 발생부의 회로 구성을 도시한 도면.
- <453> 도 32는 본 발명에 따른 실시 형태의, 전압 프리차지를 행하기 위한 회로 구성을 도시하는 도면.
- <454> 도 33은 본 발명에 따른 실시 형태의, 흑 휘도를 조정하기 위한 회로 구성을 도시하는 도면.
- <455> 도 34는 본 발명에 따른 실시 형태의, 흑 조정 시의 조정 방법을 도시하는 도면.
- <456> 도 35는 본 발명에 따른 실시 형태의, 소스 신호선 전류의 시간 변화를 도시하는 도면.
- <457> 도 36은 본 발명에 따른 실시 형태의, 소스 신호선 전류의 시간 변화를 도시하는 도면.
- <458> 도 37은 본 발명에 따른 실시 형태의, 프리차지를 행할지의 여부의 판정 방법을 도시하는 도면.
- <459> 도 38은 본 발명에 따른 실시 형태의, 255계조가  $1\mu A$ 의 전류이고, QCIF+의 화소수이며 소스 신호선의 용량이 10 pF인 경우에서의 1행 전 기입 전류와 기입 전류의 대응 관계를 도시하는 도면.
- <460> 도 39는 본 발명에 따른 실시 형태의, 도 37의 판정 처리 시의, 소스 신호선 전류의 시간 변화를 도시하는 도면.
- <461> 도 40은 본 발명에 따른 실시 형태의, 수직 블랭킹 기간에, 영상 신호에 계조0을 삽입하고, 프리차지 판정 신호 발생부에서는 특정의 신호를 출력하는 회로 구성을 도시한 도면.
- <462> 도 41은 본 발명에 따른 실시 형태의, 프리차지 동작과, 프리차지 판정 신호의 관계를 도시한 도면.
- <463> 도 42는 본 발명에 따른 실시 형태의, 소스 드라이버 및 제어 IC를 내장한 표시 장치의 회로 구성을 도시하는 도면.
- <464> 도 43은 본 발명에 따른 실시 형태의, 1화소분의 데이터를, N배의 클럭 주파수에서 시리얼 전송하는 방법을 도시하는 도면.
- <465> 도 44는 본 발명에 따른 실시 형태의, 전류 및 전압 프리차지를 실시하는 소스 드라이버의 회로 구성을 도시하는 도면.
- <466> 도 45는 본 발명에 따른 실시 형태의, 기준 전류 생성부를 도시한 도면.
- <467> 도 46은 본 발명에 따른 실시 형태의, n형 트랜지스터를 이용한 경우의 커런트 코피어를 이용한 화소 회로를 도시한 도면.
- <468> 도 47은 본 발명에 따른 실시 형태의, 표시 패널과 레이저 어닐링 동작의 관계를 도시한 도면.
- <469> 도 48은 본 발명에 따른 실시 형태의, 화소에 의한 소스 신호선 전류와 전압의 관계가 상이한 것을 도시한 도면.
- <470> 도 49는 본 발명에 따른 실시 형태의, 동일 프리차지 전압 입력에 대한 출력 전류의 분포를 도시하는 도면.
- <471> 도 50의 (a)는 본 발명에 따른 실시 형태의, 도 47~도 49에 도시하는 특성을 갖는 화소에서의, 도 50의 (b)의 출력 전압 분포에 대한 화소에 흐르는 전류의 분포를 도시한 도면, (b)는 본 발명에 따른 실시 형태의, 도 49의 출력 전류 분포의 경우에서의, 구동 트랜지스터의 게이트 전극에 거는 출력 전압 분포를 도시한 도면.
- <472> 도 51은 본 발명에 따른 실시 형태의, 복수의 전압을 공급하는 프리차지 전압 발생부를 도시하는 도면.
- <473> 도 52는 본 발명에 따른 실시 형태의, 복수의 프리차지 전압을 공급하는 소스 드라이버의 출력단을 도시하는 도면.

- <474> 도 53은 본 발명에 따른 실시 형태의, 복수의 프리차지 전압을 공급하는 소스 드라이버를 도시하는 도면.
- <475> 도 54는 본 발명에 따른 실시 형태의, 임의의 전류값을 흘렸을 때의 소스 신호선 전압을 검출하는 회로 구성을 도시하는 도면.
- <476> 도 55는 본 발명에 따른 실시 형태의, 계조0 표시 시의 소스 신호선 전압을 다른 2개의 점의 전류 전압 특성으로부터 계산할 수 있는 것을 도시하는 도면.
- <477> 도 56은 본 발명에 따른 실시 형태의, 각 화소에 최적의 프리차지 전압을 공급하기 위한 전압 계산의 흐름을 도시하는 도면.
- <478> 도 57의 (a)는 본 발명에 따른 실시 형태의, 도 47~도 49에 도시하는 특성을 갖는 화소에서의, 도 57의 (b)의 출력 전압 분포에 대한 화소에 흐르는 전류의 분포를 도시한 도면, (b)는 본 발명에 따른 실시 형태의, 도 49의 출력 전류 분포의 경우에서의, 도 51에 도시하는 프리차지 전압 발생부를 이용하여 구동 트랜지스터의 게이트 전극에 전압을 인가한 도면.
- <479> 도 58은 본 발명에 따른 실시 형태의, 트랜지스터의 사이즈와 출력 전류의 변동을 도시하는 도면.
- <480> 도 59는 본 발명에 따른 실시 형태의, 표시 장치로서, 텔레비전에 적용한 경우를 도시한 도면.
- <481> 도 60은 본 발명에 따른 실시 형태의, 표시 장치로서, 디지털 카메라에 적용한 경우를 도시한 도면.
- <482> 도 61은 본 발명에 따른 실시 형태의, 표시 장치로서, 휴대 정보 단말기에 적용한 경우를 도시한 도면.
- <483> 도 62는 본 발명에 따른 실시 형태의, 소스 드라이버를 이용하여 소스 신호선 전압을 검출하기 위한 소스 드라이버 내부 구성을 도시하는 도면.
- <484> 도 63은 본 발명에 따른 실시 형태의, 도 62를 이용하여 전압값을 읽어낼 때의 각 신호선의 시간 변화를 도시하는 도면.
- <485> 도 64는 각 본 발명에 따른 실시 형태의, 화소의 구동 트랜지스터의 게이트 전압값을 읽어내기 위한 장치의 회로 구성을 도시한 도면.
- <486> 도 65는 본 발명에 따른 실시 형태의, 혹 표시를 위한 프리차지 전압 선택 신호 및 최대 및 최소 전압을 규정하기 위한 조정 방법을 도시한 도면.
- <487> 도 66은 본 발명에 따른 실시 형태의, 도 47의 방법으로 다결정화한 경우의 동일 신호선에서의 결함 화소를 포함하는 전압 분포를 도시한 도면.
- <488> 도 67은 본 발명에 따른 실시 형태의, 화소 전압값의 분포와 본 발명의 소스 드라이버에서의 프리차지 전압의 분포의 관계를 도시한 도면.
- <489> 도 68은 본 발명에 따른 실시 형태의, 수출력마다 프리차지 전압 선택 신호가 공급되었을 때의, 중간 단자의 보간 계산 결과를 도시한 도면.
- <490> 도 69의 (a)는 본 발명에 따른 실시 형태의, 혹 표시 시의 전류를 소정 범위 내에 수용하기 위한 프리차지 전압 조정예를 도시한 도면(조정 전), (b)는 본 발명에 따른 실시 형태의, 혹 표시 시의 전류를 소정 범위 내에 수용하기 위한 프리차지 전압 조정예를 도시한 도면(조정 후).
- <491> 도 70은 본 발명에 따른 실시 형태의, 기억 수단을 설치하고, 전압 출력을 화소마다 보정하기 위한 기억 수단과 컨트롤부와 드라이버부의 관계를 도시한 도면.
- <492> 도 71은 본 발명에 따른 실시 형태의, 드라이버부에 RAM 영역을 설치한 경우의 화소마다의 전압 변동 보정을 가진 회로 블록을 도시한 도면.
- <493> 도 72는 본 발명에 따른 실시 형태의, 도 70에서의 드라이버부의 출력단의 구성을 도시한 도면.
- <494> 도 73은 본 발명에 따른 실시 형태의, 화소에 기입된 전류로부터, 트랜지스터의 변동을 검출하고, 변동 데이터를 ROM에 기입할 때까지의 흐름을 도시한 도면.
- <495> 도 74는 본 발명에 따른 실시 형태의, 전압, 전류에 의해 계조 표시를 행하는 것이 가능한 드라이버 IC에서의 영상 신호 입력으로부터 1출력까지의 회로 구성을 도시한 도면.

- <496> 도 75는 본 발명에 따른 실시 형태의, 전압 DAC부에서의 입력 데이터와 출력 전압의 관계를 도시한 도면.
- <497> 도 76은 본 발명에 따른 실시 형태의, 모든 계조에 대하여, 화소마다의 전압 특성이 ROM에 기억된 경우에서의 전압, 전류 출력이 가능한 드라이버 IC의 1출력 분의 흐름을 도시한 도면.
- <498> 도 77은 본 발명에 따른 실시 형태의, 복수의 계조에 대하여, 화소마다의 전압 특성이 ROM에 기억된 경우에서의 전압, 전류 출력이 가능한 드라이버 IC의 1출력분의 흐름을 도시한 도면.
- <499> 도 78은 본 발명에 따른 실시 형태의, 복수의 계조에 대하여, 화소마다의 전압 특성이 ROM에 기억된 경우에서의 전압, 전류 출력이 가능한 드라이버 IC의 1출력분의 흐름을 도시한 도면.
- <500> 도 79는 본 발명에 따른 실시 형태의, 임계값 보정 기능을 가진 화소 회로를 도시한 도면.
- <501> 도 80은 본 발명에 따른 실시 형태의, 도 79의 화소 회로에서, 영상 신호에 따른 계조를 기입할 때의 동작을 도시한 도면.
- <502> 도 81은 본 발명에 따른 실시 형태의, 도 79의 화소 회로에서, 점등 시의 동작을 도시한 도면.
- <503> 도 82는 본 발명에 따른 실시 형태의, 도 79의 화소 회로에서, 화소마다의 구동 트랜지스터의 게이트 전압을 측정할 때의 동작을 도시한 도면.
- <504> 도 83은 본 발명에 따른 실시 형태의, 도 79의 화소 회로에서, 리세트 동작시켰을 때의 도면.
- <505> 도 84는 본 발명에 따른 실시 형태의, 전압 DAC 및 전류 DAC가 1출력마다 형성된 드라이버의 출력부를 도시한 도면.
- <506> 도 85는 본 발명에 따른 실시 형태의, 오프셋 캔슬 화소에, 이동도 변동을 보정하는 기능을 설치한 화소 및 주변 회로를 도시한 도면.
- <507> 도 86은 본 발명에 따른 실시 형태의, 도 85의 게이트 신호선 동작을 도시한 도면.
- <508> 도 87은 본 발명에 따른 실시 형태의, 도 85의 구성에서 전압 변동을 측정하기 위해 화소에 일정 전류를 공급할 때의 회로 동작을 도시한 도면.
- <509> 도 88은 본 발명에 따른 실시 형태의, 도 85의 구성에서 소정 전류에 대한 게이트 전압을 측정하기 위한 각 신호 파형을 도시한 도면.
- <510> 도 89는 본 발명에 따른 실시 형태의, 도 85의 구성에서의 드라이버 출력단을 도시한 도면.
- <511> 도 90은 본 발명에 따른 실시 형태의, 전류원을 드라이버 IC 내부에 구성하였을 때의 도 85와 동일 화소 구성의 회로의 전류 인가 방법을 도시한 도면.
- <512> 도 91은 본 발명에 따른 실시 형태의, 도 90에서의 드라이버 출력단을 도시한 도면.
- <513> 도 92는 본 발명에 따른 실시 형태의, 동일 계조라도 출력 전압이 화소마다 상이한 것을 도시한 도면.
- <514> 도 93은 본 발명에 따른 실시 형태의, 3점에서 화소 전위를 읽어내어 보정 전압을 산출한 경우의 계조에 대한 출력 전압의 변동의 예를 도시한 도면.
- <515> 도 94는 본 발명에 따른 실시 형태의, 도 84의 드라이버 IC와 도 3의 화소 회로에서의, 전체 화소의 전압 읽기 방법을 도시한 도면.
- <516> 도 95는 본 발명에 따른 실시 형태의, 구동 트랜지스터의 특성 변동 보상 기능을 가진 패널 및 회로의 구성을 도시한 도면.
- <517> 도 96은 본 발명에 따른 실시 형태의, 전압 발생부의 구성을 도시한 도면.
- <518> 도 97은 본 발명에 따른 실시 형태의, 화소 읽어내기를 행할 때의 전류 기입 경로와, 화소 전압이 AD 변환부에 입력되는 구성을 도시한 도면.
- <519> 도 98은 본 발명에 따른 실시 형태의, 읽어내기부를 드라이버부와는 별도로 구성하였을 때의 표시 장치의 구성을 도시한 도면.
- <520> 도 99는 본 발명에 따른 실시 형태의, 읽어내기부를 검사 시에 사용할 때의 검사 전압 인가의 방법을 도시한 도

면.

<521> 도 100은 본 발명에 따른 실시 형태의, 읽어내어진 화소의 전압을 취득하여 전압 발생부에 피드백을 걸 수 있도록 한 회로를 도시한 도면.

<522> 도 101은 본 발명에 따른 실시 형태의, 온도 특성 보정 시의, 보정 방법을 도시한 도면.

<523> 도 102는 본 발명에 따른 실시 형태의, 온도 특성 보정 시의, 실온 데이터의 작성 방법과, ROM에의 보관 데이터의 작성의 흐름을 도시한 도면.

<524> 도 103은 본 발명에 따른 실시 형태의, 전압 출력수를 써닝한 경우의 전압 발생부의 구성을 도시한 도면.

<525> 도 104는 본 발명에 따른 실시 형태의, 도 103의 전압 발생부를 이용한 경우의 전압 DAC부의 입출력 관계를 도시한 도면.

<526> 도 105는 흑 삽입을 행하여 표시를 행하는 경우의, 유기 발광 소자에 전류를 공급할지의 여부의 결정을 행하는 게이트 신호선의 동작을 도시한 도면.

<527> 도 106은 전압 발생부의 구성을 도시한 도면.

<528> 도 107은 전압 DAC부의 입출력 관계를 도시한 도면.

<529> <도면의 주요 부분에 대한 부호의 설명>

<530> 11 : 음극

<531> 12 : 유기층

<532> 13 : 양극

<533> 14 : 전원

<534> 28 : 제어 IC

<535> 30, 30a, 30b, 30c : 소스 신호선

<536> 31a, 31b : 게이트 신호선

<537> 32 : 구동 트랜지스터

<538> 33 : 유기 발광 소자

<539> 34 : EL 전원선

<540> 35 : 게이트 드라이버

<541> 36 : 드라이버 IC(소스 드라이버)

<542> 37 : 화소

<543> 39a, 39b, 62, 491 : 트랜지스터

<544> 54: 계조 데이터

<545> 60 : 저항 소자

<546> 61, 61a, 61b, 61c : 기준 전류 생성부

<547> 62 : 분배용 미러 트랜지스터

<548> 63 : 계조용 표시 전류원

<549> 64 : 전류 출력

<550> 65 : 전류 출력 회로

<551> 66 : 디지털 아날로그 변환부

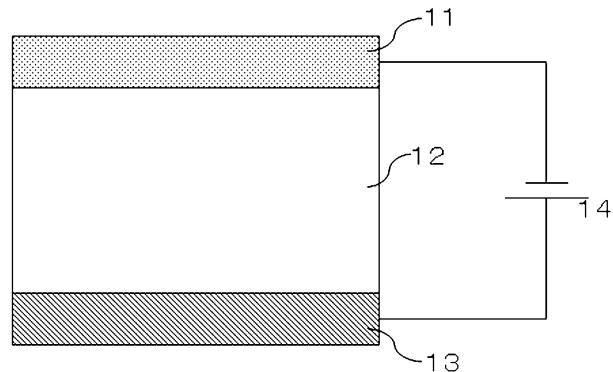
<552> 67 : 공통 게이트선

- <553> 68 : 스위치
- <554> 91 : 저항
- <555> 92 : 연산 증폭기
- <556> 93 : 트랜지스터
- <557> 94 : 저항
- <558> 95 : 전압 조정부
- <559> 96 : 전원선
- <560> 97 : 절환 수단 (스위치)
- <561> 98 : 전자 볼륨
- <562> 99 : 기준 전류선
- <563> 111, 112 : 표시 영역
- <564> 169 : 인가 판정부
- <565> 151 : 부유 용량
- <566> 152 : 전류원
- <567> 252 : 펠스 선택부
- <568> 253a, 253d, 253f : 전압 인가 선택부
- <569> 255a, 255b : 전류 출력부
- <570> 256 : 전류 프리차지 펠스군
- <571> 258 : 전압 프리차지 펠스
- <572> 311 : 타이밍 펠스
- <573> 313 : 분주 회로
- <574> 314 : 소스 드라이버 클럭
- <575> 317 : 카운터
- <576> 319 : 펠스 발생부
- <577> 323 : 프리차지 전압 발생부
- <578> 324 : 전자 볼륨
- <579> 330 : EL 캐소드 전원
- <580> 333 : 제어 장치
- <581> 337 : 기억 수단
- <582> 381, 382 : 영역
- <583> 384 : 래치부
- <584> 323 : 프리차지 전압 발생부
- <585> 402 : 후 데이터 삽입부
- <586> 403 : 감마 보정 회로
- <587> 406 : 프리차지 플래그
- <588> 420 : 스타트 펠스

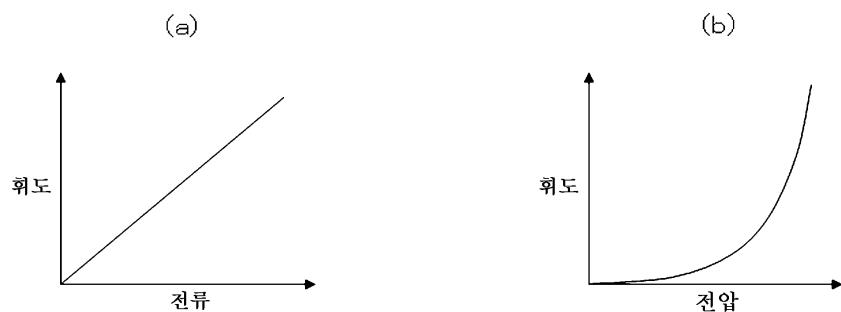
- <589> 421 : 전원 제어선  
<590> 422 : ROM  
<591> 423 : 동기 신호  
<592> 424 : 영상 신호  
<593> 425 : 전원선 (배터리 출력 등)  
<594> 426 : 전원 회로  
<595> 427 : 게이트 선  
<596> 428 : 게이트 드라이버 제어선  
<597> 429 : 영상 신호선  
<598> 430 : 시프트 방향 제어  
<599> 471, 472, 531, 551 : 셀렉터  
<600> 473 : 표시 데이터  
<601> 474 : 기준 전류선  
<602> 475 : 표시 색 절환 신호  
<603> 491 : 트랜지스터  
<604> 511 : 게이트 신호 인에이블 회로  
<605> 514 : 디코드부  
<606> 541 : 펠스 발생부  
<607> 601 : 본체  
<608> 602 : 촬영부  
<609> 603 : 셔터 스위치  
<610> 604 : 파인더  
<611> 605, 614 : 표시 패널  
<612> 611 : 안테나  
<613> 612 : 키  
<614> 613 : 케이스

도면

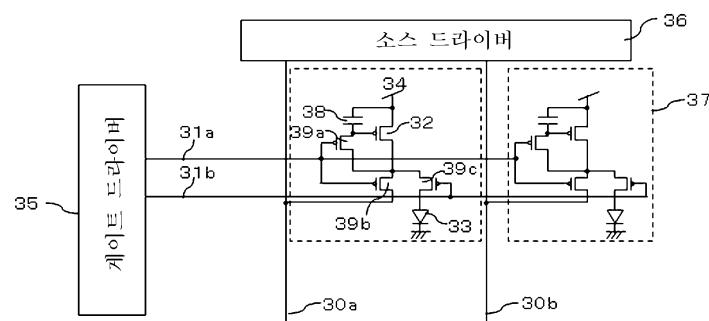
도면1



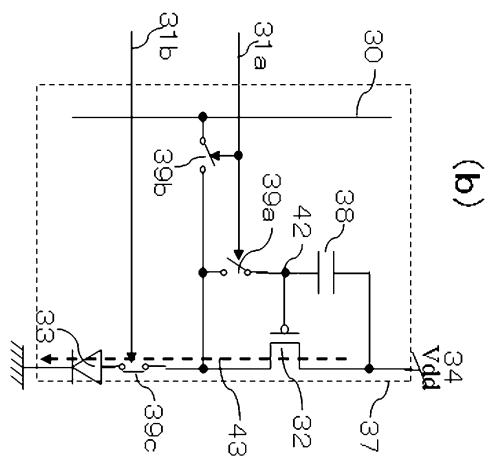
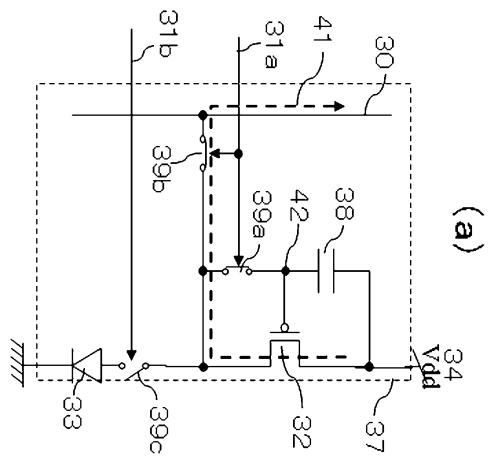
도면2



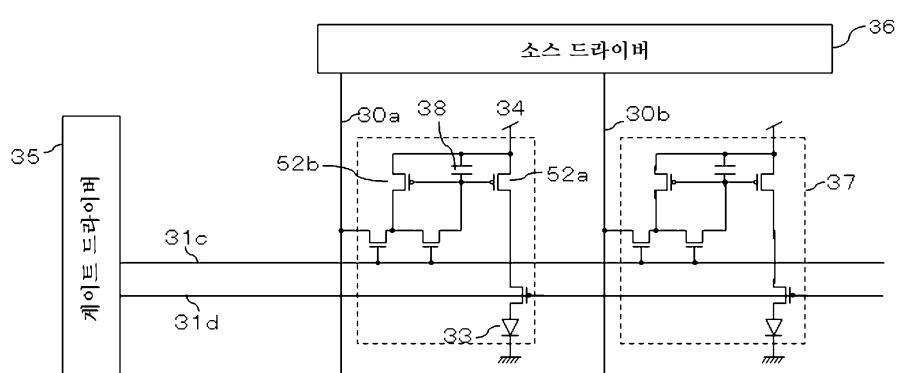
도면3



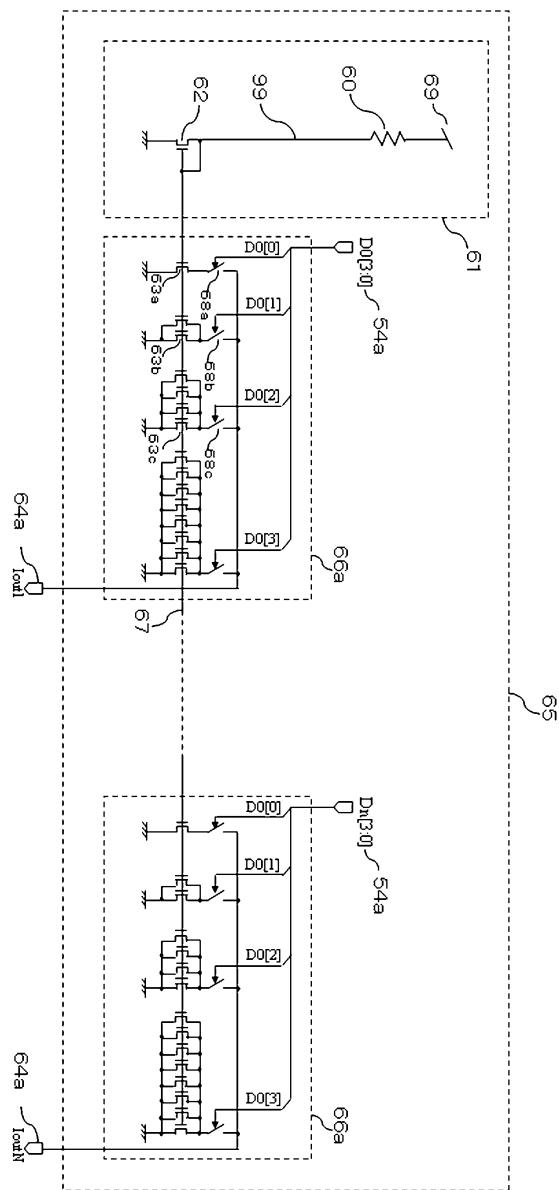
도면4



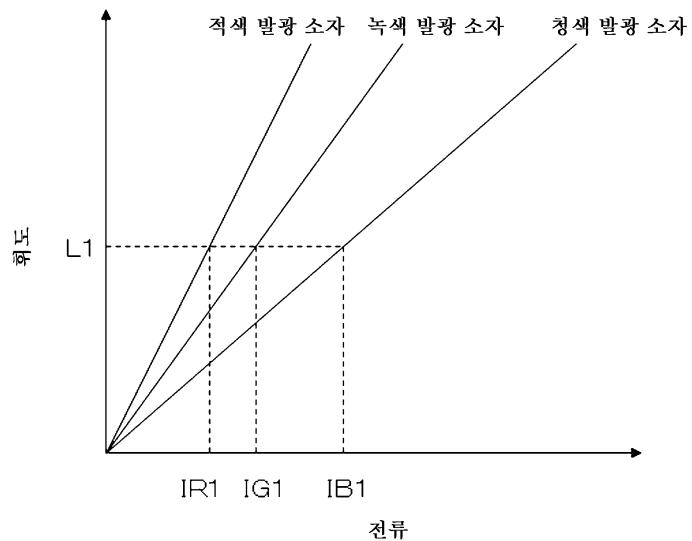
도면5



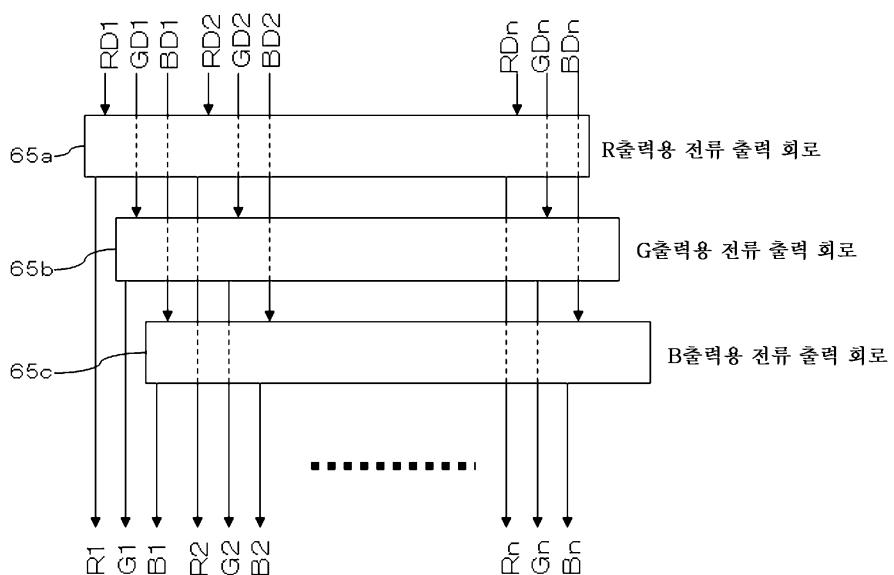
도면6



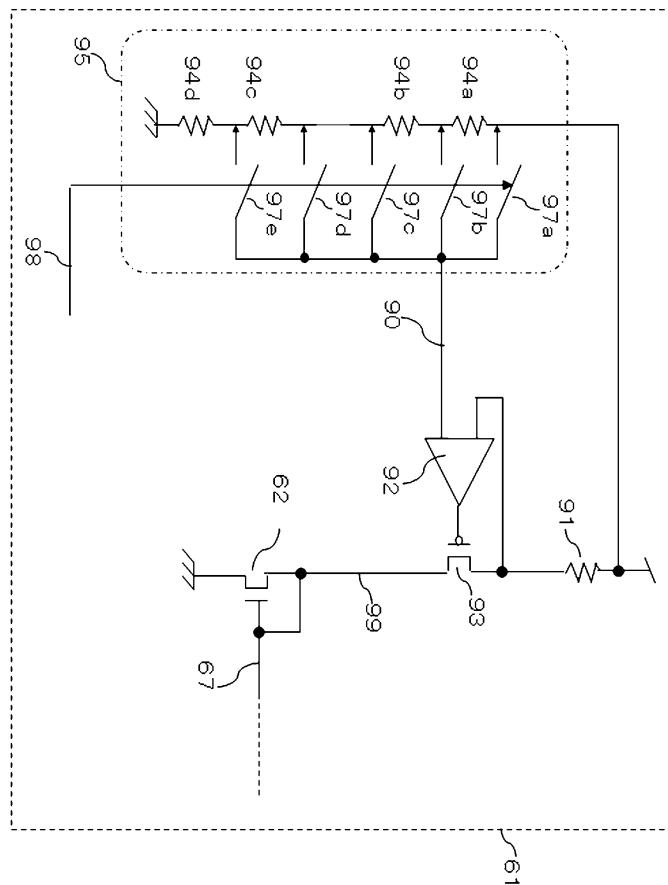
도면7



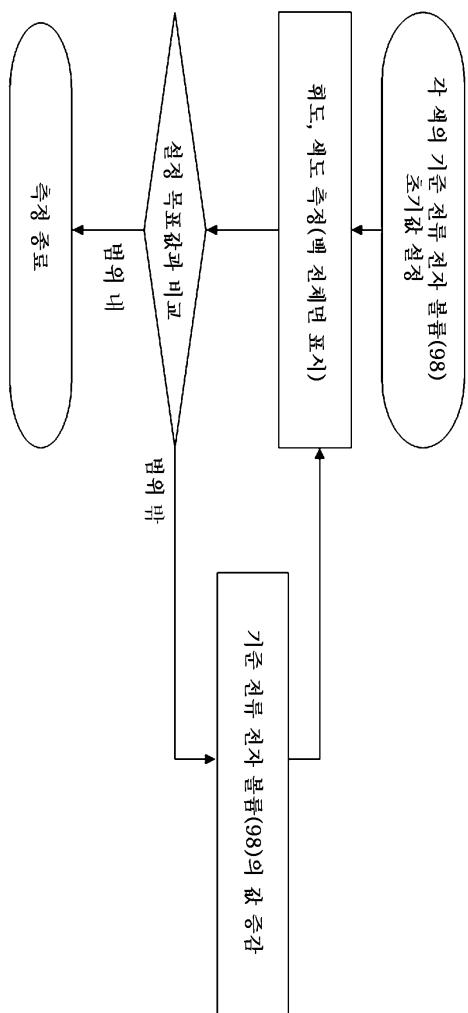
도면8



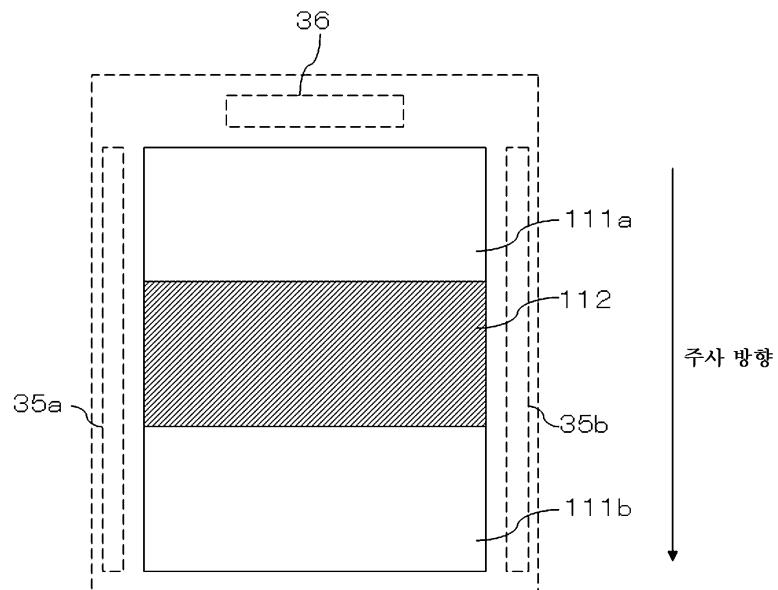
## 도면9



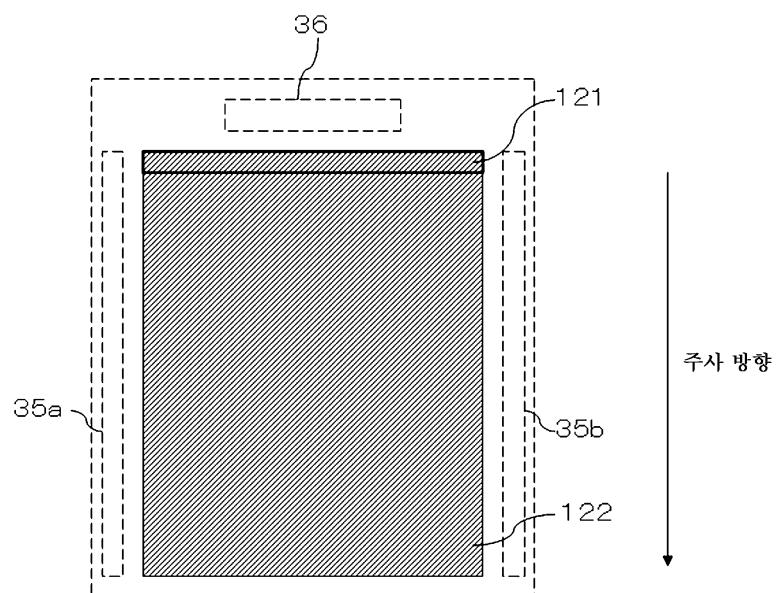
도면10



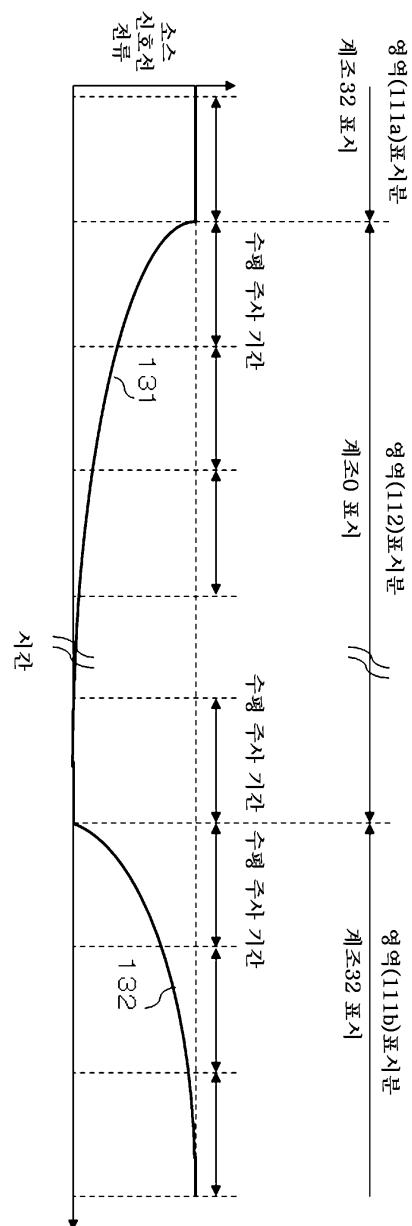
도면11



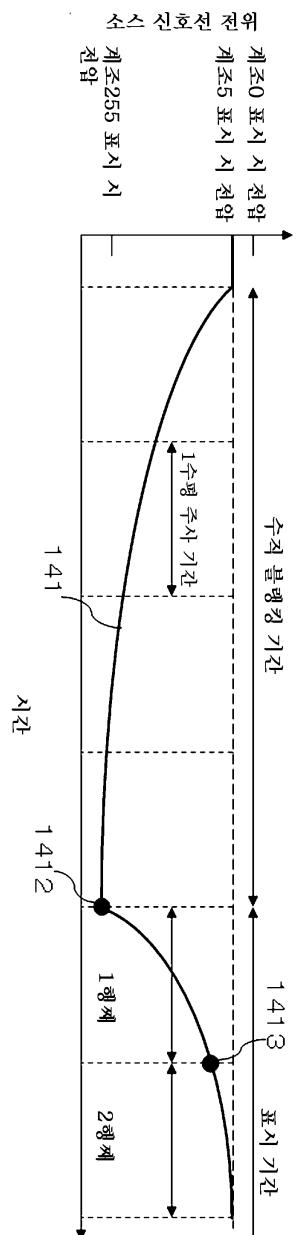
도면12



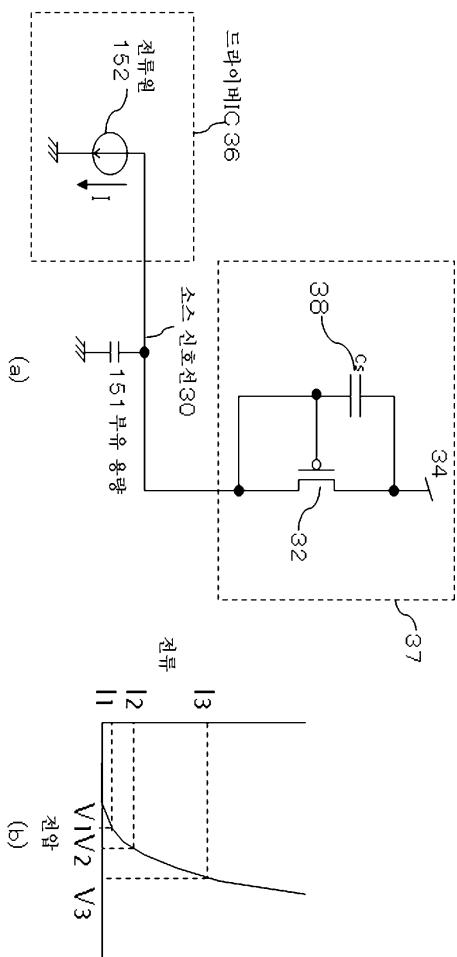
도면13



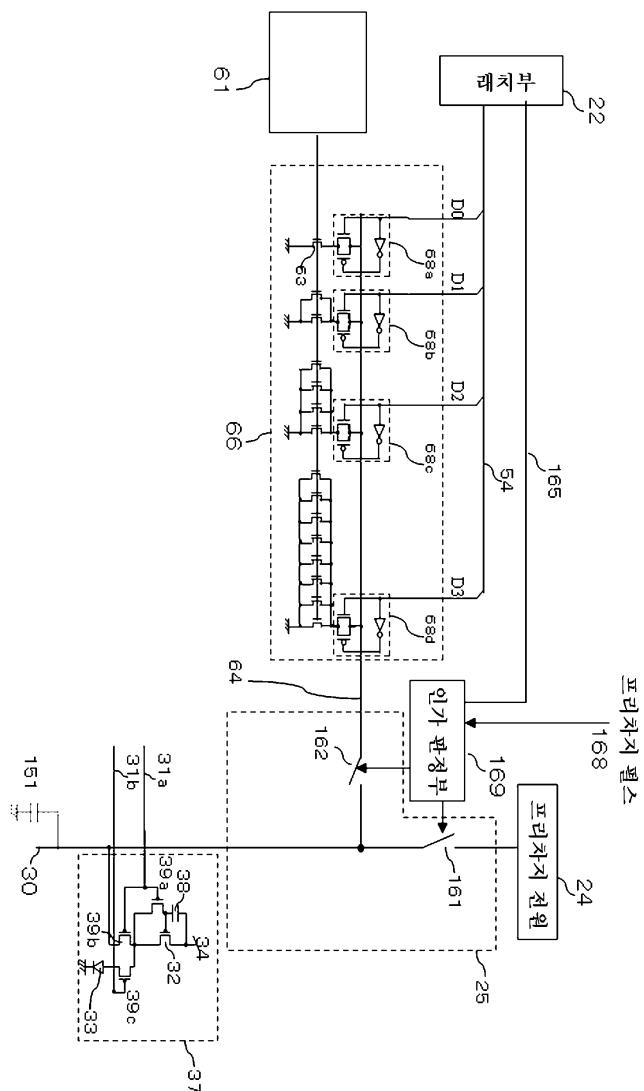
도면14



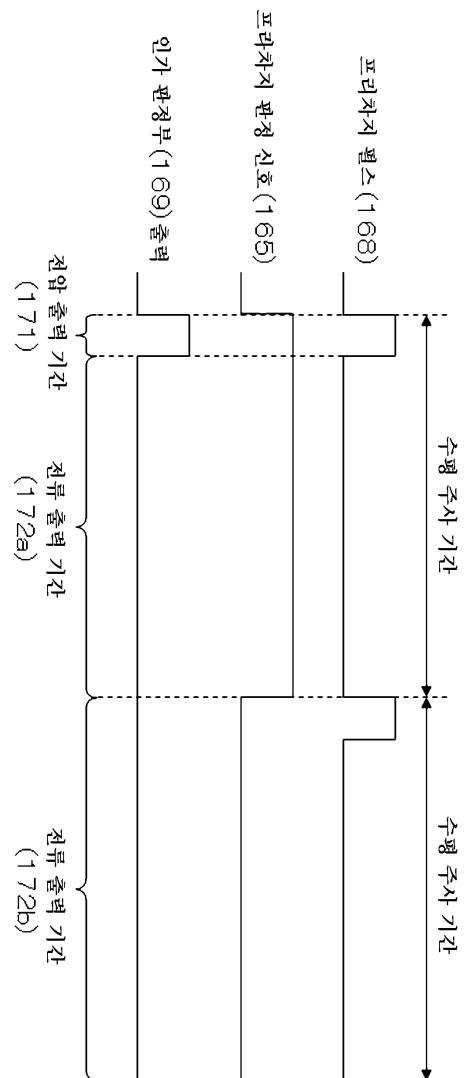
도면15



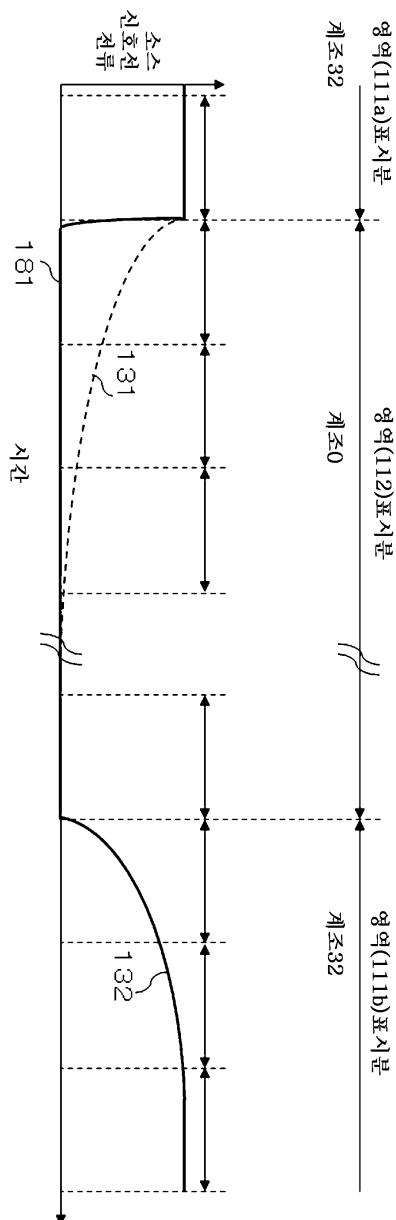
## 도면16

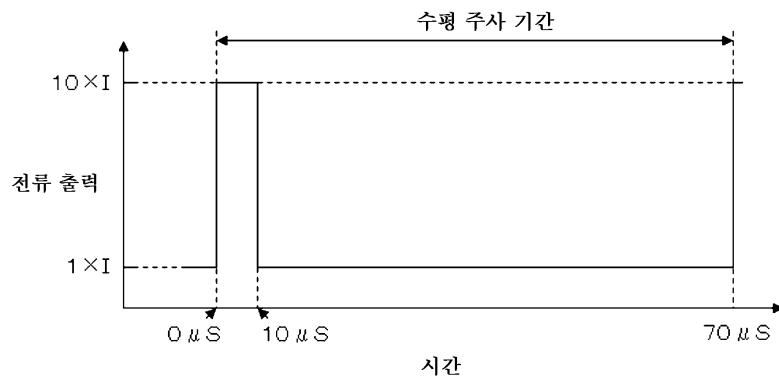
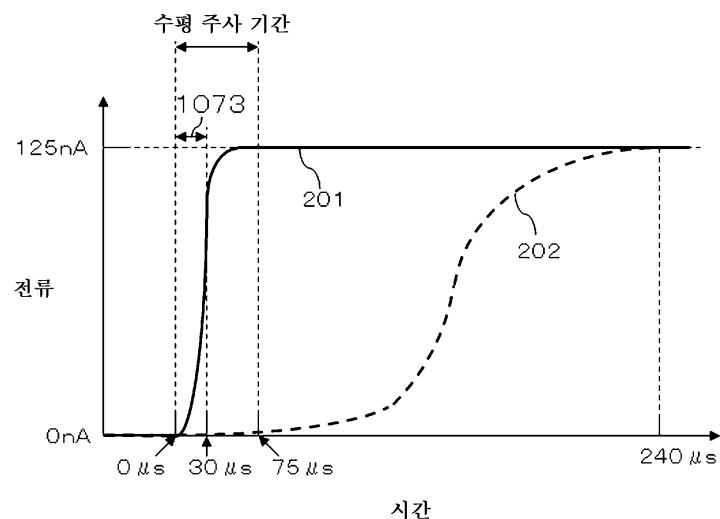
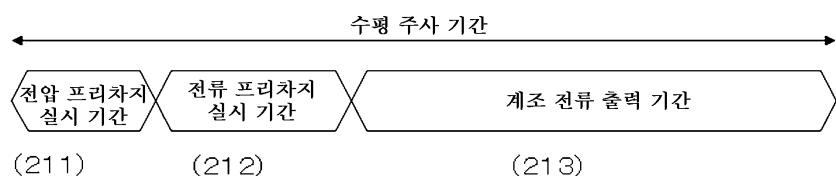


도면17

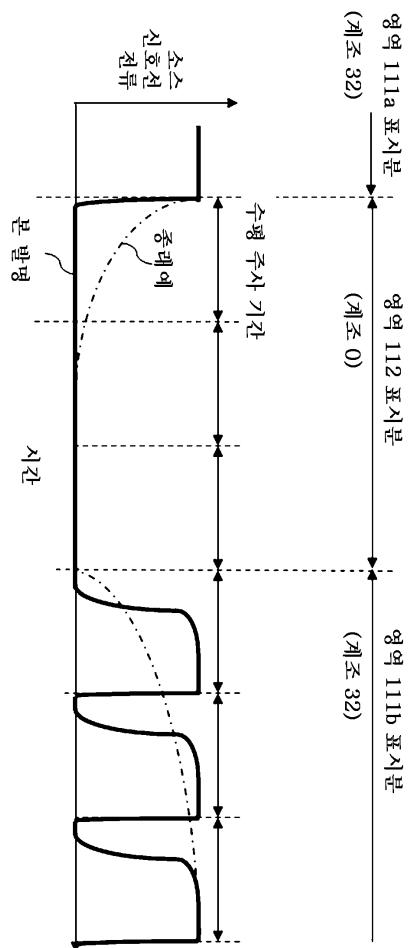


도면18

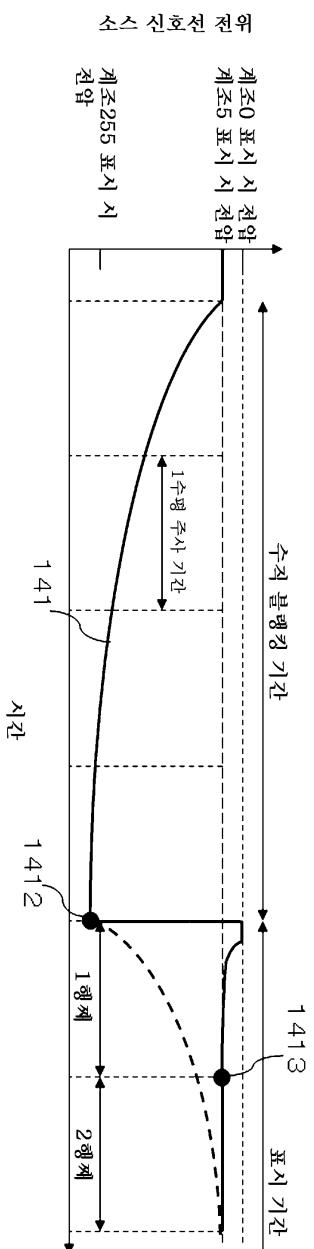


**도면19****도면20****도면21**

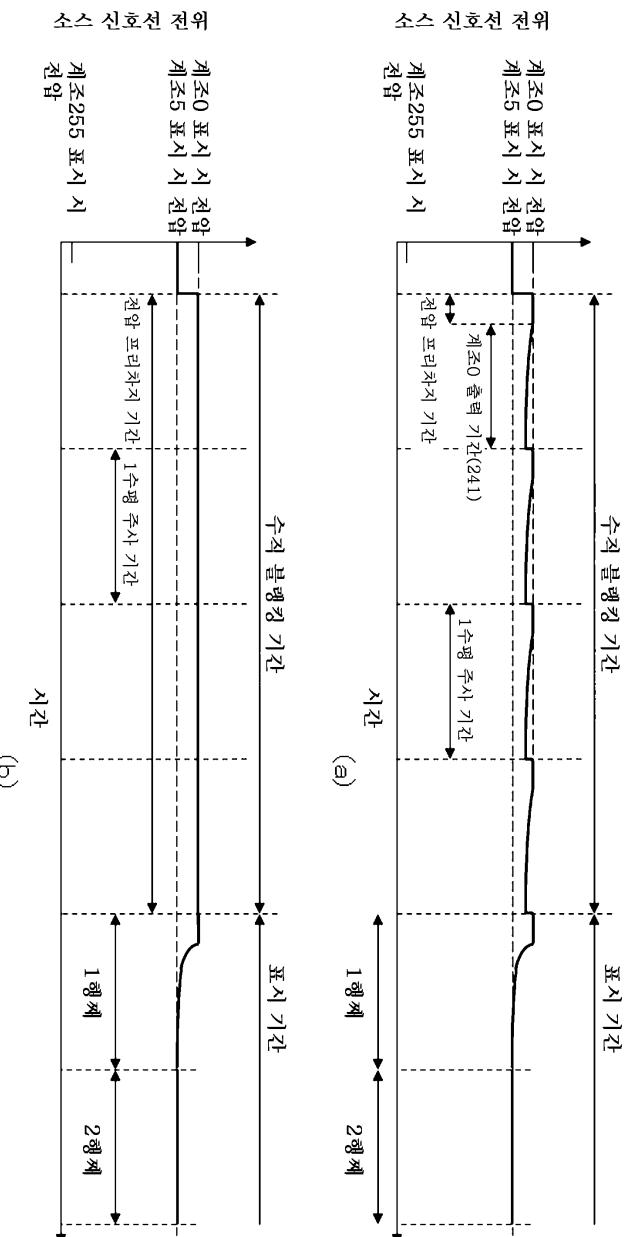
도면22



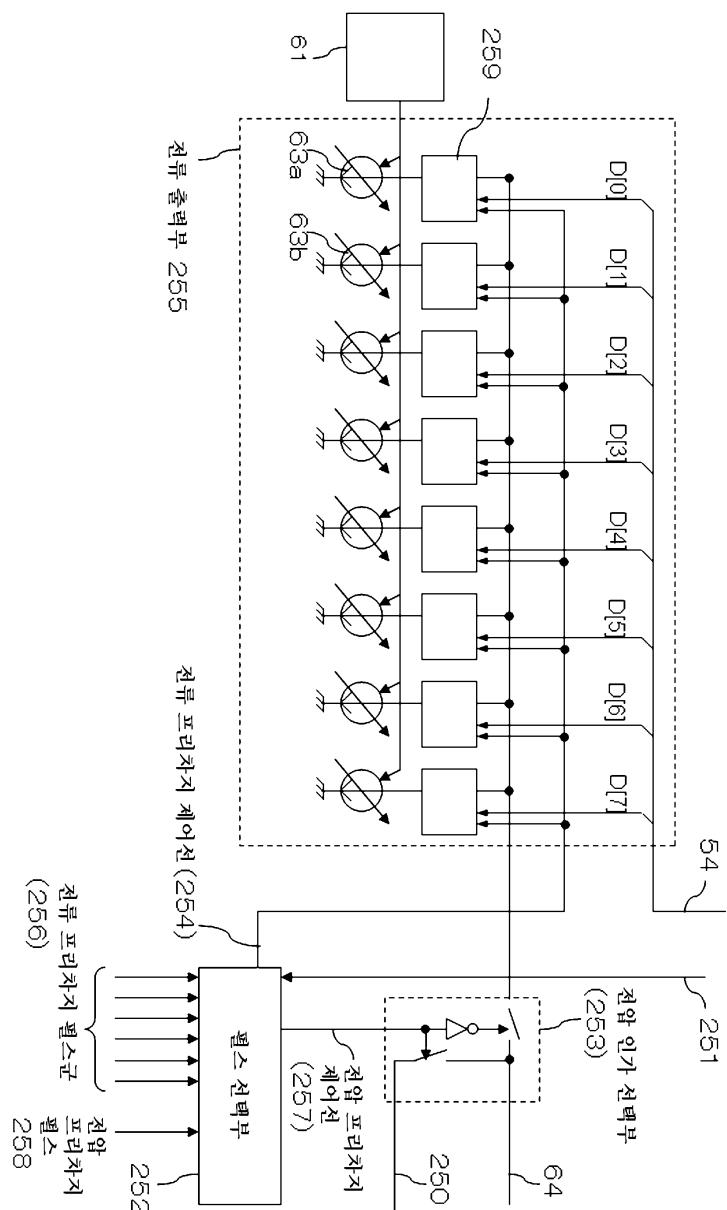
## 도면23



## 도면24



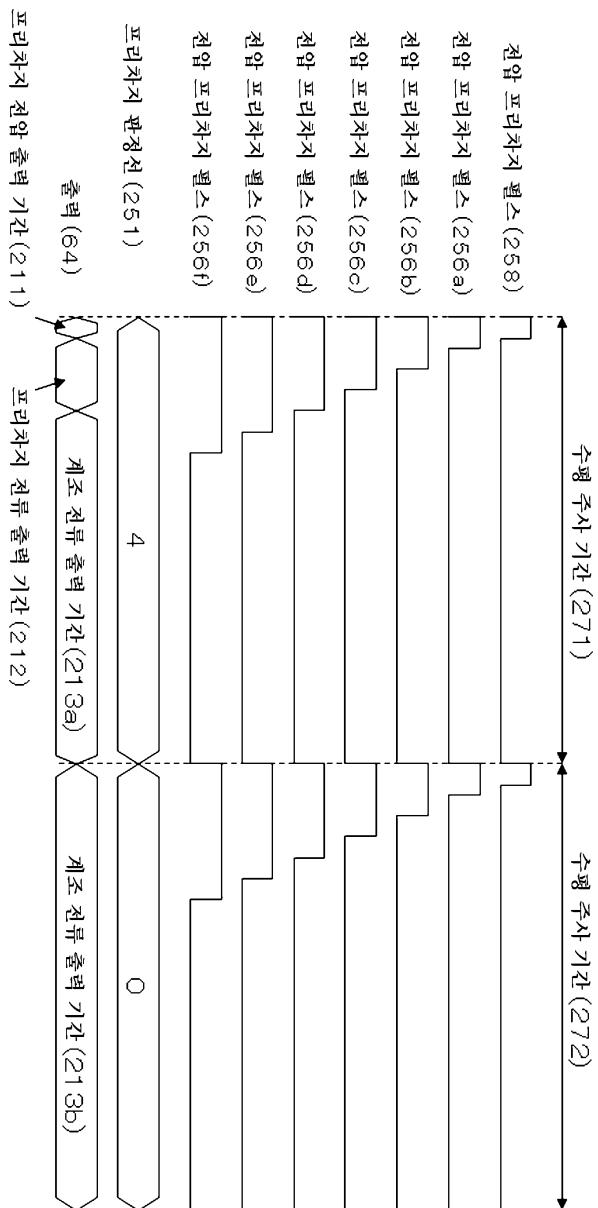
도면25



도면26

프리치지 판정선 (251)			천류 프리치지 제어선 (254)	천암 프리치지 제어선 (257)
최상위 비트	한가운데 비트	최하위 비트		
○	○	○	향상 “L” 레벨	향상 “L” 레벨
○	○	1	256e 와 동일	258 와 동일
○	1	○	256b 와 동일	258 와 동일
○	1	1	256c 와 동일	258 와 동일
1	○	○	256d 와 동일	258 와 동일
1	○	1	256e 와 동일	258 와 동일
1	1	○	256f 와 동일	258 와 동일
1	1	1	향상 “L” 레벨	258 와 동일

도면27



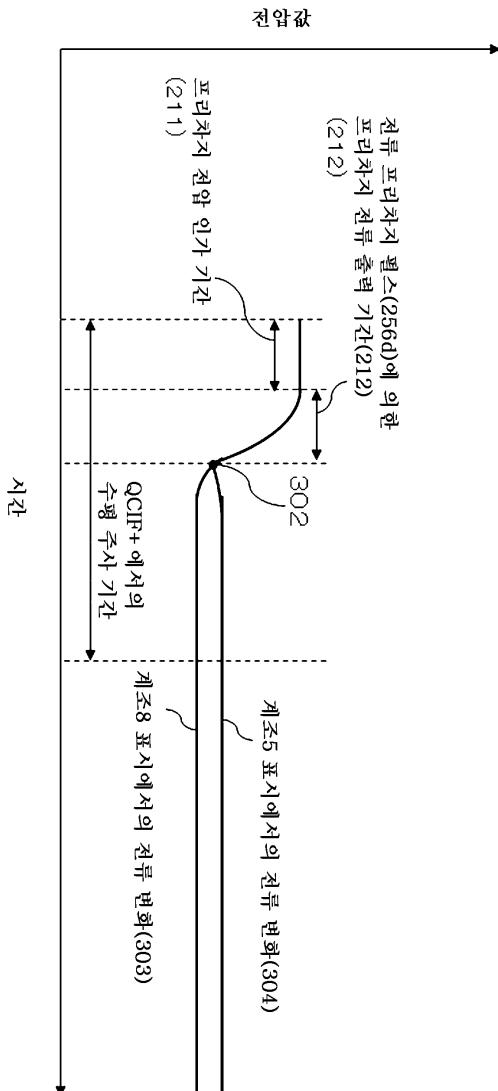
도면28

제조	사용하는 프리차지 펠스
0	전압-프리차지 펠스 (258)
1	전압-프리차지 펠스 (258)와 전류-프리차지 펠스 (256a)
2	전압-프리차지 펠스 (258)과 전류-프리차지 펠스 (256b)
3, 4	전압-프리차지 펠스 (258)과 전류-프리차지 펠스 (256c)
5~8	전압-프리차지 펠스 (258)과 전류-프리차지 펠스 (256d)
9~15	전압-프리차지 펠스 (258)과 전류-프리차지 펠스 (256e)
16~102	전압-프리차지 펠스 (258)과 전류-프리차지 펠스 (256f)
103 이상	없음

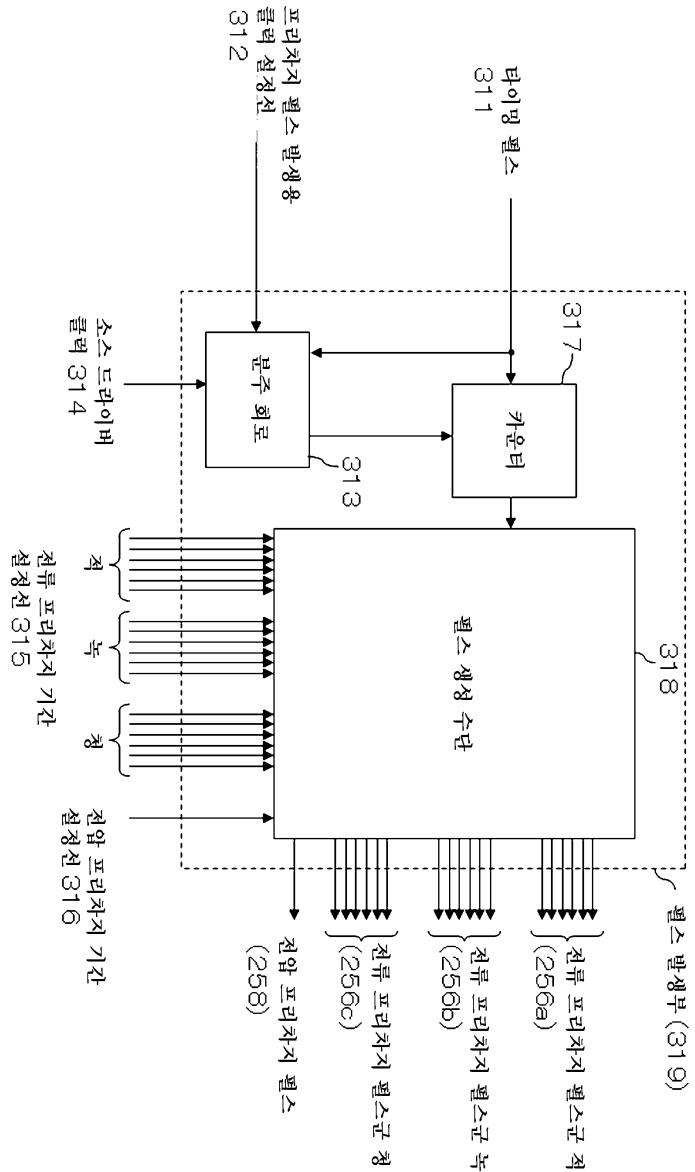
도면29

전류-프리차지 펠스	프리차지 전류 출력 기간
256a	14 $\mu$ s
256b	20 $\mu$ s
256c	22. 5 $\mu$ s
256d	25 $\mu$ s
256e	28 $\mu$ s
256f	30 $\mu$ s

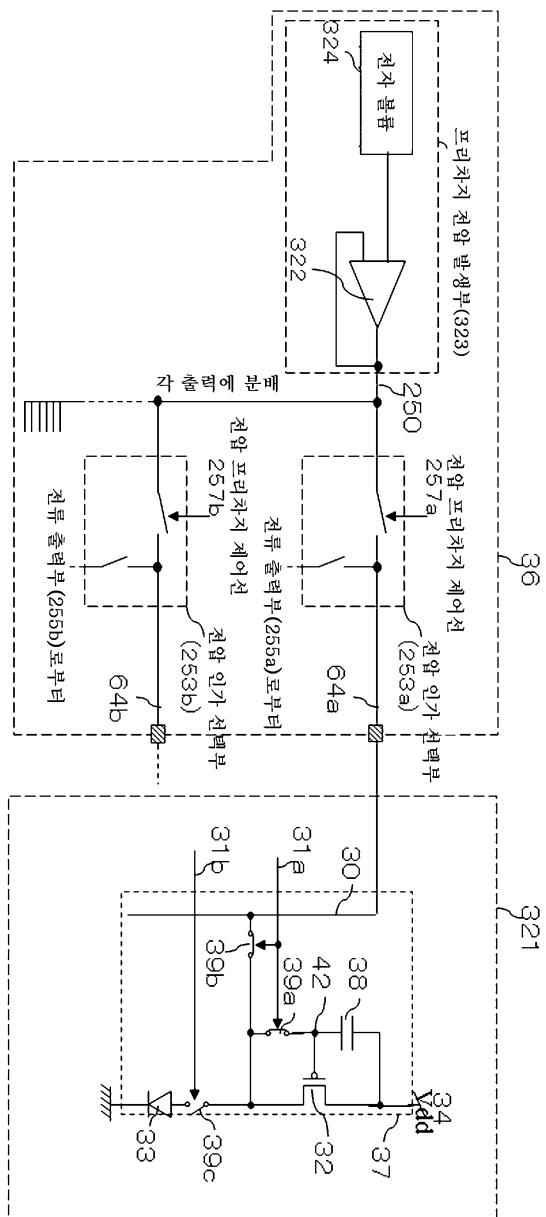
## 도면30



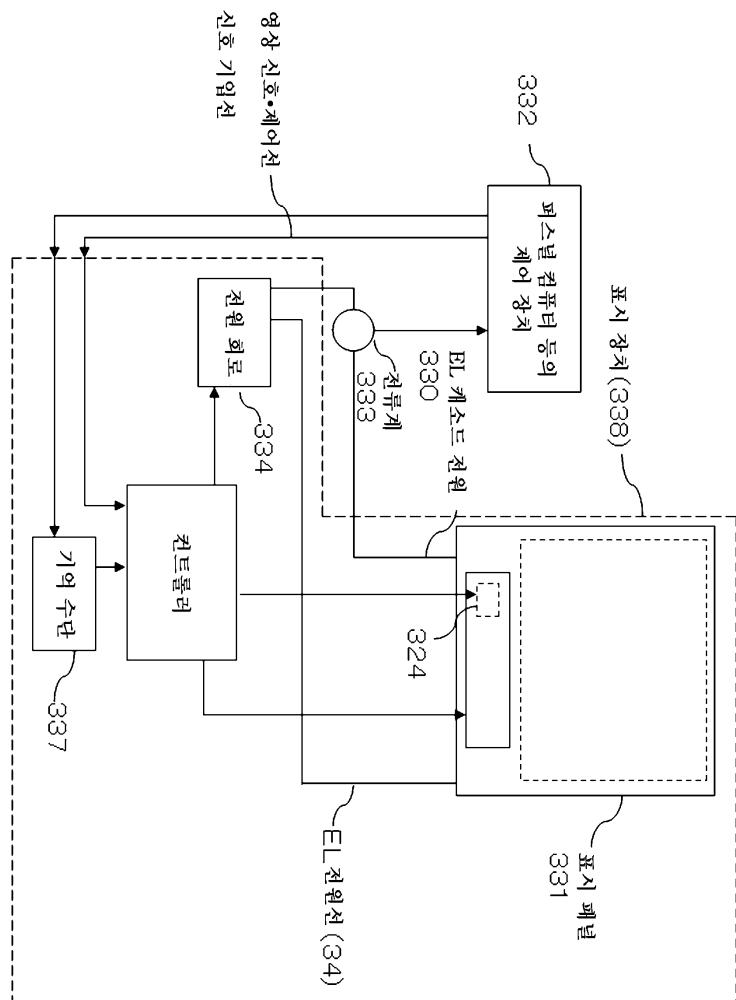
도면31



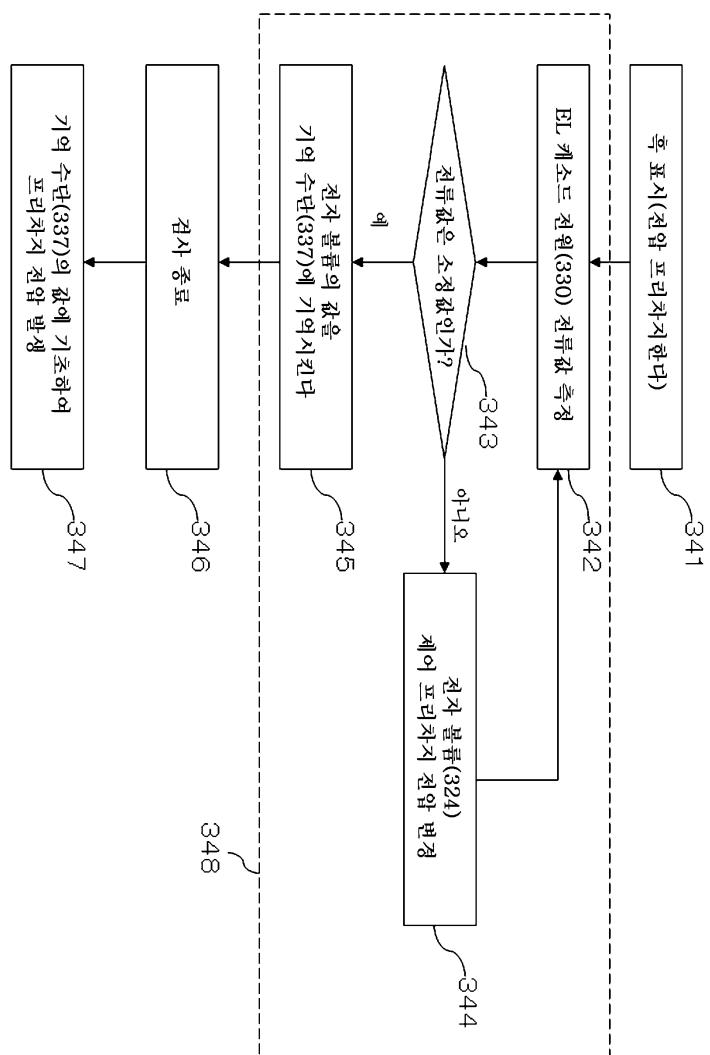
도면32



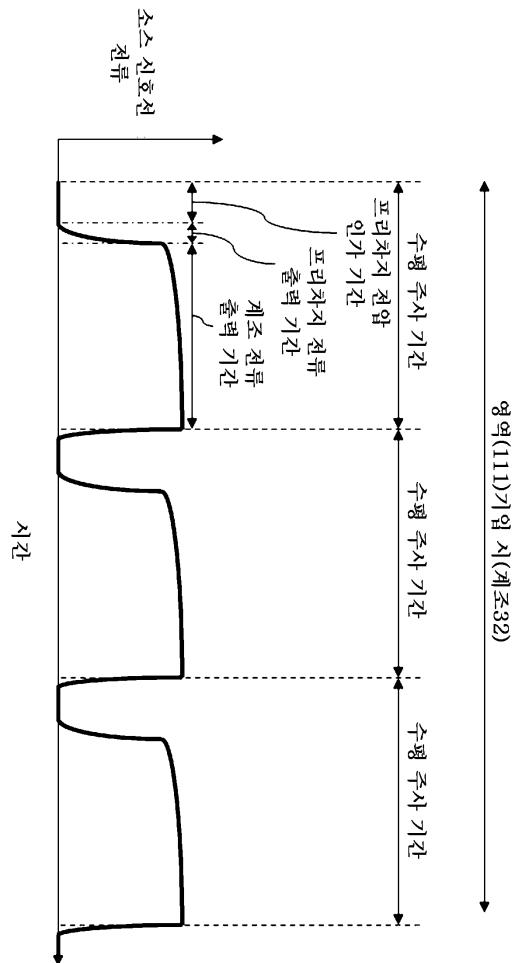
### 도면33



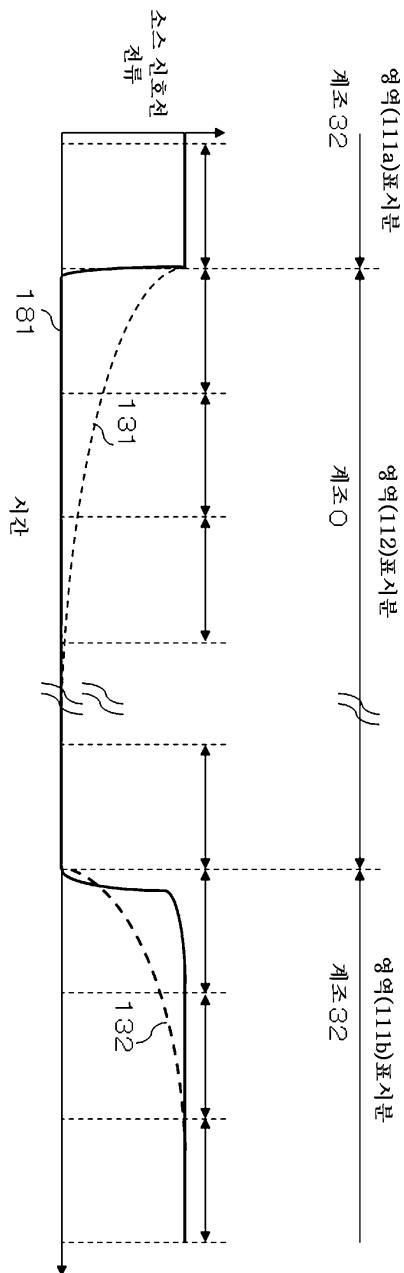
도면34



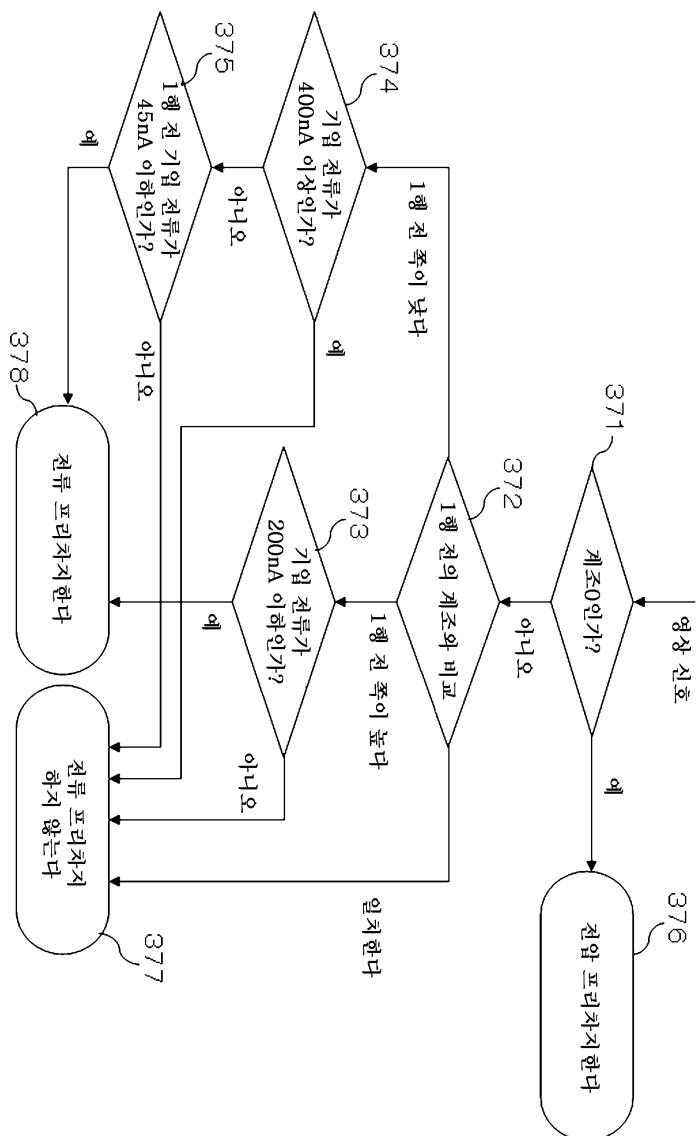
도면35



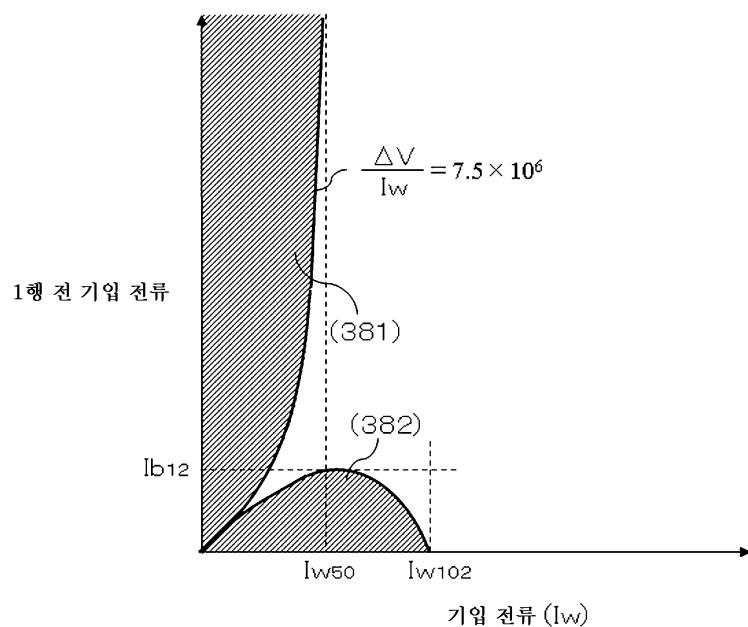
도면36



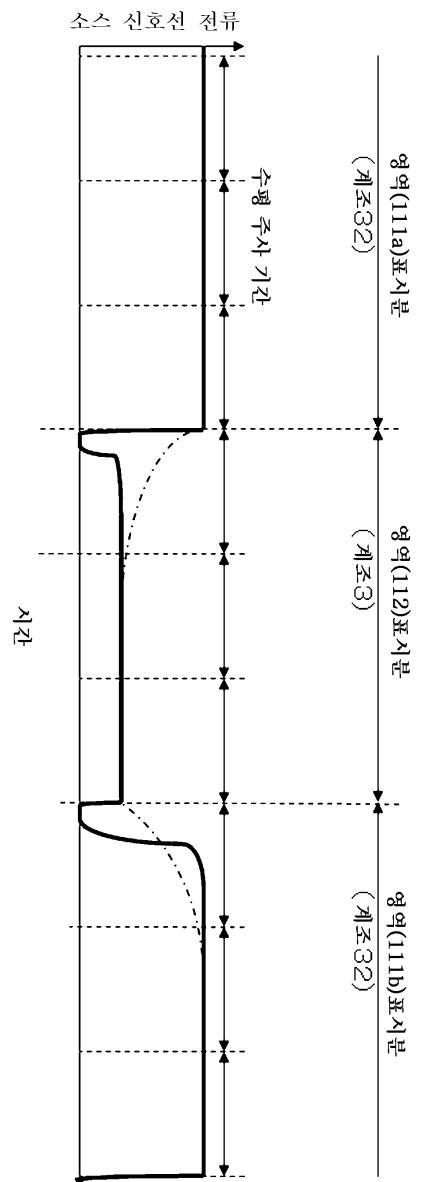
도면37



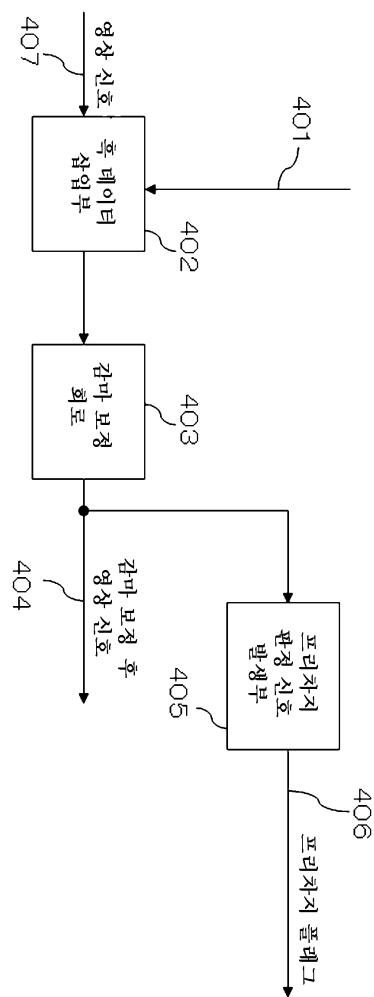
## 도면38



도면39



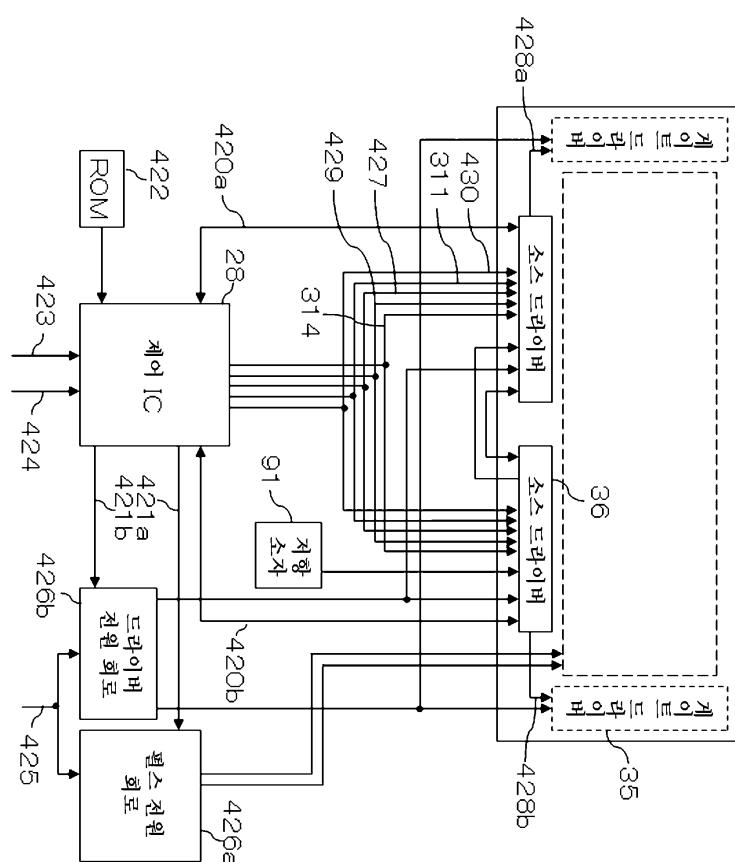
도면40



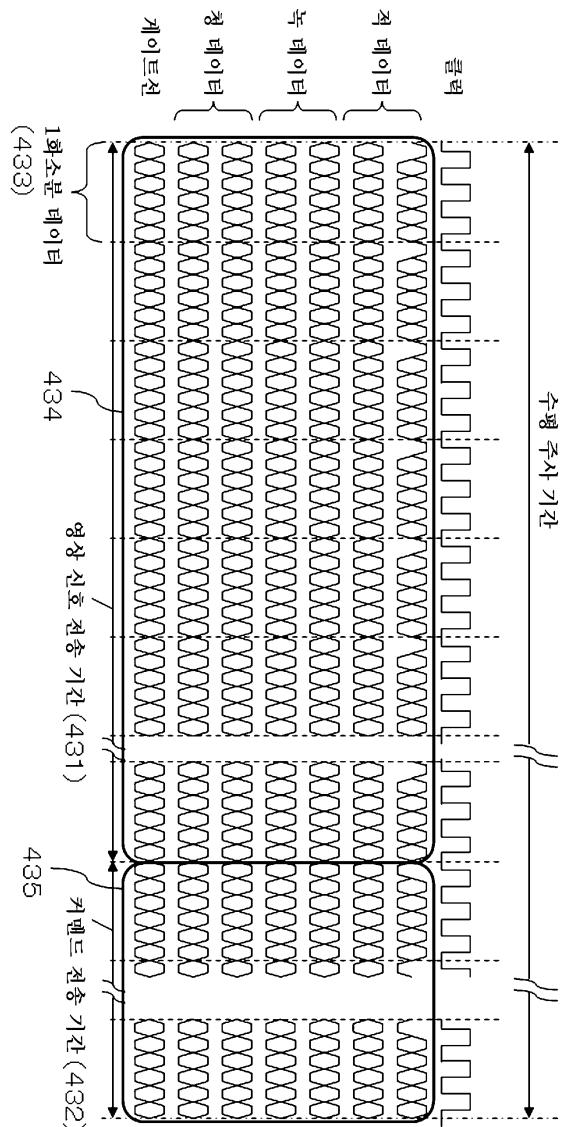
도면41

프리차지 동작의 판정	프리차지 판정 신호의 값
프리차지 없음	○
전류 프리차지1 실행	1
전류 프리차지2 실행	2
전류 프리차지3 실행	3
전류 프리차지4 실행	4
전류 프리차지5 실행	5
전류 프리차지6 실행	6
전압 프리차지 실행	7

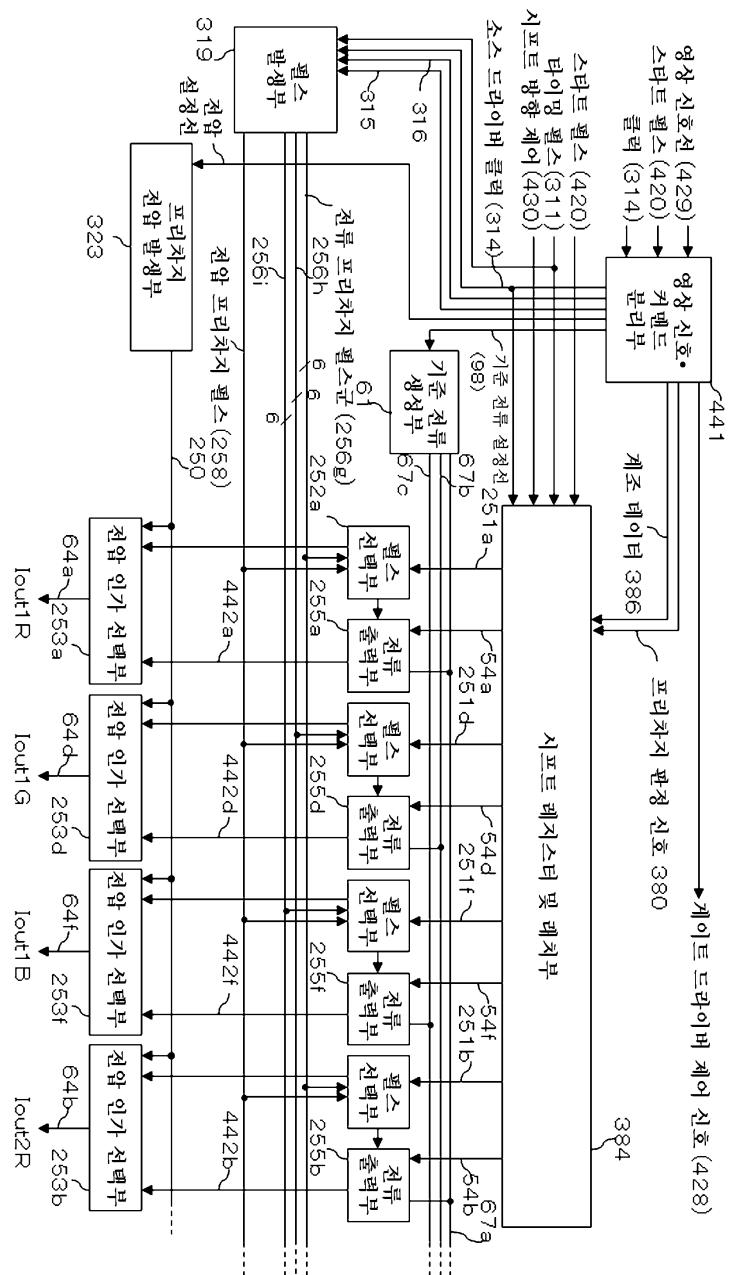
도면42



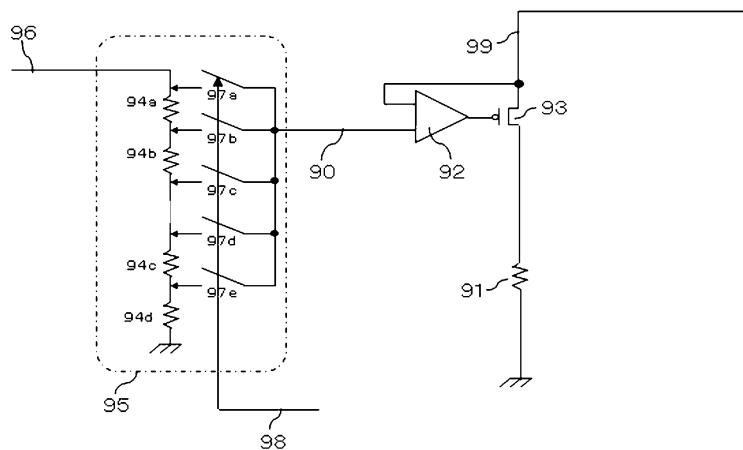
도면43



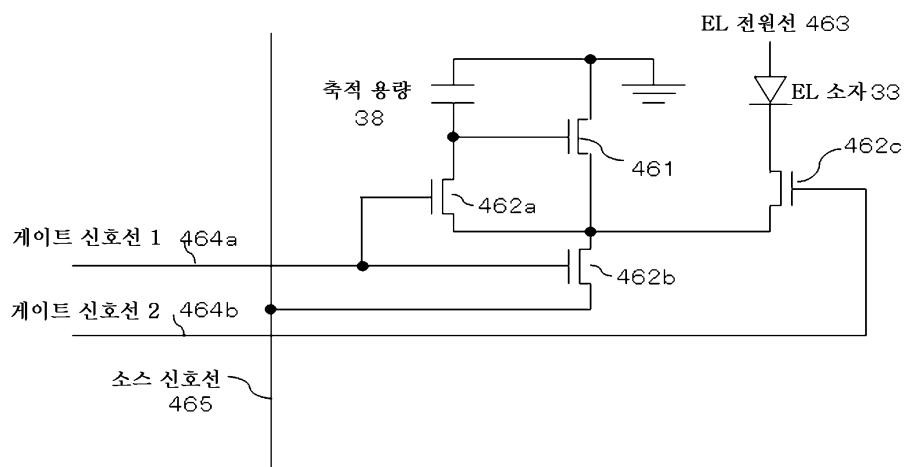
## 도면44



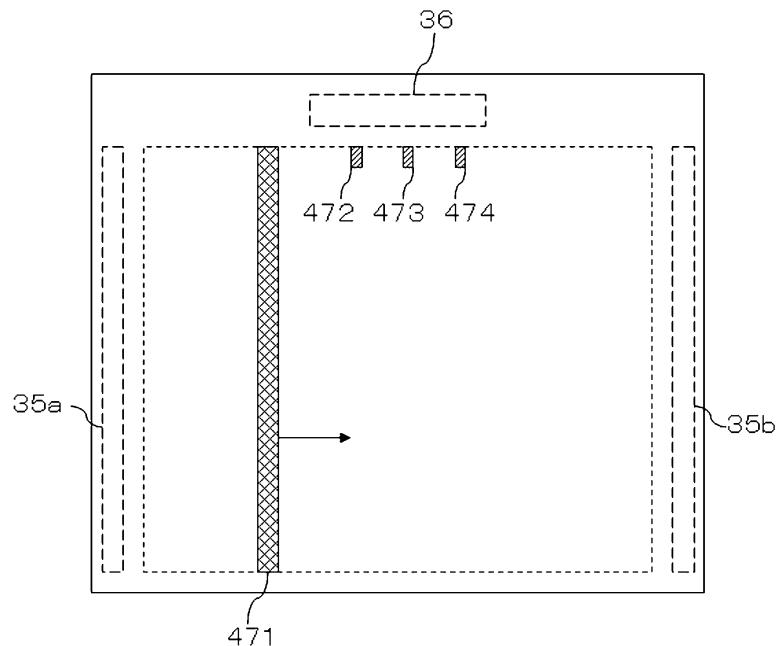
도면45



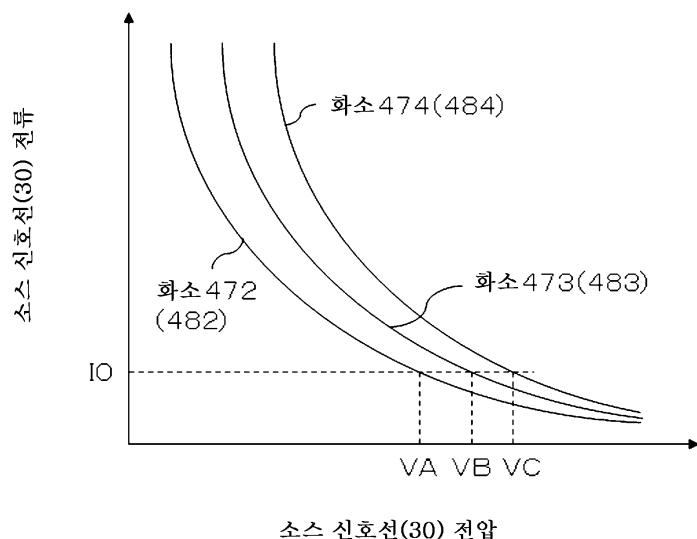
도면46



도면47

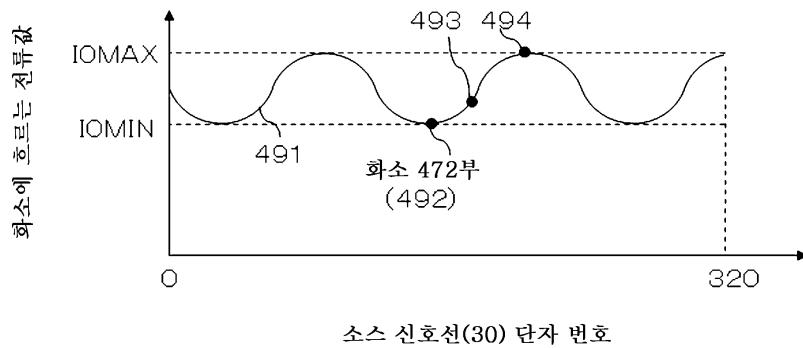


도면48

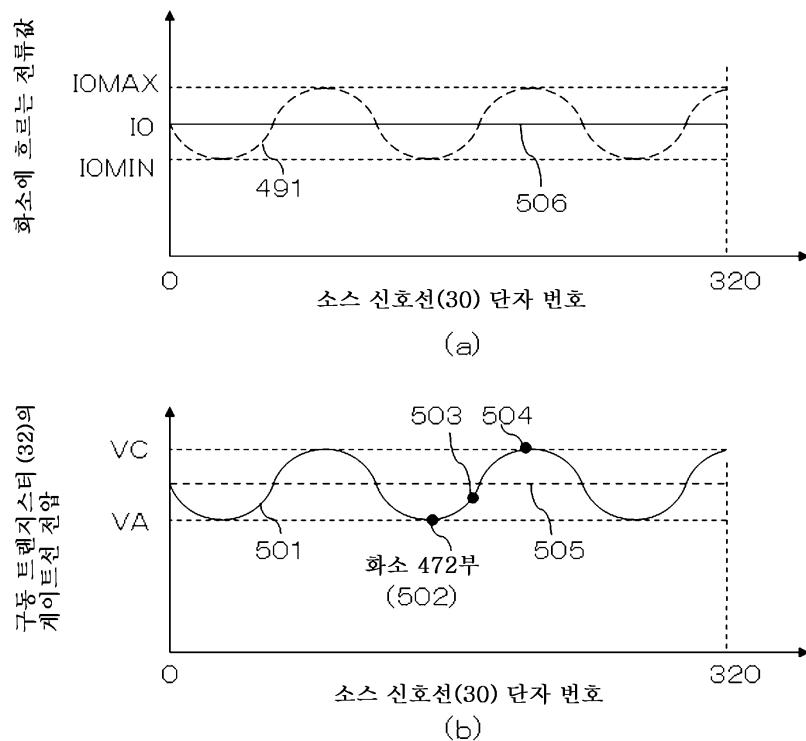


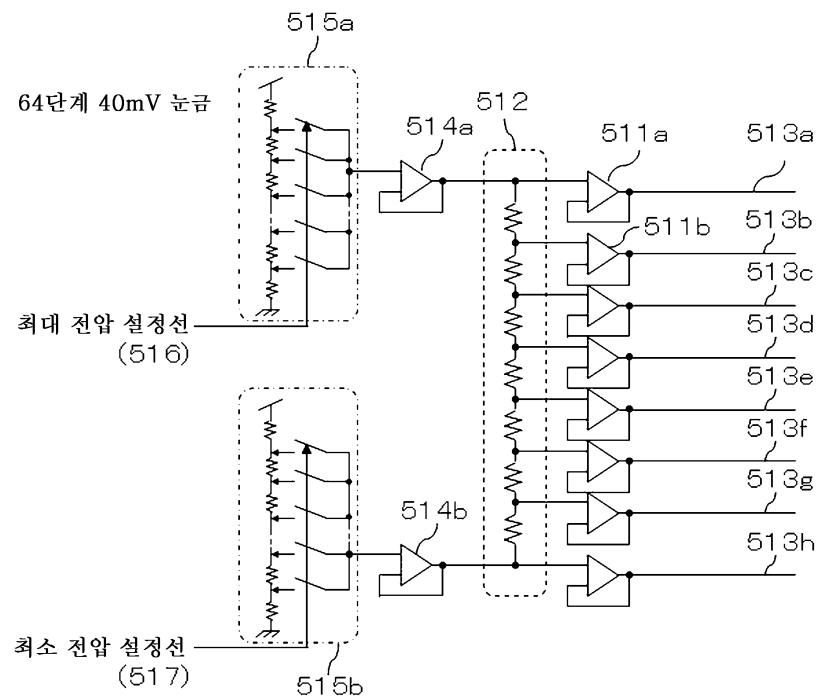
소스 신호선(30) 전압

도면49

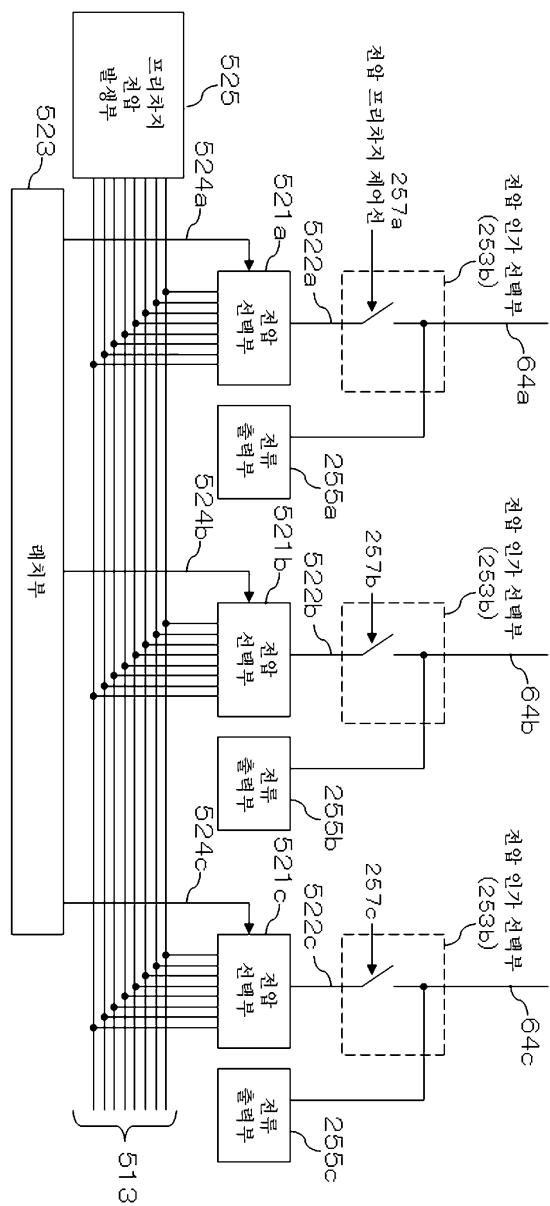


도면50

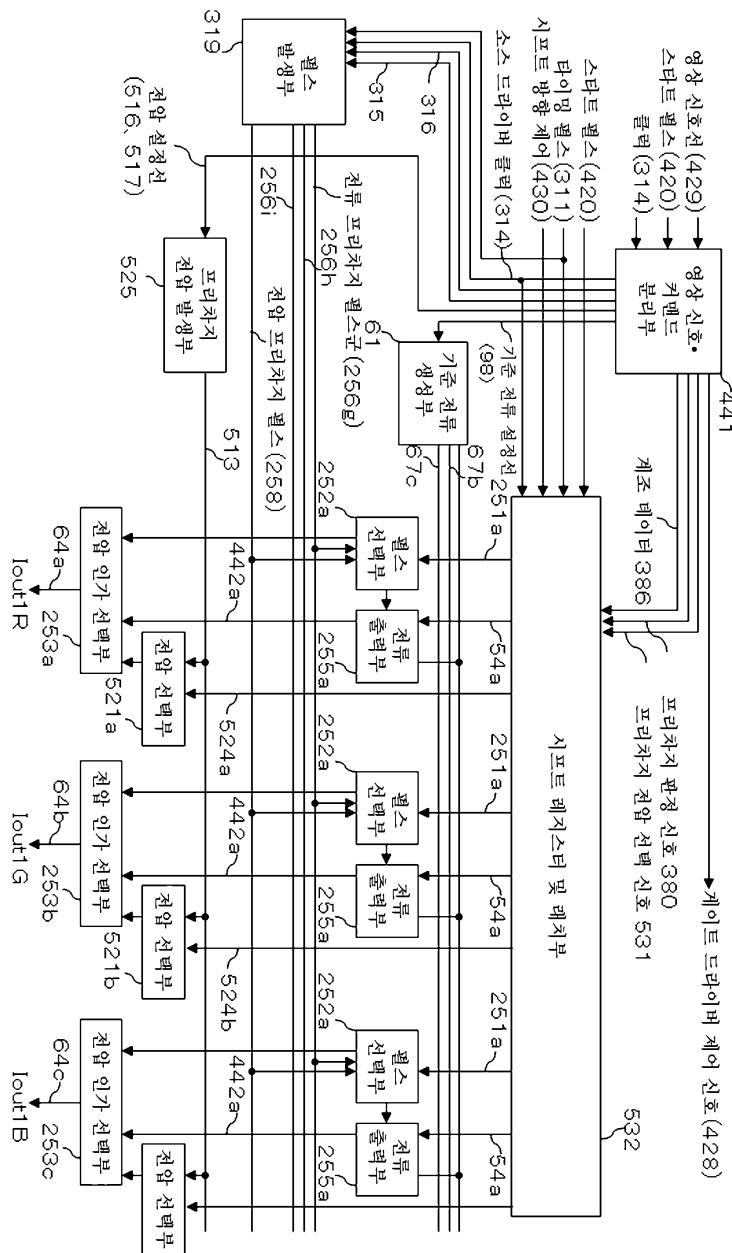


**도면51**

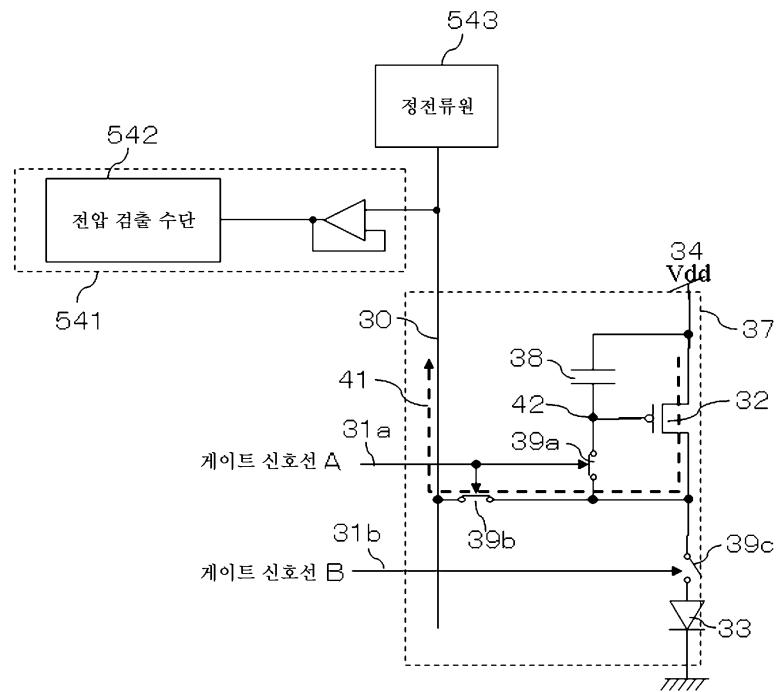
도면52



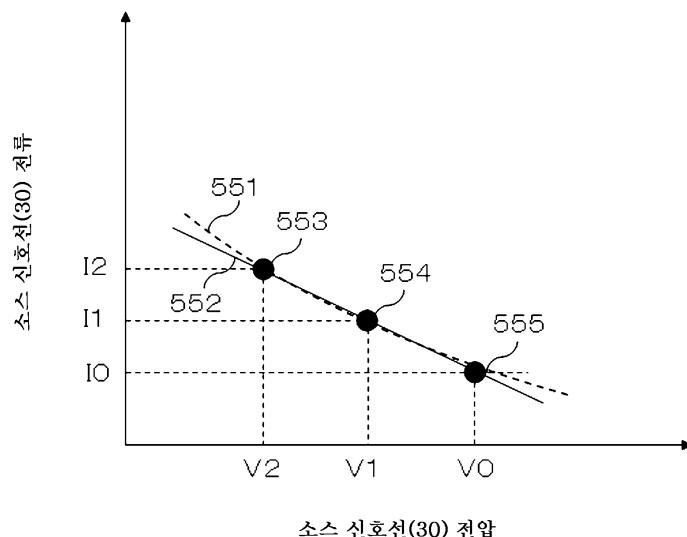
도면53



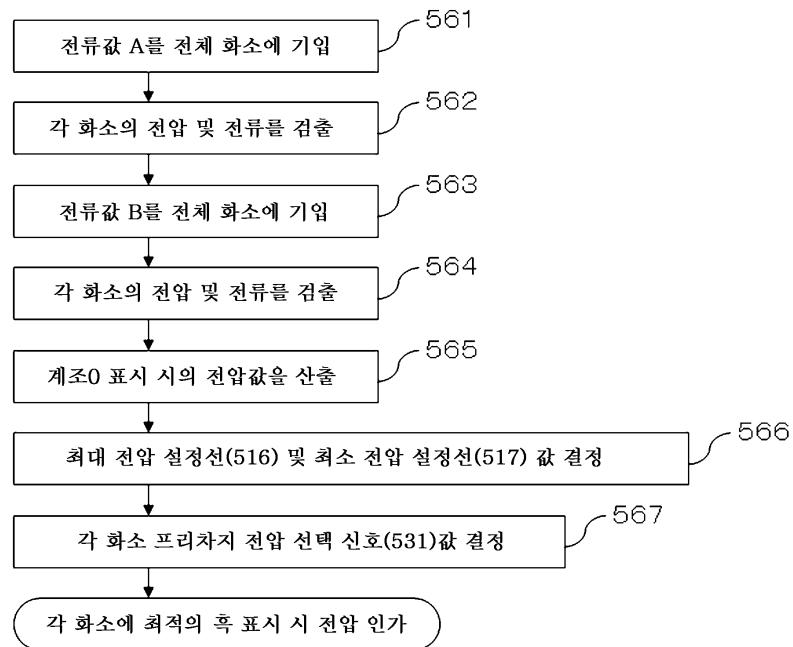
도면54



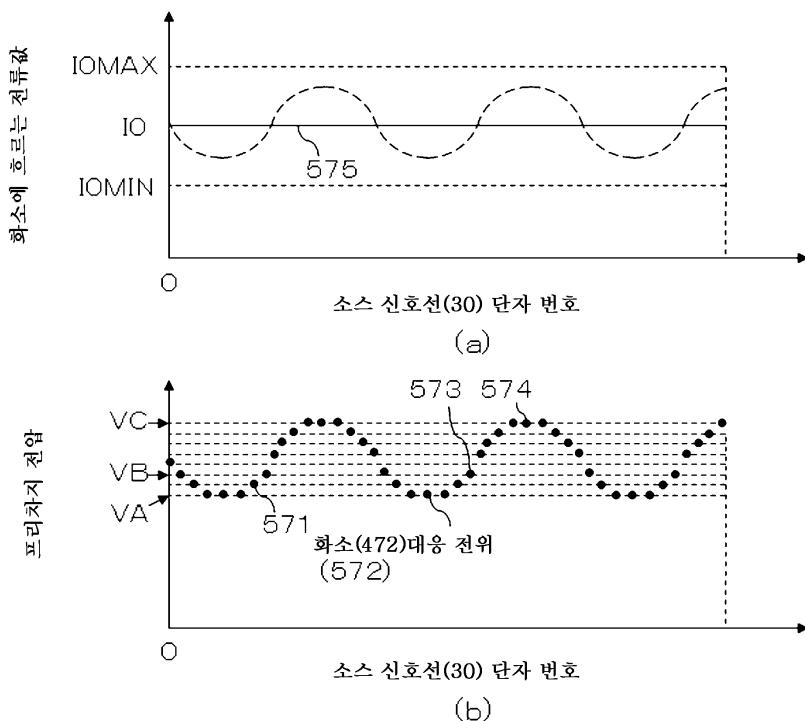
도면55



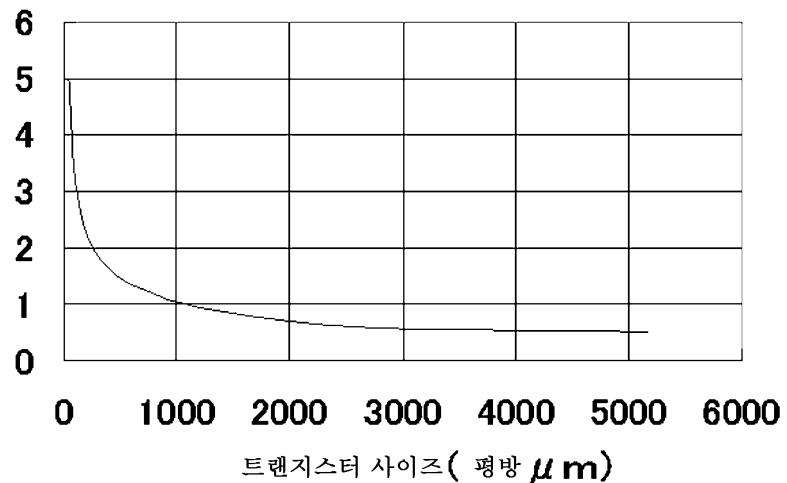
## 도면56



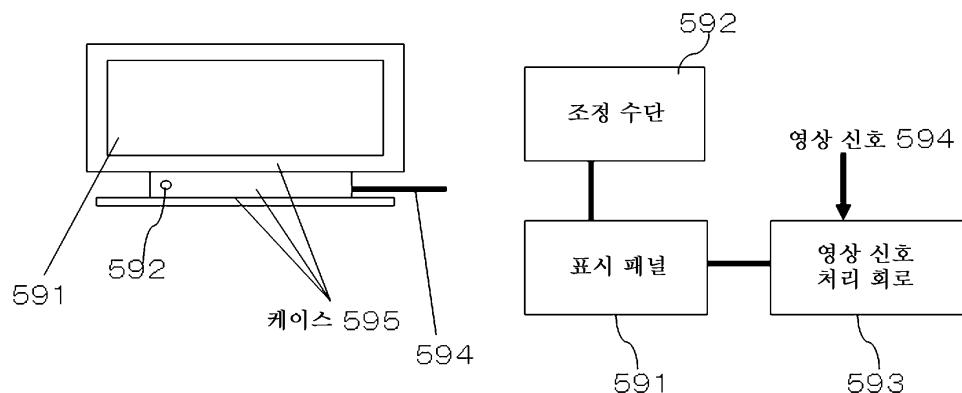
## 도면57



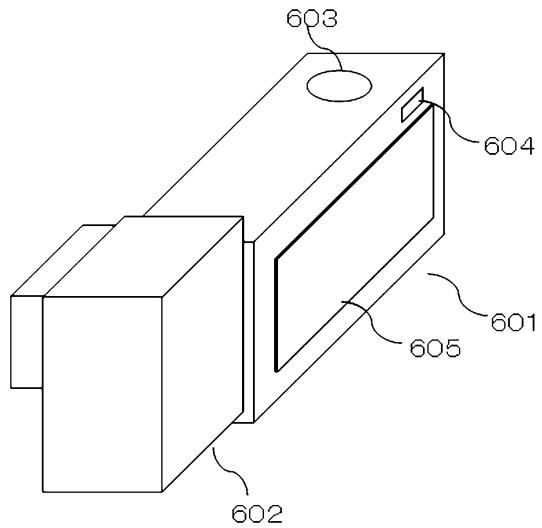
도면58



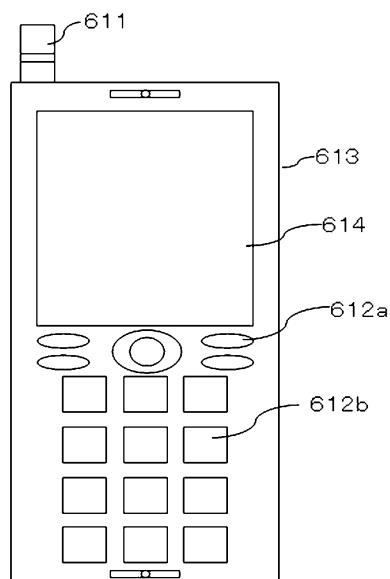
도면59



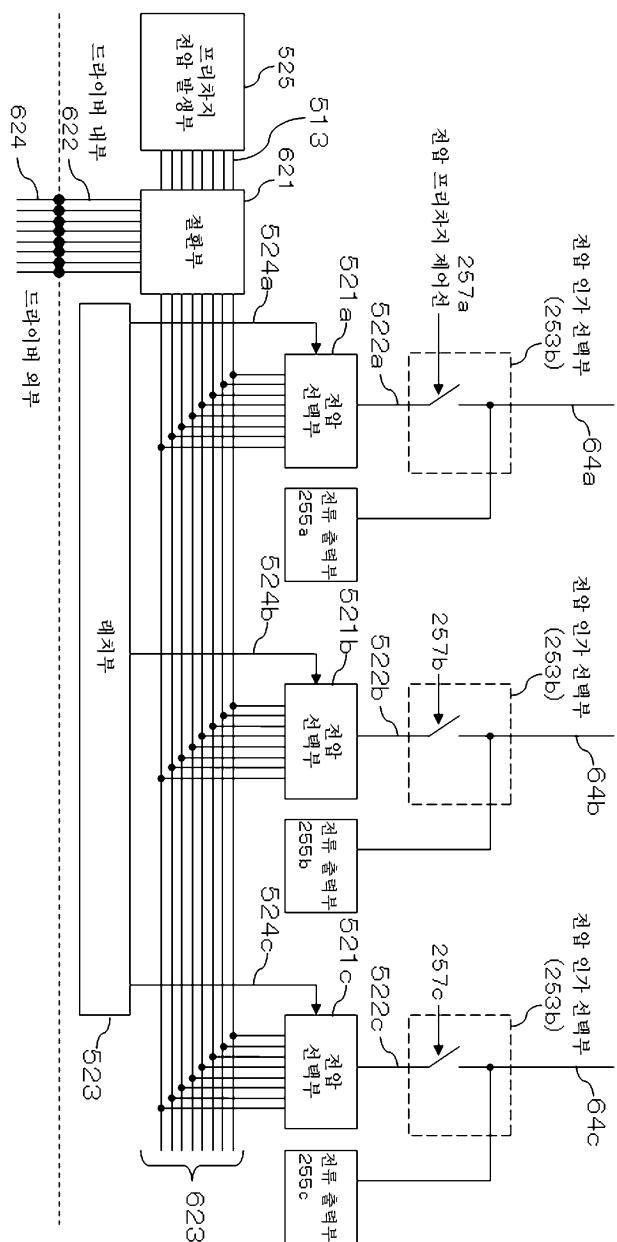
도면60



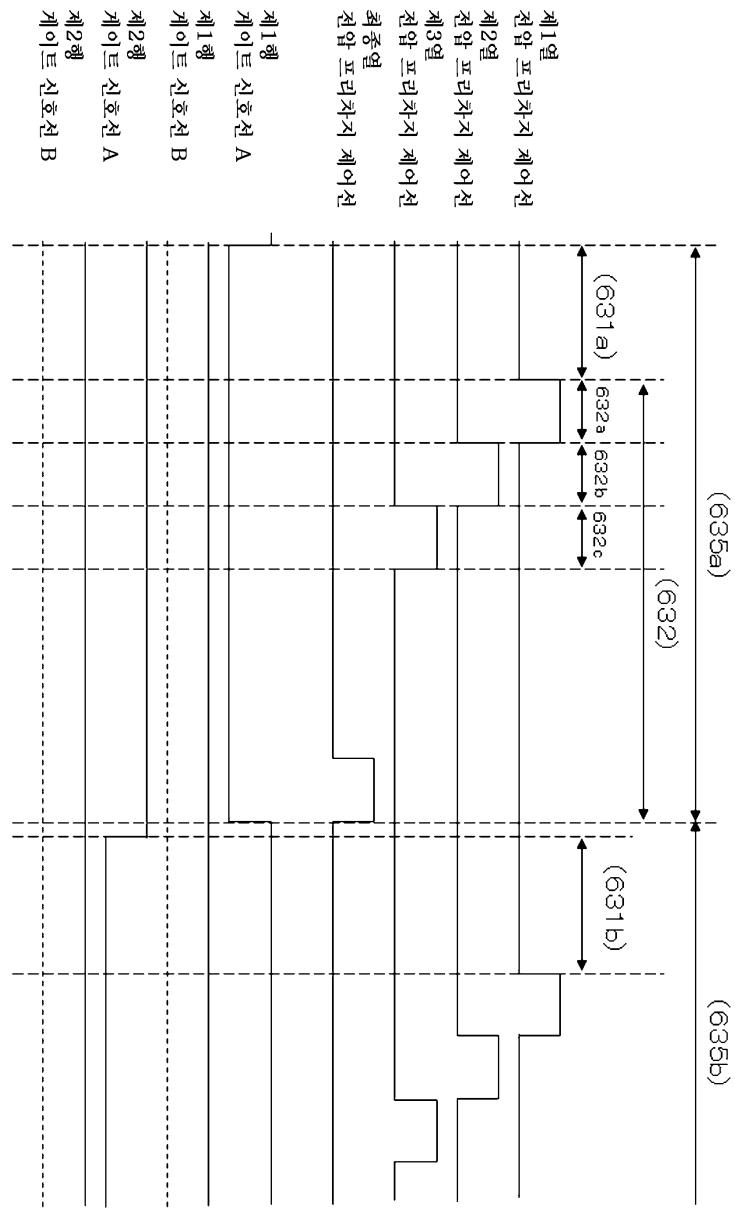
도면61



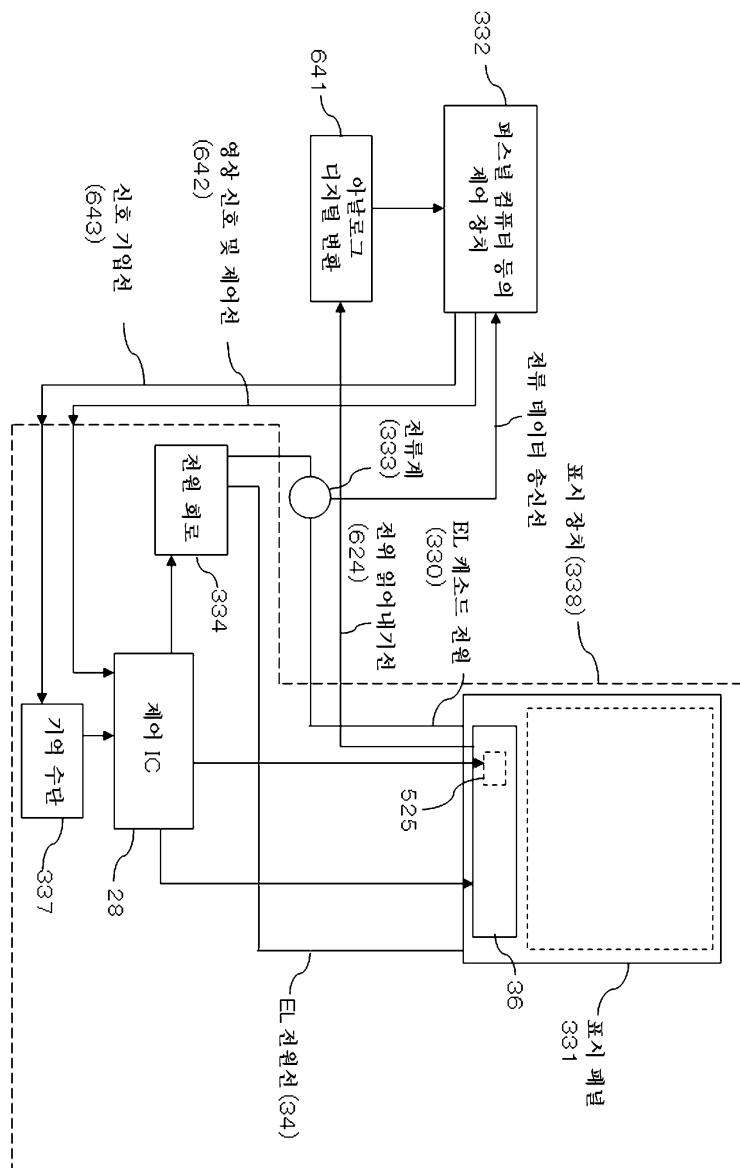
도면62



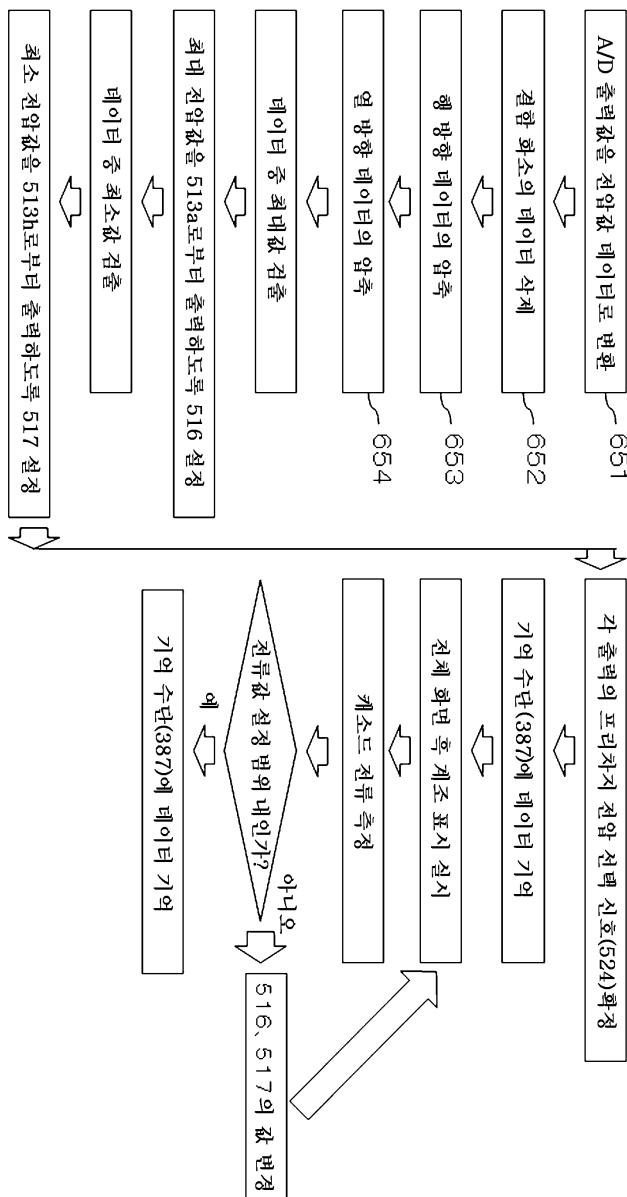
## 도면63



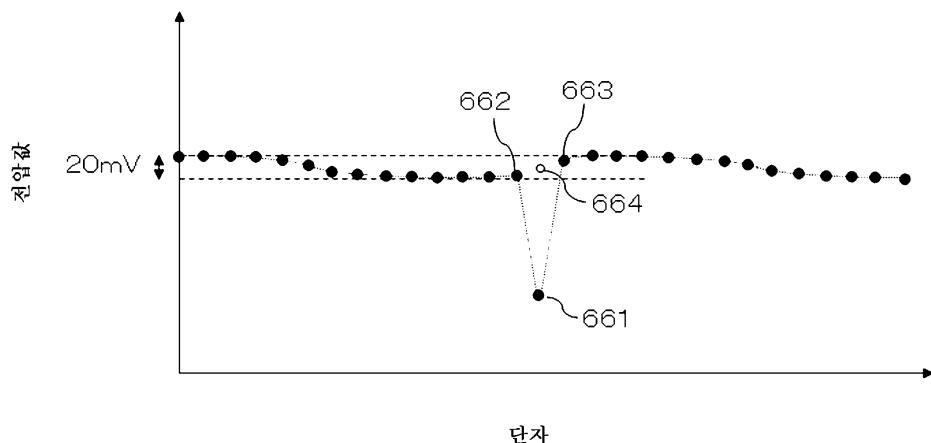
도면64



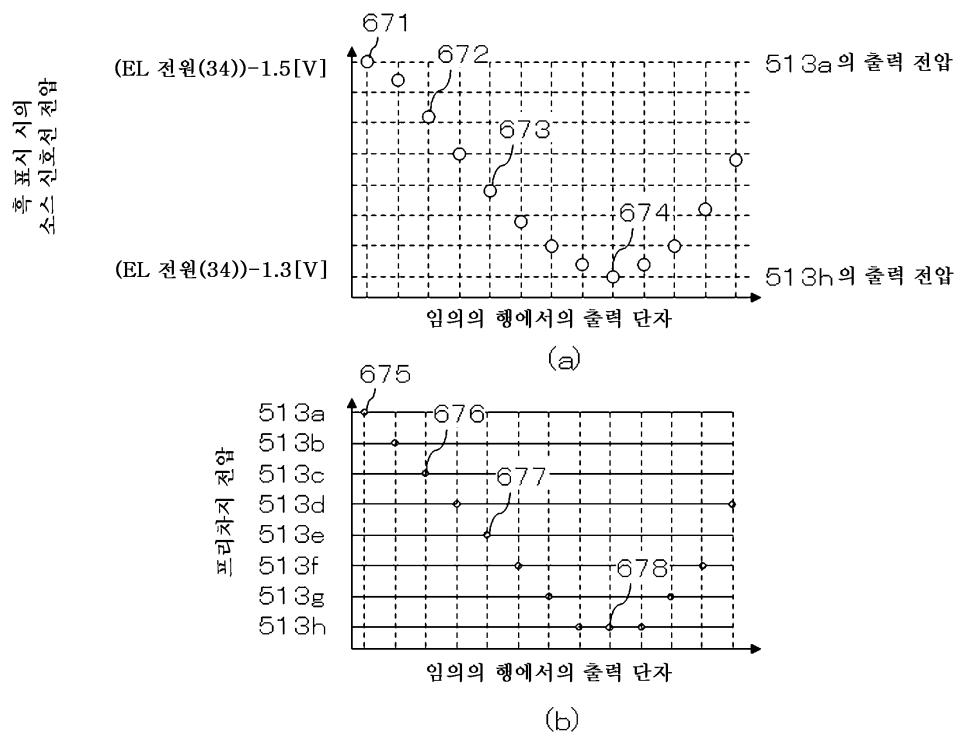
## 도면65



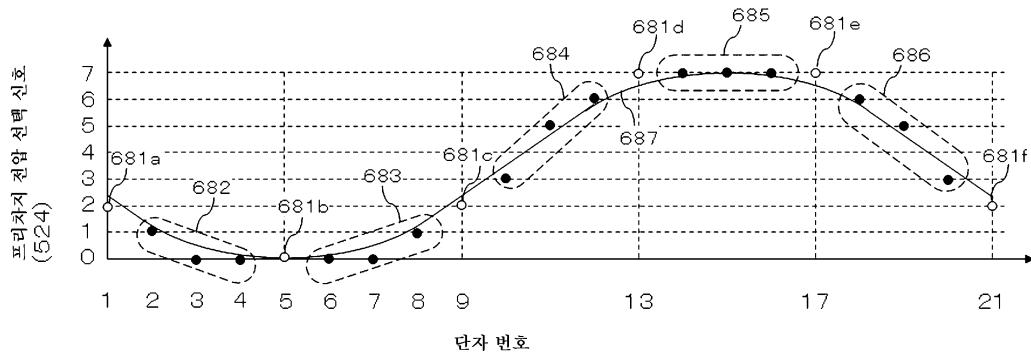
도면66



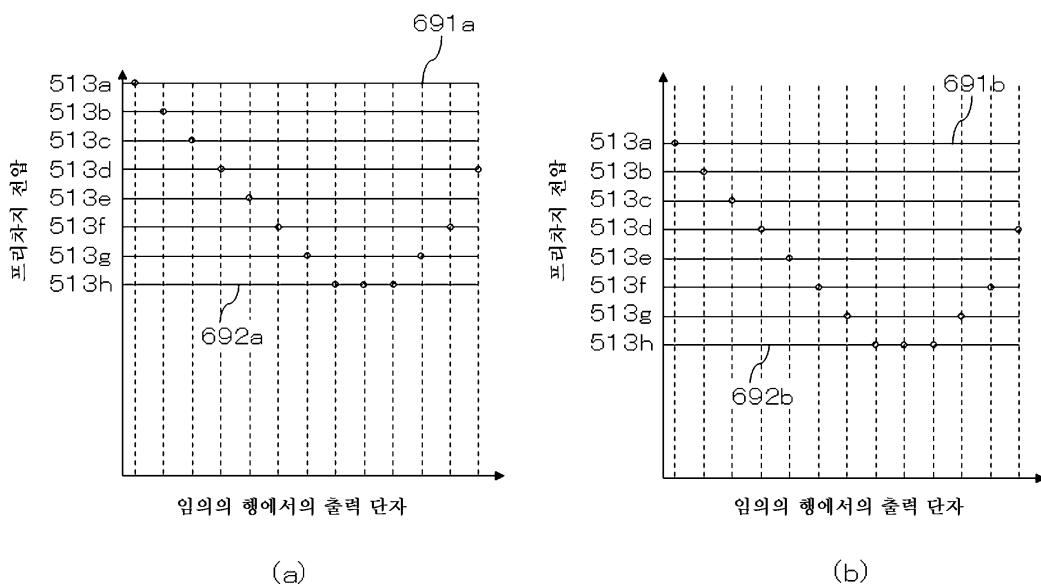
도면67



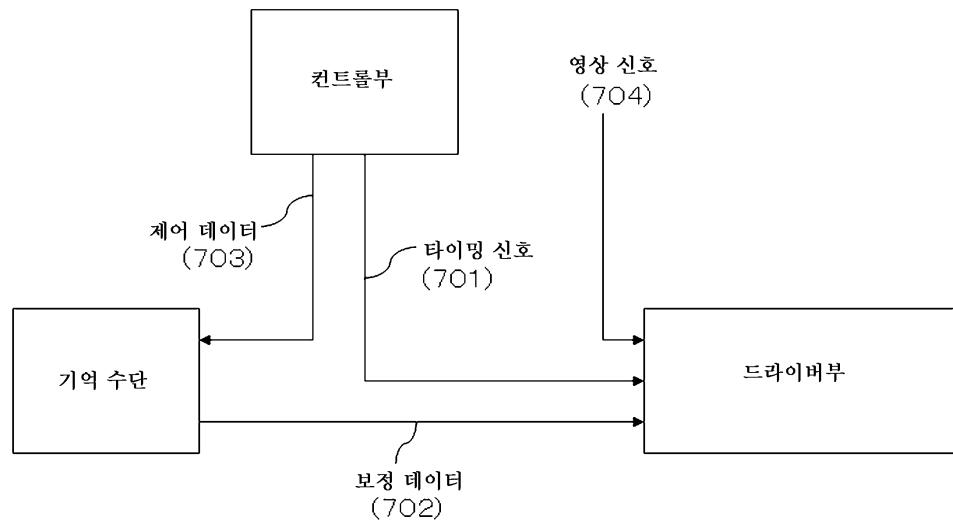
도면68



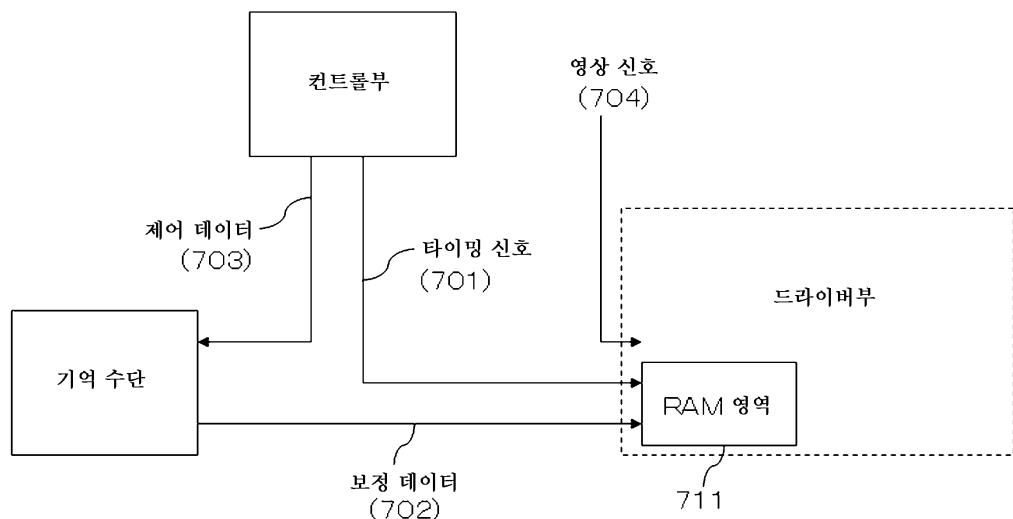
도면69



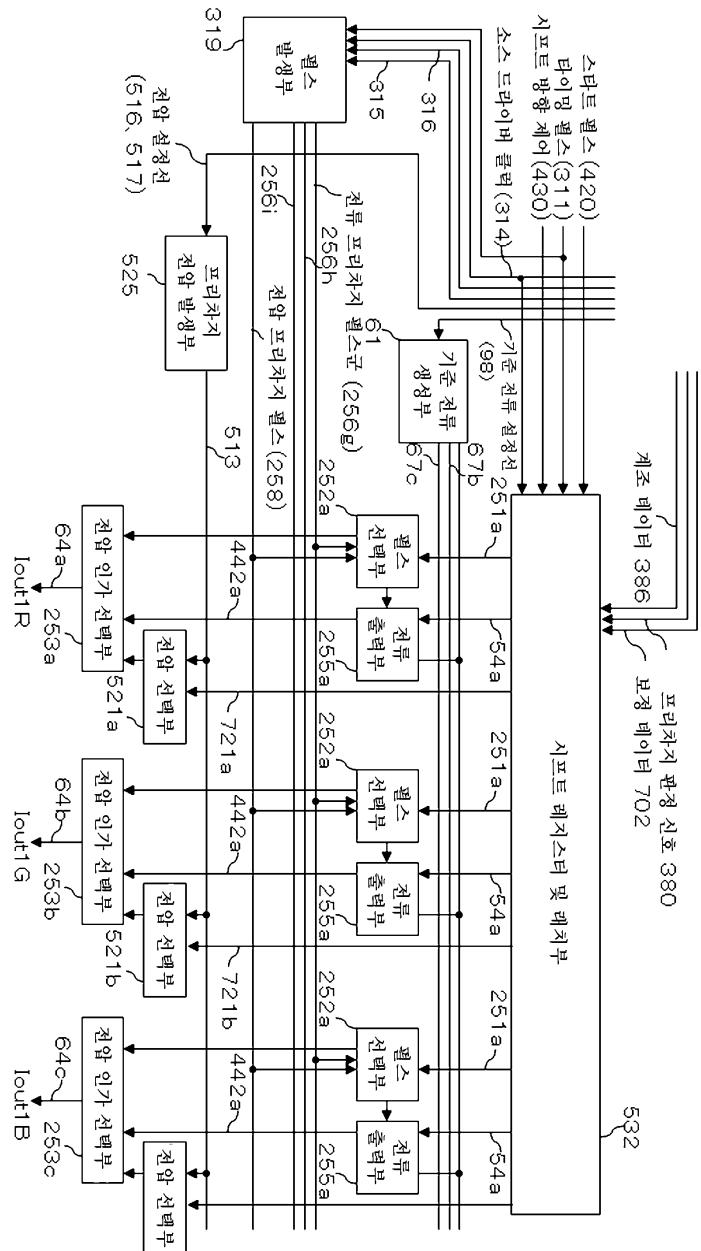
## 도면70



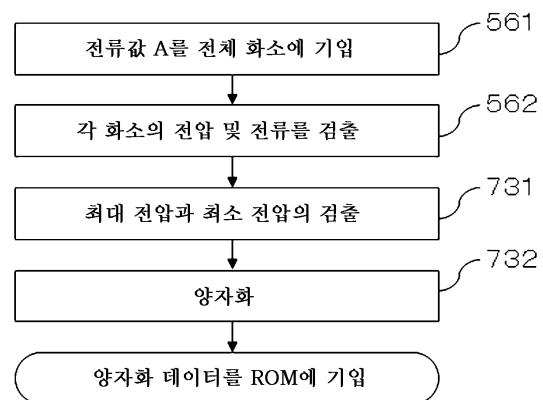
## 도면71



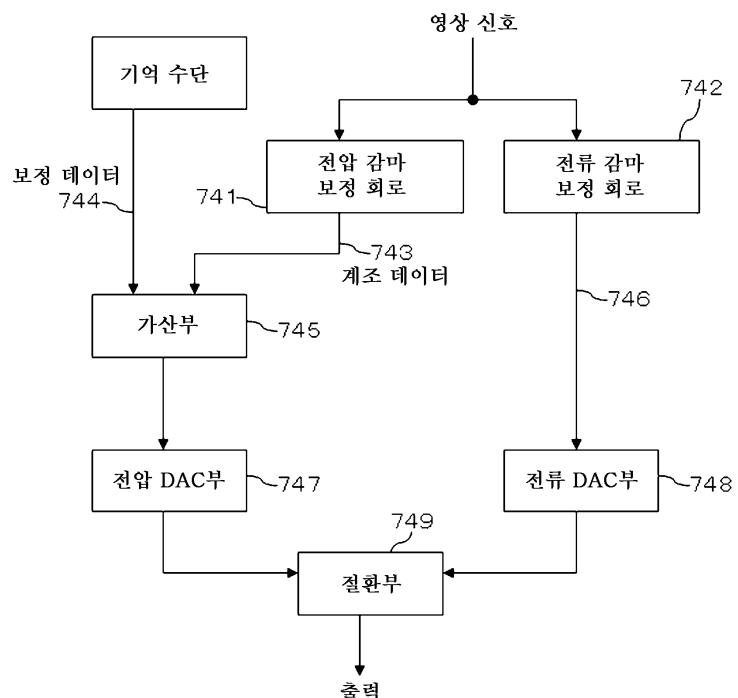
도면72



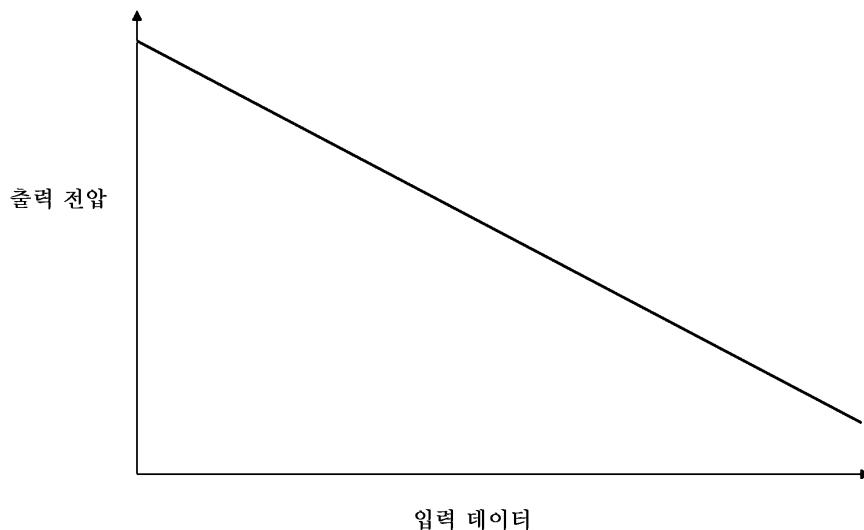
## 도면73



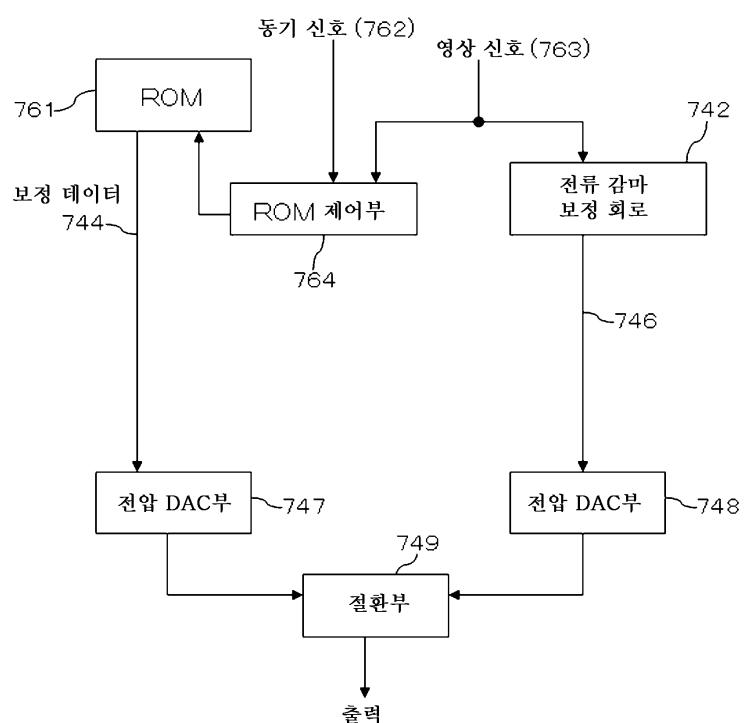
## 도면74



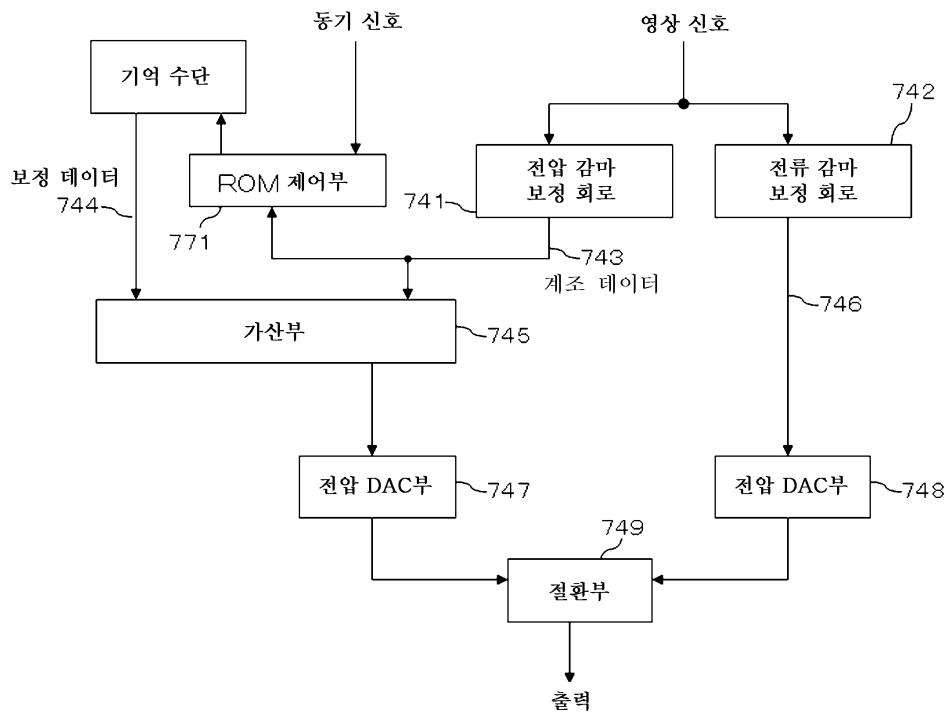
도면75



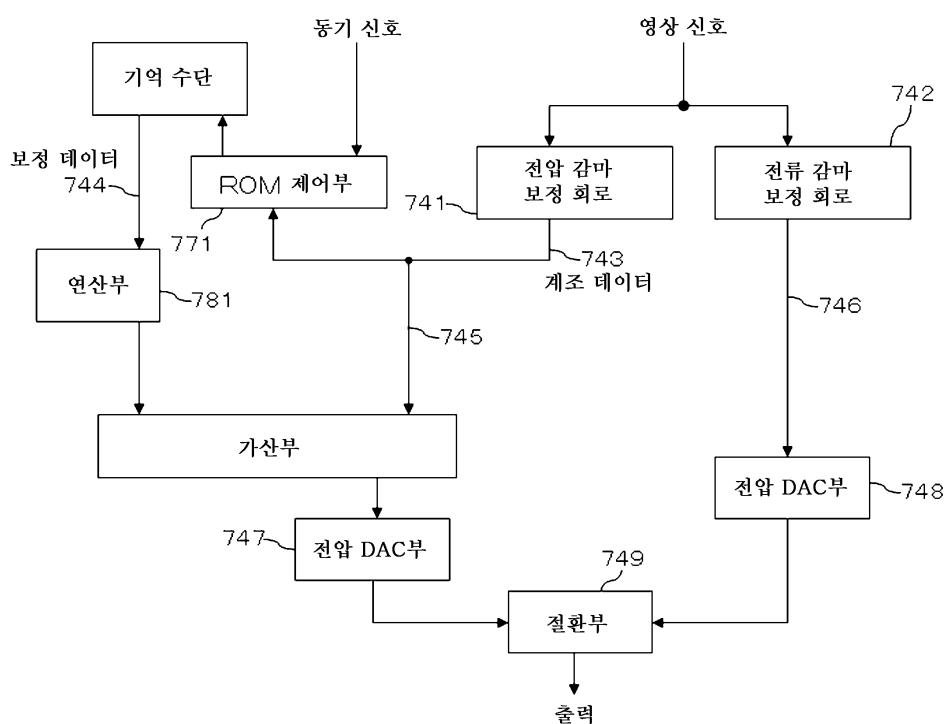
도면76



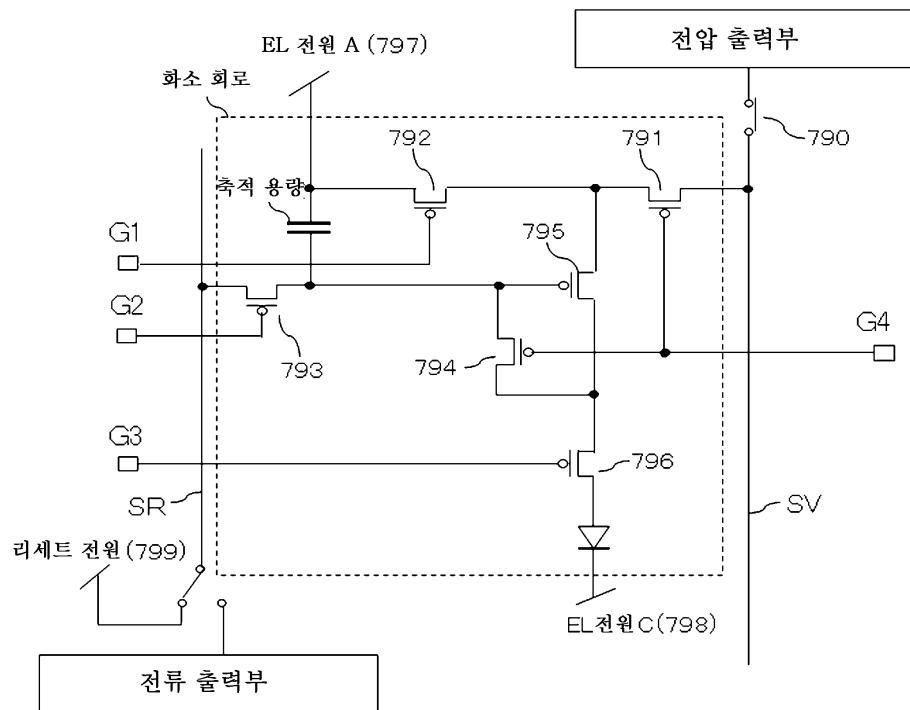
## 도면77



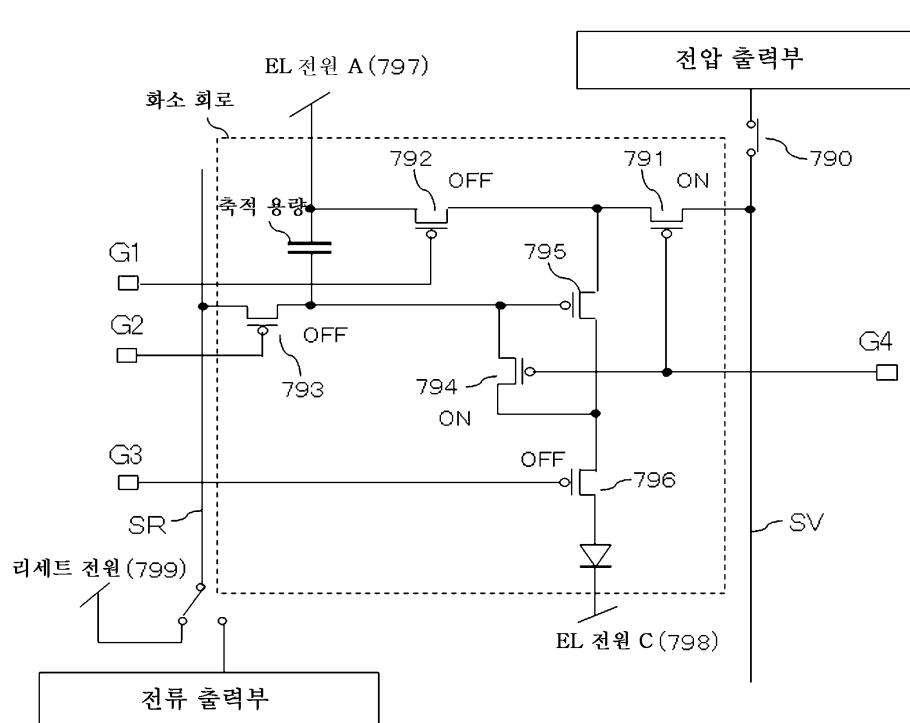
## 도면78



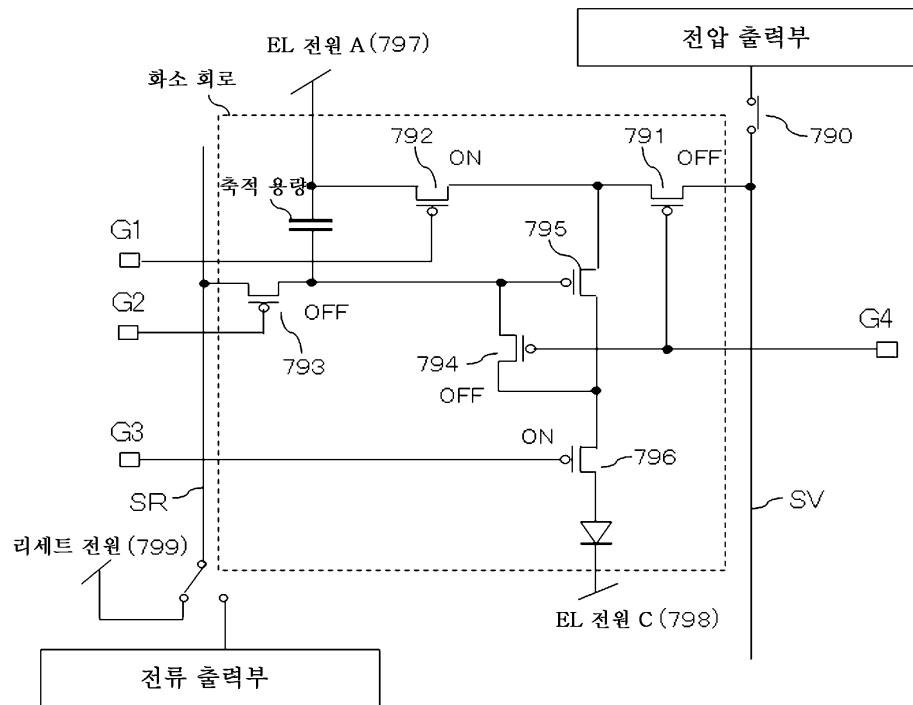
도면79



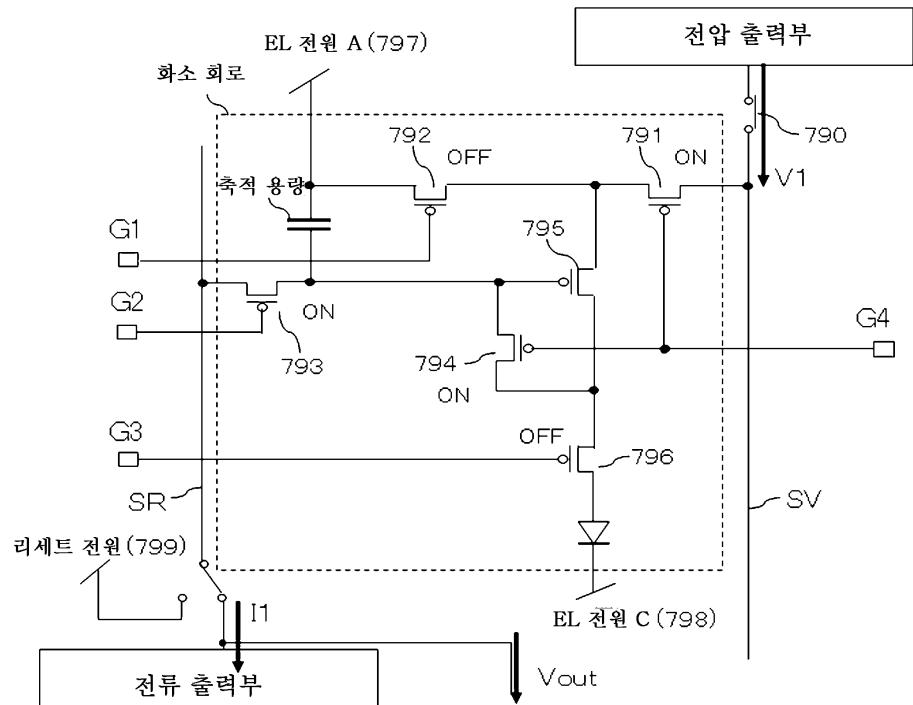
도면80



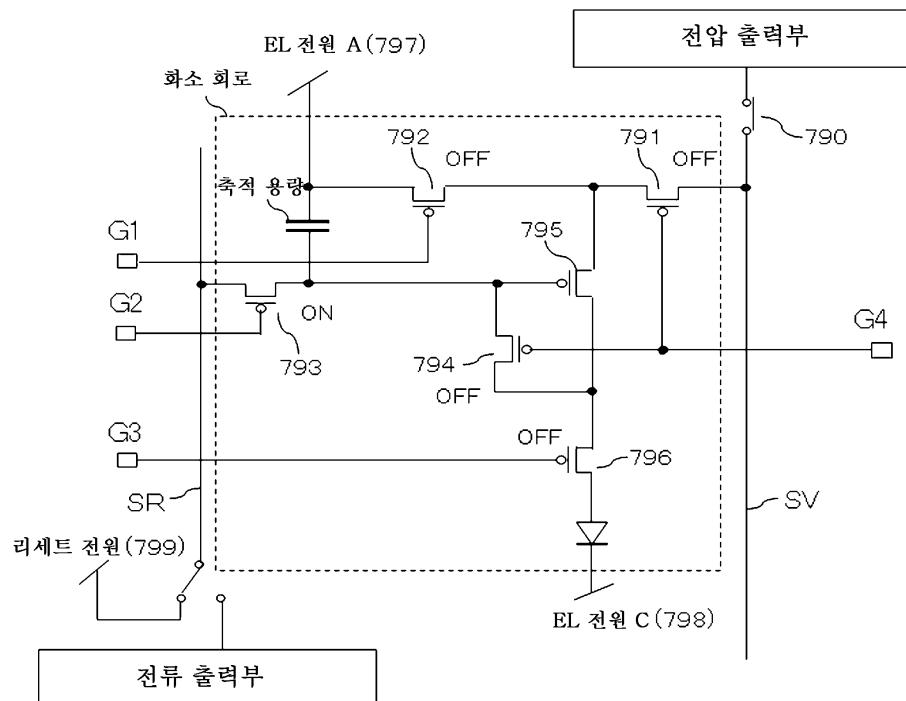
도면81



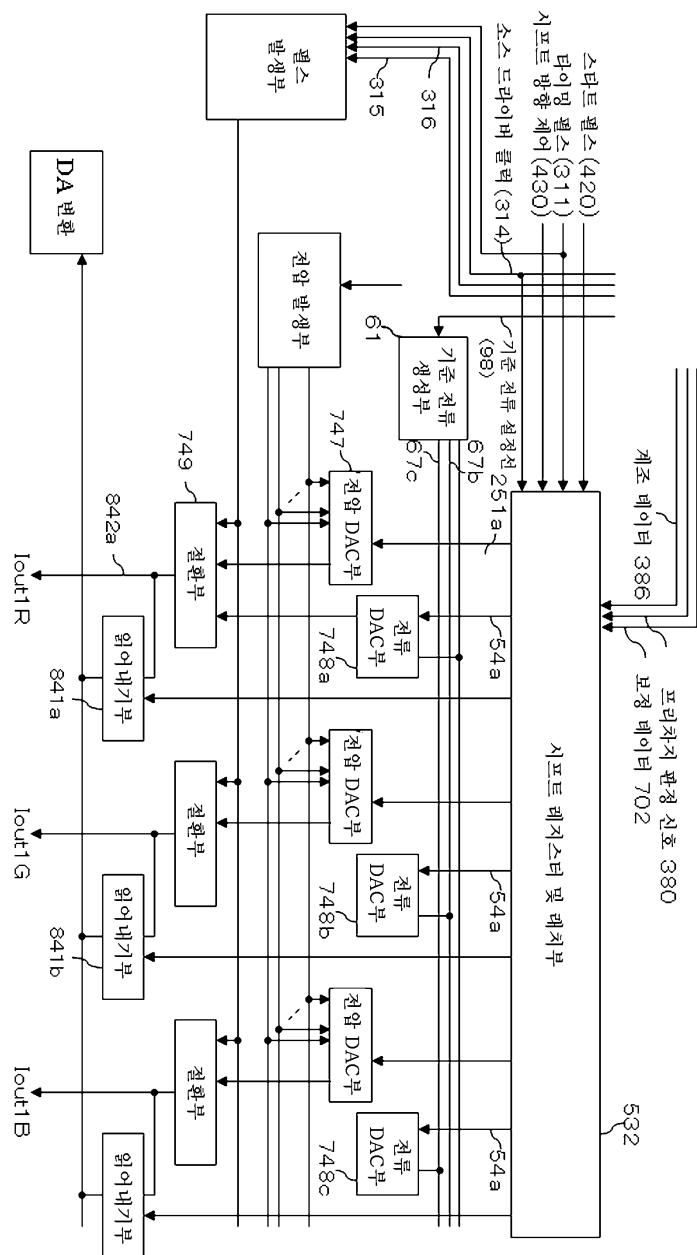
도면82



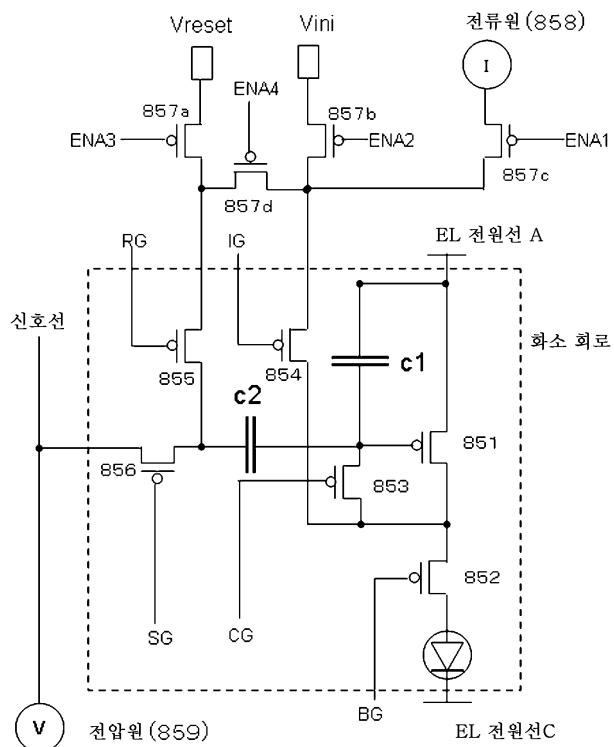
도면83



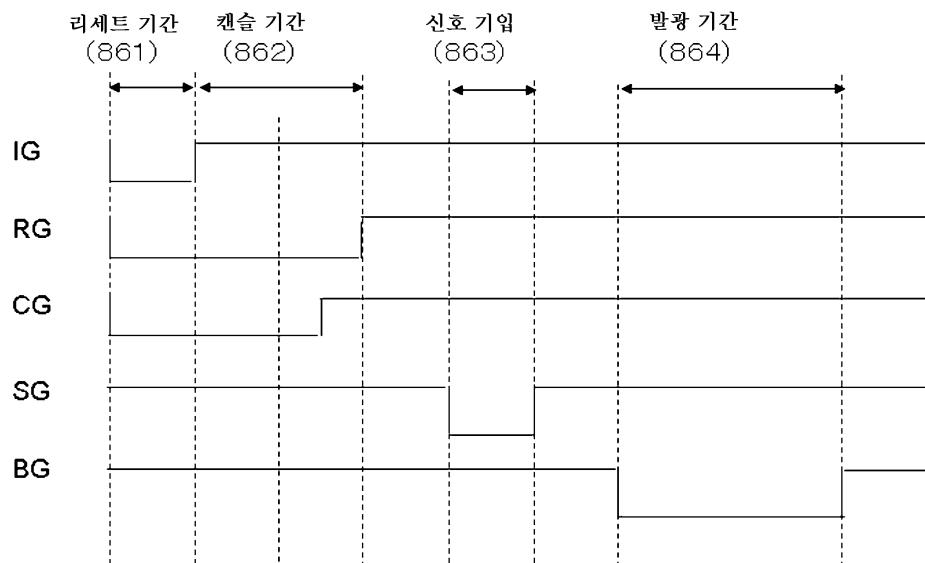
도면84



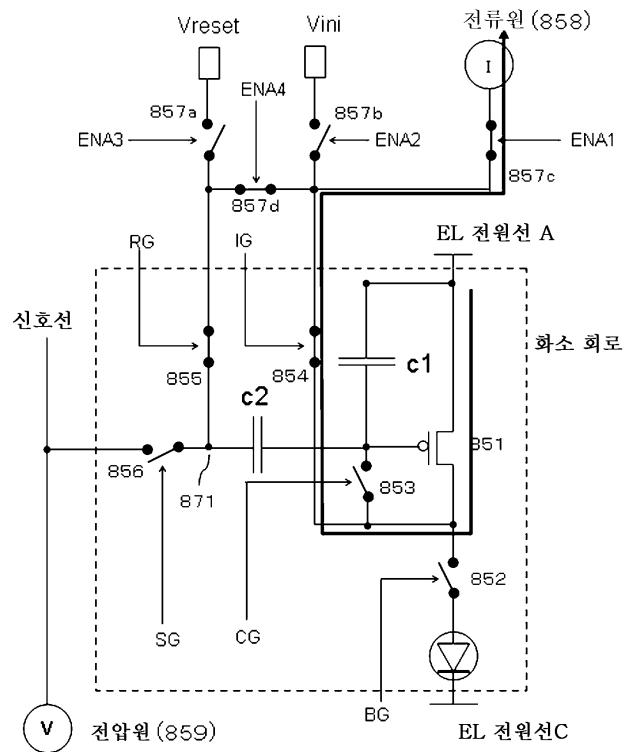
## 도면85



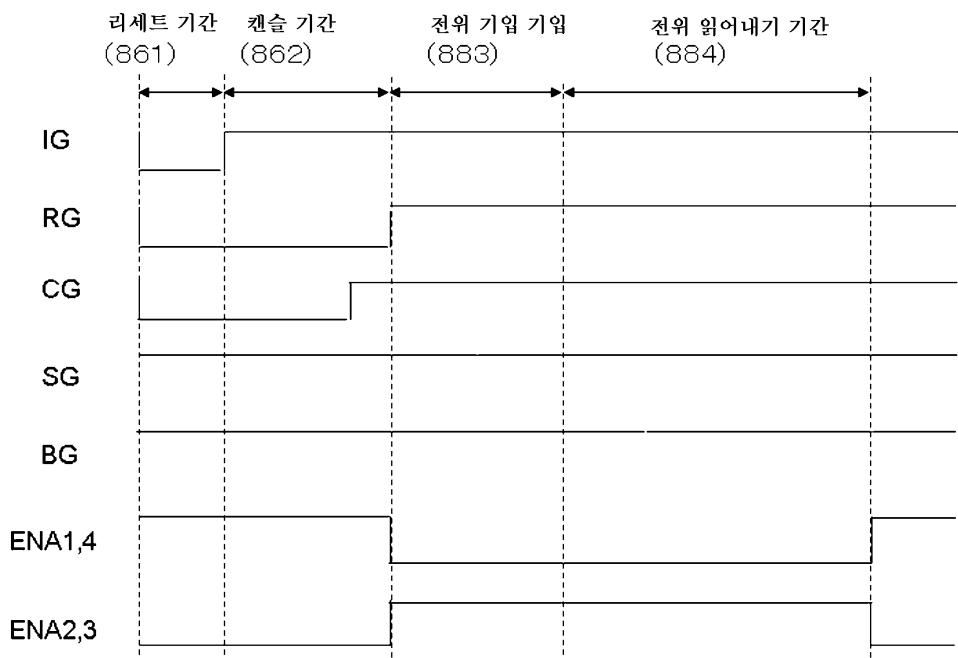
## 도면86



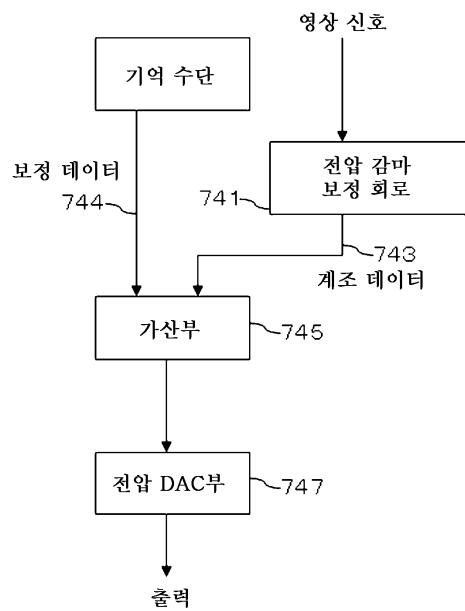
## 도면87



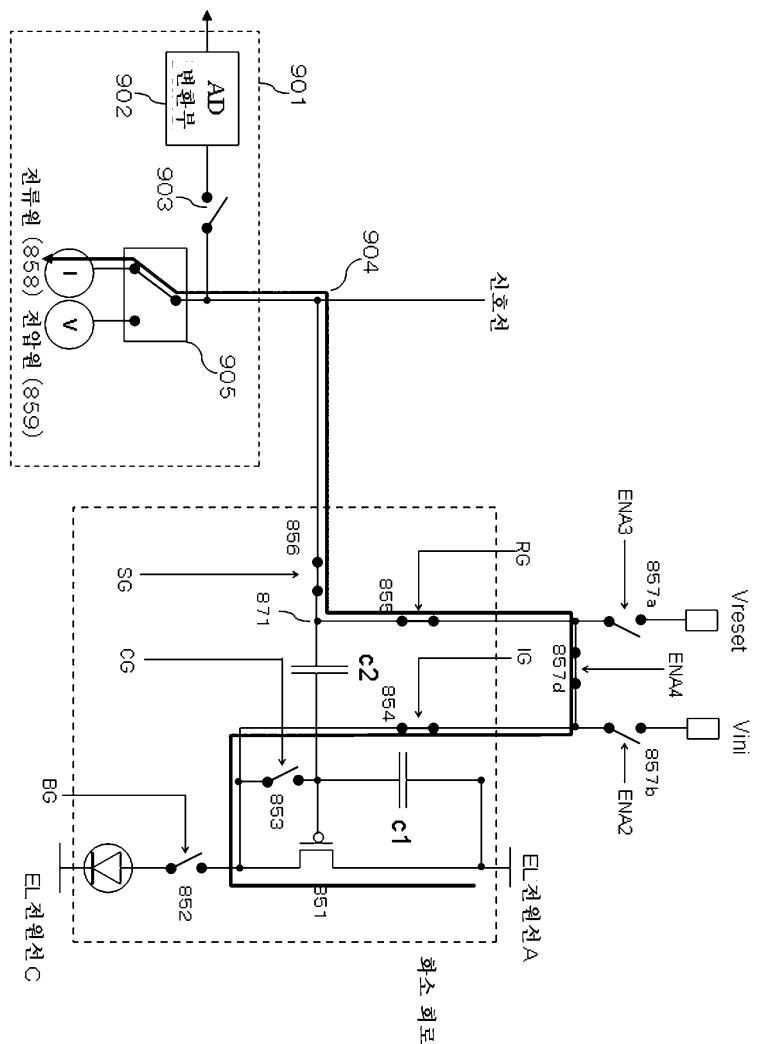
도면88



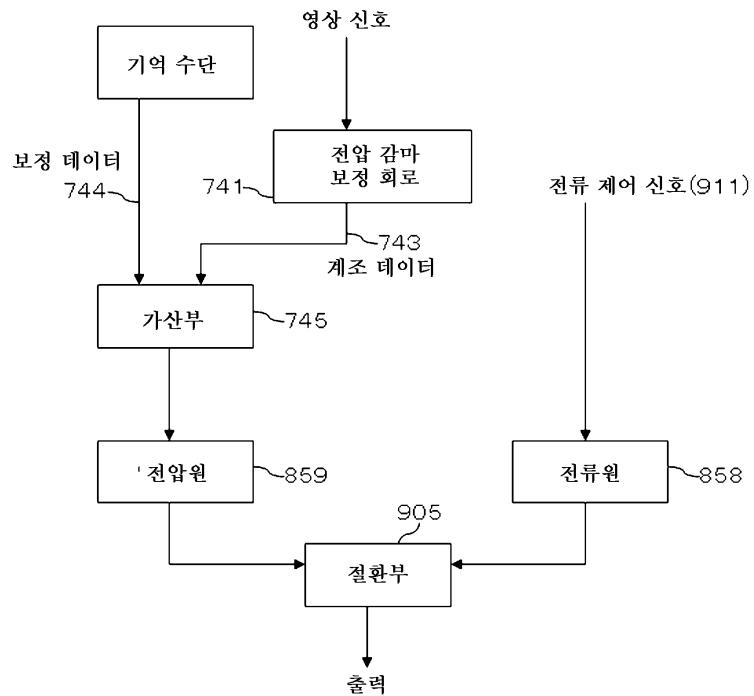
## 도면89



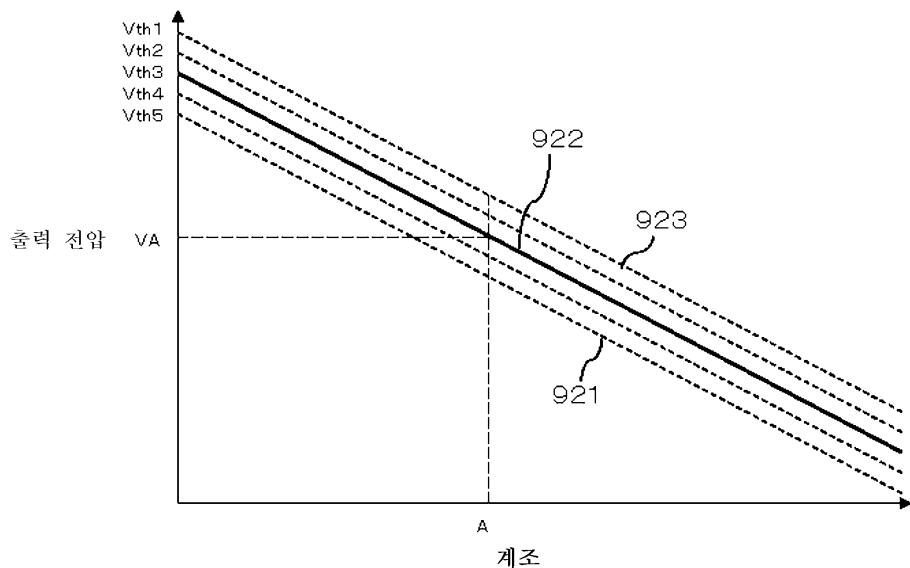
도면90



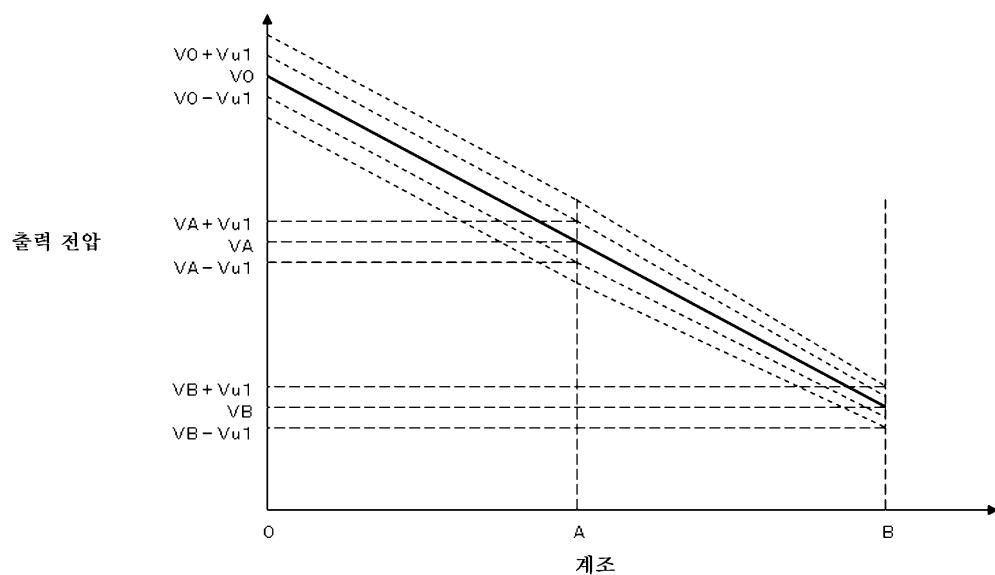
## 도면91



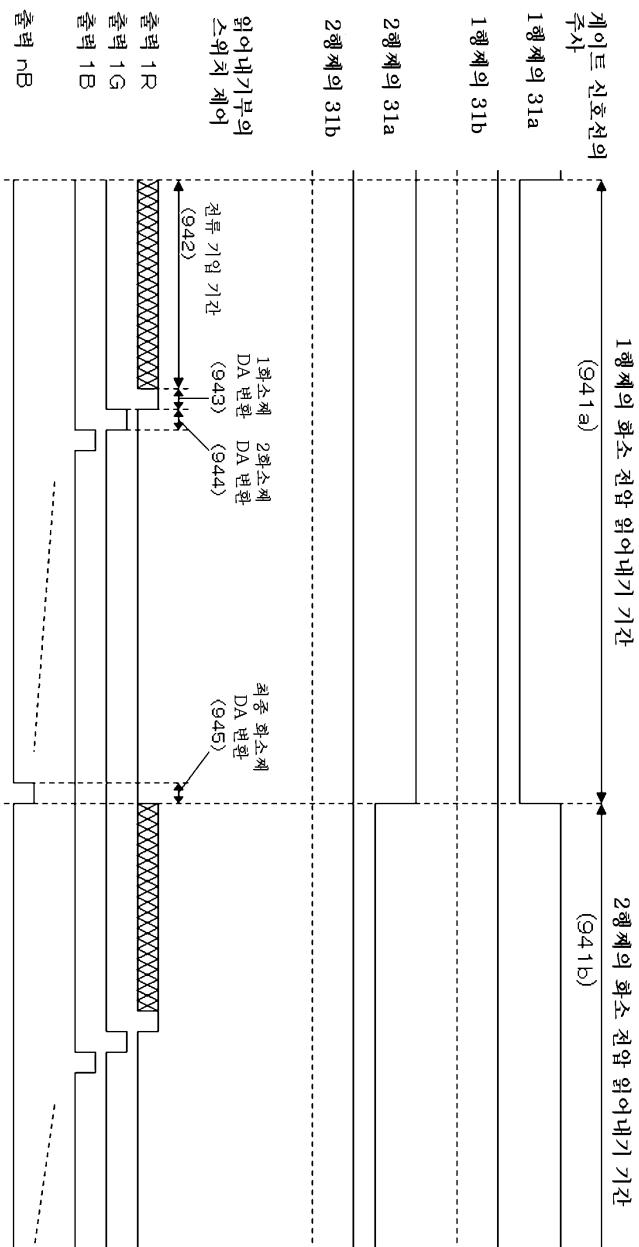
## 도면92



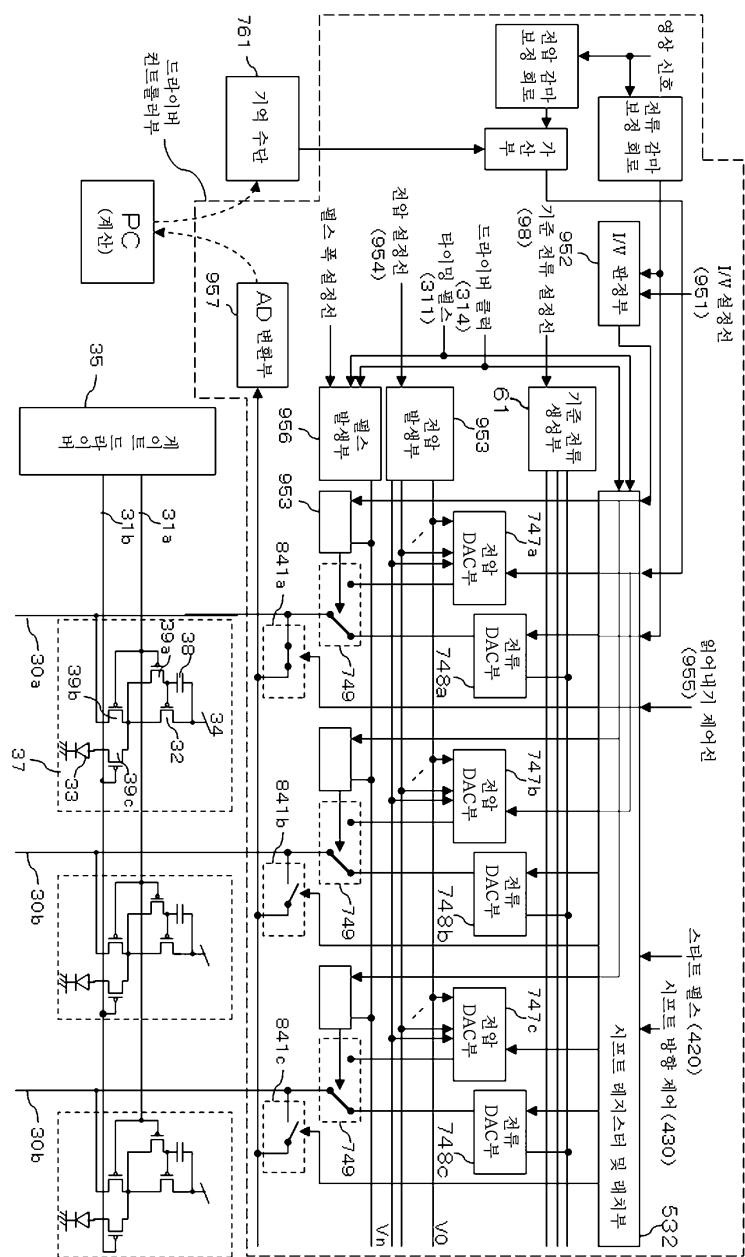
## 도면93



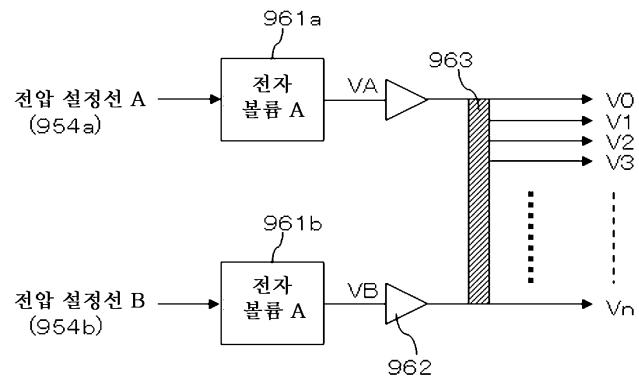
## 도면94



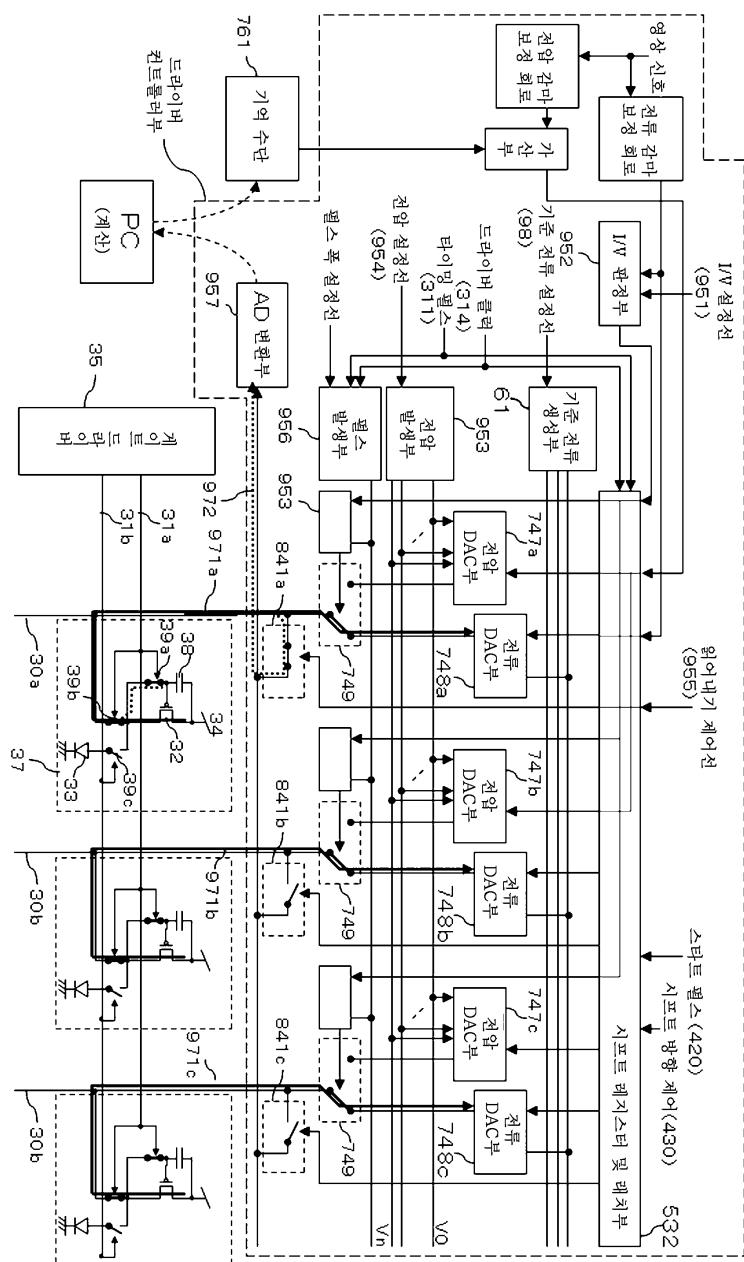
도면95



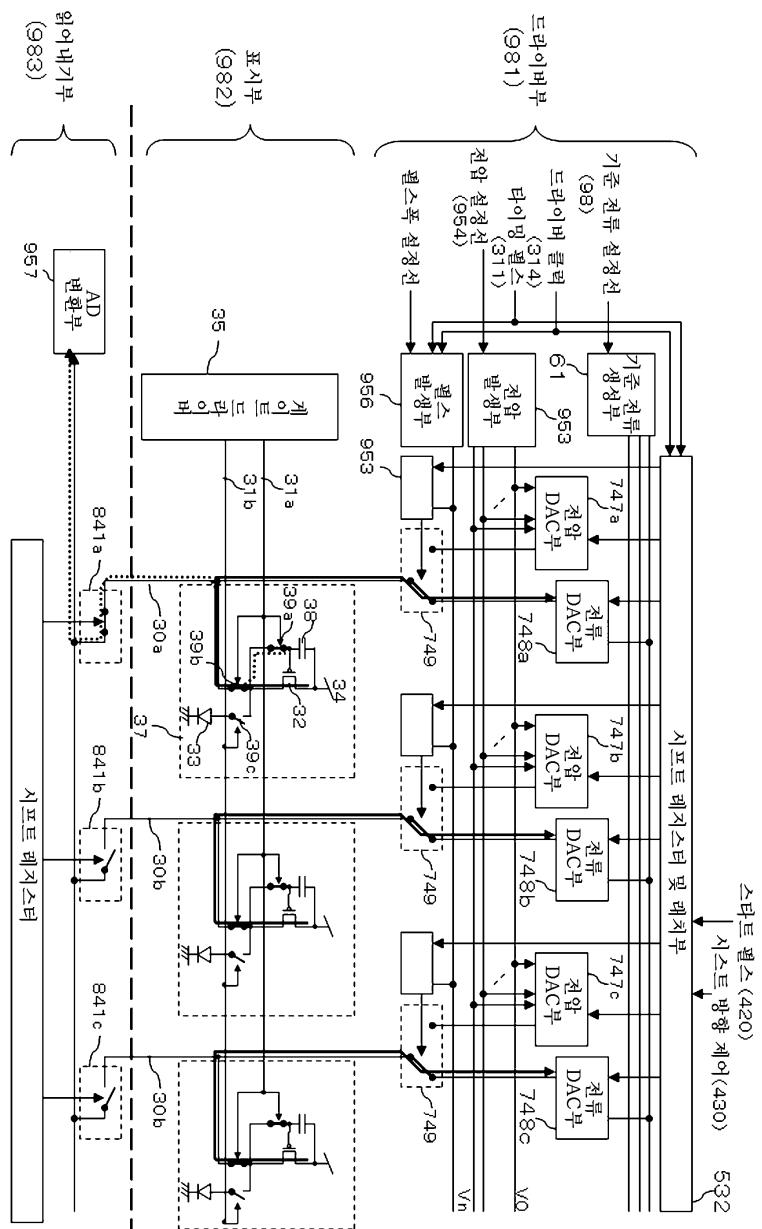
## 도면96



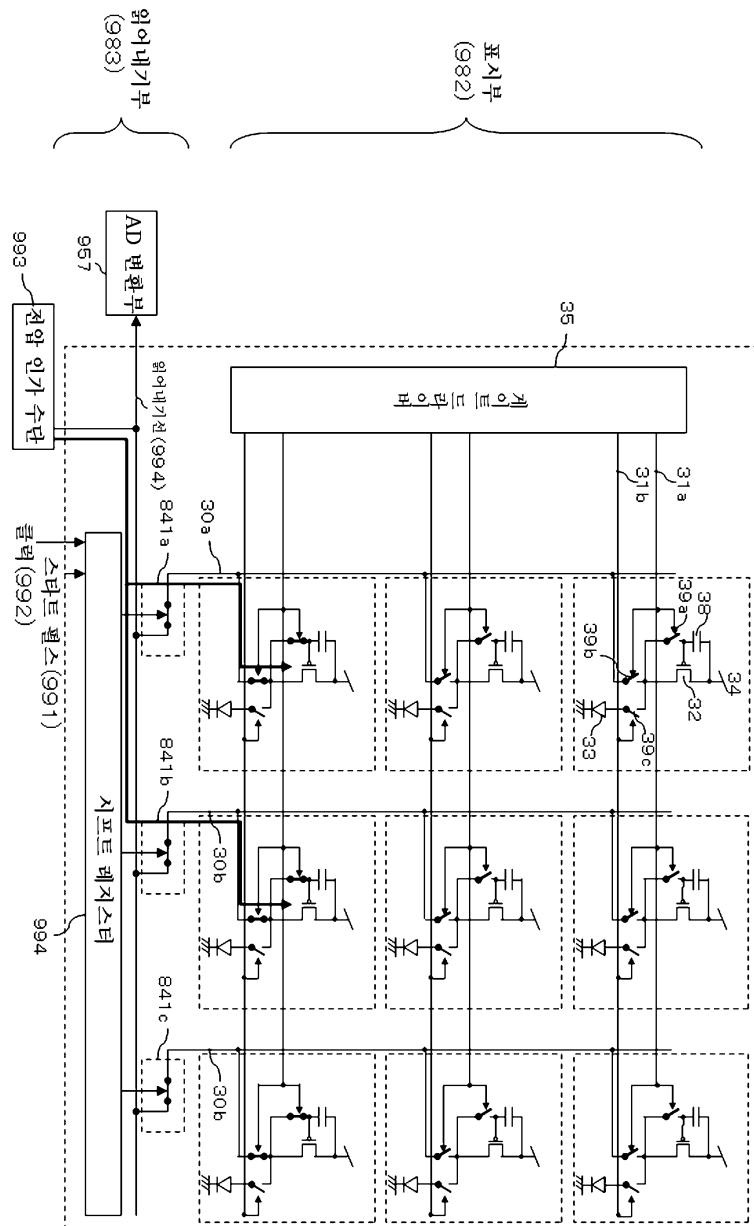
도면97



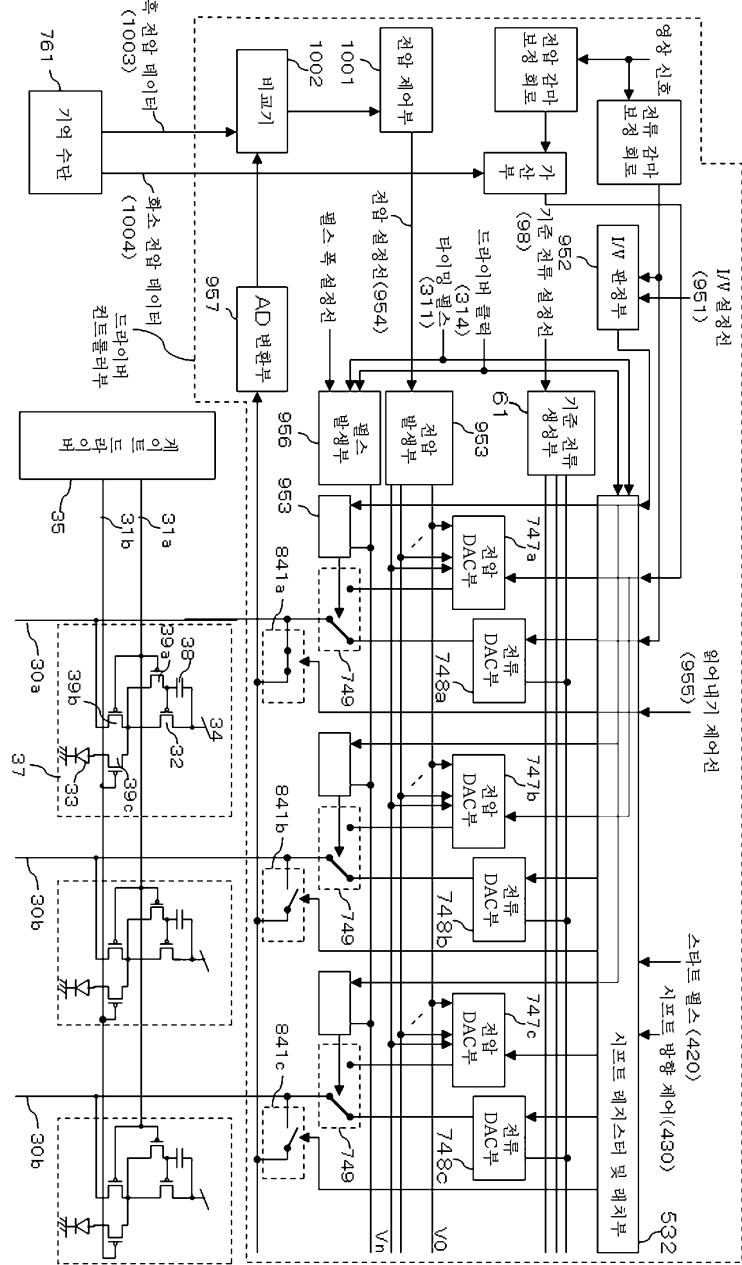
도면98



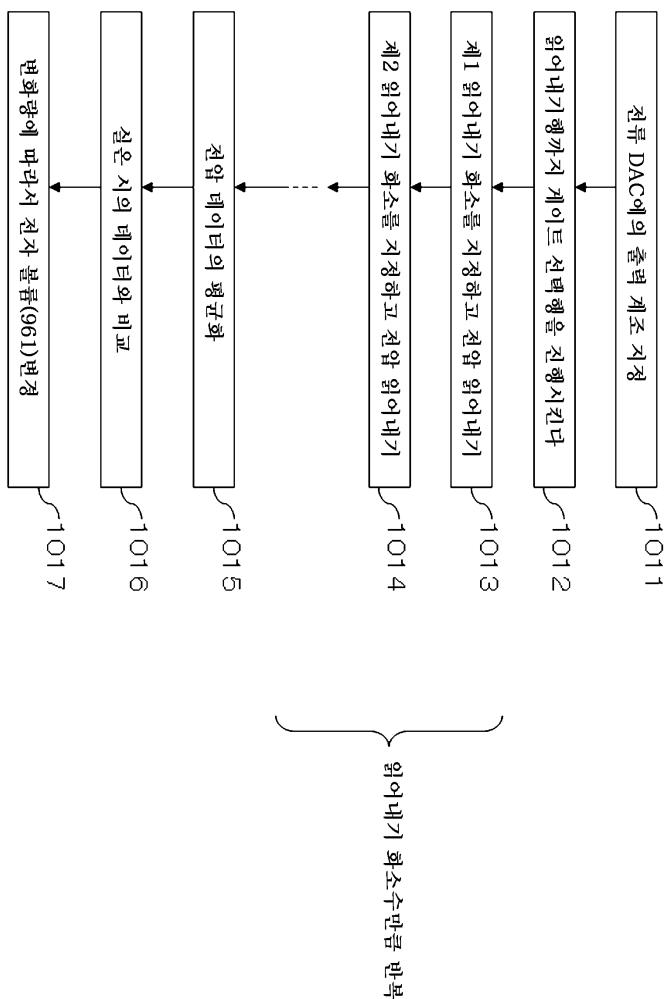
도면99



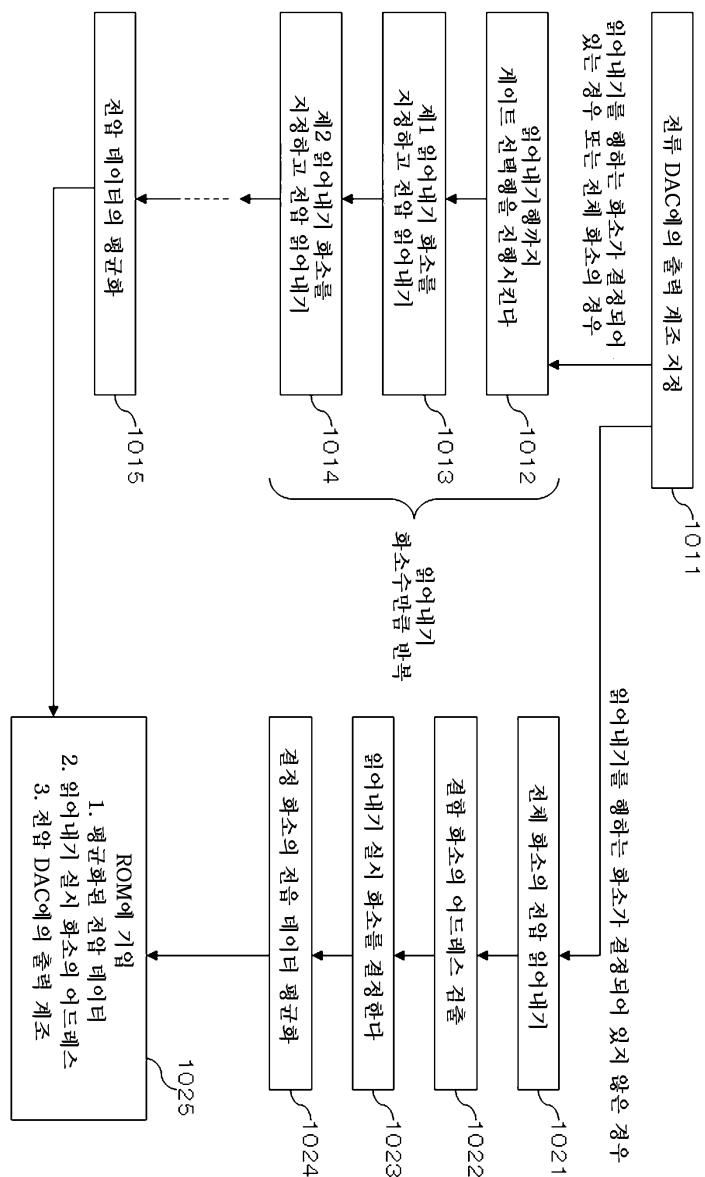
도면100



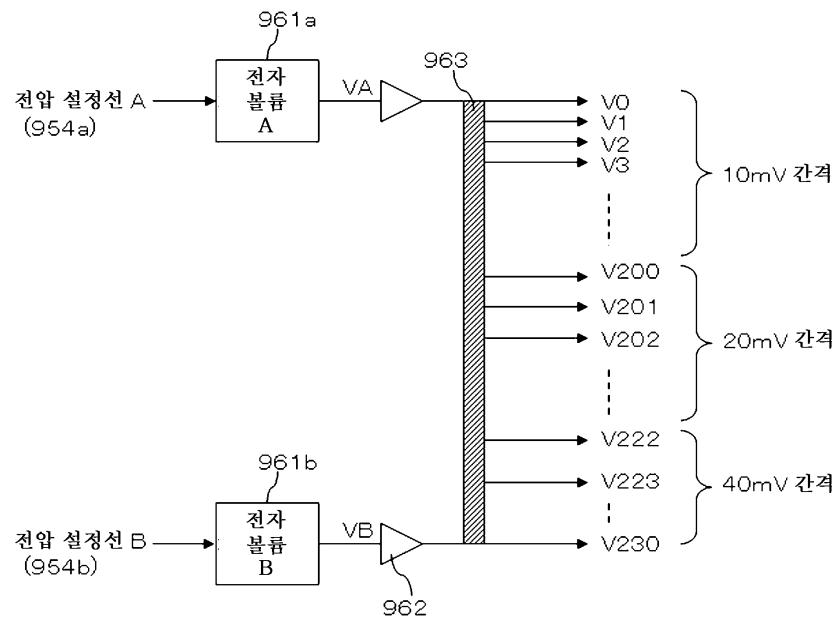
## 도면101



도면102



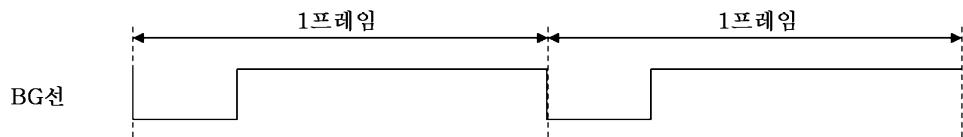
## 도면103



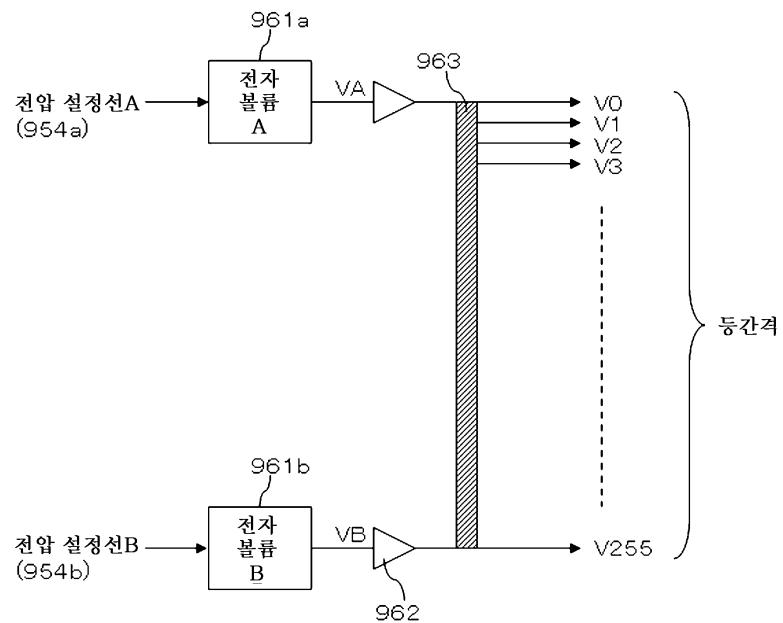
## 도면104

입력 데이터	출력
0	V0
1	V1
2	V2
3	V3
4	V4
⋮	⋮
199	V199
200	V200
201	
202	V201
203	
204	V202
205	
242	V221
243	
244	V222
245	
246	
247	
248	V223
249	
250	
251	
⋮	⋮
276	V230
277 이상	

도면105



도면106



도면107

입력 데이터	출력
0	V0
1	V1
2	V2
3	V3
4	V4
⋮	⋮
255	V255

专利名称(译)	一种使用有机发光元件的有源矩阵型显示装置，以及使用有机发光元件的有源矩阵型显示器		
公开(公告)号	<a href="#">KR1020080042751A</a>	公开(公告)日	2008-05-15
申请号	KR1020070114449	申请日	2007-11-09
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TSUGE HITOSHI		
发明人	TSUGE, HITOSHI		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2300/0842 G09G2310/027 G09G2320/0238 G09G3/3283 G09G2310/065 G09G2300/0861 G09G2320/043 G09G2310/0262 G09G3/3241 G09G2330/028 G09G2300/0819 G09G2310/0218 G09G2320/0276 G09G2310/063 G09G2310/0248		
代理人(译)	CHANG, SOO KIL LEE , JUNG HEE		
优先权	2006305797 2006-11-10 JP		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

在使用有机发光装置的显示器中，其具有产生显示不均匀性的主题。有机发光装置(33)可以被称为包括存储装置(761)的有源矩阵型显示装置，用于存储用于授权像素(37)中的电压的补偿数据，以及用于授权电压的驱动器控制器部分。根据像素(37)所使用的驱动晶体管(32)的特性，基于由像素(37)中的存储装置(761)存储的补偿数据。有机发光装置，有源矩阵型显示装置，阵列面板，晶体管，显示器灰度，DAC部件，偏移消除模式。

