



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/10 (2006.01)
H05B 33/14 (2006.01)
G09F 9/30 (2006.01)
H01L 21/28 (2006.01)

(11) 공개번호 10-2006-0133980
(43) 공개일자 2006년12월27일

(21) 출원번호 10-2006-7010192
(22) 출원일자 2006년05월25일
심사청구일자 없음
번역문 제출일자 2006년05월25일

(87) 국제공개번호 WO 2005/041310
국제공개일자 2005년05월06일

(86) 국제출원번호 PCT/JP2004/016169
국제출원일자 2004년10월25일

(30) 우선권주장 JP-P-2003-00368160 2003년10월28일 일본(JP)

(71) 출원인 가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 나이
마에가와 신지
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 나이
후루노 마코토
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 나이
나카무라 오사무
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 나이
이마이 케이타로
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 나이

(74) 대리인 이화익
권태복

전체 청구항 수 : 총 13 항

(54) 표시장치 및 그 제조방법, 및 텔레비전 수상기

(57) 요약

일렉트로루미네센스라고 불리는 발광을 발현하는 유기물, 혹은 유기물과 무기물의 혼합물을 포함하는 매체를, 전극간에 개재시킨 발광소자와 TFT가 접속된 표시장치인 본 발명에 의하면, 본 발명은, 배선 혹은 전극을 형성하는 도전층과, 소정의 패턴을 형성하기 위한 마스크층 등 표시 패널을 제조하기 위해서 필요한 패턴 중, 적어도 하나 혹은 그 이상을, 선택적으로 패턴을 형성가능한 방법으로 형성하여, 표시 패널을 제조하는데 있다. 선택적으로 패턴을 형성가능한 방법으로서, 도전층이나 절연층을 형성하고, 특정한 목적에 따른 조성물의 액적을 선택적으로 토출해서 소정의 패턴을 형성하는 것이 가능한 액적토출법을 사용한다.

대표도

도 7

특허청구의 범위

청구항 1.

한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와,

도전성의 나노 입자가 용합해서 형성된 게이트 전극,

상기 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층 및

반도체층이, 기판측으로부터 적층된 박막트랜지스터를 구비하고,

상기 발광소자와 상기 박막트랜지스터가 접속된 화소가 구비되어 있는 것을 특징으로 하는 발광장치.

청구항 2.

한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와,

도전성의 나노 입자가 용합해서 형성된 게이트 전극,

상기 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층,

반도체층,

소스 및 드레인에 접속되어 도전성의 나노 입자가 용합해서 형성된 배선 및

상기 배선에 접해서 형성된 질화규소층 혹은 질화산화규소층이,

기판측으로부터 적층된 박막트랜지스터를 구비하고,

상기 발광소자와 상기 박막트랜지스터가 접속된 화소가 구비되어 있는 것을 특징으로 하는 발광장치.

청구항 3.

한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와,

도전성의 나노 입자가 용합해서 형성된 게이트 전극,

상기 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층 및

반도체층이, 기판측으로부터 적층된 제1의 박막트랜지스터와,

상기 제1의 박막트랜지스터와 같은 층구조로 형성된 제2의 박막트랜지스터로 구성되는 구동회로와,

상기 구동회로로부터 연장하고, 상기 제1의 박막트랜지스터의 게이트 전극과 접속하는 배선을 구비하고,

상기 발광소자와 상기 박막트랜지스터가 접속된 화소가 구비되어 있는 것을 특징으로 하는 발광장치.

청구항 4.

한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와,

도전성의 나노 입자가 융합해서 형성된 게이트 전극,

상기 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층,

반도체층,

소스 및 드레인에 접속되어 도전성의 나노 입자가 융합해서 형성된 배선 및

상기 배선에 접해서 형성된 질화규소층 혹은 질화산화규소층이, 기판측으로부터 적층된 제1의 박막트랜지스터와,

상기 제1의 박막트랜지스터와 같은 층구조로 형성된 제2의 박막트랜지스터로 구성되는 구동회로와,

상기 구동회로로부터 연장하고, 상기 제1의 박막트랜지스터의 게이트 전극과 접속하는 배선을 구비하고,

상기 발광소자와 상기 박막트랜지스터가 접속된 화소가 구비되어 있는 것을 특징으로 하는 발광장치.

청구항 5.

제 1 항 내지 제 4 중 어느 한 항에 있어서,

상기 도전성 나노 입자는, 은을 포함한 것을 특징으로 하는 발광장치.

청구항 6.

제 2 항 또는 제 4 항에 있어서,

상기 반도체층은, 수소와 할로젠 원소를 포함하고, 결정구조를 포함하는 세미 아모퍼스 반도체인 것을 특징으로 하는 발광장치.

청구항 7.

제 2 항 또는 제 4 항에 있어서,

상기 구동회로는, n채널형 박막트랜지스터만으로 구성되는 것을 특징으로 하는 발광장치.

청구항 8.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 박막트랜지스터는, 상기 반도체층이 수소와 할로젠을 포함하고, 결정구조를 포함하는 반도체이고, $1\text{cm}^2/\text{V}\cdot\text{sec}\sim 15\text{cm}^2/\text{V}\cdot\text{sec}$ 의 전계 효과 이동도로 동작가능한 박막트랜지스터인 것을 특징으로 하는 발광장치.

청구항 9.

제 1 항 내지 제 4 항 중 어느 한 항의 발광장치로 표시 화면을 구성한 것을 특징으로 하는 텔레비전 수상기.

청구항 10.

절연 표면을 갖는 기판 위에, 액적토출법으로 게이트 전극을 형성하는 단계와,

상기 게이트 전극 위에, 게이트 절연층, 반도체층, 절연층을 적층 형성하는 단계와,

상기 게이트 전극과 겹치는 위치에, 액적토출법으로 제1의 마스크를 형성하는 단계와,

상기 제1의 마스크에 의해, 상기 절연층을 에칭해서 채널 보호층을 형성하는 단계와,

일 도전형의 불순물을 함유하는 반도체층을 형성하는 단계와,

상기 게이트 전극을 포함하는 영역에, 액적토출법으로 제2의 마스크를 형성하는 단계와,

일 도전형의 불순물을 함유하는 반도체층과, 상기 반도체층을 에칭하는 단계와,

액적토출법으로, 소스 및 드레인에 접속되는 배선을 형성하는 단계와,

상기 소스 및 드레인에 접속된 배선을 마스크로서 사용하여, 상기 채널 보호층 상의 일 도전형의 불순물을 함유하는 반도체층을 에칭하는 단계를 포함한 것을 특징으로 하는 발광장치의 제조방법.

청구항 11.

절연 표면을 갖는 기판 위에, 액적토출법으로 게이트 전극과, 접속 배선을 형성하는 단계와,

상기 게이트 전극 위에, 게이트 절연층, 반도체층, 절연층을 적층 형성하는 단계와,

상기 게이트 전극과 겹치는 위치에, 액적토출법으로 제1의 마스크를 형성하는 단계와,

상기 제1의 마스크에 의해, 상기 절연층을 에칭해서 채널 보호층을 형성하는 단계와,

일 도전형의 불순물을 함유하는 반도체층을 형성하는 단계와,

상기 게이트 전극을 포함하는 영역에, 액적토출법으로 제2의 마스크를 형성하는 단계와,

일 도전형의 불순물을 함유하는 반도체층과, 상기 반도체층을 에칭하는 단계와,

상기 게이트 절연층을 선택적으로 에칭하여, 상기 접속 배선의 일부를 노출시키는 단계와,

소스 및 드레인에 접속되는 배선을 형성하고, 적어도 한쪽의 배선을 상기 접속 배선과 접속하는 단계와,

상기 소스 및 드레인에 접속되는 배선을 마스크로서 사용하여, 상기 채널 보호층 상의 일 도전형의 불순물을 함유하는 반도체층을 에칭하는 단계를 포함한 것을 특징으로 하는 발광장치의 제조방법.

청구항 12.

제 10 항 또는 제 11 항에 있어서,

상기 게이트 전극 위에, 게이트 절연층, 반도체층, 절연층을 적층 형성하는 단계는, 대기에 노출시키지 않고 실행하는 것을 특징으로 하는 발광장치의 제조방법.

청구항 13.

제 10 항 또는 제 11 항에 있어서,

상기 게이트 절연층은, 제1의 질화규소막과, 산화규소막과, 제2의 질화규소막을 순차로 적층하는 것을 특징으로 하는 발광장치의 제조방법.

명세서

기술분야

본 발명은, 유리 기판 위에 형성한 트랜지스터 등의 능동소자를 응용한 표시장치 및 그 제조 방법에 관한 것이다.

배경기술

종래, 유리 기판 상의 박막트랜지스터(이하, "TFT"라고도 한다.)로 구성되는 소위 액티브 매트릭스 구동방식의 표시 패널이 알려져 있다. 이 표시 패널은, 반도체 집적회로의 제조 기술과 마찬가지로, 포토마스크를 사용하는 광노광 공정에 의해, 도체, 반도체 및 절연체 등의 박막을 패터닝하는 공정이 필요해지고 있다.

표시 패널의 제조에 사용하는 마더 유리 기판의 사이즈는, 1990년 초에 제1세대의 300×400mm로부터, 2000년에는 제4세대로 되는 680×880mm 혹은 730×920mm로 대형화하고 있다. 그와 더불어, 한 장의 기판으로부터 다수의 표시 패널을 얻도록 생산 기술이 진보해 왔다.

유리 기판 혹은 표시 패널의 사이즈가 작을 경우에는, 노광 장치에 의해 비교적 간편하게 패터닝 처리를 행하는 것이 가능하다. 그러나, 기판 사이즈가 대형화함에 따라서, 1회의 노광 처리로 표시 패널의 전체면을 동시에 처리하는 것이 불가능해진다. 그 결과, 포토레지스트가 도포된 영역에 대하여, 노광하는 영역을 복수로 분할하고, 소정의 블록 영역마다 노광 처리를 행할 필요가 있다. 노광 처리는, 순차로 그것을 반복해서 기판 전체면을 노광하는 방법이 개발되어 왔다(예를 들면, 문헌 1: 일본공개특허공보 평11-326951호, 문헌 2: US 6,291,136 참조).

(발명의 개시)

그러나, 유리 기판의 사이즈는, 제5세대에서 1000×1200mm 혹은 1100×1300mm으로 한층 더 대형화하고, 차세대에서는 1500×1800mm 혹은 그 이상의 사이즈가 상정되어 있다. 유리 기판의 대형화는, 표시 패널의 대면적화나, 취득수의 향

상에는 유효하지만, 종래의 패터닝 방법에서는 생산성이 좋고 저비용으로 표시 패널을 제조하는 것이 곤란해진다. 즉, 다음의 노광에 의해 다수회의 노광 처리를 행하면, 처리 시간이 증대하고, 유리 기판의 대형화에 대응한 노광 장치의 개발에는 엄청난 투자가 필요해진다.

또한, 기판의 전체면에 각 종 박막을 형성하고, 약간의 영역을 남겨서 에칭 제거하는 공법에서는, 재료 비용을 낭비하고, 다량의 폐액을 처리하는 것이 요구된다고 하는 문제점이 내재하고 있다.

본 발명은, 이러한 상황을 감안하여 이루어진 것으로, 재료의 이용 효율을 향상시키고, 또한, 제조공정을 간략화하는 것이 가능한 표시장치 및 그 제조 기술을 제공하는 것을 목적으로 한다.

(과제를 해결하기 위한 수단)

본 발명의 일 국면에 의하면, 배선 혹은 전극을 형성하는 도전층과, 소정의 패턴을 형성하기 위한 마스크 등의 표시패널을 제조하기 위해서 필요한 패턴 중, 적어도 하나 혹은 그 이상을, 선택적으로 패턴을 형성가능한 방법에 의해 형성하고, 표시패널을 제조한다. 선택적으로 패턴을 형성가능한 방법으로서, 특정한 목적으로 조합된 조성물의 액적을 선택적으로 토출해서 소정의 패턴을 형성하는 것이 가능한, 액적토출법(그 방식에 따라서는, 잉크젯법이라고도 불림)을 사용한다.

본 발명은, 일렉트로루미네센스(이하, "EL"이라고도 함)라고 불리는 발광을 발현하는 유기물질, 혹은 유기물질과 무기물질의 혼합물을 포함한 매체를, 전극간에 개재시킨 발광소자와 TFT가 접속된 표시장치로서, 이러한 표시장치를 액적토출법을 사용해서 완성시킴으로써 상기 목적을 달성한다.

본 발명의 다른 국면에 의하면, 발광장치 제조방법은, 절연 표면을 가지는 기판 위에 액적토출법으로 게이트 전극을 형성하는 단계와, 게이트 전극 위에, 게이트 절연층, 반도체층, 절연층을 적층하는 단계와, 게이트 전극과 겹치는 위치에 액적토출법으로 제1의 마스크를 형성하는 단계와, 제1의 마스크에 의해 절연층을 에칭해서 채널 보호층을 형성하는 단계와, 일 도전형의 불순물을 함유한 반도체층을 형성하는 단계와, 게이트 전극을 포함하는 영역에 액적토출법으로 제2의 마스크를 형성하는 단계와, 일 도전형의 불순물을 함유하는 반도체층과, 그 하층측에 위치하는 반도체층을 에칭하는 단계와, 액적토출법으로 소스 및 드레인에 접속하는 배선을 형성하는 단계와, 소스 및 드레인에 접속하는 배선을 마스크로 하여서 채널 보호층 상의 상기 일 도전형의 불순물을 함유하는 반도체층을 에칭하는 단계를 포함한다.

본 발명의 다른 국면에 의하면, 발광장치 제조방법은, 절연 표면을 가지는 기판 위에 액적토출법으로 게이트 전극과 접속 배선을 형성하는 단계와, 게이트 전극 위에, 게이트 절연층, 반도체층 및 절연층을 적층하는 단계와, 게이트 전극과 겹치는 위치에 액적토출법으로 제1의 마스크를 형성하는 단계와, 제1의 마스크에 의해 절연층을 에칭해서 채널 보호층을 형성하는 단계와, 일 도전형의 불순물을 함유하는 반도체층을 형성하는 단계와, 게이트 전극을 포함하는 영역에 액적토출법으로 제2의 마스크를 형성하는 단계와, 일 도전형의 불순물을 함유하는 반도체층과 그 하층측에 위치하는 반도체층을 에칭하는 단계와, 게이트 절연층을 선택적으로 에칭해서 접속 배선의 일부를 노출시키는 단계와, 액적토출법으로 소스 및 드레인에 접속하는 배선을 형성함과 아울러 적어도 한쪽의 배선을 상기 접속 배선과 접속하는 단계와, 소스 및 드레인에 접속하는 배선을 마스크로 하여서 채널 보호층 상의 상기 일 도전형의 불순물을 함유하는 반도체층을 에칭하는 단계를 포함한다.

상기한 게이트 전극 위에, 게이트 절연층, 반도체층 및 절연층을 적층하는 단계는, 플라즈마를 사용한 기상성장법(플라즈마 CVD) 또는 스퍼터링법에 의해, 게이트 절연층, 반도체층 및 절연층의 각 층을 대기에 노출하지 않고 연속적으로 형성하는 것이 바람직하다.

게이트 절연막은, 제1의 질화규소막, 산화규소막 및 제2의 질화규소막을 순차로 적층해서 형성함으로써 게이트 전극의 산화를 방지할 수 있고, 또한, 게이트 절연막의 상층측에 형성하는 반도체층과 양호한 계면을 형성할 수 있다.

상기한 바와 같이, 본 발명의 다른 국면에 의하면, 게이트 전극, 배선 및 패터닝시에 이용하는 마스크를 액적토출법에 의해 형성한다. 그렇지만, EL 표시장치를 제조하기 위해서 필요한 패턴 중, 적어도 하나 혹은 그 이상을, 선택적으로 패턴을 형성가능한 방법으로 형성하여, 표시장치를 제조하는 것으로, 그 목적은 달성된다.

본 발명의 다음의 국면에 의하면, 표시장치는, EL을 발현하는 발광 재료를 포함하는 유기물질 또는 유기물질과 무기물질의 혼합물을 포함하는 매체를 한 쌍의 전극 사이에 개재시킨 발광소자를 매트릭스 모양으로 배열시킨 화소 부분을 가지고, 각 발광소자는 TFT와 접속되어서 그 발광 및 비발광의 상태를 제어 가능하게 한다.

본 발명의 다른 국면에 의하면, 발광장치는, 한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와; 도전성의 나노 입자가 (용융에 의해) 용합 및/또는 용접해서 형성된 게이트 전극과, 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층과, 반도체층이, 기판측으로부터 적층된 박막트랜지스터를 구비하고, 상기 발광소자와 박막트랜지스터가 접속된 화소가 구비되어 있다.

본 발명의 다른 국면에 의하면, 발광장치는, 한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와; 도전성의 나노 입자가 (용융에 의해) 용합 및/또는 용접해서 형성된 게이트 전극과, 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층과, 반도체층과, 소스 및 드레인에 접속되어 도전성의 나노 입자가 (용융에 의해) 용합 및/또는 용접해서 형성된 배선과, 상기 배선에 접해서 형성된 질화규소층 혹은 질화산화규소층이, 기판측으로부터 적층된 박막트랜지스터를 구비하고, 상기 발광소자와 박막트랜지스터가 접속된 화소가 구비되어 있다.

본 발명의 다른 국면에 의하면, 발광장치는, 한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와; 도전성의 나노 입자가 (용융에 의해) 용합 및/또는 용접해서 형성된 게이트 전극과, 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층과, 반도체층이, 기판측으로부터 적층된 제1의 박막트랜지스터와; 제1의 박막트랜지스터와 같은 층구조로 형성된 제2의 박막트랜지스터에 의해 구성되는 구동회로와; 상기 구동회로로부터 연장하고, 제1의 박막트랜지스터의 게이트 전극과 접속하는 배선을 구비하고, 상기 발광소자와 제1의 박막트랜지스터에 접속된 화소가 구비되어 있다.

본 발명의 다른 국면에 의하면, 발광장치는, 한 쌍의 전극간에 발광 재료를 개재시킨 발광소자와; 도전성의 나노 입자가 (용융에 의해) 용합 및/또는 용접해서 형성된 게이트 전극과, 게이트 전극과 접해서 형성되어 질화규소층 혹은 질화산화규소층과, 산화규소층을 적어도 포함하는 게이트 절연층과, 반도체층과, 소스 및 드레인에 접속되어 도전성의 나노 입자가 (용융에 의해) 용합 및/또는 용접해서 형성된 배선과, 상기 배선에 접해서 형성된 질화규소층 혹은 질화산화규소층이, 기판측으로부터 적층된 제1의 박막트랜지스터와; 제1의 박막트랜지스터와 같은 층구조로 형성된 제2의 박막트랜지스터에 의해 구성되는 구동회로와; 구동회로로부터 연장하고, 제1의 박막트랜지스터의 게이트 전극과 접속하는 배선을 구비하고, 상기 발광소자와 상기 제1의 박막트랜지스터에 접속된 화소가 구비되어 있다.

본 발명에 의하면, 게이트 전극 또는 배선을 액적토출법으로 형성하고, 도전성 재료는 Ag 혹은 Ag를 함유한 합금으로 형성할 수 있다. 또한, 그 게이트 전극 또는 배선의 상층에는, 질화규소막 혹은 질화산화규소막을 접해서 설치함으로써 산화에 의한 게이트 전극의 열화를 방지할 수 있다.

본 발명은, TFT의 주요부인 반도체층을, 수소와 할로젠 원소를 포함하고, 결정구조를 포함하는 세미 아모퍼스 (amorphous) 반도체로 형성하는 것도 가능하다. 그것에 의하여, n채널형 TFT만으로 구성되는 구동회로를 설치할 수 있다. 즉, 반도체층에 수소와 할로젠 원소를 포함하는 결정구조를 포함하는 반도체이고, $1\text{cm}^2/\text{V}\cdot\text{sec} \sim 15\text{cm}^2/\text{V}\cdot\text{sec}$ 의 전계 효과 이동도에서 동작가능한 TFT에 의해 구동회로를 동일 기판 위에 실현할 수 있다.

본 발명에 의하면, 액적토출법에 의해, 배선 또는 마스크의 패터닝을 직접 행할 수 있으므로, 재료의 이용 효율을 향상시키고, 또한, 제조 공정을 간략화한 TFT 및 그것을 사용한 표시장치를 얻을 수 있다.

도면의 간단한 설명

도 1은 본 발명의 특정 국면에 따른 EL 표시 패널의 구성을 설명하는 평면도,

도 2는 본 발명의 특정 국면에 따른 EL 표시 패널의 구성을 설명하는 평면도,

도 3은 본 발명의 특정 국면에 따른 EL 표시 패널의 구성을 설명하는 평면도,

도 4a 내지 도 4c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,

도 5a 내지 도 5c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,

도 6a 내지 도 6c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,

- 도 7은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
 도 8은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
 도 9는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
 도 10은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
 도 11은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
 도 12a 내지 도 12c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
 도 13은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
 도 14는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
 도 15는 본 발명의 특정 국면에 따른 액층 표시 패널을 설명하는 평면도,
 도 16은 도 15에서 설명하는 액정표시 패널의 등가 회로도,
 도 17a 및 도 17b는 본 발명의 특정 국면에 따른 적용가능한 발광소자의 형태를 설명하는 도면,
 도 18a 및 도 18b는 본 발명의 특정 국면에 따른 적용가능한 발광소자의 형태를 설명하는 도면,
 도 19a 및 도 19b는 본 발명의 특정 국면에 따른 EL 표시 패널의 구동회로의 실장방법을 설명하는 도면,
 도 20a 및 도 20b는 본 발명의 특정 국면에 따른 EL 표시 패널의 구동회로의 실장방법을 설명하는 도면,
 도 21a 내지 도 21f는 본 발명의 특정 국면에 따른 EL 표시 패널에 적용할 수 있는 화소의 구성을 설명하는 회로도,
 도 22는 본 발명의 특정 국면에 따른 액층 표시 패널에 있어서 주사선 구동회로를 TFT로 형성하는 경우의 회로 구성을 설명하는 도면,
 도 23은 본 발명의 특정 국면에 따른 액층 표시 패널에 있어서 주사선 구동회로를 TFT로 형성하는 경우의 회로 구성을 설명하는 도면(시프트 레지스터 회로).
 도 24는 본 발명의 특정 국면에 따른 액층 표시 패널에 있어서 주사선 구동회로를 TFT로 형성하는 경우의 회로 구성을 설명하는 도면(버퍼 회로).
 도 25는 본 발명의 특정 국면에 적용할 수 있는 액적토출장치의 구성을 설명하는 도면,
 도 26은 본 발명의 특정 국면에 따른 EL 표시 패널을 설명하는 단면도,
 도 27은 본 발명의 특정 국면에 따른 EL 표시 모듈의 구성예를 설명하는 단면도,
 도 28은 본 발명의 특정 국면에 따른 EL 표시 모듈의 구성예를 설명하는 단면도,
 도 29는 본 발명의 특정 국면에 따른 EL 텔레비전 수상기의 주요 구성을 나타낸 블록도,
 도 30은 본 발명의 특정 국면에 따라 완성되는 EL 텔레비전 수상기의 구성을 설명하는 도면,
 도 31은 본 발명의 특정 국면에 따른 EL 표시 패널을 설명하는 평면도이다.

실시예

본 발명의 실시예에 대해서, 도면을 참조하여 상세하게 설명한다. 이때, 이하의 설명에서, 각 도면간에 공통되는 동등한 부위에서는, 동일한 부호를 붙여서 나타내는 것으로 하고, 중복되는 설명에 관해서는 생략한다. 또한, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해되는 것이다. 따라서, 본 발명은 본 실시예에 한정해서 해석되는 것이 아니다.

도 1은 본 발명에 따른 EL표시 패널의 구성을 나타내는 평면도이다. 절연 표면을 가지는 기판(100) 위에 화소(102)를 매트릭스 위에 배열시킨 화소부(101), 주사선 입력 단자(103), 신호선 입력 단자(104)가 형성되어 있다. 화소수는 여러 가지의 규격을 따라서 설치하여도 된다. XGA이면 화소수는 $1024 \times 768 \times 3$ (RGB), UXGA이면 화소수는 $1600 \times 1200 \times 3$ (RGB), 풀 스펙 하이비전에 대응시키는 것이라면 화소수는 $1920 \times 1080 \times 3$ (RGB)이라고 하여도 된다.

화소(102)는, 주사선 입력 단자(103)로부터 연장하는 주사선과, 신호선 입력 단자(104)로부터 연장하는 신호선이 교차함으로써 매트릭스 모양으로 설치된다. 화소(102)의 각각은, 신호선과 구동용 트랜지스터의 접속 상태를 제어하는 트랜지스터(이하, "스위칭용 트랜지스터" 또는 "스위칭용 TFT"라고도 한다)와, 발광소자에 흐르는 전류를 제어하는 트랜지스터(이하 "구동용 트랜지스터" 또는 "구동용 TFT"라고도 한다.)가 구비되고, 구동용 트랜지스터가 발광소자와 직렬로 접속되어 있다.

TFT는, 주요 구성요소로서, 반도체층, 게이트 절연층 및 게이트 전극을 포함하고 있다. 반도체층에 형성되는 소스 및 드레인 영역에 접속하는 배선이 그것에 부수된다. 구조적으로는 기판측으로부터 반도체층, 게이트 절연층 및 게이트 전극을 설치한 톱 게이트형과, 기판측으로부터 게이트 전극, 게이트 절연층 및 반도체층을 설치한 보텀 게이트형 등이 대표적으로 알려져 있지만, 본 발명에서는 그 구조들 중 어떤 것을 사용해도 된다.

반도체층을 형성하는 재료는, 실란 또는 게르만으로 대표되는 반도체 재료 가스를 사용해서 기상성장법 또는 스퍼터링법으로 제조되는 아모퍼스 반도체(이하, "AS"라고도 한다.), 상기 비정질 반도체를 광 에너지나 열 에너지를 이용해서 결정화시킨 다결정반도체, 또는 세미 아모퍼스(미결정 혹은 마이크로크리스탈이라고도 불린다. 이하 "SAS"라고도 한다.) 반도체 등을 사용할 수 있다.

SAS는, 비정질과 결정구조(단결정, 다결정을 포함함)의 중간적인 구조를 가지고, 자유에너지적으로 안정한 제3의 상태를 갖는 반도체이며, 단거리질서를 갖는 격자 변형을 갖는 결정질 영역을 포함하고 있다. 적어도 막중의 일부의 영역에는, 0.5~20nm의 결정 영역을 관측할 수 있고, 규소를 주성분으로 하는 경우에는, 라만 스펙트럼이 520cm^{-1} 보다도 저파수측으로 쉬프트하고 있다. X선 회절에서는 규소결정격자에 유래한다는 (111) 또는 (220)의 회절 피크가 관측된다. 탱글링 본드의 중화제로서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함되어 있다. SAS는, 규화물 기체를 글로우 방전 분해(플라즈마 CVD)해서 형성한다. 규화물 기체로서는, SiH_4 , 그 밖에도 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하는 것이 가능하다. 또한 GeF_4 을 혼합시켜도 좋다. 이 규화물 기체를 H_2 , 또는, H_2 와 He, Ar, Kr, Ne으로부터 선택된 일종 또는 복수종의 희가스 원소로 희석해도 좋다. 희석율은 2~1000배의 범위. 압력은 개략 0.1Pa~133Pa의 범위, 전원 주파수는 1MHz~120MHz, 바람직하게는 13MHz~60MHz. 기판 가열온도는 300°C 이하에서 좋다. 막중의 불순물원소로서, 산소, 질소, 탄소 등의 대기성분의 불순물은 $1 \times 10^{20}\text{cm}^{-3}$ 이하로 하는 것이 바람직하고, 특히, 산소농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{19}/\text{cm}^3$ 이하로 한다.

도 1은, 주사선 및 신호선에 입력하는 신호를, 외부의 구동회로에 의해 제어하는 EL표시 패널의 구성을 보이고 있다. 그 밖에, 도 2에서 도시한 바와 같이, COG(Chip on Glass)에 의해 드라이버 IC를 기판(100) 위에 설치해도 좋다. 도 2는 주사선 드라이버 IC(105)와 신호선 드라이버 IC(106)를 기판(100)에 설치하는 형태를 보이고 있다. 주사선 드라이버 IC(105)는, 주사선 입력 단자(103)와 화소부(101)와의 사이에 설치된다.

또한, 화소에 설치하는 TFT를 SAS로 형성할 수 있다. SAS를 사용한 TFT는 전계 효과 이동도가 $1\text{cm}^2/\text{V}\cdot\text{sec} \sim 15\text{cm}^2/\text{V}\cdot\text{sec}$ 이므로 구동회로를 형성할 수 있다. 도 3은, 주사선 구동회로(107)를 형성한 예를 나타내고 있다. 또한, 보호회로(108)가 주사선 구동회로(107)와 화소부(101)의 사이에 설치할 수도 있다. 기판(100)에 주사선 구동회로(107)을 TFT로 형성함으로써, 입력 단자의 수를 감소할 수 있다.

패턴의 형성에 사용하는 액적토출장치의 일 형태는 도 25에 도시되어 있다. 액적토출수단(1401)의 개개의 헤드(1403)는 제어수단(1404)에 접속되어 있다. 제어수단(1404)은 헤드(1403)로부터의 액적의 토출을 제어한다. 액적을 토출하는 타이밍은, 그것이 컴퓨터(1407)에 입력된 프로그램에 근거해 제어된다. 액적을 토출하는 위치는, 예를 들면 기관(100) 위에 형성된 마커(1408)를 기준으로 행하면 좋다. 또는, 기관(100)의 테두리를 기준으로 해서 기준점을 확정시켜도 좋다. 기준점은 CCD 등의 촬영수단(1402)으로 검출하고, 화상처리수단(1406)에서 디지털 신호로 변환한 것을 컴퓨터(1407)로 인식해서 제어신호를 발생시킨다. 물론, 기관(100) 위에 형성되어야 할 패턴의 정보는 기록매체(1405)에 저장된 것이고, 이 정보를 기초로 해서 제어수단(1404)에 제어신호를 보내고, 액적토출수단(1401)의 개개의 헤드(1403)를 개별적으로 제어할 수 있다.

다음에, 이러한 액적토출장치를 사용한 EL표시 패널의 제조 공정에 대해서, 이하에 설명한다.

(제1의 실시예)

제1의 실시예로서, 채널 보호형의 TFT의 제조 방법 및 그것을 사용한 표시장치에 관하여 설명한다.

도 4a는, 기관(100) 위에 게이트 전극과, 게이트 전극과 접속하는 게이트 배선 및 용량배선을 액적토출법으로 형성하는 공정을 보이고 있다. 이때, 도 4a는 종단면구조를 나타내고, A-B 및 C-D에 대응하는 평면구조를 도 8에 나타낸다.

기관(100)은, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 혹은 알루미늄 실리케이트 유리 등, 퓨전(fusion) 법이나 플로트(float)법으로 제조되는 무알칼리 유리 기관, 세라믹 기관 외에, 본 제조 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기관 등을 사용할 수 있다. 또한, 단결정 실리콘 등의 반도체기관, 스테인레스 등의 금속 기관의 표면에 절연층을 설치한 기관을 적용해도 좋다.

기관(100) 위에는, 스퍼터링법 또는 증착법 등의 방법에 의해, Ti(티탄), W(텅스텐), Cr(크롬), Ta(탄탈), Ni(니켈), Mo(몰리브덴)등의 금속재료 혹은 그 산화물로 형성되는 하지층(201)을 형성하는 것이 바람직하다. 하지층(201)은 0.01~10nm의 두께로 형성하면 좋지만, 아주 얇게 형성하면 좋으므로, 반드시 층구조를 가지고 있지 않아도 좋다. 또한, 이 하지층(201)은, 게이트 전극을 밀착성 좋게 형성하기 위해서 설치한 것이며, 충분한 밀착성이 얻어지는 것이라면, 하지층(201)을 형성하지 않고 기관(100) 위에 게이트 전극을 액적토출법에 의해 직접 형성해도 된다.

하지층(201) 위에, 도전성 재료를 포함하는 조성물을 액적토출법에 의해 토출하고, 게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)을 형성한다. 이 층들을 형성하는 도전성 재료로서는, Ag(은), Au(금), Cu(동), W(텅스텐) 또는 Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다. 특히, 게이트 배선은, 저저항화하는 것이 바람직하다. 그러므로, 비저항값을 고려하여, 금, 은 또는 동 중 어느 하나의 재료를 용매에 용해 또는 분산시킨 조성물을 사용하는 것이 적합하고, 더 적합하게는, 저저항 은 또는 동을 사용하면 좋다. 게이트 전극은 미세하게 형성할 필요가 있으므로, 바람직하게는, 평균 입경이 5~10nm의 입자를 포함하는 나노 페이스트를 사용하면 좋다.

그 밖에, 도전 재료의 주위를 다른 도전 재료로 덮은 입자를 포함하는 조성물을 토출 형성하고, 게이트 전극을 형성해도 좋다. 예를 들면, Cu의 주변을 Ag로 덮은 입자에 있어서, Cu와 Ag의 사이에 Ni 또는 NiB(니켈 보론)로 이루어진 버퍼층을 설치한 도전성 입자를 사용해도 된다. 용매는, 아세트산 부틸 등의 에스테르류, 이소프로필 알콜 등의 알코올류, 아세톤 등의 유기용제 등에 해당한다. 표면장력과 점도는, 용액의 농도를 조정하거나, 계면활성제 등을 더하거나 해서 적당하게 조정한다.

액적토출법에서 사용하는 노즐의 지름은, 0.02~100 μ m(적합하게는, 30 μ m 이하)로 설정하고, 상기 노즐로부터 토출되는 조성물의 토출량은 0.001pL~100pL(적합하게는, 10pL 이하)로 설정하는 것이 바람직하다. 액적토출법에는, 온 디맨드형과 콘티뉴어스형의 2개의 방식이 있지만, 어느 쪽의 방식을 사용해도 된다. 또한, 액적토출법에서 사용하는 노즐에는, 압전체의 전압인가에 의해 변형하는 성질을 이용한 압전 방식, 노즐내에 설치된 히터에 의해 조성물을 비등시켜 상기 조성물을 토출하는 가열방식이 있지만, 그 어느 쪽의 방식을 사용해도 된다. 피처리물과 노즐의 토출구와의 거리는, 원하는 장소에 액적을 적하하기 위해서, 가능한 한 가까이 해 두는 것이 바람직하고, 적합하게는 0.1~3mm(적합하게는, 1mm이하)정도로 설정한다. 노즐과 피처리물은, 그 상대적인 거리를 유지하면서, 노즐 및 피처리물의 한쪽이 이동하고, 원하는 패턴을 모화한다. 또한, 조성물을 토출하기 전에, 피처리물의 표면에 플라즈마 처리를 실행해도 좋다. 이것은, 플라즈마 처리를 실행하면, 피처리물의 표면이 친수성이 되거나, 소액성이 되거나 하는 것을 활용하기 위해서다. 예를 들면, 순수에 대하여는 친수성이 되고, 알코올을 용매로 한 페이스트에 대해서는 소액성이 된다.

조성물을 토출하는 공정은, 감압하에서 행해도 된다. 이것은, 조성물을 토출해서 피처리물에 착탄하기까지의 동안에, 상기 조성물의 용매가 휘발하고, 후의 건조와 소성의 공정을 생략 또는 짧게할 수 있기 때문이다. 또한, 도전재료를 포함하는 조성물의 소성공정에 있어서, 분압비로 10~30%의 산소를 혼합시킨 가스를 적극적으로 사용함으로써, 게이트 전극을 구성하는 도전막의 저항율을 하강시키고, 또한, 상기 도전막의 박막화 및 평활화를 꾀할 수 있다.

조성물의 토출 후는, 상압하 또는 감압하에서, 레이저광의 조사나 순간 열 어닐, 가열로 등에 의해, 건조와 소성 중 한쪽 또는 양쪽의 공정을 행한다. 건조와 소성의 공정은, 양 공정도 가열처리의 공정이지만, 예를 들면 건조는 1000℃에서 3분간, 소성은 200~350℃에서 15분~120분간 행한다. 건조와 소성의 공정을 양호하게 행하기 위해서는, 기판을 가열하여 두어도 된다. 그 때의 온도는, 기판 등의 재질에 의존하지만, 100~800℃(바람직하게는, 200~350℃)로 한다. 본 공정에 의해, 조성물층의 용매의 휘발 또는 화학적으로 분산제를 제거하고, 주위의 수지가 경화 수축함으로써 용합과 용접을 가속한다. 분위기는, 산소분위기, 질소분위기 또는 공기에서 행한다. 그러나, 금속 원소를 분해 또는 분산되고 있는 용매가 제거되기 쉬운 산소 분위기 하에서 행하는 것이 적합하다.

레이저광의 조사는, 연속발진 또는 펄스 발진의 기체레이저 또는 고체레이저를 사용하면 좋다. 전자의 기체레이저로서는, 엑시머 레이저, YAG 레이저 등을 들 수 있고, 후자의 고체레이저로서는, Cr, Nd 등이 도핑된 YAG 또는 YVO₄ 등의 결정을 사용한 레이저 등을 들 수 있다. 또한, 레이저광의 흡수율의 관계로부터, 연속발진의 레이저를 사용하는 것이 바람직하다. 또한, 펄스 발진과 연속발진을 조합한 소위 하이브리드의 레이저 조사방법을 사용해도 된다. 그러나, 기판의 내열성에 따라서는, 레이저광의 조사에 의한 가열처리는, 수 마이크로 초로부터 수 십초의 사이에서 순간적으로 행하면 좋다. 순간 열 어닐(RTA)은, 불활성가스의 분위기하에서, 자외광 내지 적외광을 조사하는 적외 램프나 할로겐 램프 등을 사용하여, 급격하게 온도를 상승시키고, 수 마이크로 초로부터 수 분의 사이에서 순간적으로 열을 가해서 행한다. 이 처리는 순간적으로 행하기 때문에, 실질적으로 최표면의 박막만을 가열할 수 있고, 하층의 막에는 영향을 주지 않는다고 하는 이점이 있다.

나노 페이스트(paste)는, 입경이 5~10nm인 도전 입자를 유기용제에 분산 또는 용해시킨 것이지만, 그 밖에도 분산제나, 바인더라고 불리는 열경화성 수지가 포함되어 있다. 바인더는, 소성시에 크랙이나 불균일한 소성 상태가 발생하는 것을 방지하는 동작을 가진다. 그리고, 건조 또는 소성공정에 의해, 유기용제의 증발, 분산제의 분해 제거 및 바인더에 의한 경화 수축이 동시에 진행되는 것에 의해, 나노 입자끼리가 용합 및/또는 용접하여 경화한다. 이 때, 나노 입자는, 수십~수백 nm 까지 성장한다. 근접하는 성장 입자끼리 용합 및/또는 용접해서 서로 연쇄함으로써, 금속연쇄체를 형성한다. 한편, 남은 유기성분의 거의(약 80~90%)는, 금속연쇄체의 외부로 밀어내어져, 결과적으로, 금속연쇄체를 포함하는 도전막과, 그 외층을 덮는 유기성분으로 이루어진 막이 형성된다. 그리고, 유기성분으로 이루어진 막은, 나노 페이스트를 질소 및 산소를 포함하는 분위기 하에서 소성할 때에, 기체중에 포함되는 산소와, 유기성분으로 이루어진 막중에 포함되는 탄소나 수소 등이 반응 하여 제거될 수 있다.

또한, 소성 분위기 하에 산소가 포함되어 있지 않는 경우에는, 별도로, 산소 플라즈마 처리 등에 의해 유기성분으로 이루어진 막을 제거할 수 있다. 이와 같이, 나노 페이스트를 질소 및 산소를 포함하는 분위기 하에서 소성, 또는 건조후 산소 플라즈마로 처리함으로써, 유기성분으로 이루어진 막은 제거되기 때문에, 잔존한 금속연쇄체를 포함하는 도전막의 평활화, 박막화, 저저항화를 꾀할 수 있다. 이때, 도전 재료를 포함하는 조성물을 감압하에서 토출함으로써 조성물층의 용매가 휘발하기 때문에, 후 가열처리(건조 또는 소성)시간을 단축할 수도 있다.

게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)을 형성한 후, 표면이 노출하고 있는 하지층(201)의 처리로서, 하기의 2개의 공정 중 하나의 공정을 행하는 것이 바람직하다.

제1 방법으로서, 게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)과 겹치지 않는 하지층(201)을 절연화하고, 절연층(206)을 형성하는 공정이다(도 4b 참조). 즉, 게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)과 겹치지 않는 하지층(201)을 산화해서 절연화한다. 이와 같이, 하지층(201)을 산화해서 절연화하는 경우에는, 해당 하지층(201)을 0.01~10nm의 두께로 형성해 두는 것이 적합하고, 그렇게 하면 용이하게 산화시킬 수 있다. 이 때, 산화 방법으로서, 산소분위기 하에 노출하는 방법을 사용해도 되고, 열처리를 행하는 방법을 사용해도 된다.

제2의 방법으로서, 게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)을 마스크로 하여서, 하지층(201)을 에칭해서 제거하는 공정이다. 이 공정을 사용하는 경우에는 하지층(201)의 두께에 제약은 없다.

다음에, 플라즈마 CVD법이나 스퍼터링법을 사용하여, 게이트 절연층(207)을 단층 또는 적층구조로 형성한다(도 4c 참조). 특히, 바람직한 형태로서는, 질화규소로 이루어진 제1절연층(208), 산화규소로 이루어진 제2절연층(209), 질화규소로 이루어진 제3절연층(210)의 3층의 적층체를 게이트 절연층으로서 구성시킨다. 또한, 낮은 성막 온도에서 게이트 리크 전류가 적은 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스 원소를 반응 가스에 포함시켜, 형성되는 절연막중에 혼입시키면 좋다. 게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)에 접하는 제1절연층(208)을 질화규소 혹은 질화산화규소로 형성함으로써 산화에 의한 열화를 방지할 수 있다.

다음에, 반도체층(211)을 형성한다. 반도체층(211)은 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용해서 기상성장법이나 스퍼터링법으로 제조되는 AS, 또는 SAS로 형성한다. 기상성장법으로서는, 플라즈마 CVD법이나 열 CVD법을 사용할 수 있다.

플라즈마 CVD법을 사용하는 경우, AS는 반도체 재료 가스인 SiH_4 혹은 SiH_4 와 H_2 의 혼합 기체를 사용해서 형성한다. SAS는, SiH_4 를 H_2 에서 3배~1000배로 희석해서 혼합 기체, 혹은 Si_2H_6 과 GeF_4 의 가스 유량비를 Si_2H_6 대 GeF_4 를 20~40 대 0.9로 희석하면, Si의 조성비가 80% 이상인 SAS를 얻을 수 있다. 특히, 후자의 경우에는, 제3의 절연층(210)과의 계면으로부터 결정성을 반도체층(211)에 갖게 할 수 있기 위해서 바람직하다.

반도체층(211) 위에는, 절연층(212)을 플라즈마 CVD법이나 스퍼터링법으로 형성한다. 이 절연층(212)은, 후의 공정에서 나타낸 것처럼, 게이트 전극과 상대해서 반도체층(211) 위에 잔존시켜서, 채널 보호층으로 한다. 외부로부터 금속이나 유기물질 등의 불순물을 막고, 절연층(212)과 반도체층(211)과의 계면을 청정하게 유지하기 위해서 절연층(212)은 치밀한 막으로 형성하는 것이 바람직하다. 이 절연층(212)은 저온에서 형성하는 것이 바람직하다. 예를 들면, 글로우 방전 분해법에서, 규화물 기체를 아르곤 등의 희가스에서 100배~500배로 희석해서 형성된 질화규소막은, 100°C 이하의 성막 온도에서도 치밀한 막이 형성가능해서 바람직하다.

게이트 절연층(207)으로부터 절연층(212)까지는 대기에 접촉시키지 않고 연속해서 형성하는 것이 가능하다. 즉, 대기성분이나 대기중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층계면을 형성할 수 있으므로, TFT의 특성의 변동을 저감할 수 있다.

다음에, 절연층(212) 위에서, 게이트 전극(203) 및 게이트 전극(205)과 상대하는 위치에, 조성물을 선택적으로 도출하고, 마스크(213)를 형성한다(도 4c 참조). 또한, 마스크(213)는, 에폭시 수지, 아크릴수지, 페놀수지, 노보락 수지, 멜라민수지 또는 우레탄 수지 등의 수지재료를 사용한다. 또한, 마스크(213)는, 벤조시클로부텐, 파릴렌(parylene), 플레어(flare), 투광성 폴리이미드 등의 유기재료, 실록산계 폴리머 등의 중합에 의해 생긴 화합물재료, 수용성 호모 폴리머와 수용성 공중합체를 포함하는 조성물 재료 등을 사용해서 액적도출법으로 형성한다. 또는, 감광제를 포함하는 시판의 레지스트 재료를 사용해도 된다. 예를 들면, 대표적으로는, 노보락 수지와 감광제인 나프토퀴논디아지드(naphthoquinoedi azide) 화합물을 포함하는 포지티브형 레지스트, 베이스 수지, 디페닐실란 디올 및 산발생제를 포함하는 네가티브형 레지스트 등을 사용해도 된다. 어느쪽의 재료를 사용해도, 그 표면장력과 점도는, 용액에 의한 희석이나 계면활성제 등을 첨가해서 적당하게 조정한다.

도 4c에서, 마스크(213)를 이용해서 절연층(212)을 에칭하고, 채널 보호층으로서 기능하는 절연층(214)을 형성한다(도 5a 참조). 마스크(213)를 제거하고, 반도체층(211) 및 절연층(214) 위에 n형 반도체층(215)을 형성한다. n형 반도체층(215)은, 실란 gas와 포스핀 가스를 사용해서 형성하면 되고, AS 혹은 SAS로 형성할 수 있다.

다음에, n형 반도체층(215) 위에, 마스크(216)를 액적도출법으로 형성한다. 이 마스크(216)를 이용하고, n형 반도체층(215) 및 반도체층(211)을 에칭해서 반도체층(217)과 n형 반도체층(218)을 형성한다(도 5b 참조.). 이때, 도 5b는 중단면 구조를 모식적으로 나타내고, A-B 및 C-D에 대응하는 평면구조를 도 9에 나타낸다.

이어서, 에칭 가공에 의해 게이트 절연층(207)의 일부에 관통공(219)을 형성하고, 그 하층층에 배치되어 있는 게이트 전극(205)의 일부를 노출시킨다(도 5c 참조). 에칭 가공은, 상기와 같은 마스크를 액적도출법으로 형성해서 행하면 좋다. 에칭 가공은, 플라즈마 에칭 또는 습식 에칭 중 어느쪽을 채용해도 좋다. 대면적 기판을 처리하기 위해서는 플라즈마 에칭이 적합하다. 에칭 가스로서는, CF_4 , NF_3 , Cl_2 또는 BCl_3 등의 불소계 또는 염소계의 가스를 사용하고, He 또는 Ar 등을 적당하게 첨가해도 된다. 또한, 대기압 방전의 에칭 가공을 적용하면, 국소적인 방전 가공도 가능하며, 기판의 전체면에 마스크를 형성할 필요는 없다.

계속해서, 도전성 재료를 포함하는 조성물을 선택적으로 토출하고, 소스 및 드레인에 접속하는 배선(220, 221, 222, 223)을 액적토출법으로 형성한다(도 6a 참조). 도 6a는 종단면구조를 나타내고, A-B 및 C-D에 대응하는 평면구조를 도 10에 나타낸다. 도 10에 나타낸 것처럼, 기관(100)의 일단으로부터 연장되는 배선(240)을 동시에 형성한다. 이것은, 배선(220)과 전기적으로 접속하도록 설치한다. 또한, 도 6a에 나타낸 것처럼, 게이트 절연층(207)에 형성한 관통공(219)에서, 배선(221)과 게이트 전극(205)을 전기적으로 접속시킨다. 이 배선을 형성하는 도전성 재료로서는, Ag(은), Au(금), Cu(동), W(텅스텐) 또는 Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다. 또한 투광성을 가지는 인듐 주석 산화물(이하, "ITO"라고도 한다.), 산화규소를 포함하는 인듐 주석 산화물(이하, "ITSO"라고도 한다.), 유기 인듐, 유기 주석, 산화아연, 질화티타늄 등을 조합해도 된다.

다음에, 배선(220, 221, 222, 223)을 마스크로 하여서, 절연층(214) 상의 n형 반도체층(218)을 에칭하고, 소스 및 드레인 영역을 형성하는 n형 반도체층(224, 225)을 형성한다(도 6b 참조).

배선(223)과 전기적으로 접속하도록, 도전성 재료를 포함하는 조성물을 선택적으로 토출하고, 화소전극에 해당하는 제1 전극(226)을 형성한다(도 6c 참조). 이때, 도 6c는 종단면구조를 나타내고, A-B 및 C-D에 대응하는 평면구조를 도 11에 나타낸다. 이상까지의 공정에 의해, 스위칭용 TFT(231), 구동용 TFT(232), 용량부(233)가 형성된다.

이 제1전극(226)은, 액적토출법을 사용해서 형성한다. 제1전극(226)은, 투과형 EL표시패널을 제조할 경우에는, 인듐 주석 산화물(ITO), 산화규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연, 산화 주석 등을 포함하는 조성물을 사용한다. 그리고, 소정의 패턴을 형성하고, 소성에 의해 화소전극을 형성해도 좋다.

제1전극(226)은, 스퍼터링법에 의해 인듐 주석 산화물(ITO), 산화규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연 등으로 형성한다. 보다 바람직하게는, ITO에 산화규소가 2~10중량% 포함된 타겟을 사용해서 스퍼터링법으로 산화규소를 포함하는 산화 인듐 주석을 사용한다. 이 밖에, 산화규소를 포함하는 산화 인듐에 2~20%의 산화아연을 혼합한 도전성 산화물(이하, "IZO"라고도 함)을 사용해도 된다.

산화규소를 포함하는 산화인듐 주석으로 형성되는 제1전극(226)을, 게이트 절연층(207)에 포함되는 질화규소로 이루어진 제3절연층(210)과 밀접하게 형성한다. 이 구성에 의해, 제1전극(226)을 통해서 기관(100)측에 광을 방사할 때에, 광 손실을 저감할 수 있다.

또한, 광을 기관(100)측과는 반대측으로 방사시키는 구조로 한 경우에는, 제1전극(226)을 Ag(은), Au(금), Cu(동), W(텅스텐) 또는 Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다.

또한, 전체면에 질화규소 혹은 질화산화규소의 보호층(227)과, 절연층(228)을 형성한다. 절연층(228)은, 스핀 코트법이나 딥(dip)법 등 도포법으로 형성가능한 절연체이면 좋다. 보호층(227)과 절연층(228)은, 제1전극(226)의 단부를 덮도록 형성한다. 도 6c에 나타낸 보호층(227)과 절연층(228)의 구조는, 에칭 가공에 의해 형성가능해서, 그것에 의해 제1전극(226)의 표면이 노출한다. 이 에칭은, 절연층(228)의 하층에 있는 보호층(227)이나 게이트 절연층(207)을 동시에 행함으로써, 제1전극(226)과, 게이트 배선(202)이 노출하도록 가공한다.

절연층(228)은, 제1전극(226)에 대응하게 화소가 형성되는 위치에 맞춰서 관통공의 개구부를 구비하여 형성된다. 이 절연층(228)은, 산화규소, 질화규소, 산화질화규소, 산화알루미늄, 질화알루미늄, 산화질화알루미늄 기타의 무기절연성 재료, 또는 아크릴산, 메타크릴산 및 이것들의 유도체, 또는 폴리이미드(polyimide), 방향족폴리이미드, 폴리벤즈이미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 실록산계 재료를 출발 재료로 하여서 형성된 규소, 산소, 수소로 이루어진 화합물 중 Si-O-Si결합을 포함하는 무기 실록산, 규소상의 수소가 메틸이나 페닐과 같은 유기기에 의해 치환된 유기 실록산계의 절연체로 형성할 수 있다. 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용해서 절연층(228)을 형성하면, 그 측면은 곡률반경이 연속적으로 변화되는 형상이 되고, 상층의 박막이 절단되지 않고 형성되기 때문에 바람직하다.

이상의 공정에 의해, 기관(100) 위에 보텀 게이트형(역 스테거형이라고도 한다.)의 TFT와 제1전극이 접속된 EL표시 패널용의 TFT기관(200)이 완성된다.

도 7은 TFT기관(200)에, EL 층(229)을 형성하고, 밀봉기관(236)을 조합한 형태를 보이고 있다. EL 층(229)을 형성하기 전에, 대기압중에서 100℃ 이상의 열처리를 행하는 절연층(228) 중 또는 그 표면에 흡착하고 있는 수분을 제거한다. 또한, 감압하에서 200~400℃, 바람직하게는 250~350℃로 열처리를 행하고, 그대로 대기에 노출시키지 않고 EL 층(229)을 진공증착법이나, 감압하의 액적토출법으로 형성하는 것이 바람직하다.

또한, 제1전극(226)의 표면을 산소 플라즈마에 노출하거나, 자외선광을 조사하여, 표면처리를 첨가해도 된다. 제2전극(230)을 EL 층(229) 위에 형성하고 발광소자(234)가 형성된다. 이 발광소자(234)는 구동용 TFT(232)와 접속된 구조가 된다.

계속해서, 절재(235)를 형성하고, 밀봉기관(236)을 사용해서 봉지한다. 그 후, 게이트 배선(202)에 플렉시블 배선 기관(237)을 접속해도 좋다(도 7 참조).

이상 나타낸 것처럼, 본 실시예에서는, 포토마스크를 이용한 광노광 공정을 사용하지 않고 TFT를 제조하고, 발광소자를 조합한 표시장치를 제조할 수 있다. 본 실시예에서는, 광노광 공정에 관련되는 레지스트 도포나 노광, 현상이라고 한 처리의 일부 또는 전부를 생략할 수 있다. 또한, 액적도출법을 사용해서 기관 위에 직접적으로 각 종의 패턴을 형성함으로써, 1변이 1000mm을 초과하는 제5세대 이후의 유리 기관을 사용해도, 용이하게 EL표시 패널을 제조할 수 있다.

(제2의 실시예)

제2의 실시예로서, 채널 에치형의 TFT의 제조 방법 및 그것을 사용한 표시장치에 관하여 설명한다.

기관(100) 위에, 도전성 재료를 포함하는 조성물을 액적도출법에 의해 토출 하고, 게이트 배선(202), 게이트 전극(203), 용량전극(204), 게이트 전극(205)을 형성한다. 다음에, 플라즈마 CVD법 또는 스퍼터링법을 사용하여, 게이트 절연층(207)을 단층 또는 적층구조로 형성한다. 게이트 절연층(207)은 제1의 실시예와 마찬가지로, 질화규소 및 산화규소를 사용해서 형성해도 좋다. 또한, 활성층으로서 기능하는 반도체층(211)을 형성한다. 이상의 공정은 제1의 실시예와 마찬가지로 이다.

반도체층(211) 위에, n형 반도체층(215)을 형성한다(도 12a 참조). 다음에, n형 반도체층(215)위에, 레지스트 조성물을 선택적으로 토출해서 마스크(302)를 형성한다. 계속해서, 마스크(302)를 이용하여, 반도체층(211)과 n형 반도체층(215)을 에칭한다.

에칭에 의해 분리된 반도체층의 배치에 맞춰서 도전성 재료를 포함하는 조성물을 토출하여, 배선(220, 221, 222, 223)을 형성한다. 이 배선을 마스크로 하여서, n형 반도체층을 에칭한다. 배선(220, 221, 222, 223)과 겹치는 부분에 잔존하는 n형 반도체층(224, 225)은, 그것이 소스 또는 드레인으로서 기능하는 영역을 포함하는 층이 된다. 반도체층(303)은 채널을 형성하는 영역을 포함하고, n형 반도체층(224, 225)과 접해서 형성된다. 또한, 이 에칭 가공 전에, 제1의 실시예와 마찬가지로, 게이트 절연층(207)의 일부에 관통공(219)을 형성하고, 그 하층측에 배치되어 있는 게이트 전극(205)의 일부를 노출시키는 공정을 행함으로써, 배선(221)과 게이트 전극(205)과의 접속 구조를 형성할 수 있다(도 12b 참조).

계속해서, 배선(223)과 전기적으로 접속하도록, 도전성 재료를 포함한 조성물을 토출하여, 제1전극(226)을 형성한다(도 12c 참조).

그 후, 제1의 실시예와 마찬가지로, 보호층(227), 절연층(228), EL층(229), 제2전극(230)을 형성하고, 또한, 절재(235)를 형성하고, 밀봉기관(236)을 사용해서 봉지한다. 그 후, 게이트 배선(202)에 플렉시블 배선 기관(237)을 접속해도 된다. 이 상에 의해, 표시 기능을 가지는 EL표시 패널을 제조할 수 있다(도 13 참조).

(제3의 실시예)

제1의 실시예, 제2의 실시예에 의해 제조되는 EL표시 패널에 있어서, 반도체층을 SAS로 형성함으로써, 도 3에서 설명한 바와 같이, 주사선측 구동회로를 기관(100) 위에 형성할 수 있다.

도 22는, $1\text{cm}^2/\text{V}\cdot\text{sec} \sim 15\text{cm}^2/\text{V}\cdot\text{sec}$ 의 전계 효과 이동도를 얻을 수 있는 SAS를 사용한 n채널형 TFT로 구성하는 주사선 구동회로의 블럭도를 보이고 있다.

도 22에서, 펄스 출력 회로(500)는, 1단계분의 샘플링 펄스를 출력하는 회로이며, 시프트 레지스터를 포함하고 있다. 펄스 출력 회로(500)는 버퍼 회로(501)와 접속하고, 그 끝에 화소(502)(도 3의 화소(102)에 해당함)이 접속된다.

도 23은, 펄스 출력 회로(500)의 구체적인 구성을 나타낸 것이다. 이 펄스 출력회로(500)는, n채널형 TFT(601~613)로 회로가 구성되어 있다. 펄스 출력 회로(500)는, SAS를 사용한 n채널형 TFT의 동작 특성을 고려하여, TFT의 사이즈를 결정하면 좋다. 예를 들면, 채널길이를 8 μ m로 하면, 채널 폭은 10~80 μ m의 범위로 설정할 수 있다.

또한, 버퍼회로(501)의 구체적인 구성을 도 24에 나타낸다. 버퍼회로도 마찬가지로 n채널형 TFT(620~635)로 구성되어 있다. 이 때, SAS를 사용한 n채널형 TFT의 동작 특성을 고려하여, TFT의 사이즈를 결정하면 좋다. 예를 들면, 채널길이를 10 μ m로 하면, 채널 폭은 10~1800 μ m의 범위로 설정하게 된다.

이러한 회로를 실현하기 위해서는, TFT 상호를 배선에 의해 접속할 필요가 있고, 그 경우의 배선의 구성예를 도 14에 나타낸다. 도 14에서는, 제1의 실시예와 마찬가지로, 게이트 전극(203), 게이트 절연층(207)(질화규소로 이루어진 제1절연층(208), 산화규소로 이루어진 제2절연층(209), 질화규소로 이루어진 제3절연층(210)의 3층의 적층체), SAS로 형성되는 반도체층(217), 채널 보호층을 형성하는 절연층(214), 소스 및 드레인을 형성하는 n형 반도체층(224, 225), 배선(220, 221)이 형성된 상태를 보이고 있다. 이 경우, 기판(100) 위에는, 게이트 전극(203)과 같은 공정으로 접속 배선(250, 251, 252)을 형성해 둔다. 그리고, 접속 배선(250, 251, 252)이 노출하도록 게이트 절연층의 일부를 에칭 가공하고, 배선(220, 221) 및 그것과 동일한 공정으로 형성하는 접속 배선(253)에 의해 적당하게 TFT를 접속함으로써 여러가지 회로를 실현할 수 있다.

(제4의 실시예)

제4의 실시예로서, 액적토출법에 의해 제조되는 튜프 게이트형 TFT에 대해서, 도 26과 도 31을 참조해서 설명한다.

기판(100) 위에 액적토출법에 의해, 배선(271, 272, 273, 274, 275)을 형성한다. 이 층들을 형성하는 도전성 재료로서는, Ag(은), Au(금), Cu(동), W(텅스텐) 또는 Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다. 특히, 소스 및 드레인에 접속하는 배선은, 저저항화하는 것이 바람직하므로, 비저항값을 고려하여, 금, 은 또는 동 중 어느 하나의 재료를 용매에 용해 또는 분산되게 한 것을 사용하는 것이 적합하고, 더 적합하게는, 저저항 은 또는 동을 사용하면 좋다. 용매는, 아세트산 부틸 등의 에스테르류, 이소프로필 알콜 등의 알콜류, 아세톤 등의 유기용제 등에 해당한다. 표면장력과 점도는, 용액의 농도를 조정하거나, 계면활성제 등을 가하거나 해서 적당하게 조정한다. 또한, 제1의 실시예와 마찬가지로 하지층을 형성해도 된다.

소스 및 드레인에 접속하는 배선(272, 273, 274, 275) 위에 n형 반도체층을 전체면에 형성한 후, 배선 272와 273의 사이, 및 배선 274와 275의 사이에 있는 n형 반도체층을 에칭해서 제거한다. 그리고, AS 혹은 SAS를 기상성장법 혹은 스퍼터링법으로 형성한다. 플라즈마 CVD법을 사용할 경우, AS는 반도체 재료 가스인 SiH₄ 혹은 SiH₄와 H₂의 혼합 기체를 사용해서 형성한다. SAS는, SiH₄을 H₂에서 3배~1000배로 희석해서 혼합 기체에서 형성한다. 그 후, AS 혹은 SAS와 n형 반도체층을 에칭한다. 그것에 의하여, 반도체층(278), n형 반도체층(276, 277)이 형성된다. SAS를 형성하는 경우에는, 반도체층의 표면층 쪽이 결정성이 양호해서, 게이트 전극(279, 280)을 반도체층(278)의 상층에 형성하는 튜프 게이트형 TFT와의 조합은 적합하다.

반도체층(278)은, 액적토출법에 의해 형성한 마스크를 사용하고, 배선(272, 273, 274, 275)에 대응하는 위치에 형성한다. 즉, 배선 272와 273(혹은 274와 275)을 걸치도록 반도체층(278)을 형성한다. 이 때, 반도체층 278과, 배선(272, 273, 274, 275)과의 사이에는 n형 반도체층 276~277이 개재된다.

이어서, 다음에, 플라즈마 CVD법 또는 스퍼터링법을 사용하여, 게이트 절연층(207)을 단층 또는 적층구조로 형성한다. 게이트 절연층(207)은 제1의 실시예와 마찬가지로, 질화규소 및 산화규소를 사용해서 형성해도 좋다. 또한, 활성층으로서 기능하는 반도체층(211)을 형성한다. 이상의 공정은 제1의 실시예와 마찬가지로이다.

게이트 절연층(207)에 관통공을 형성하고, 배선(273, 275)의 일부를 노출시킨 후, 게이트 전극(279, 280)을 액적토출법으로 형성한다. 이 층을 형성하는 도전성 재료로서는, Ag(은), Au(금), Cu(동), W(텅스텐) 또는 Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다.

배선(275)과 전기적으로 접속하도록, 도전성 재료를 포함하는 조성물을 선택적으로 토출해서 제1전극(226)을 형성한다. 제1전극(226)은 표시장치의 화소전극으로 할 수 있다. 이상까지의 공정에 의해, 스위칭용 TFT(291), 구동용 TFT(292), 용량부(293)가 형성된 TFT 기판을 얻을 수 있다.

이 제1전극(226)은, 액적도출법을 사용해서 형성할 수 있다. 제1전극(226)은, 투과형 EL 표시 패널을 제조하는 경우에는, 인듐 주석 산화물(ITO), 산화규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연, 산화 주석 등을 포함하는 조성물에 의해 소정의 패턴을 형성하고, 소성에 의해 화소전극을 형성해도 좋다.

또한, 바람직하게는, 스퍼터링법에 의해 인듐 주석 산화물(ITO), 산화규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연 등으로 형성한다. 더 바람직하게는, ITO에 산화규소가 2~10중량% 포함된 타겟을 사용해서 스퍼터링법으로 산화규소를 포함하는 산화인듐 주석을 사용해도 된다.

본 실시예의 바람직한 구성으로서, 산화규소를 포함하는 산화인듐 주석으로 형성되는 제1전극(226)은, 게이트 절연층(207)에 포함되는 질화규소로 이루어진 제3절연층(210)과 밀접하게 형성된다. 그것에 의해 EL층에서 발광한 빛이 외부로 방사되는 비율을 향상시킬 수 있다고 하는 효과를 발현시킬 수 있다.

또한, 전체면에 절연층(228)을 형성한다. 절연층(228)은, 스펀 코트법이나 딥법에 의해 전체면에 절연층을 형성한 후, 에칭 가공에 의해 도 26에 나타낸 것처럼 개공을 형성한다. 이 에칭은, 절연층(228)의 하층에 있는 보호층(227)이나 게이트 절연층(207)을 동시에 행함으로써, 제1전극(226)과, 배선(271)이 노출하도록 가공한다. 또한, 액적도출법에 의해 절연층(228)을 형성하면, 에칭 가공은 반드시 필요없다.

절연층(228)은, 제1전극(226)에 대응하게 화소가 형성되는 위치에 맞춰서 관통공의 개구부를 구비해서 형성된다. 이 절연층(228)은, 산화규소, 질화규소, 산화질화규소, 산화알루미늄, 질화알루미늄, 산화질화알루미늄 기타의 무기절연성 재료, 또는 아크릴산, 메타크릴산 및 이것들의 유도체, 또는 폴리이미드(polyimide), 방향족폴리이미드, 폴리벤즈이미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 실록산계 재료를 출발 재료로서 형성된 규소, 산소, 수소로 이루어진 화합물 중 Si-O-Si 결합을 포함하는 무기 실록산, 규소상의 수소가 메틸이나 페닐과 같은 유기기에 의해 치환된 유기 실록산계의 절연체로 형성할 수 있다. 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용해서 절연층(228)을 형성하면, 그 측면은 곡률반경이 연속적으로 변화되는 형상이 되고, 상층의 박막이 절단하지 않고 형성되기 때문에 바람직하다.

이상의 공정에 의해, 기판(100) 위에 튜 게이트형(순 스테거형이라고도 함)의 TFT와 제1전극이 접속된 EL표시패널용 TFT기판이 완성된다.

그 후, EL 층(229)을 형성하고, 밀봉기판(236)을 조합한다. EL 층(229)을 형성하기 전에, 대기압중에서 200℃의 열처리를 행해 절연층(228) 가운데 또는 그 표면에 흡착하고 있는 수분을 제거한다. 또한, 감압 하에서 200~400℃, 바람직하게는 250~350℃로 열처리를 행하고, 그대로 대기에 노출시키지 않고 EL 층(229)을 진공증착법이나, 감압 상태의 액적도출법으로 형성하는 것이 바람직하다.

또한, 제2전극(230)을 EL 층 위에 형성해서 발광소자(234)가 형성된다. 이 발광소자(234)는 구동용 TFT(292)와 접속된 구조가 된다.

계속해서, 절재(235)를 형성하고, 밀봉기판(236)을 고정한다. 그 후, 배선(271)에 플렉시블 배선 기판(237)을 접속해도 된다.

이상 나타낸 것처럼, 본 실시예에서는, 포토마스크를 이용한 광노광 공정을 사용하지 않음으로써 공정을 생략할 수 있다. 또한, 액적도출법을 사용해서 기판 위에 직접적으로 각 종 패턴을 형성함으로써, 1변이 1000mm을 초과하는 제5세대 이후의 유리 기판을 사용해도, 용이하게 표시장치를 제조할 수 있다.

(제5의 실시예)

제1의 실시예 내지 제4의 실시예에서 적용가능한 발광소자의 형태를, 도 17a 및 도 17b와, 도 18a 및 도 18b를 참조하여 설명한다.

도 17a는 제1전극(801)을 투과성의 산화물 도전성 물질로 형성한 예이다. 산화물 도전성 물질은, 산화 인듐 주석에 산화규소를 1~15원자%의 농도로 포함하게 한 것이 바람직하다. 그 위에 정공주입층 혹은 정공수송층(804), 발광층(805), 전자수송층 혹은 전자주입층(806)을 적용한 EL 층(802)을 설치하고 있다. 제2전극(803)은, LiF나 MgAg 등 알칼리 금속 또는 알칼리토류 금속을 포함하는 제1전극층(807)과 알루미늄 등의 금속재료로 형성하는 제2전극층(808)에서 형성하고 있다. 이 구조의 화소는, 도면에 화살표로 도시한 바와 같이, 제1전극(801)층으로부터 빛을 방사하는 것이 가능해진다.

도 17b는 제2전극(803)으로부터 빛을 방사하는 예를 나타내고, 제1전극(801)은 알루미늄 또는 티타늄 등의 금속, 또는 상기 금속과 화학양론적 조성비 이하의 농도로 질소를 포함하는 도전성 물질로 형성하는 제1전극층(809)과, 산화규소를 1~15원자%의 농도로 포함하는 산화물 도전성 물질로 형성하는 제2전극층(810)으로 형성하고 있다. 그 위에 정공주입층 혹은 정공수송층(804), 발광층(805), 전자수송층 혹은 전자주입층(806)을 적층한 EL 층(802)을 설치하고 있다. 제2전극(803)은, LiF나 CaF 등의 알칼리 금속 또는 알칼리토류 금속을 포함하는 제1전극층(807)과 알루미늄 등의 금속재료로 형성하는 제2전극층(808)으로 형성한다. 그렇지만, 어느 쪽의 층도 100nm이하의 두께로서 빛을 투과 가능한 상태로 해둠으로써 제2전극(803)으로부터 빛을 방사하는 것이 가능해진다.

도 18a는 제1전극(801)으로부터 빛을 방사하는 예를 나타내고, 또한, EL층을 전자수송층 혹은 전자주입층(806), 발광층(805), 정공주입층 혹은 정공수송층(804)의 순서로 적층한 구성을 보이고 있다. 제2전극(803)은, EL층(802)측으로부터 산화규소를 1~15원자%의 농도로 포함하는 산화물 도전성 물질로 형성하는 제2전극층(810), 알루미늄, 티타늄 등의 금속, 또는 상기 금속과 화학양론적 조성비 이하의 농도로 질소를 포함하는 금속으로 형성하는 제1전극층(809)으로 형성하고 있다. 제1전극(801)은, LiF나 CaF 등의 알칼리 금속 또는 알칼리토류 금속을 포함하는 제1전극층(807)과 알루미늄 등의 금속재료로 형성하는 제2전극층(808)으로 형성한다. 그러나, 어느쪽의 층도 100nm이하의 두께로서 빛을 투과 가능한 상태로 해둔다. 따라서, 제1전극(801)으로부터 빛을 방사하는 것이 가능해진다.

도 18b는 제2전극(803)으로부터 빛을 방사하는 예를 나타내고, 또한, EL층을 전자수송층 혹은 전자주입층(806), 발광층(805), 정공주입층 혹은 정공수송층(804)의 순서로 적층한 구성을 보이고 있다. 제1전극(801)은 도 18a와 같은 구성으로 하고, 막두께는 EL층에서 발광한 광을 반사가능한 정도로 두껍게 형성하고 있다. 제2전극(803)은, 산화규소를 1~15원자%의 농도로 포함하는 산화물 도전성 재료로 구성하고 있다. 이 구조에서, 정공주입층 혹은 정공수송층(804)을 무기물질인 금속산화물(대표적으로는, 산화몰리브덴 혹은 산화바나듐)로 형성한다. 따라서, 제2전극(803)을 형성할 때에 도입되는 산소가 공급되어서 정공주입성이 향상하고, 구동전압을 저하시킬 수 있다.

(제6의 실시예)

다음에, 제1의 실시예, 제2의 실시예, 제3의 실시예에 의해 제조되는 EL표시 패널에 구동용의 드라이버 회로를 설치하는 형태에 대해서, 도 19a 및 도 19b와 도 20a 및 도 20b를 참조하여 설명한다.

우선, COG방식을 채용한 표시장치에 대해서, 도 19a 및 도 19b를 참조하여 설명한다. 도 19a와 도 19b는 기판(1001) 위에는, 문자나 화상 등의 정보를 표시하는 화소부(1002), 주사선 구동회로(1003, 1004)가 설치된 표시장치를 보이고 있다.

도 19a는, 복수의 구동회로가 형성된 대형기판(1005)을 분단해서 개개의 구동회로(이하, 드라이버 IC라고 표기)를 추출하여, 그것을 실장하고 있다. 대형기판(1005)은 표시장치에 사용하는 유리 기판과 동일하여 된다. 예를 들면, 한변이 300mm로부터 1000mm이상의 사각형의 기판에 드라이버 IC를 복수개 형성하고, 그것을 분단해서 드라이버 IC(1007)로 할 수 있다. 드라이버 IC(1007)는, 화소부의 한변의 길이나 화소 피치를 고려하여, 긴변이 15~80mm, 짧은 변이 1~6mm의 사각형으로 형성해서 분단한다. 그 대형기판(1005)에 결정성 반도체막을 사용한 TFT로 드라이버 IC를 형성함으로써 부품 비용을 저감할 수 있다.

도 19a는 복수의 드라이버 IC(1007)를 기판(1001)에 실장한 형태를 보이고 있다. 드라이버 IC(1007)의 앞에 플렉시블 배선(1006)이 접속되어 외부회로로부터 신호가 입력하는 구성으로 되어 있다. 도 19b는, 대형기판(1008)으로부터 잘라 낸 긴 드라이버 IC(1010)를 기판(1001)에 실장한 구성을 보이고 있다. 상기 드라이버 IC(1010)의 앞에 플렉시블 배선(1009)을 실장한 형태를 나타낸다. 이와 같이 긴 드라이버 IC를 사용함으로써, 부품 점수를 삭감하고, 공정수를 줄일 수 있다.

다음에, TAB방식을 채용한 표시장치에 대해서, 도 20a 및 도 20b를 참조하여 설명한다. 기판(1001) 위에는, 화소부(1002), 주사선 구동회로(1003, 1004)가 설치된다. 도 20a에는 기판(1001)에 복수의 플렉시블 배선(1006)을 부착하고 있다. 플렉시블 배선(1006)에는, 드라이버 IC(1007)를 실장하고 있다. 도 20b는 기판(1001) 위에 플렉시블 배선(1009)을 부착하고, 상기 플렉시블 배선(1009)에 드라이버 IC(1010)를 설치하는 형태를 나타낸다. 후자를 채용하는 경우에는, 강도의 문제로부터 드라이버IC(1010)를 고정하는 금속편 등을 함께 붙여도 된다. 이렇게 긴 드라이버 IC를 사용함으로써 부품 수를 삭감하고, 공정수를 절감할 수 있다.

도 19a 및 도 19b와, 도 20a 및 도 20b와 같이, 드라이버 IC를 유리 기판에 형성함으로써, 특히 긴변의 길이에 대한 제약이 완화되어, 화소부(1002)에 대응하게 실장하는데 필요한 수가 적어지게 된다. 즉, 단결정 실리콘으로 형성한 드라이버 IC에

서는, 기계적인 강도와 기관의 제약으로부터 가로로 긴 드라이버 IC를 제조할 수 없다. 유리 기관 위에 드라이버 IC를 형성하면, 드라이버 IC는 모체로서 사용하는 기관의 형상에 한정되지 않으므로 생산성을 손상하는 경우가 없다. 이것은, 원형의 실리콘 웨이퍼로부터 IC칩을 추출하는 경우와 비교하면, 큰 우위점이다.

도 19a 및 도 19b와, 도 20a 및 도 20b에 나타낸 드라이버 IC(1007)는, 신호선측 구동회로이다. RGB풀 컬러에 대응한 화소영역을 형성하기 위해서는, XGA클래스에서 신호선의 개수가 3072개 필요하며, UXGA클래스에서는 4800개가 필요해진다. 이러한 개수로 형성된 신호선은, 화소부(1002)의 단부에서 수 블록마다 구분하여 인출선을 형성하고, 드라이버 IC(1007)의 출력 단자의 피치에 맞춰서 모아진다.

드라이버 IC는, 기관 위에 형성된 결정질 반도체에 의해 형성하는 것이 적합하고, 상기 결정질 반도체는 연속 발광의 레이저광을 조사하여 형성되는 것이 적합하다. 따라서, 해당 레이저광을 발생시키는 발진기로서는, 연속 발광의 고체레이저 또는 기체레이저를 사용한다. 연속 발광의 레이저를 사용하면, 결정 결함이 적고, 대입경의 다결정 반도체층을 사용하여, 트랜지스터를 작성하는 것이 가능해진다. 또한, 이동도나 응답 속도가 양호하기 때문에 고속구동이 가능하고, 종래보다도 소자의 동작 주파수를 향상시킬 수 있고, 특성 변동이 적기 때문에 높은 신뢰성을 얻을 수 있다. 이때, 소위 동작 주파수의 향상을 목적으로서, 트랜지스터의 채널길이방향과 레이저광의 주사 방향과 일치시키면 좋다. 이것은, 연속 발광 레이저에 의한 레이저 결정화 공정에서는, 트랜지스터의 채널길이방향과 레이저광의 기관에 대한 주사 방향이 대강 병행(바람직하게는, $-30^{\circ} \sim 30^{\circ}$)일 때에, 가장 높은 이동도가 얻어지기 때문이다. 이때, 채널길이방향과는, 채널 형성 영역에 있어서, 전류가 흐르는 방향, 바꾸어 말하며 전하가 이동하는 방향과 일치한다. 이와 같이 제조한 트랜지스터는, 결정립이 채널 방향으로 연장하는 다결정 반도체층으로 구성되는 활성층을 갖고, 이 의미는 결정립계가 대강 채널 방향을 따라 형성되어 있는 것을 의미한다.

레이저 결정화를 행하기 위해서는, 레이저광의 대폭적인 압축을 행하는 것이 바람직하고, 그 빔 스폿의 폭은, 드라이버 IC의 짧은 변의 동일폭의 1~3mm정도라고 하는 것이 좋다. 또한, 피조사체에 대하여, 충분하게 또한 효율적인 에너지밀도를 확보하기 위해서, 레이저광의 조사 영역은, 선형인 것이 바람직하다. 그러나, 여기에서 말하는 선형이란, 엄밀한 의미로 선을 뜻하는 것이 아니고, 에스펙트비가 큰 장방형 혹은 긴 타원형을 의미한다. 선형이란, 에스펙트비가 2이상(바람직하게는, 10~10000)의 것을 가리킨다. 이와 같이, 레이저 광의 빔 스폿의 폭을 드라이버 IC의 짧은 변과 같은 길이로 함으로써 생산성을 향상시킬 수 있다.

도 19a 및 도 19b와, 도 20a 및 도 20b에서는, 주사선 구동회로는, 화소부와 함께 일체로 형성하고, 신호선 구동회로로서 드라이버 IC를 실장한 형태를 보이고 있다. 그러나, 본 실시예에는 이 형태에 한정되지 않고, 주사선 구동회로 및 신호선 구동회로의 양쪽으로 하여서, 드라이버 IC를 실장해도 좋다. 그 경우에는, 주사선측과 신호선측에서 사용하는 드라이버 IC의 사양을 다른 것으로 하면 좋다. 예를 들면, 주사선측의 드라이버 IC를 구성하는 트랜지스터에는 30V정도의 내압이 요구되지만, 구동 주파수는 100kHz이하이고, 비교적 고속동작은 요구되지 않는다. 따라서, 주사선측의 드라이버를 구성하는 트랜지스터의 채널길이(L)는 충분히 크게 설정하는 것이 적합하다. 한편, 신호선측의 드라이버 IC의 트랜지스터에는, 12V정도의 내압이 있으면 충분하지만, 구동 주파수는 3V에서 65MHz정도이고, 고속동작이 요구된다. 그 때문에, 드라이버를 구성하는 트랜지스터의 채널길이 등은 미크론 룰로 설정하는 것이 적합하다.

화소부(1002)는, 신호선과 주사선이 교차해서 매트릭스를 형성하고, 각 교차부에 대응하게 트랜지스터가 배치된다. 본 실시예에는, 화소부(1002)에 배치되는 트랜지스터로서, 비정질 반도체 또는 세미 아모퍼스 반도체로 채널을 형성하는 구성의 TFT를 사용할 수 있다. 비정질 반도체는, 플라즈마 CVD법이나 스퍼터링법 등의 방법에 의해 형성한다. 세미 아모퍼스 반도체는, 플라즈마 CVD법으로 300℃ 이하의 온도에서 형성하는 것이 가능하고, 예를 들면, 외형 치수 550×650mm의 무알칼리 유리 기관이더라도, 트랜지스터를 형성하는데 필요한 막두께를 단시간에 형성한다는 특징을 갖는다. 이러한 제조 기술의 특징은, 대화면 표시장치를 제조하는데 유효하다. 또한, 세미 아모퍼스 TFT는, SAS로 채널 형성 영역을 구성함에 의해 $1\text{cm}^2/\text{V}\cdot\text{sec} \sim 15\text{cm}^2/\text{V}\cdot\text{sec}$ 의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 TFT를 화소의 스위칭용 소자나, 주사선측 구동회로를 구성하는 소자로서 사용할 수 있다.

이상과 같이 하여, EL표시 패널에 구동회로를 조립할 수 있다. 본 실시예에 의하면, 한번이 1000mm를 초과하는 제5세대 이후의 유리 기관을 사용해도, 용이하게 표시장치를 제조할 수 있다.

(제7의 실시예)

제1의 실시예~제6의 실시예에서 나타낸 표시장치에 적용할 수 있는 화소의 구성에 대해서, 도 21a~도 21f에 나타낸 등가회로도 참조하여 설명한다.

도 21a에 나타난 화소는, 열방향으로 신호선(410) 및 전원선(411~413), 행방향으로 주사선(414)이 배치된다. 또한, 스위칭용 TFT(401), 구동용 TFT(403), 전류제어용 TFT(404), 용량소자(402) 및 발광소자(405)를 가진다.

도 21c에 나타난 화소는, 구동용 TFT(403)의 게이트 전극이, 행방향으로 배치된 전원선(416)에 접속되는 점이 다르고, 그 이외는 도 21a에 나타난 화소와 같은 구성이다. 도 21a와 도 21c에 나타난 화소의 차이는, 행방향으로 전원선(412)이 배치되는 경우(도 21a)와, 열방향으로 전원선(412)이 배치되는 경우(도 21c)에, 전원선이 다른 도전체층으로 형성되는데 있다. 여기서, 구동용 TFT(403)의 게이트 전극이 접속되는 배선에 주목하고, 이것들을 제조하는 층이 다른 것을 나타내기 때문에, 도 21a와 도 21c에 나누어 나타내고 있다.

도 21a와 도 21c에 나타난 화소는, 화소내에 구동용 TFT(403)와 전류제어용 TFT(404)가 직렬로 접속되어 있고, 구동용 TFT(403)의 채널길이 L3과 채널 폭 W3, 전류제어용 TFT(404)의 채널길이 L4와 채널 폭 W4는, $L3/W3:L4/W4=5\sim6000:1$ 을 만족시키도록 설정하는 것이 바람직하다. 6000:1을 만족시키는 경우의 일례로서는, L3이 500 μ m, W3이 3 μ m, L4이 3 μ m, W4이 100 μ m인 경우가 있다.

구동용 TFT(403)는, 포화 영역에서 동작하여 발광소자(405)에 흐르는 전류치를 제어한다. 전류제어용 TFT(404)는 선형 영역에서 동작하여 발광소자(405)에 대한 전류의 공급을 제어한다. 이 TFT들은 같은 도전형을 가지고 있으면 제조 공정 상 바람직하다. 또한, 구동용 TFT(403)는, 인헨스먼트형 뿐만 아니라 디플리션형(depletion) TFT를 사용해도 된다. 상기 구성을 갖는 본 발명은, 전류제어용 TFT(404)가 선형영역에서 동작하기 때문에, 전류제어용 TFT(404)의 VGS의 약간의 변동은 발광소자(405)의 전류치에 영향을 미치지 않는다. 즉, 발광소자(405)의 전류치는, 포화 영역에서 동작하는 구동용 TFT(403)에 의해 결정된다. 상기 구성을 갖는 본 발명은, TFT의 특성 변동에 기인한 발광소자의 휘도 변동을 개선해서 화질을 향상시킨 표시장치를 제공할 수 있다.

도 21a와 도 21c에는, 용량소자(402)를 설치한 구성을 나타냈지만, 본 발명은 이것에 한정되지 않는다. 비디오신호를 보유하는 용량이 게이트 용량 등으로 조달하는 것이 가능한 경우에는, 명시적으로 용량소자(402)를 설치하지 않아도 된다.

발광소자(405)는, 2개의 전극간에 전계발광층이 삽입된 구조를 가지고, 순 바이어스 방향의 전압이 인가되도록, 화소전극과 대향전극의 사이(양극과 음극의 사이)에 전위차가 설정된다. 전계발광층은 유기재료나 무기재료 등의 광범위하게 걸친 재료로 구성되어, 이 전계발광층에서의 루미네센스에는, 일중항 여기상태로부터 기저상태로 되돌아올 때의 발광과, 삼중항 여기상태로부터 기저상태로 되돌아올 때의 발광이 포함된다.

도 21b에 나타난 화소는, TFT(406)와 주사선(415)을 추가하고 있는 것 이외는, 도 21a에 나타난 화소구성과 동일하다. 마찬가지로, 도 21d에 나타난 화소는, TFT(406)와 주사선(417)을 추가하고 있는 것 이외는, 도 21c에 나타난 화소구성과 같다. TFT(406)는, 새롭게 배치된 주사선(415)에 의해 온 또는 오프가 제어된다. TFT(406)가 온이 되면, 용량소자(402)에 보유된 전하는 방전하고, TFT(406)가 오프한다. 즉, TFT(406)의 배치에 의해, 강제적으로 발광소자(405)에 전류가 흐르지 않는 상태를 만들 수 있다.

따라서, 도 21b와 도 21d의 구성은, 모든 화소에 대한 신호의 기록을 기다리는 않고, 기록 기간의 시작과 동시에 또는 직후에 점등 기간을 시작할 수 있으므로, 듀티비를 향상하는 것이 가능해진다.

도 21a~도 21d에 나타난 화소에 있어서, TFT(401)는, 화소에 대한 비디오신호의 입력을 제어한다. 스위칭용 TFT(401)가 온되고, 화소내에 비디오신호가 입력되면, 용량소자(402)에 그 비디오신호가 유지된다. 도 21a~도 21d에 나타난 화소와 같이, 발광소자(405)에 직렬로 접속하는 TFT를 복수개 설치하고, 그 중의 하나를 포화 영역에서 동작시킴으로써, 발광소자(405)의 휘도의 변동을 억제한 표시를 행할 수 있다.

도 21e에 나타난 화소는, 열방향으로 신호선(410), 전원선(411, 412), 행방향으로 주사선(414)이 배치된다. 또한, 스위칭용 TFT(401), 구동용 TFT(403), 용량소자(402) 및 발광소자(405)를 가진다. 도 21f에 나타난 화소는, TFT(406)와 주사선(415)을 추가한 것 이외는, 도 21e에 나타난 화소구성과 동일하다. 이때, 도 21f의 구성도, TFT(406)의 배치에 의해, 시간계조로 표시를 행할 때에, 비발광 기간에 대한 발광 기간의 비율을 증가시킬 수 있다.

(제8의 실시예)

제1의 실시예 및 제2의 실시예에서 나타난 표시장치에 있어서, 주사선 입력 단자부와 신호선 입력단자부에 보호 다이오드를 설치한 일 형태에 대해서 도 15를 참조해서 설명한다. 도 15는, 화소(102)에는 스위칭용 TFT(231), 구동용 TFT(232)가 설치된다.

신호선 입력 단자부에는, 보호 다이오드(561, 562)가 설치된다. 이 보호 다이오드는, 스위칭용 TFT(231) 또는 구동용 TFT(232)와 같은 공정으로 제조되어 있다. 보호 다이오드(561, 562)는 TFT의 게이트와 드레인 혹은 소스의 한쪽을 접속하는 것에 의해 다이오드로서 동작된다. 이때, 도 15에 나타난 평면도 등의 등가회로를 도 16에 나타내고 있다.

보호 다이오드(561)는, 게이트 전극(550), 반도체층(551), 채널 보호용 절연층(552), 배선(553)으로 이루어진다. 보호 다이오드(562)도 같은 구조이다. 이 보호 다이오드와 접속하는 공통 전위선(554, 555)은 게이트 전극과 같은 층에 형성하고 있다. 따라서, 배선(553)과 전기적으로 접속하기 위해서는, 게이트 절연층에 콘택홀을 형성할 필요가 있다.

게이트 절연층에의 콘택홀은, 액적도출법에 의해 마스크를 형성하고, 에칭 가공하면 좋다. 이 경우, 대기압 방전의 에칭 가공을 적용하면, 국소적인 방전 가공도 가능하여, 기관의 전체면에 마스크를 형성할 필요는 없다.

신호 배선(238)은 스위칭용 TFT(231)에서의 배선(220)과 같은 층으로 형성되어, 거기에 접속하고 있는 신호 배선(238)과 소스 또는 드레인층이 접속하는 구조로 되어 있다.

주사 신호선층의 입력 단자부에서의 보호 다이오드(563, 564)도 같은 구성이다. 이와 같이, 본 발명에 의하면, 입력단에 설치되는 보호 다이오드를 동시에 형성할 수 있다. 이때, 보호 다이오드를 삽입한 위치는, 본 실시예만으로 한정되지 않고, 도 3에 설명한 바와 같이, 구동회로와 화소와의 사이에 설치할 수도 있다.

(제9의 실시예)

도 27 및 도 28은, 액적도출법에 의해 제조되는 TFT 기관(200)을 사용해서 EL 표시 모듈을 구성한 일례를 보이고 있다. 도 27 및 도 28에서, TFT 기관(200)에는, 화소(102)에 의해 구성되는 화소부(101)가 형성되어 있다.

도 27에서는, 화소부(101)의 외측이며, 구동회로(703)와 화소(102)와의 사이에, 화소에 형성된 것과 마찬가지로 TFT 또는 그 TFT의 게이트와 소스 혹은 드레인의 한쪽을 접속해서 다이오드와 마찬가지로 동작시킨 보호 회로부(701)가 구비되어 있다. 구동회로(703)는, 단결정 반도체로 형성된 드라이버 IC, 유리 기관 위에 다결정 반도체막으로 형성된 스틱 드라이버 IC, 혹은 SAS로 형성된 구동회로 등이 적용되어 있다.

TFT 기관(200)은, 액적도출법으로 형성된 스페이서(708)를 개재하여 밀봉기관(236)과 고정되어 있다. 스페이서는, 기관 두께가 얇고, 또 화소부의 면적이 대형화한 경우에도, 2장의 기관의 간격을 일정하게 유지하기 위해서 설치해 두는 것이 바람직하다. 발광소자(234) 상이고, TFT 기관(200)과 밀봉기관(236)과의 사이에 있는 공간에는 투광성 수지재료를 충전해서 고체화해도 되고, 무수화한 질소 혹은 불활성 기체를 충전시켜도 된다.

도 27에서는 발광소자를 톱 에미션형 구성으로 한 경우를 나타내고, 도면에 나타난 화살표의 방향으로 빛을 방사하는 구성으로 하고 있다. 각 화소는, 화소 102a를 적색, 화소 102b를 녹색, 화소 102c를 청색으로 하여서 발광색을 다르게 해 둠으로써 다색표시를 행할 수 있다. 또한, 이때 밀봉기관(236)측에 각색에 대응한 착색층 709a, 착색층 709b, 착색층 709c를 형성해 둠으로써, 외부에 방사되는 발광의 색순도를 높일 수 있다. 또한, 화소 102a, 102b, 102c를 백색 발광소자로서 착색층(709a, 709b, 709c)과 조합해도 된다.

외부회로(705)는, TFT 기관(200)의 일단에 설치된 주사선 혹은 신호선 접속 단자와, 배선 기관(704)과 접속된다. 또한, TFT 기관(200)에 접하게 또는 근접시켜서, 히트 파이프(706)와 방열판(707)을 설치하고, 방열 효과를 높이는 구성으로 하여도 된다.

이때, 도 27에서는, 톱 에미션형의 EL 모듈로 했지만, 발광소자의 구성이나 외부 회로기관의 배치를 바꾸어서 보텀 에미션 구조로 해도 된다.

도 28은, TFT 기관(200)에서, 화소부가 형성된 층에 절재(235)와 접착성 수지(702)를 사용해서 수지 필름(709)을 접착하여서 밀봉구조를 형성한 일례를 보이고 있다. 수지 필름(709)의 표면에는 수증기의 투과를 방지하는 가스 배리어막을 설

치해 두면 좋다. 도 28에서는, 발광소자의 빛이 기판을 통과하여 방사되는 보텀 에미션의 구성을 보이고 있지만, 수지 필름(708)과 접착성 수지(702)를 투광성으로 함으로써, 톱 에미션 구조로 할 수도 있다. 어떻든간에, 필름 밀봉구조로 함으로써, 소위 표시장치의 초박형화 및 경량화를 꾀할 수 있다.

(제10의 실시예)

제9의 실시예에 의해 제조되는 EL 표시 모듈에 의해, EL 텔레비전 수상기를 완성시킬 수 있다. 도 29는 EL 텔레비전 수상기의 주요 구성을 나타낸 블럭도를 보이고 있다. EL 표시 패널에는, 도 1에 나타낸 바와 같은 구성으로서 화소부(901)가 형성되어서 주사선 구동회로(903)와 신호선 구동회로(902)가 TAB방식에 의해 설치되는 경우와, 도 2에 나타낸 바와 같은 구성으로서 화소부(101)와 그 주변에 주사선 구동회로(903)와 신호선 구동회로(902)가 COG방식에 의해 설치되는 경우와, 도 3에 나타낸 것처럼 SAS로 TFT를 형성하고, 화소부(101)와 주사선 구동회로(903)를 기판 위에 일체로 형성하여 신호선 구동회로(902)를 별도의 드라이버 IC로서 실장하는 경우 등이 있다. 그러나, 어떤 형태로 하여도 된다.

기타의 외부회로의 구성으로서, 영상신호의 입력측은, 튜너(904)로부 수신한 신호 중, 영상신호를 증폭하는 영상신호 증폭회로(905)와, 거기에서 출력되는 신호를 빨강, 초록, 파란의 각 색에 대응한 색신호로 변환하는 영상신호 처리회로(906)와, 그 영상신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(907)등으로 되어 있다. 컨트롤 회로(907)는, 주사선측과 신호선측에 각각 신호가 출력한다. 디지털로 구동하는 경우에는, 신호선측에 신호분할회로(908)를 설치하고, 입력 디지털 신호를 m개로 분할해서 공급하는 구성으로 하여도 된다.

튜너(904)에서 수신한 신호 중, 음성신호는, 음성신호 증폭회로(909)에 보내지고, 그 출력은 음성신호 처리회로(910)를 거쳐서 스피커(913)에 공급된다. 제어회로(911)는 수신국(수신 주파수)이나 음량의 제어정보를 입력부(912)로부터 받고, 튜너(904)나 음성신호 처리회로(910)에 신호를 송출한다.

이러한 외부회로를 내장하여, 도 27 및 도 28에서 설명한 것과 같은 EL모듈을, 도 30에 나타낸 것처럼, 케이싱(920)에 내장하여, 텔레비전 수상기를 완성시킬 수 있다. EL 표시 모듈에 의해 표시 화면(921)이 형성되고, 기타 부속 설비로서 스피커(922), 조작 스위치(924) 등이 구비되어 있다. 이와 같이, 본 발명에 의해 텔레비전 수상기를 완성시킬 수 있다.

물론, 본 발명은 텔레비전 수상기에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등에서의 정보 표시 보드나, 가두에서의 광고 표시 보드 등 특히 대면적의 표시 매체로서 여러가지 용도에 적용할 수 있다.

<부호의 설명>

100 기판, 101 화소부, 102 화소, 102a 화소, 102b 화소, 103 주사선 입력단자, 104 신호선 입력 단자, 105 주사선 드라이버 IC, 106 신호선 드라이버 IC, 107 주사선 구동회로, 108 보호회로, 200 TFT 기판, 201 하지층, 202 게이트 배선, 203 게이트 전극, 204 용량전극, 205 게이트 전극, 206 절연층, 207 게이트 절연층, 208 제1절연층, 209 제2절연층, 210 제3절연층, 212 절연층, 213 마스크, 215 N형 반도체층, 216 마스크, 217 반도체층, 218 N형 반도체층, 219 관통공, 220 배선, 221 배선, 222 배선, 223 배선, 224 N형 반도체층, 225 N형 반도체층, 226 제1전극, 227 보호층, 228 절연층, 229 EL층, 230 제2전극, 231 스위칭용 TFT, 232 구동용 TFT, 233 용량부, 234 발광소자, 235 쉴재, 236 밀봉기판, 237 플렉시블 배선 기판, 238 신호 배선, 240 배선, 250 접속 배선, 251 접속 배선, 252 접속 배선, 253 접속 배선, 271 배선, 272 배선, 273 배선, 274 배선, 275 배선, 276 N형 반도체층, 277 N형 반도체층, 278 반도체층, 279 게이트 전극, 280 게이트 전극, 291 스위칭용 TFT, 292 구동용 TFT, 293 용량부, 302 마스크, 303 반도체층, 401 스위칭용 TFT, 402 용량소자, 404 전류제어용 TFT, 405 발광소자, 406 TFT, 410 신호선, 411 전원선, 412 전원선, 413 전원선, 414 주사선, 415 주사선, 416 전원선, 417 주사선, 500 펄스 출력 회로, 501 버퍼회로, 502 화소, 550 게이트 전극, 551 반도체층, 552 절연층, 553 배선, 554 공통 전위선, 555 공통 전위선, 561 보호 다이오드, 562 보호 다이오드, 563 보호 다이오드, 564 보호 다이오드, 601 N 채널형 TFT, 602 N 채널형 TFT, 603 N 채널형 TFT, 604 N 채널형 TFT, 605 N 채널형 TFT, 606 N 채널형 TFT, 607 N 채널형 TFT, 608 N 채널형 TFT, 609 N 채널형 TFT, 610 N 채널형 TFT, 611 N 채널형 TFT, 612 N 채널형 TFT, 613 N 채널형 TFT, 620 N 채널형 TFT, 621 N 채널형 TFT, 622 N 채널형 TFT, 623 N 채널형 TFT, 624 N 채널형 TFT, 625 N 채널형 TFT, 626 N 채널형 TFT, 627 N 채널형 TFT, 628 N 채널형 TFT, 629 N 채널형 TFT, 630 N 채널형 TFT, 631 N 채널형 TFT, 632 N 채널형 TFT, 633 N 채널형 TFT, 634 N 채널형 TFT, 635 N 채널형 TFT, 701 보호회로부, 702 수지, 703 구동회로, 704 배선 기판, 705 외부회로, 706 히트 파이프, 707 히트 싱크, 708 스페이서, 709 수지 필름, 709a 착색층, 709b 착색층, 709c 착색층, 801 제1전극, 802 EL층, 803 제2전극, 804 정공 주입층 또는 정공 수송층, 805 발광층, 806 전자 전송층 또는 전자 주입층, 807 제1전극, 808 제2전극층, 809 제1전극층, 810 제2전극층, 901 화소부, 902 신호선 구동회로, 903 주사선 구동회로, 904 튜너, 905 영상신호 증폭회로, 906 영상신호 처리회로, 907 컨트롤 회로, 908 신호분할회로, 909 음성신호 증폭회로, 910 음성신호 처리회로, 911 컨트롤

를 회로, 912 입력부, 913 스피커, 920 케이싱, 921 표시 화면, 922 스피커, 924 조작 스위치, 1001 기관, 1002 화소부, 1003 주사선 구동회로, 1004 주사선 구동회로, 1005 대형기관, 1006 플렉시블 배선, 1007 드라이버 IC, 1008 대형기관, 1009 플렉시블 배선, 1010 드라이버 IC, 1401 액적토출수단, 1402 촬영수단, 1403 헤드, 1404 제어수단, 1405 기록매체, 1406 화상처리수단, 1407 컴퓨터, 1408 마커.

도면의 간단한 설명

- 도 1은 본 발명의 특정 국면에 따른 EL 표시 패널의 구성을 설명하는 평면도,
- 도 2는 본 발명의 특정 국면에 따른 EL 표시 패널의 구성을 설명하는 평면도,
- 도 3은 본 발명의 특정 국면에 따른 EL 표시 패널의 구성을 설명하는 평면도,
- 도 4a 내지 도 4c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 5a 내지 도 5c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 6a 내지 도 6c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 7은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 8은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
- 도 9는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
- 도 10은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
- 도 11은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 평면도,
- 도 12a 내지 도 12c는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 13은 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 14는 본 발명의 특정 국면에 따른 EL 표시 패널의 제조 공정을 설명하는 단면도,
- 도 15는 본 발명의 특정 국면에 따른 액층 표시 패널을 설명하는 평면도,
- 도 16은 도 15에서 설명하는 액정표시 패널의 등가 회로도,
- 도 17a 및 도 17b는 본 발명의 특정 국면에 따른 적용가능한 발광소자의 형태를 설명하는 도면,
- 도 18a 및 도 18b는 본 발명의 특정 국면에 따른 적용가능한 발광소자의 형태를 설명하는 도면,
- 도 19a 및 도 19b는 본 발명의 특정 국면에 따른 EL 표시 패널의 구동회로의 실장방법을 설명하는 도면,
- 도 20a 및 도 20b는 본 발명의 특정 국면에 따른 EL 표시 패널의 구동회로의 실장방법을 설명하는 도면,
- 도 21a 내지 도 21f는 본 발명의 특정 국면에 따른 EL 표시 패널에 적용할 수 있는 화소의 구성을 설명하는 회로도,
- 도 22는 본 발명의 특정 국면에 따른 액층 표시 패널에 있어서 주사선 구동회로를 TFT로 형성하는 경우의 회로 구성을 설명하는 도면,

도 23은 본 발명의 특정 국면에 따른 액층 표시 패널에 있어서 주사선 구동회로를 TFT로 형성하는 경우의 회로 구성을 설명하는 도면(시프트 레지스터 회로).

도 24는 본 발명의 특정 국면에 따른 액층 표시 패널에 있어서 주사선 구동회로를 TFT로 형성하는 경우의 회로 구성을 설명하는 도면(버퍼 회로).

도 25는 본 발명의 특정 국면에 적용할 수 있는 액적토출장치의 구성을 설명하는 도면,

도 26은 본 발명의 특정 국면에 따른 EL 표시 패널을 설명하는 단면도,

도 27은 본 발명의 특정 국면에 따른 EL 표시 모듈의 구성예를 설명하는 단면도,

도 28은 본 발명의 특정 국면에 따른 EL 표시 모듈의 구성예를 설명하는 단면도,

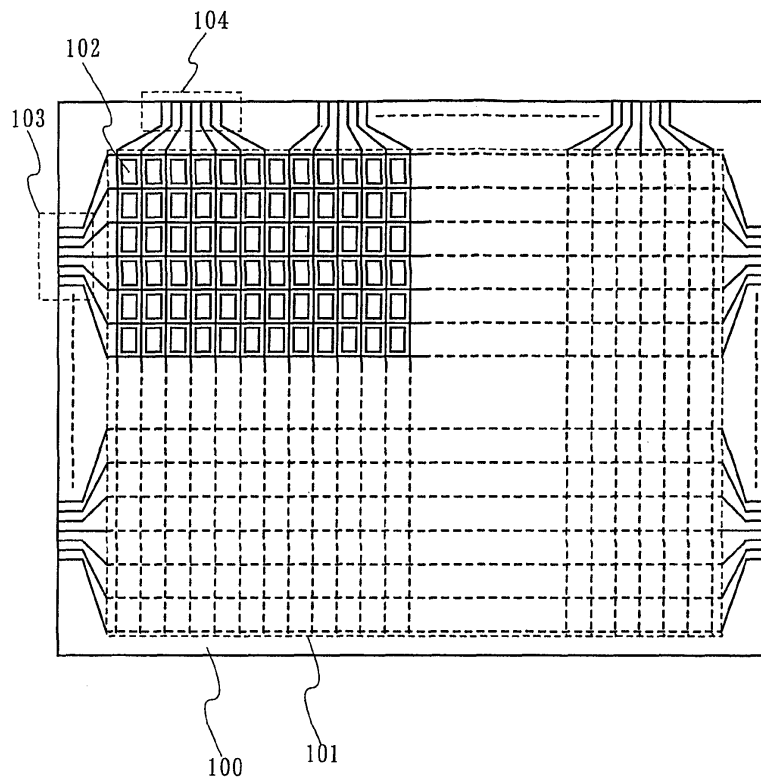
도 29는 본 발명의 특정 국면에 따른 EL 텔레비전 수상기의 주요 구성을 나타낸 블록도,

도 30은 본 발명의 특정 국면에 따라 완성되는 EL 텔레비전 수상기의 구성을 설명하는 도면,

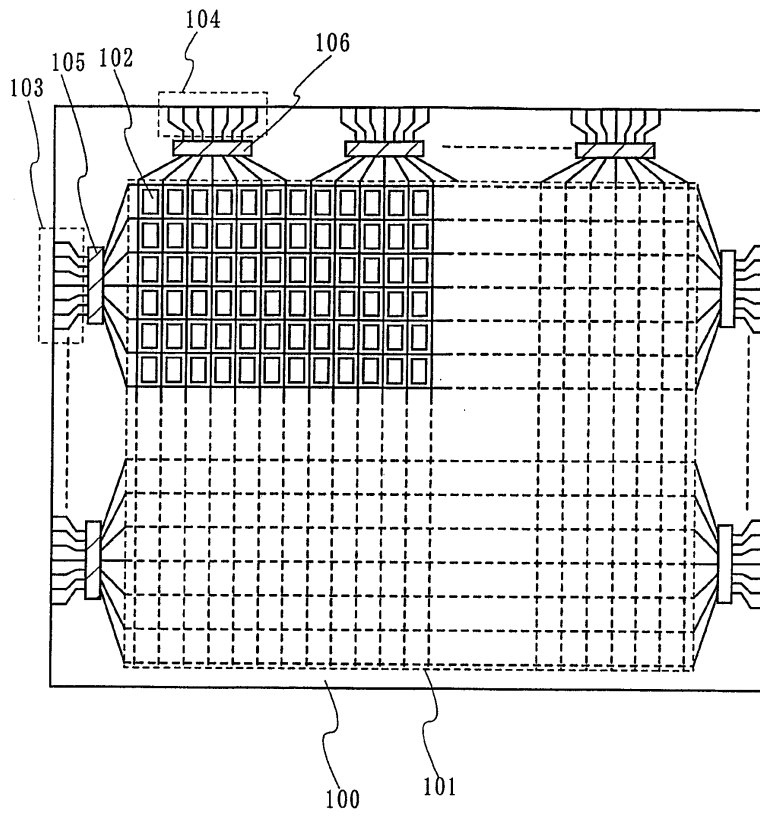
도 31은 본 발명의 특정 국면에 따른 EL 표시 패널을 설명하는 평면도이다.

도면

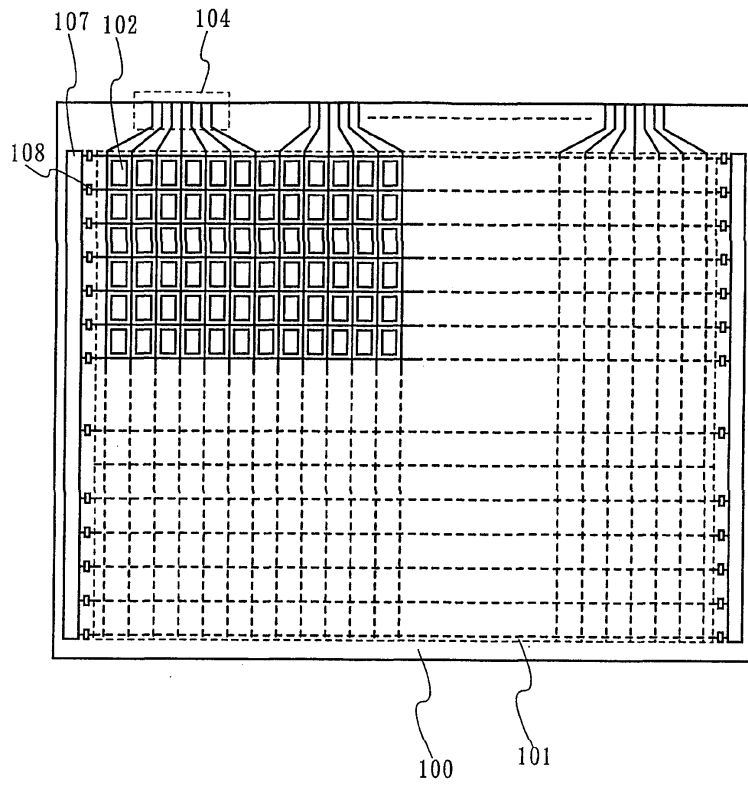
도면1



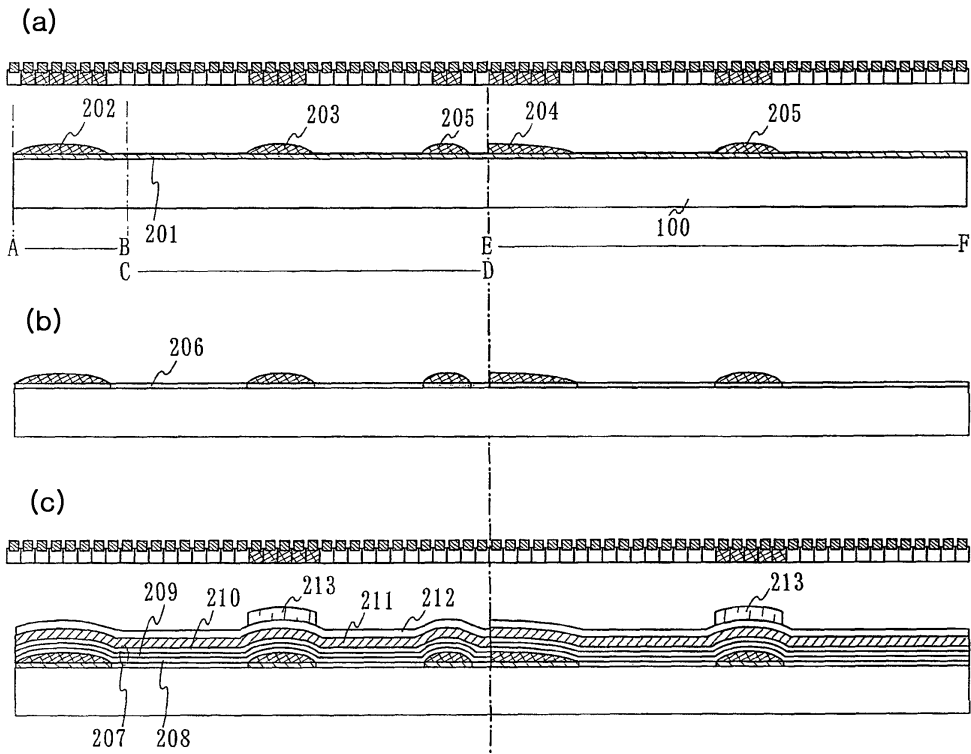
도면2



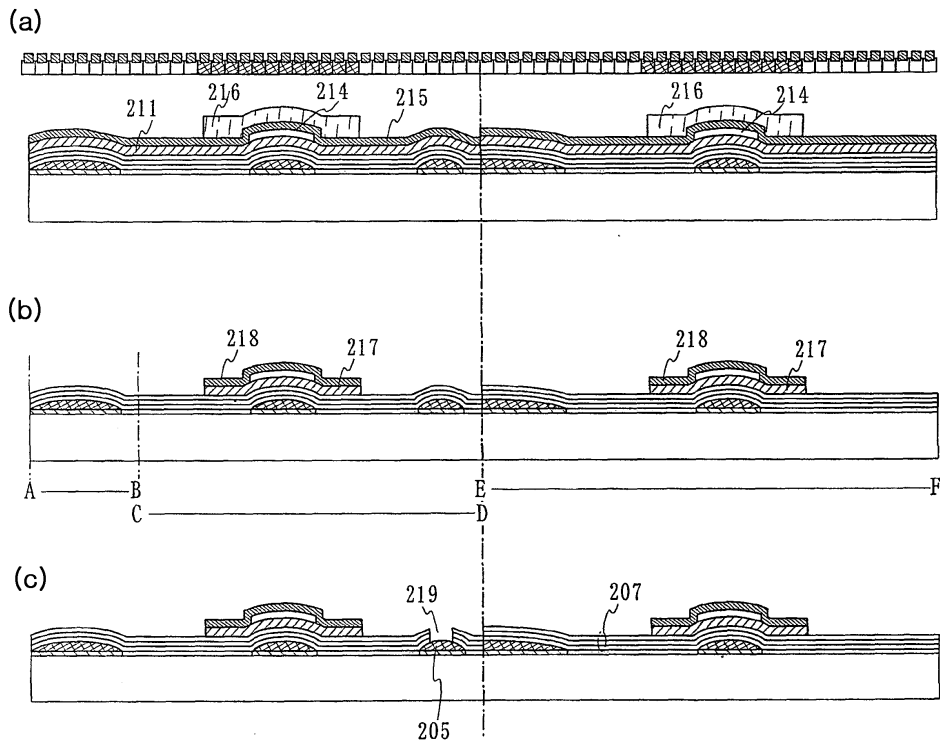
도면3



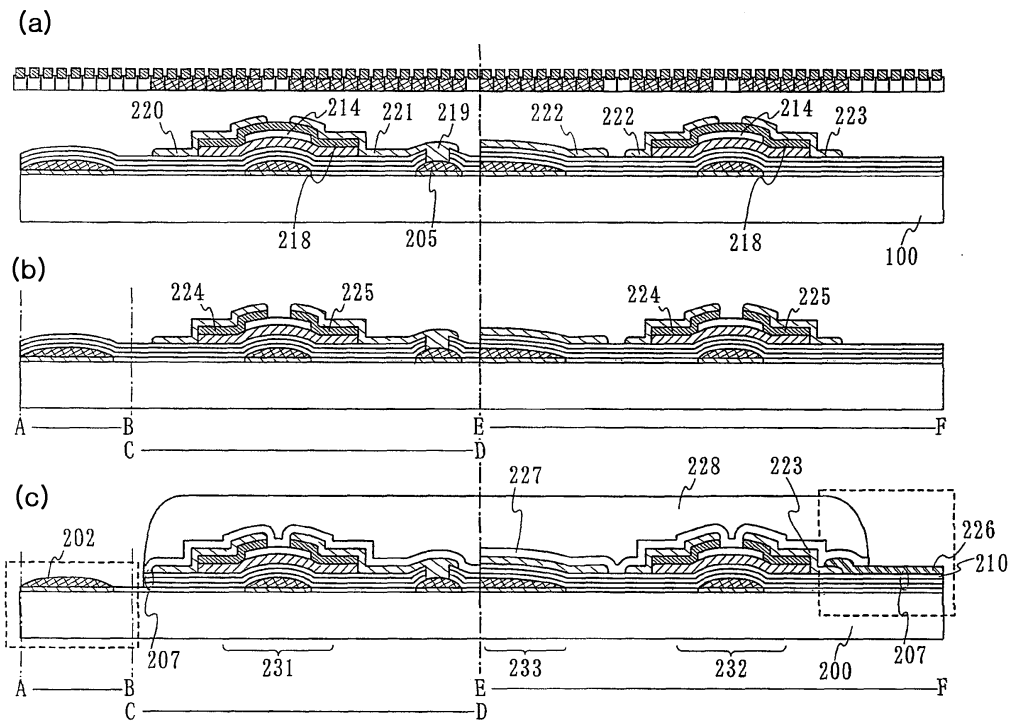
도면4



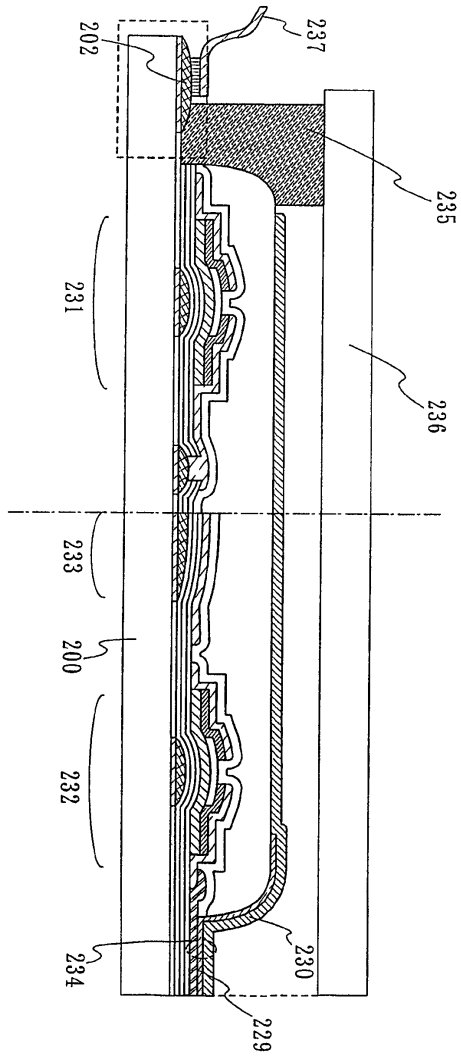
도면5



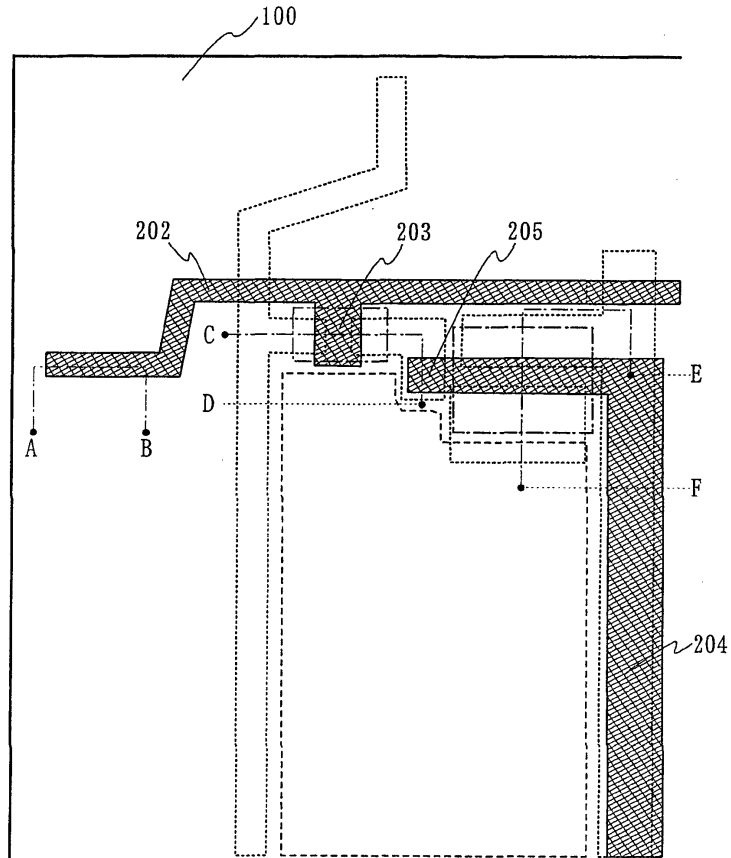
도면6



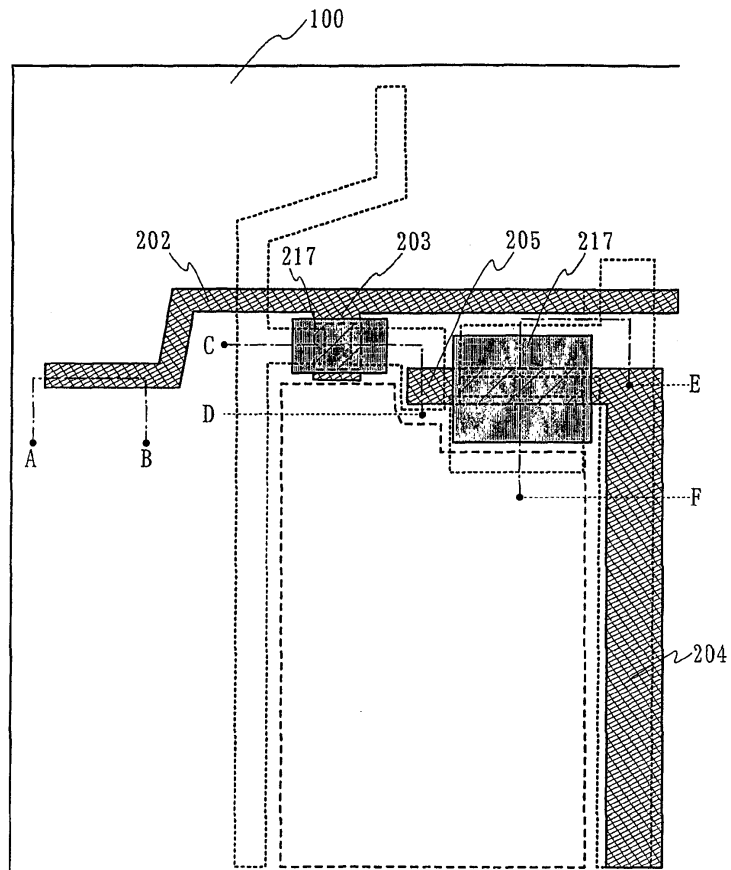
도면7



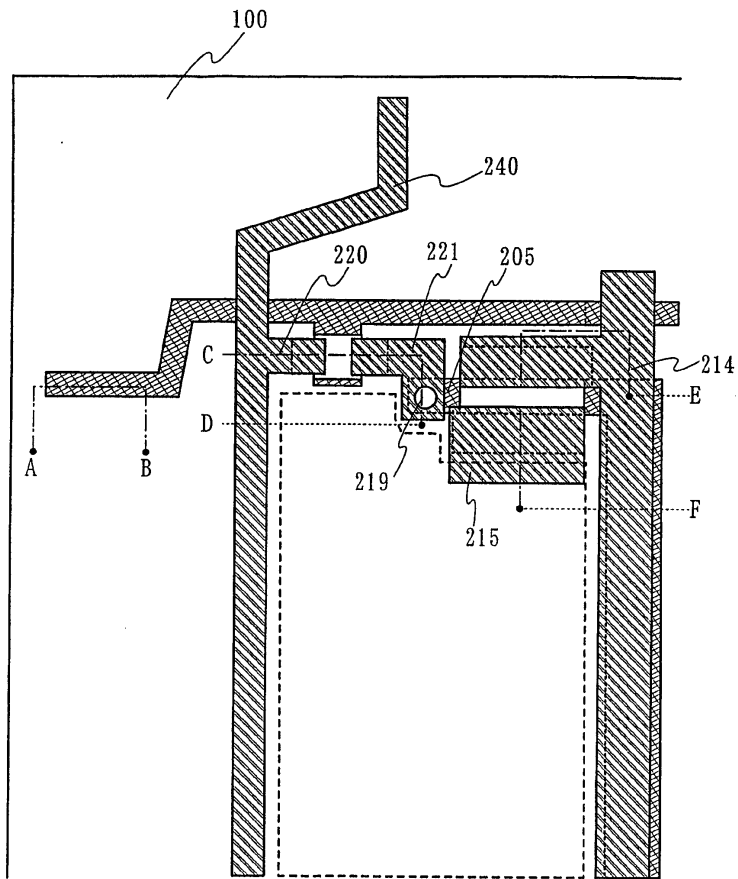
도면8



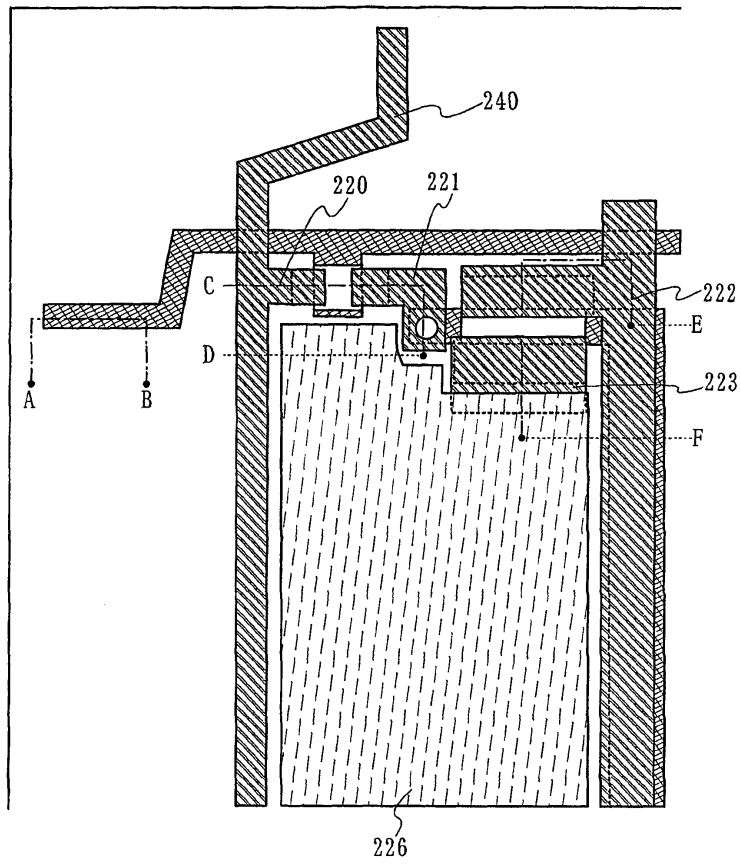
도면9



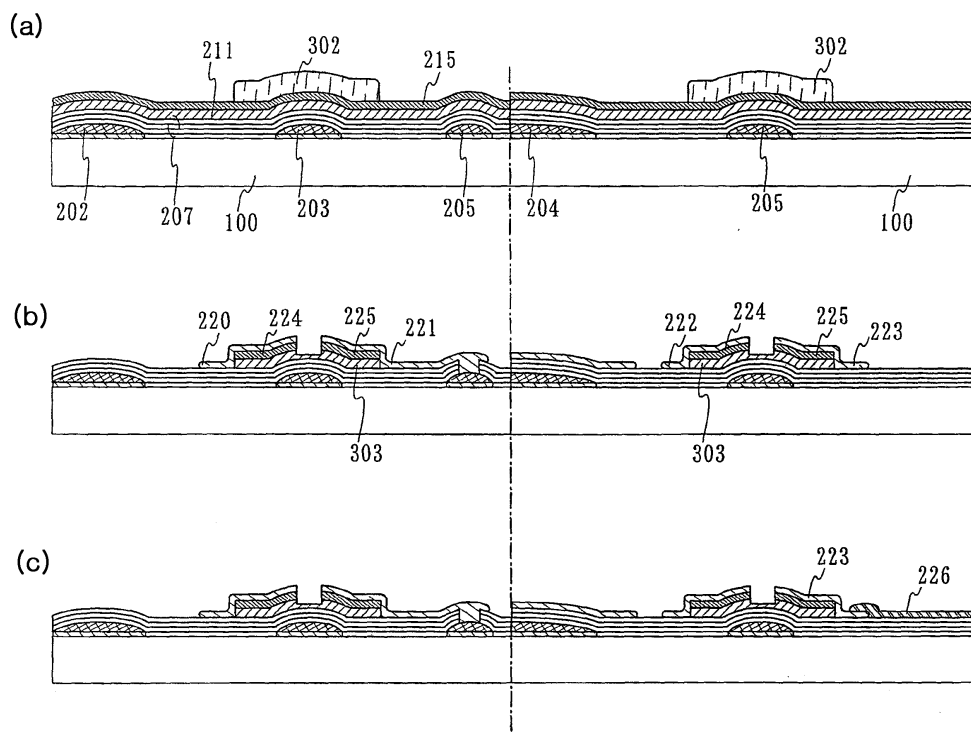
도면10



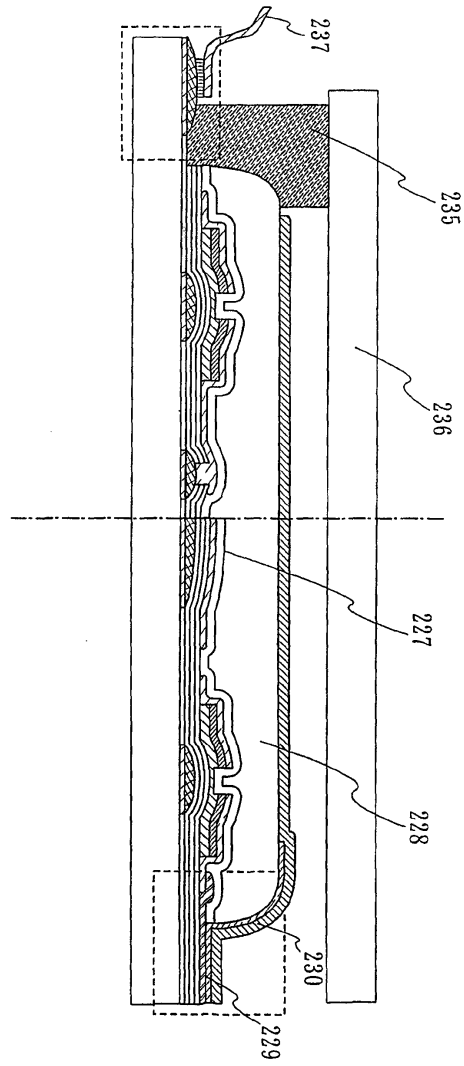
도면11



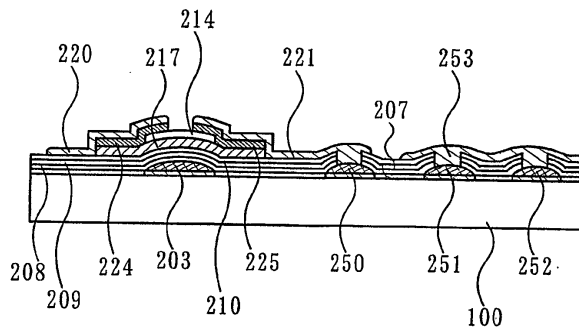
도면12



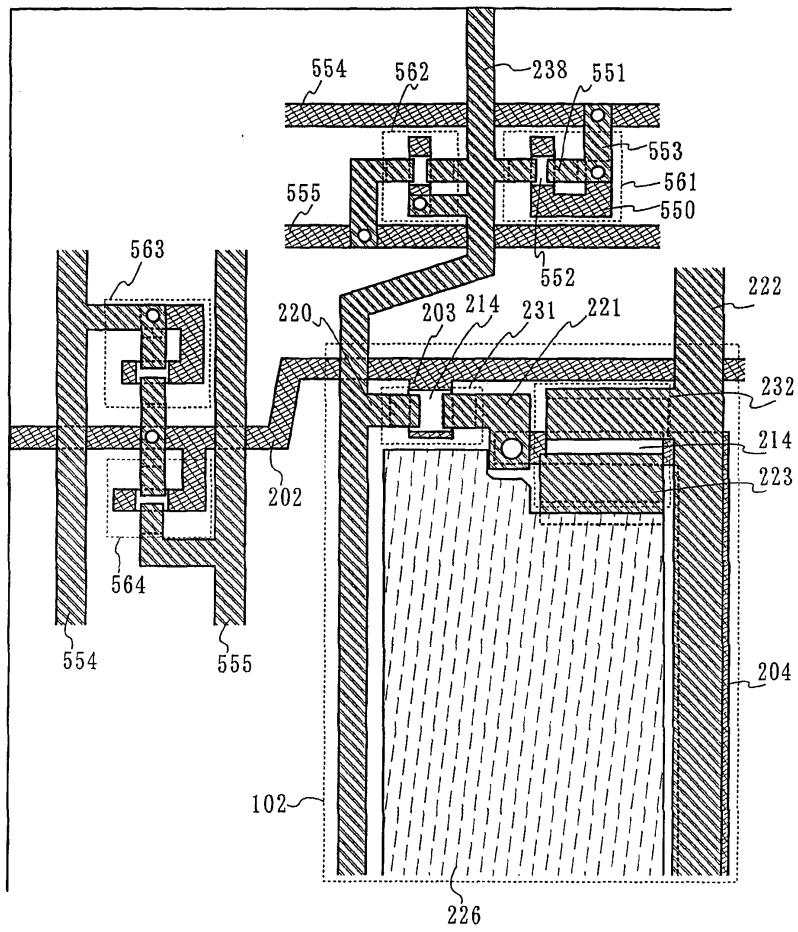
도면13



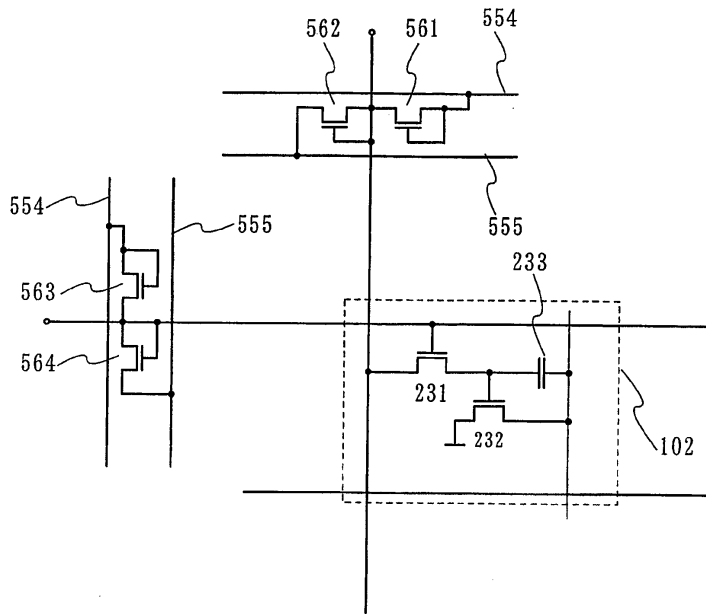
도면14



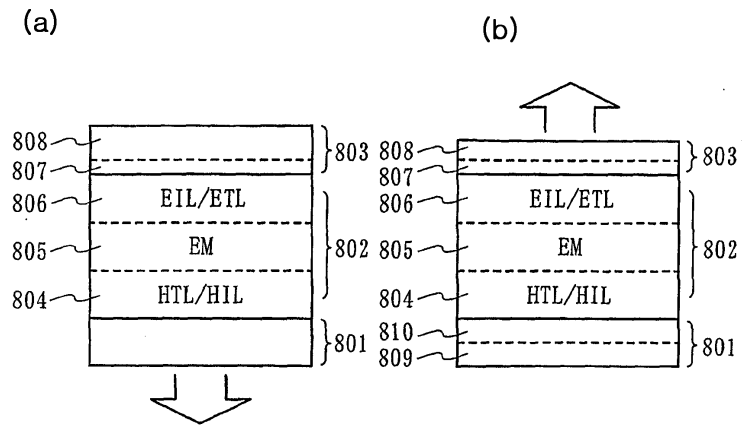
도면15



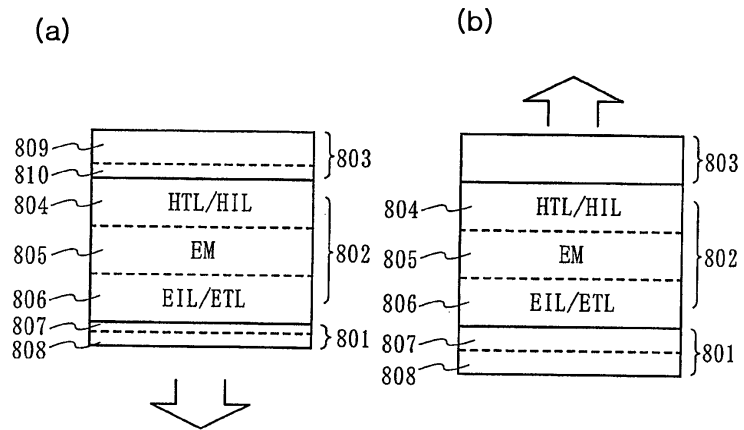
도면16



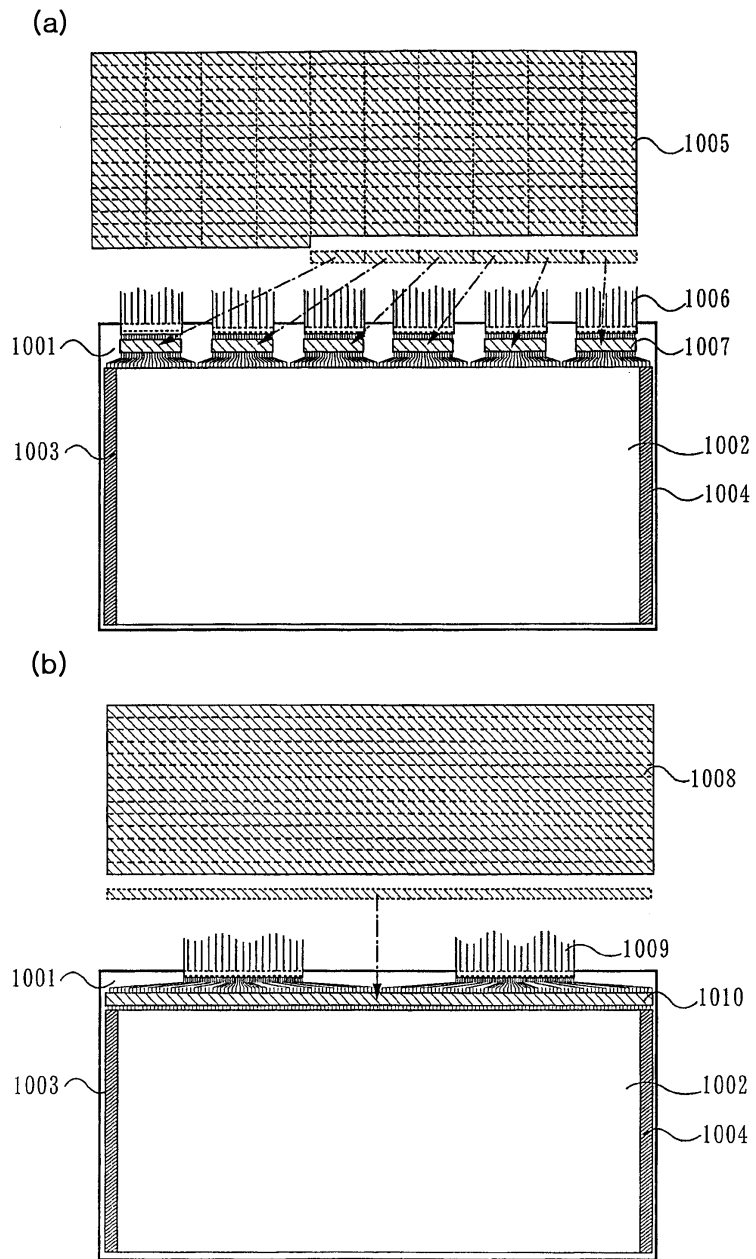
도면17



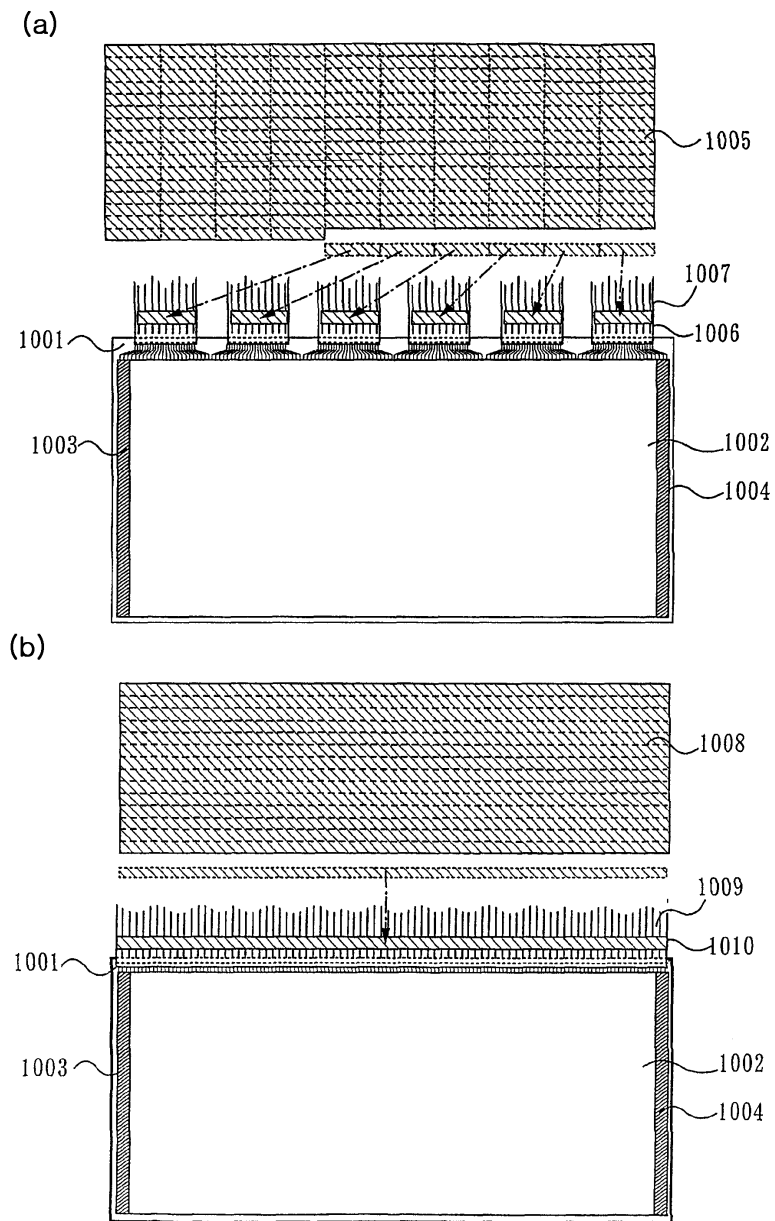
도면18



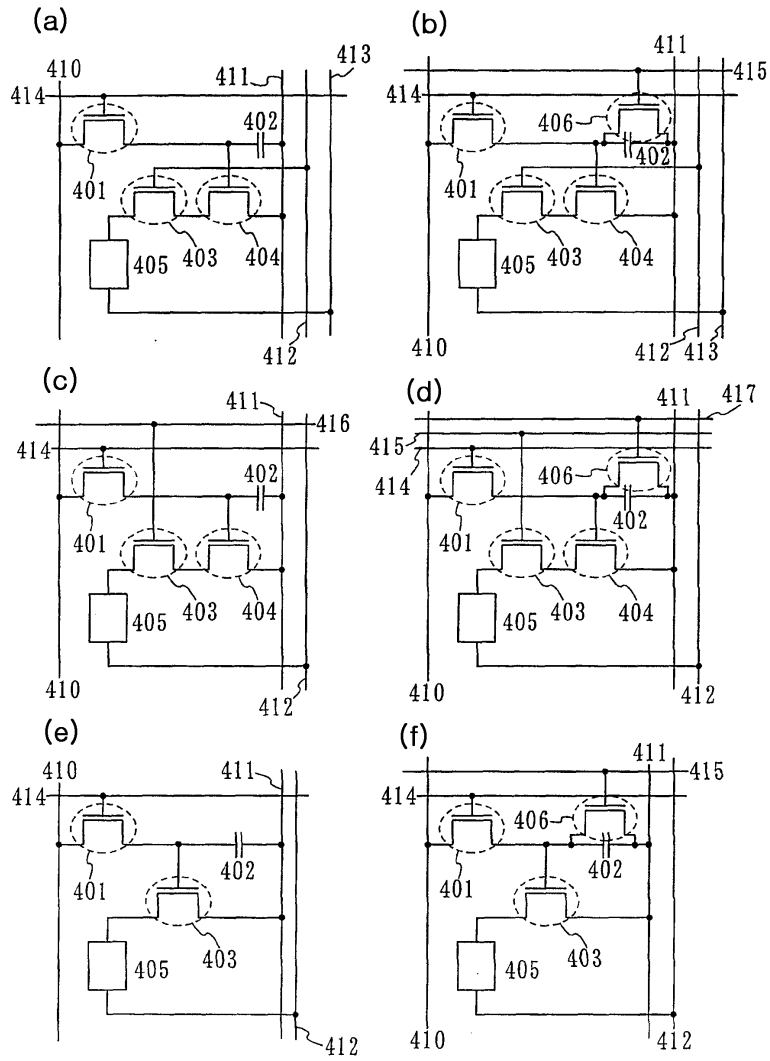
도면19



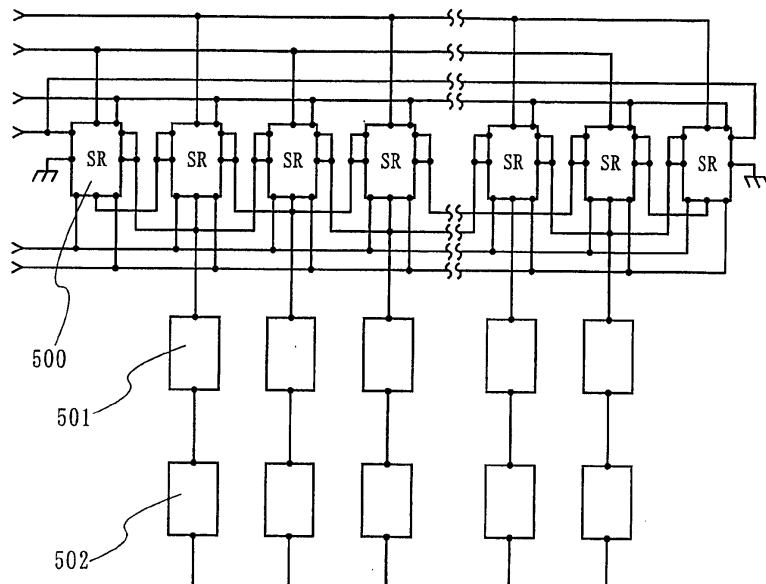
도면20



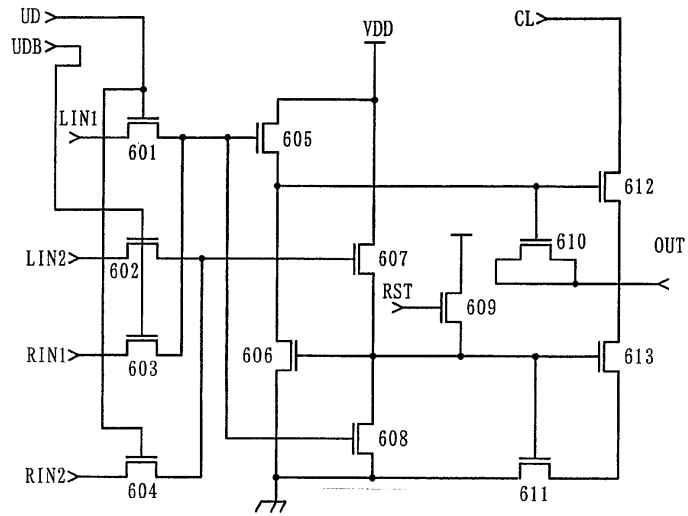
도면21



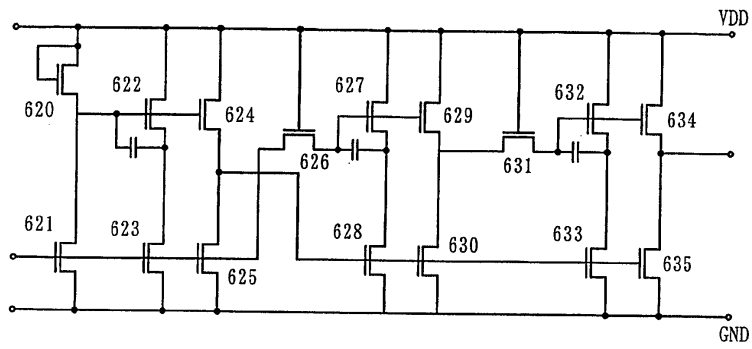
도면22



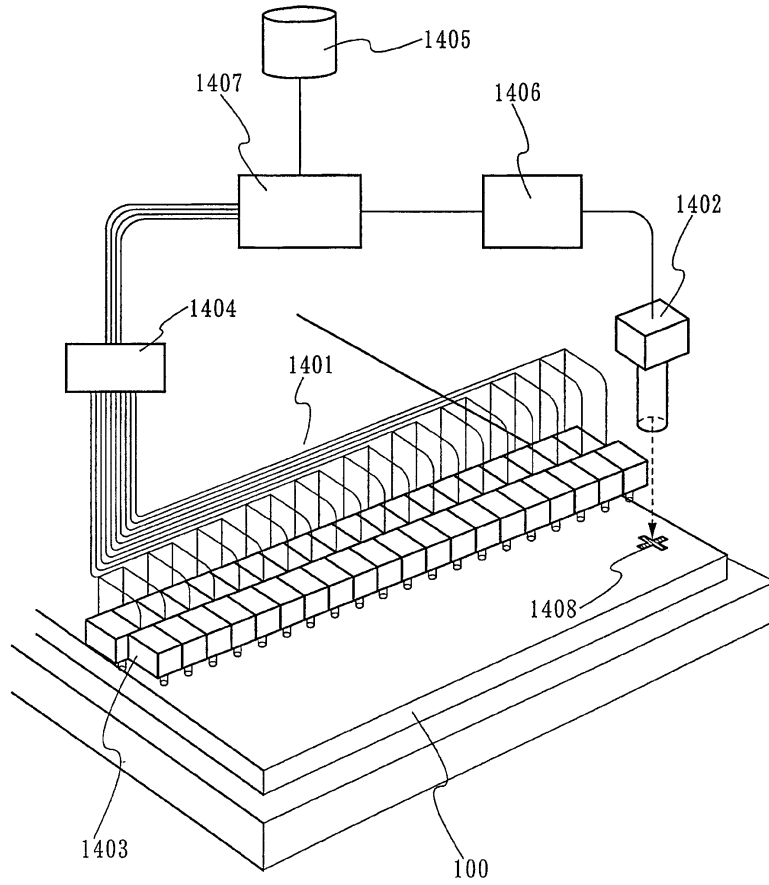
도면23



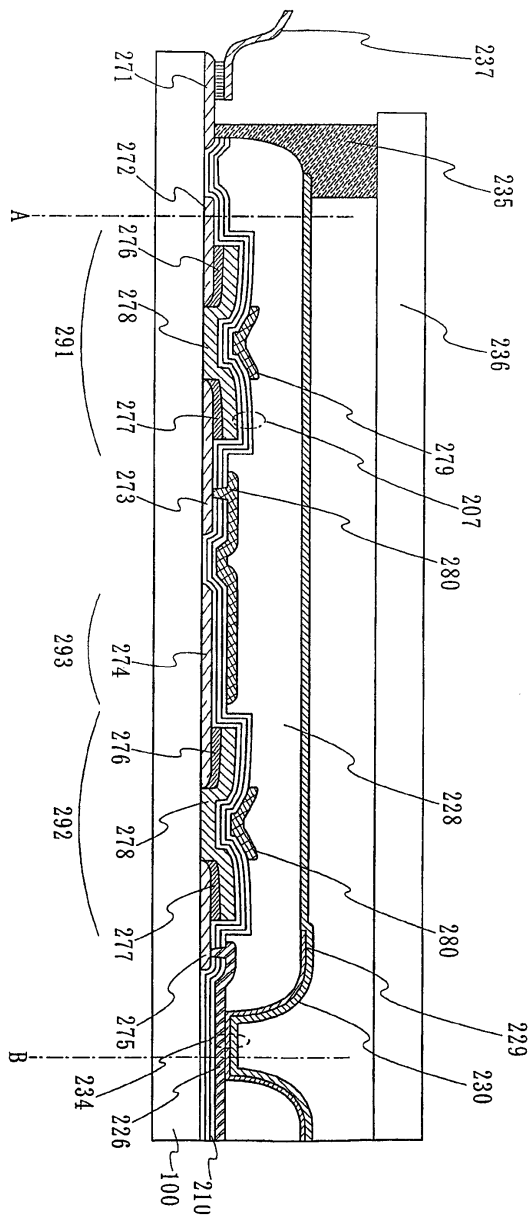
도면24



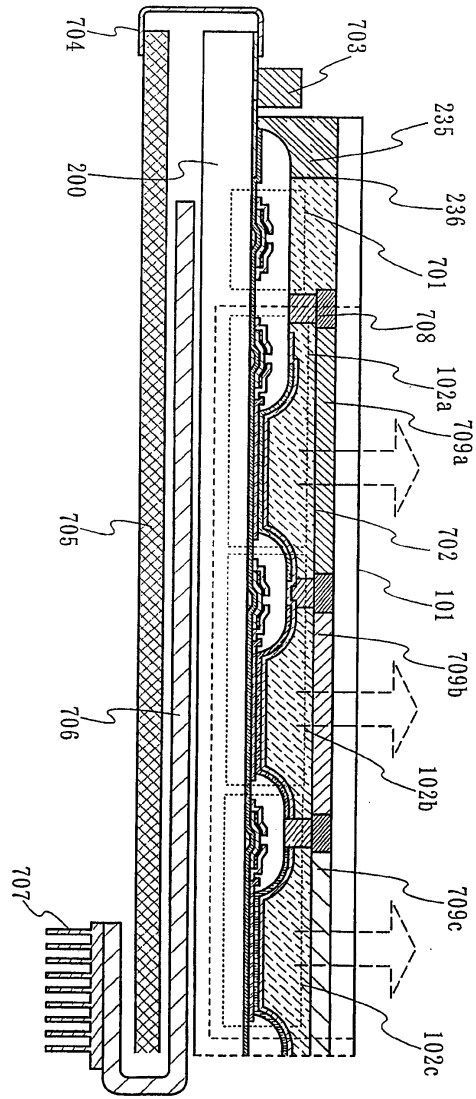
도면25



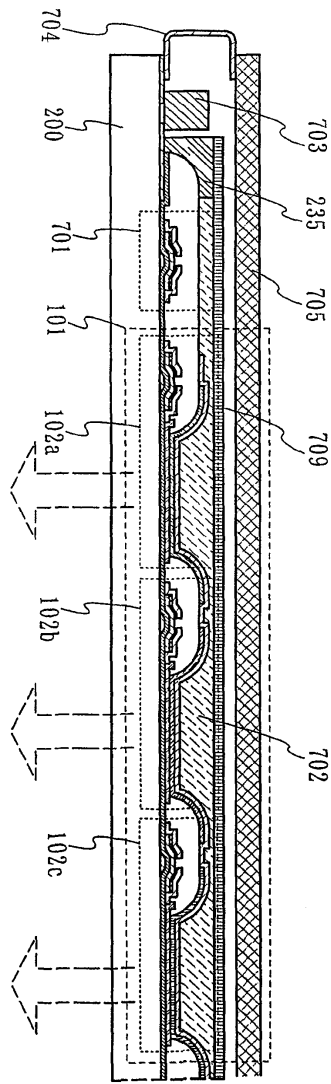
도면26



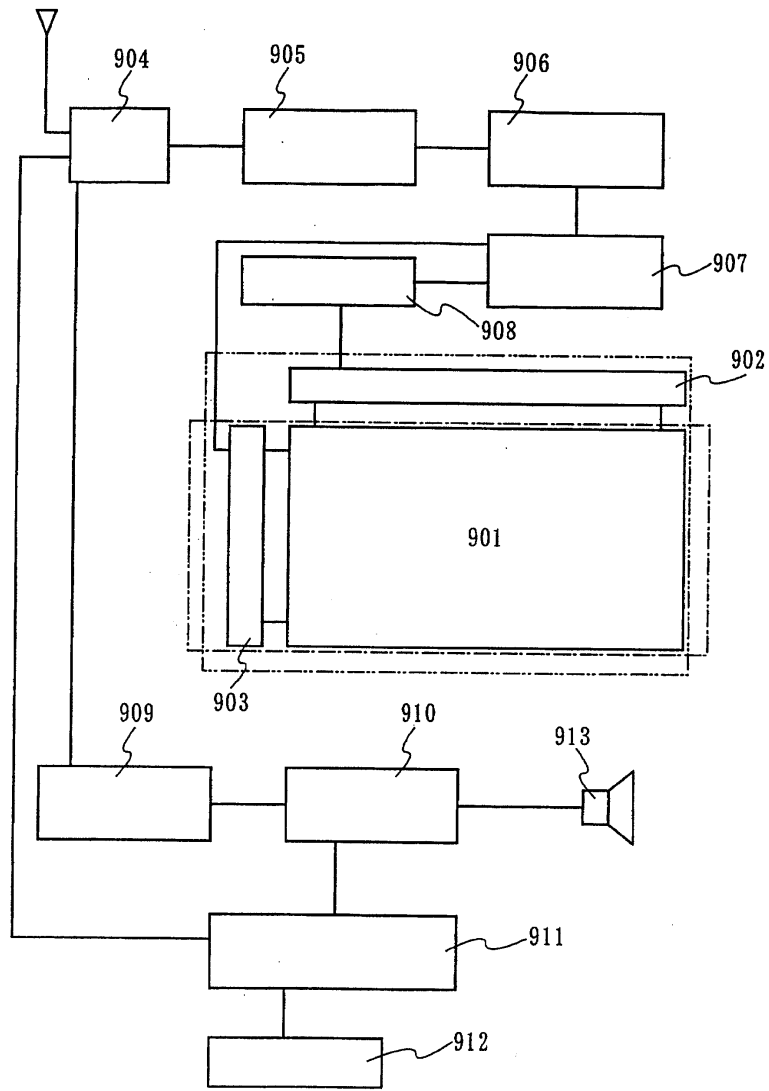
도면27



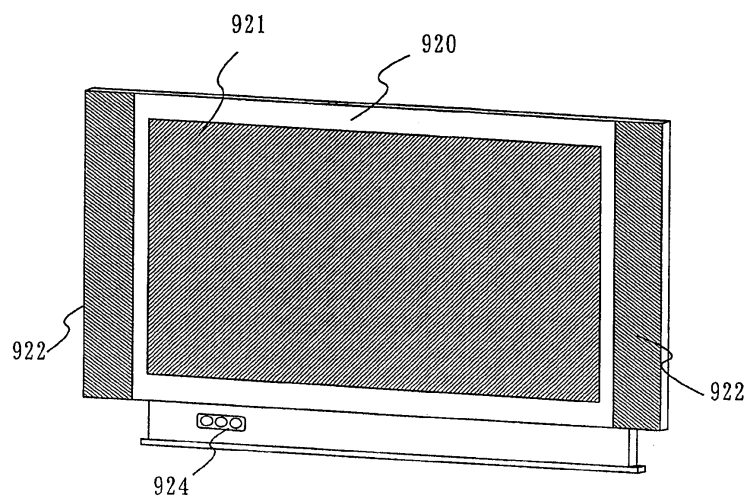
도면28



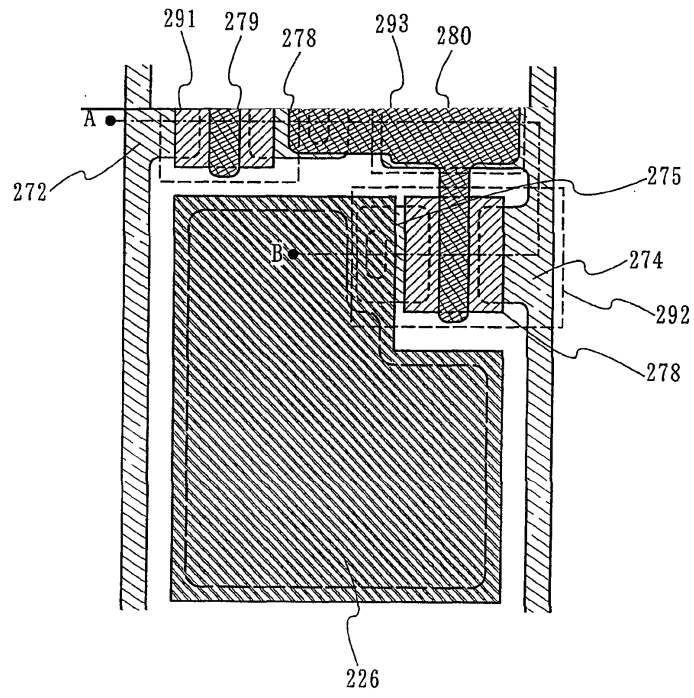
도면29



도면30



도면31



| | | | |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译) | 显示装置，制造该装置的方法， | | |
| 公开(公告)号 | KR1020060133980A | 公开(公告)日 | 2006-12-27 |
| 申请号 | KR1020067010192 | 申请日 | 2004-10-25 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 申请(专利权)人(译) | 株式会社绒布器肯kyusyo极限戴哦 | | |
| 当前申请(专利权)人(译) | 株式会社绒布器肯kyusyo极限戴哦 | | |
| [标]发明人 | YAMAZAKI SHUNPEI 야마자키순페이 MAEKAWA SHINJI 마에가와신지 FURUNO MAKOTO 후루노마코토 NAKAMURA OSAMU 나카무라오사무 IMAI KEITARO 이마이케이타로 | | |
| 发明人 | 야마자키순페이 마에가와신지 후루노마코토 나카무라오사무 이마이케이타로 | | |
| IPC分类号 | H05B33/10 G09F9/30 H05B33/14 H01L21/28 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L27/32 H01L51/56 | | |
| CPC分类号 | H01L27/12 H01L27/1292 H01L27/3276 H01L29/66757 H01L29/66765 H01L51/56 | | |
| 代理人(译) | Yihwaik | | |
| 优先权 | 2003368160 2003-10-28 JP | | |
| 其他公开文献 | KR101088103B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

根据本发明，其中发光元件，其中产生发光的有机物质（称为电致发光）或包含有机物质和无机物质的混合物的介质夹在电极之间的显示装置连接到显示装置。TFT，本发明是通过形成形成布线或电极的导电层中的至少一个或多个来制造显示面板，并且形成制造诸如用于形成预定图案的掩模层的显示面板所需的图案。一种能够选择性地形成图案的方法。作为能够选择性地形成图案的方法，使用能够通过根据特定目标选择性地排出组合物的液滴并形成导电层或绝缘层来形成预定图案的液滴排出方法。

