(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/30

(11) 공개번호 10-2004-0005974
(43) 공개일자 2004년01월16일

(21) 출원번호 10-2003-7015151
(22) 출원일자 2003년11월21일
번역문 제출일자 2003년11월21일
(86) 국제출원번호 PCT/US2002/019600
(86) 국제출원출원일자 2002년06월21일
(87) 국제공개번호 WO 2003/001496
(87) 국제공개일자 2003년01월03일

(30) 우선권주장 60/300,216 2001년06월22일 미국(US)

(71) 출원인 아이비엠 코포레이션
미국 10598 뉴욕주 요크타운 하이츠 루트 134 피 오 박스 218 티 제이 와슨 리서치 센터

(72) 발명자 리브쉬프랭크로버트
미국10605뉴욕주화이트플레인즈데이비스애비뉴100

샌포드제임스로렌스
미국12533뉴욕주호프웰정션폭스런2

(74) 대리인 김창세
장성구
김원준

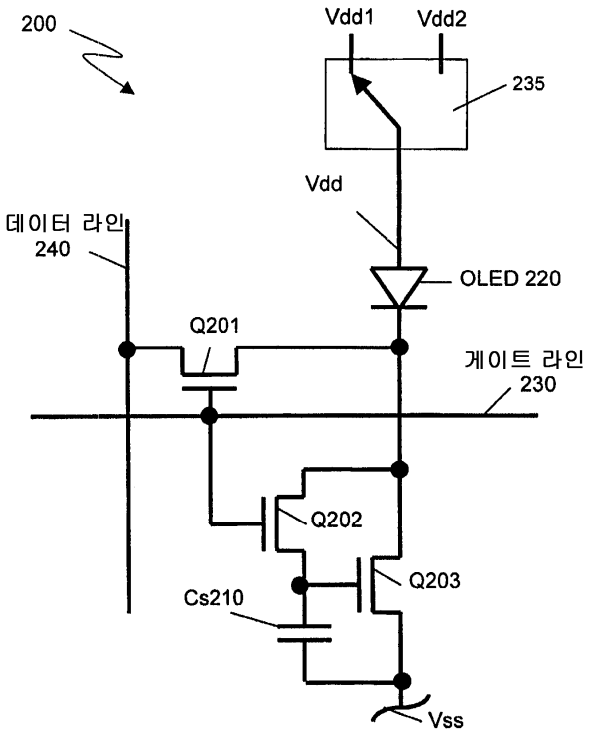
심사청구 : 있음

(54) 유기 발광 다이오드 픽셀 회로 구동 방법 및 구동기

요약

본 발명은 유기 발광 다이오드(OLED) 픽셀 회로를 구동하는 방법을 제공한다. 이 방법은 상기 픽셀 회로(200)의 상태를 설정할 때에는 상기 OLED(220)의 단자에 제 1 신호(Vdd1)를 제공하는 단계와, 상기 픽셀 회로의 설정된 상태를 관측할 때에는 상기 OLED의 단자에 제 2 신호(Vdd2)를 제공하는 단계를 포함한다. 또한, 이러한 방법을 사용하는, OLED 픽셀 회로를 구동하는 구동기(235)가 제공된다.

대표도



명세서

기술분야

본 발명은 유기 발광 다이오드(OLED) 픽셀 회로에 관한 것이며, 특히 OLED에 전류를 제공하는 TFT 디바이스의 응력 효과(stress effect)를 최소화하는 픽셀 회로 구동 기술에 관한 것이다.

배경기술

유기 발광 다이오드 픽셀은 자신에게 전류가 인가될 때 광을 방사하는 다양한 유기 물질을 사용할 수 있다. OLED 디스플레이는 어레이로 구성되는 다수의 OLED 픽셀을 포함한다.

큰 크기와 큰 포맷(format)을 갖는 OLED 디스플레이를 성취하는 한 방법은 액티브 메트릭스 박막 트랜지스터(TFT) 백 플레인(an active matrix thin film transistor back plane)을 사용하는 것이다. 소형 이동 애플리케이션을 위한 헤드 마운트 디스플레이(head mount display) 및 다이렉트 뷰 디스플레이(direct view display)는 백플레인으로서 폴리실리콘 또는 결정질 실리콘을 사용한다. 비정질 실리콘 평면 기술에 대한 투자가 증가함에 따라서, 보다 큰 OLED 디스플레이 를 제조하기 위해서 백플레인 기술로서 폴리실리콘(p-Si) 또는 결정질 실리콘(c-Si)보다는 비정질 실리콘 (a-Si)에 대한 관심이 증가하고 있다. 큰 면적의 결정질 실리콘 백플레인은 비정질 실리콘 또는 폴리실리콘에 비해서 비용 면에서 효과적이지 못한다.

비정질 실리콘 기술은 다음과 같은 두가지 이유로 인해서 폴리실리콘 또는 결정질 실리콘 기술에서는 이용가능한 상보성 디바이스들을 이용할 수 없다.

(1) 오직 n 채널 전계 효과 트랜지스터(NFET)만이 비정질 실리콘 평면 디스플레이(FPD) 제조 시에 이용될 수 있는데, 그 이유는 폴리실리콘 기술에 비해서 포토리소그래피 단계의 수가 보다 적으며 이로서 비용이 덜 든다.

(2) 제조하는 것은 가능하지만, p 채널 전계 효과 트랜지스터(PFET)는 n 채널 전계 효과 트랜지스터(NFET)에 비해서 실질적으로 보다 낮은 이동도 또는 드리프트(drift)로 인한 전하 이동도(대략적으로 5 내지 10 배가 낮음)를 보이고 이로 인해서 전류 구동도(current drive)가 낮다. NFET는 통상적인 제조 라인에서 대략적으로 0.5 내지 1.0 cm^2 /V/sec의 평균 이동도를 갖는다.

OLED가 프로세싱되는 방식 때문에, NFET 구성 전류 소스(an NFET configured current source)로 OLED를 구동하는 것은 통상적으로는 불가능하다. 통상적인 액티브 매트릭스 주소 지정에 있어서, 전압 신호가 각 픽셀 내부로 기

록되어 각 픽셀의 휘도를 제어한다. 비정질 실리콘의 이동도 및 임계 전압과 이동도의 안정한 특성은 작은 용량성 로드와 전기적으로 유사한 트위스트된 네마틱 액정(twisted nematic liquid crystal)을 구동하기에 적합하며, 여기서 구동 전압은 0.1% 내지 0.001 % 범위의 듀티 싸이클(duty cycle)로 인가된다. 그러나, 동작을 위해서 전류를 연속적인 전류를 필요로 하는 OLED를 구동하는 경우, 비정질 실리콘 동작 전압은 가령 100 %에 달하는 듀티 싸이클의 실질적으로 보다 큰 백분율을 갖는 시간 동안에는 제로가 아니다. 보다 높은 전압 및 연속적인 전류는 비정질 실리콘 TFT에 심한 응력을 가한다. 특히, 게이트 대 소스 전압 응력은 임계 전압의 변화를 유발하는데, 이는 트래핑된 전하 효과 및 게이트 절연체 대 반도체 계면 및 TFT의 반도체 층에서의 결함 상태 생성 및 분자 결합 파괴와 같은 다른 효과로 인한 것이다.

TFT의 임계 전압이 변하면, 이 TFT를 통한 전류도 변할 것이다. 전류가 변하면, OLED의 휘도도 변하는데, 그 이유는 OLED의 광 출력은 전류에 비례하기 때문이다. 인간 관측자는 1 % 정도로 작은, 픽셀 대 픽셀 광 출력 변화를 검출할 수 있다. 5 % 보다 높은 레벨의 휘도 변화는 통상적으로 허용불가능하다.

도 1은 작은 비정질 실리콘 백플레인 디스플레이 테스트 방법에서 사용된 종래 기술 픽셀 회로(100)의 도면이다. 회로(100)는 NFET(Q101,Q102), 캐패시터(Cs110), OLED(120)를 포함한다.

NFET(Q101) 및 캐패시터(Cs110)는 픽셀 전압을 저장한다. 게이트 라인(125) 상의 높은 전압 레벨은 NFET(Q101)를 온 상태로 변화시키며, 이로써 데이터 라인(130)으로부터 캐패시터(Cs110)로 전압을 제공한다. 일정 시간 후에, NFET(Q102)의 게이트 전압은 데이터 라인(130) 상의 전압과 동일하게 되며, 게이트 라인(125) 상의 전압은 낮게 설정된다. NFET(Q102)는 OLED(120)를 구동시키기 위해서 전압 팔로워(a voltage follower)로서 동작한다. OLED(120)를 통한 전류는 공급 전압 Vdd로부터 발생하여 공급 전압 Vss로 돌아간다. OLED(120)가 구동되면, NFET(Q102)의 임계 전압(Vt)은 시간에 따라서 변한다. OLED(120) 양단의 전압은

Vdd - Vcs - Vgs(t) - Vss인데,

여기서, Vcs는 캐패시터(Cs110) 양단의 전압이며, Vgs(t)는 시간 t의 함수로 된 NFET(Q102)의 게이트 대 소스 전압이고, Vss는 음 공급 전압 또는 OLED 캐소드 전압이다.

OLED(120) 또는 NFET(Q102)를 통한 전류는 $(Vgs - Vt)^2$ 에 비례하는데, 그 이유는 NFET(Q120)가 드레이 대 소스 전압이 (Vgs -Vt) 와 같거나 큰 기간인 포화 또는 일정한 전류 상태에서 바이어싱되기 때문이다. 이로써, OLED(120) 양단의 전압 및 OLED(120)를 통한 전류는 NFET(Q102)의 임계 전압(Vt)이 변함에 따라서 변한다. 픽셀과 픽셀 간에 구동 이력이 상이하면, 픽셀 대 픽셀 전류 및 휘도가 변한다. 이는 픽셀 차 에이징(pixel differential aging)으로 알려져 있다. 동작 시에 연속적인 전류를 요구하는 NFET(Q102)의 임계 편차는 수 많은 애플리케이션에서 허용불가능하다. 그러나, 그의 포화 상태에서 동작하는 NFET(102)의 응력은 NFET(Q102)가 그의 선형 상태에서 바이어싱되었던 경우보다 작으며, 드레인 대 소스 전압은 (Vgs - Vt)보다 작다.

비정질 실리콘 TFT 백플레인과 함께 사용되기 위해서, 회로(100)는 비교적 낮은 전력 및 전압을 필요로 하는데, 그 이유는 NFET, 즉 NFET(Q102)가 전력 공급 Vdd로부터 OLDE(120)로 접속되고 이 OLED(120)는 공급 전압 Vss로 접속되기 때문이다. OLED(120) 전류는 단일 NFET를 통과하기 때문에, 전력 공급 Vdd와 Vss 간의 전압 차는 최소값, 즉 최대 OLED(120) 전압 및 바로 포화 상태로 동작하기 위한 NFET(Q102)의 드레인 대 소스 전압으로 유지된다.

회로(100)와 유사한 회로에서 NFET(Q101,Q102)가 각기 PFET(Q101,Q102)로 대체되며, 이 회로는 폴리실리콘 또는 결정질 실리콘 기술에서 사용될 수 있다. 여기서, PFET(Q102)가 전압 팔로워로서 동작하는 대신에 전류 소스로서 동작한다. PFET(Q102)의 임계 전압은 OLED(120)로의 전류에 매우 큰 영향을 행사하는데, 그 이유는 OLED(120)를 통한 전류는 $(Vcs - Vt)^2$ 에 비례하기 때문이다(여기서, Vgs = Vcs임). 높은 트랜스컨덕턴스(a high transconductance)를 갖는 결정질 실리콘이 사용되는 경우, 픽셀 크기가 통상적으로 매우 작기 때문에 100/cd/m^2 의 휘도 레벨에서 OLED(120)전압을 구동하기에 충분하게 낮은 전류를 생성하기 위해서는 전압 Vgs은 전압 Vt보다 작아야 한다. 하위임계 영역에서의 임계 전압 편차는 드레인 전류 편차에 매우 큰 영향을 행사하는데, 그 이유는 임계 전압의 매 60 밀리볼트 변화 마다 대략적으로 자신의 크기에 해당하는 전류 변화 또는 트랜지스터 드레인 전류-게이트 전압 역 하위임계 기울기(a transistor drain current-gate voltage inverse subthreshold slope)에 의해 규정되는 바와 같은 전류 변화 또는 대략 60mV/10년 크기의 전류 변화가 존재하기 때문이다.

OLED 전류를 제공하는 TFT 디바이스의 응력 효과를 최소화하기 위해서, 전류 구동이 픽셀 회로 내에 저장된 전압 신호를 기록하는데 사용된다. 일본, 토쿄 141-0001, 시나가와구, 키타시나가와 6-초메 7-35 소재의 소니사는 13' 다이고널 800*600 칼라 액티브 매트릭스 OLED(AMOLED) 디스플레이 내의 폴리실리콘 전류 미러 픽셀을 소개하였다. 이 소니사의 회로는 T.Sasaoka 등에 의한, 2001 SID International Symposium Digest of Technical Papers, volume XXXII, p 384-387에서의 'A 13.0-inch AM-OLED Display with top emitting structure and adaptive curr

ent mode programmed pixel circuit(TAC)'에서 개시된다. 이 소니사의 회로에서, 데이터 라인 상의 데이터는 전압 형태보다는 전류 형태로 존재한다. 그러나, 이 소니사의 회로는 OLED 구동 트랜지스터의 임계 편차를 보정하지 않는다.

폴리실리콘 기술에서 사용되는 4 PFET 트랜지스터 회로가 미국 뉴저지 08543-5300, 워싱턴 로드 프린스톤 201, 사노프사(Sarnoff Corporation)에 의해서 개발되었는데, 이 사노프사의 회로는 R.M.A. Dawson 등에 의한, IEDM, P 875-878, 1998에서의 'The impact of the transient response of organic light emitting diode on the design of active matrix OLED displays'에서 개시된다. 이 사노프사의 회로는 OLED를 구동하는 트랜지스터 내의 전류를 직접 설정하기 위해서 데이터 라인 전류를 사용한다. 그러나, 이 회로는 폴리실리콘을 필요로 하며 OLED와 전력 공급 간에 직렬로 접속된 두 개의 트랜지스터를 사용하며 고 해상도 디스플레이에서 어두운 그레이 스케일 능력(dark gray scale capability)을 위해서 사 용될 수 있는 제 3 입력 제어 신호를 갖는다. 이 제 3 입력 제어 신호는 픽셀 회로의 물리적 설계 및 어레이 설계를 더 복잡하게 한다.

다른 4 폴리실리콘 트랜지스터 장치가 네널란드, 아인트호벤 5656 에이에이 소재의 필립스 연구소에 의해서 개발되었는데, 이 필립스사의 장치는 T.van de Biggelaar 등에 의한, Flat Panel Display Technology and Display Metrology II of the Proceedings of the SIPE, Vol. 4295 p 134-146, 2001에서의 'Passive and active matrix addressed polymer light emitting diode displays'에서 개시된다. 이 장치는 위의 사노프사의 회로의 제 3 입력 제어 신호를 필요로 하지 않지만 전력 공급과 OLED 간에 직렬 접속된 두 개의 트랜지스터는 사용한다. 이 제 3 입력 제어 신호가 없기 때문에 고해상도 디스플레이에서 어두운 그레이 스케일 능력을 보유할 수 없다.

데이터 라인 전류를 사용하는 4 비정질 실리콘 NFET를 사용하는 유사한 회로가 미국 미시간주 48109 안 아보 소재의 미시간 대학에 의해서 개발되었는데, 특히 Yi He 등에 의한, IEEE Electron Device Letters, vol.21, No.12, p590-592, 2000에서의 'Current-source a-Si:H thin film transistor circuit for active-matrix organic light-emitting displays'에서 개시된다. 이 회로의 한계점은 제 2 트랜지스터가 OLDE 전류 생성 트랜지스터와 직렬로 전력 공급에 접속된다는 것이다. 이 픽셀 회로는 또한 고해상도 디스플레이에서 어두운 그레이 스케일 능력을 보유하지 못한다.

발명의 개요

본 발명은 OLED 픽셀 회로를 구동하는 방법을 제공한다. 이 방법은 픽셀 회로의 상태를 설정할 때에 OLED의 단자에 제 1 신호를 제공하는 단계와, 상기 상태를 볼 때에 상기 단자로 제 2 신호를 제공하는 단계를 포함한다.

또한, 본 발명은 OLED 픽셀 회로를 구동하는 구동기를 제공한다. 이 구동기는 픽셀 회로의 상태를 설정할 때에 OLED의 단자에 제 1 신호를 제공하고 상기 상태를 볼 때에 상기 단자로 제 2 신호를 제공하는 스위치를 포함한다.

도면의 간단한 설명

도 1은 종래 기술 픽셀 회로의 도면,

도 2는 본 발명에 따라 구동되는 공통 애노드(a common anode)를 갖는 픽셀 회로의 도면,

도 3은 본 발명에 따라 구동되는 공통 캐소드(a common cathode)를 갖는 픽셀 회로의 도면.

발명의 상세한 설명

본 발명은 OLED로 전류를 제공하는 TFT 디바이스의 응력 효과를 최소화하는 픽셀 회로 구동 기술을 제공한다. 전류 구동이 픽셀 회로 내에 저장된 전압 신호를 기록하는데 사용된다. 이 회로는 TFT의 임계 편차를 보정한다. OLED 전류는 단일 트랜지스터를 통과하며 고해상도 디스플레이에서 어두운 그레이 스케일 능력 을 가능하게 한다.

도 2는 본 발명에 따라 구동되는 픽셀 회로(200)의 도면이다. 데이터 라인 전류를 사용하여, OLED를 통한 전류는 임계 전압 또는 이동도 편차를 수용할 수 있는 3 NFET 회로에 의해서 정확하게 확립될 수 있다. 회로(200)는 NFET(Q201,Q202,Q203), 데이터 저장 캐패시터(Cs210), OLED(220), 스위치(235)를 포함한다. 회로(200)는 또한 게이트 라인(230), 데이터 라인(240), 공급 전압 Vdd, Vss를 포함한다.

스위치(235)는 픽셀 회로(200)의 상태를 설정할 때에 OLED(220)의 애노드 단자에 제 1 신호(Vdd1)를 제공하고, 그 상태를 볼 때에는 애노드 단자로 제 2 신호(Vdd2)를 제공하도록 동작한다. '상태 설정'은 픽셀 회로(200)로의 데이터 기록을 의미하며, '상태를 보는 것'은 OLED(220)의 조명을 관측하는 것을 의미한다. 스위치(235)를 통해서, 데이터를

회로(200)에 기록할 때에는 Vdd는 낮게, 즉 Vdd1으로 설정되며, 회로(200) 내의 데이터를 관측할 때에는 Vdd는 높게, 즉 Vdd2로 설정된다. Vss는 일정한 전위 또는 전압으로 유지된다. 스위치(235)는 임의의 적합한 스위치 디바이스일 수 있는데, 바람직하게는 트랜지스터를 사용하는 전기 제어형 스위치로서 구성된다.

데이터 라인(240) 내에서 전류의 형태로 된 데이터는 NFET(Q201,Q202)를 턴 온하는 게이트 라인(230) 상의 고전압에 의해서 회로(200)로 기록되는데, 이때 OLED(220)는 오프 상태이거나 임의의 휘도도 방사하지 않는다. Vdd1이 (Vss + 2V)보다 작을 때에 OLED(220)는 오프 상태이다. OLED(220)는 자신의 양단 전압이 2V 또는 이보다 작을 때에 오프 상태로 간주되며 거의 비도전성 상태이다. OLED(220)의 애도느로 Vdd1을 인가하면 OLED(220)는 실질적으로 비도전성 상태가 되며 순방향 바이어싱 또는 역방향 바이어싱된다. OLED(220)가 오프 상태일 때, 자신을 통한 전류는 매우 낮아서 회로(200)를 동작시키지 못한다. NFET(Q201)의 온 상태는 전류 또는 데이터가 데이터 라인(240)에서 NFET(Q202,Q203)의 드레인으로 흐르게 한다. NFET(Q202)의 온 상태는 NFET(Q203)의 드레인 단자와 게이트 단자를 서로 접속시켜서 그의 드레인 전압과 게이트 전압이 동일하게 한다. 이는 NFET(Q203)이 그의 포화 상태 또는 일정한 전류 상태로 존재하는 것을 보장하는데, 이러한 포화 상태 또는 일정한 전류 상태에서는 그의 드레인 대 소스 전압이 그의 게이트 전압 대 소스 전압에서 임계 전압을 뺀 값보다 크거나 같다. NFET(Q202)의 온 상태는 NFET(Q202)가 더이상 어떤 전류도 도전시키지 않으며 NFET(Q203)의 드레인 대 소스 전류가 데이터 라인(240)으로의 전류 또는 데이터와 일치할 때까지 데이터 저장 캐패시터(Cs210)를 충전 또는 방전한다. 데이터 저장 캐패시터(Cs210) 양단 전압은 NFET(Q203)의 게이트 대 소스 전압을 유지시킨다. 이는 게이트 라인(230)이 낮은 전압으로 포화 상태로 동작할 때에 NFET(Q203)의 드레인 대 소스 전류가 게이트 라인(230)이 높은 전압으로 설정될 때에 데이터 라인(240)으로 제공되었던 전류와 실질적으로 동일하게 한다. 게이트 라인(230)이 낮은 전압으로 설정될 때, 데이터 라인(240)으로의 전류는 NFET(Q203)를 통한 드레인 대 소스 전류를 수정하지 않고도 임의의 다른 값으로 설정될 수 있다.

게이트 라인(230) 상의 낮은 전압은 NFET(Q201,Q202)를 턴 오프시킨다. OLED(220)의 애노드에 Vdd2의 전압을 인가하면 OLED(220)는 온 상태가 되어 휘도를 방사한다. 스위치(235)를 통해서, Vdd는 높게 설정되고 즉 Vdd2로 설정되는데, 이 Vdd2는 (Vgs - Vt + Voled(max) + Vss)보다 큰 전압이며, 이로써 NFET(Q203)의 드레인 대 소스 전압은 NFET(Q203)의 핀치 오프 전압(pinch off voltage)(Vgs - Vt)보다 크게 된다. Voled(max)는 최대 동작 휘도에서의 OLED(220)의 전압이다. 게이트 라인(230)을 낮게 스위칭하고 Vdd를 Vdd2로 스위칭함에 있어서 어떤 캐패시턴스 커플링 효과도 존재하지 않는다면, NFET(Q203)는 데이터 라인(240)으로부터의 최초 전류와 일치하는 OLED(220)를 통한 전류를 싱크할 것이다. OLED(220)를 통한 전류는 NFET(Q203)를 통한 드레인 대 소스 전류이다.

게이트 라인(230)이 낮게 되면, NFET(Q202)의 게이트 대 소스 캐패시턴스가 저장 캐패시터(Cs210) 상의 전압을 감소시키는 경향이 있다. Vdd가 높게 되면, OLED(220)의 캐패시턴스가 NFET(Q203)의 드레인 단자 상의 전압을 증가시키는데, 여기서 그의 드레인 대 게이트 캐패시턴스는 저장 캐패시터(Cs210)의 전압을 증가시키는 경향이 있다. 게이트 라인(230) 및 공급 전압 Vdd가 반대 방향으로 스윙(swing)하기 때문에, NFET(Q202,Q203)의 채널 폭 및 길이를 신중하게 설계하면 서로 결합되는 캐패시턴스 커플링을 완전하게 제거할 수 있다. 데이터 기록 및 관측, 저장 캐패시터(Cs210) 상으로의 결합된 캐패시턴스 전압 커플링을 구동하는 방법은 디스플레이 내의 모든 픽셀에 대해서 동일하기 때문에, 저장 캐패시터(Cs210) 상으로의 결합된 캐패시턴스 전압 커플링은 데이터 라인(240)으로의 데이터 또는 전류를 수정함으로써 보정될 수 있다.

회로(200)는 OLED(220)의 애노드가 공급 전압 Vdd로의 접속에 의해서 다른 OLED 애노드(도시되지 않음)에 대해서 공통이 되는 OLED(220)를 위한 공통 애노드 구성을 포함한다. 이로써, 스위치(235)는 다수의 픽셀 회로의 애노드 단자들에 Vdd1 또는 Vdd2를 선택적으로 제공할 수 있다. 일반적으로, 이러한 공통 애노드 OLED 구성을 형성하는 방법은 공통 캐소드 OLED 구성에서보다 어렵다.

OLED 유기 층 내부로 전자 및 홀을 효율적으로 주입하기 위해서, HOMO 에너지(highest occupied molecular orbital energy)와 LUMO 에너지(lowest unoccupied molecular orbital energy)와 일치하는 페르미 에너지 레벨들과 진공 에너지 간의 에너지 차 또는 일함수를 갖는 애노드 물질 및 캐소드 물질을 선택할 필요가 있다. 애노드에 대해서 통상적인 일함수는 4-5 eV이며 캐소드에 대해서는 2.7-5.3 eV이다.

보다 높은 효율성을 위해서, OLED 애노드 물질은 인접하는 유기 층의 HOMO 내로 홀을 효율적으로 주입하는 것을 도울 수 있는 높은 일함수의 도전체일 필요가 있으며, OLED 캐소드 물질은 인접하는 유기 층의 LUMO 내로 전자를 효율적으로 주입하는 것을 도울 수 있는 낮은 일함수의 도전체일 필요가 있다. 높은 일함수 물질은 인듐 주석 산화물 ITO, 인듐 아연 산화물 IZO, 니켈 Ni 등이며, 애노드와 유기 홀 전송 층 간의 계면에 대해서 계면 산화물 처리가 수행된다. 계면 산화물 처리는 소정의 애노드 전극에 대해서 가능한 최고의 일함수 장벽 높이를 보장하며 이후에 몇 분 동안의 산소 O_2 플라즈마 처리와 같은 몇몇 처리가 수반된다.

이와 대조적으로, OLED 캐소드 물질은 가령 리튬 플로라이드 LiF, 칼슘 Ca, 마그네슘 금 MgAu 등과 같은 낮은 일함수 물질일 필요가 있으며, 유기 층 계면에서의 도전체 전극의 산화 처리는 전자 주입 효율을 감소시킨다. 상부 방사 구조물 또는 하부 방사 구조물이 가능하지만, 애노드 물질 및 유기 층 계면 산화물 처리가 유기 층 및 캐소드 물질이 존

재하기 이전에 수행된다면 프로세스는 매우 간단해진다. 만일에 공통 캐소드를 도입하면 프로세스는 더 간단해지는데, 그 이유는 유기 층이 증착된 후에 액티브 픽셀 내에서 어떤 패터닝도 필요하지 않기 때문이다.

도 3은 본 발명에 따라 구동되는 픽셀 회로(300)의 도면이며 이 회로는 공통 캐소드 구성을 포함한다. 데이터 라인 전류를 사용하여, OLED를 통한 전류는 임계 전압 또는 이동도 편차를 수용할 수 있는 3 NFET 회로로 정확하게 확립될 수 있다.

회로(300)는 플로팅 전류 소스/싱크 회로 구성을 포함한다. 이 회로는 NFET(Q301,Q302,Q303), 데이터 저장 캐패시터(Cs310), OLED(320), 스위치(325)를 포함한다. 회로(300)는 또한 게이트 라인(330), 데이터 라인(340), 공급 전압 Vdd, Vss를 포함한다.

스위치(325)를 통해서, 데이터를 회로(300)에 기록할 때에는 공급 전압 Vss는 높게, 즉 Vss2로 설정되며, 회로(300) 내의 데이터를 관측할 때에는 Vss는 낮게, 즉 Vss1로 설정된다. 포지티브 공급 전압 Vdd는 일정한 전위 또는 전압으로 유지된다. 스위치(325)는 임의의 적합한 스위치 디바이스일 수 있는데, 바람직하게는 트랜지스터를 사용하는 전기 제어형 스위치로서 구성된다.

게이트 라인(230) 상의 전압이 높게 되면, NFET(Q301,Q302)를 턴 온 된다. 즉, Vss가 높게, 즉 Vss2로 되고 말하자면 (Vdd - 2V)보다 크게 된다. 이 때 OLED(320)는 오프 상태이거나 임의의 휘도도 방사하지 않는다. OLED(320)가 오프 상태일 때, 자신을 통한 전류는 매우 낮아서 회로(300)를 동작시키지 못한다. 전류 형태로 된 데이터는 싱크되거나 데이터 라인(340)으로부터 풀 아웃된다(pull out). NFET(Q302)는 NFET(Q303)의 게이트를 Vdd로 접속시키며, 이로써 NFET(Q303)는 포화 상태로 동작하게 되고 전류는 데이터 저장 캐패시터(Cs310)를 통해서는 흐르지 않고 오직 NFET(Q303)를 통해서만 흐른다. NFET(Q303)는 전류 소스로서 동작하며, 이 전류 소스는 데이터 라인(340)으로부터 싱크된 전류와 일치한다.

(Vdd - Vgs + Vt - Voled(max))보다 작은 전압인 Vss1을 OLED(320)의 캐소드에 인가하면(여기서, Voled(max)는 최대 휘도로 방사할 때의 OLED(320) 양단 전압임), OLED(320)는 턴 온 되거나 휘도를 방사한다. 게이트 라인(330)의 전압이 낮게 설정되고 Vss가 낮게 즉 Vss1으로 되면, NFET(Q303)는 포화 상태로 동작하며(Vdd - Vgs + Vt - Voled), NFET(Q303)의 드레인 대 소스 전류가 OLED(320)를 통해서 흐른다.

게이트 라인(330)이 낮게 되면, NFET(Q302)의 게이트 대 소스 캐패시턴스가 데이터 저장 캐패시터(Cs310) 상의 전압을 감소시키는 경향이 있다. 게이트 라인(330)이 낮게 되면, NFET(Q301)의 게이트 대 드레인 캐패시턴스가 데이터 저장 캐패시터(Cs310) 상의 전압을 증가시키는 경향이 있다. Vss가 낮게 즉 Vss1으로 되면, OLED(320)의 캐패시턴스와 NFET(Q303)의 게이트 대 드레인 캐패시턴스가 데 이터 저장 캐패시터(Cs310) 상의 전압을 증가시키는 경향이 있다. NFET(Q301,Q302,Q303)의 채널 길이 및 폭을 신중하게 설계함으로써, 데이터 저장 캐패시터(Cs310) 상에서의 전압 커플링을 제거할 수 있다. 데이터 기록 및 관측, 저장 캐패시터(Cs310) 상으로의 결합된 캐패시턴스 전압 커플링을 구동하는 방법은 디스플레이 내의 모든 픽셀에 대해서 동일하기 때문에, 저장 캐패시터(Cs310) 상으로의 결합된 캐패시턴스 전압 커플링은 데이터 라인(340)으로부터 풀 아웃되는 데이터 또는 전류를 수정함으로써 보정될 수 있다. 데이터 저장 캐패시터(Cs310) 및 NFET(Q303)는 공급 전압이 없는 플로팅 전류 소스로서 간주될 수 있다.

본 발명의 다른 측면은 관측 전압을 효율적으로 감소시켜서 픽셀이 높은 기록 전류로 기록되게 하는 것이다. 이러한 회로는 8 비트 그레인 스케일 동작을 처리하는 것이 바람직하다. 이를 성취하기 위해서, OLED 전류는 적어도 자신의 크기의 두 배 만큼 변해야 한다.

전류를 픽셀 회로 내부로 적절하게 기록하기 위해서 보다 낮은 그레이 레벨 전류로 데이터 라인의 캐패시턴스를 충전 또는 방전하기 위해서 필요한 시간은 고해상도 디스플레이에서는 게이트 라인이 온으로 존재하는 시간(gate line on time)을 초과할 수 있다. 한 가지 방법은 보다 높은 데이터 라인 전류를 사용하여 픽셀 회로의 데이터를 관측하는 시간을 줄이는 것이다. 이러한 관측 시간은 도 2의 공급 전압 Vdd가 Vdd2로 높게 설정되는 시간을 조절하고 도 3의 공급 전압 Vss가 Vss1으로 낮게 되는 시간을 조절함으로써 조절될 수 있다. 바로 이러한 방식으로, 종래 기술에서 필요했던 제 4 트랜지스터 및 제 3 픽셀 회로 입력 신호가 제거 될 수 있다. 이는 전력 공급 전압 및 전력 소모량을 감소시키는데, 그 이유는 종래 기술에서는 사용되었던 제 4 트랜지스터 양단의 전압 강하가 필요 없기 때문이다.

다수의 픽셀을 갖는 디스플레이에서, OLED로의 전력 공급량, 회로(300) 내의 Vss 및 회로(200) 내의 Vdd는 디스플레이 내의 모든 픽셀에 대해서 동일하다. 그러나, 회로(200)에서는 스위치(235)이고 회로(300)에서는 스위치(325)인 개별 회로를 각각 갖는 다수의 접속 상태로 Vdd 또는 Vss 접속을 분리시키는 것도 유용할 수 있따. 가령, 최대 Vdd 전류 및 Vss 전류를 감소시키기 위해서 관측 시간에 대해 시간 차를 부여하기 위해서 관측 시간이 스태거링될 수 있다(staggered). 보다 낮은 전류는 Vdd 또는 Vdd 전압 분배 시에 전압 강하를 감소시킨다.

회로(200)에서의 NFET(Q201,Q202) 및 회로(300)에서의 NFET(Q301,Q302) 상의 정상 동작 전압으로 인한 전기적 응력은 액티브 매트릭스 액정 디스플레이의 전기적 응력과 유사하다. 이 NFET들은 매우 낮은 듀티 팩터(a very low duty foctor)를 갖는 전기 스위치로 기능한다. 본 발명은 종래 기술에 비해서 OLED로 전류를 제공하는 회로(200)의 NFET(Q203) 및 회로(300)의 NFET(Q303)의 응력 효과를 최소화한다. 본 발명에서, 데이터를 기록할 때에, 회로(200)의 Vdd1 전압과 회로(300)의 Vss2 전압이 OLED를 턴 오프시킬 뿐만 아니라 회로(200)의 NFET(Q203) 및 회로(300)의 NFET(Q303) 상의 드레인 대 소스 전압 및 게이트 대 드레인 전압 극성을 변화시키도록 설정될 수 있다. 이러한 극성 변화는 게이트 대 드레인 산화물 영역 및 드레인 대 소스 채널 영역에서의 트래핑된 전하 효과를 제거하는 것 을 돕는다. 회로(200)의 NFET(Q203) 및 회로(300)의 NFET(Q303)의 게이트 대 소스 전압 극성도 바꿀 수 있음을 주목할 필요가 있다. 기록 시에, 데이터 라인(240) 상의 회로(200)의 Vss보다 작은 전압 또는 데이터 라인(340) 상의 회로(300)의 Vdd보다 큰 전압이 인가될 수 있다. 회로(200)의 NFET(Q203) 및 회로(300)의 NFET(Q303)의 게이트 대 소스 전압 극성을 바꾸도록 데이터 라인 상에 전압을 기록하는 것은 이전의 픽셀 상태를 관측한 후에 그리고 픽셀에 다음 상태를 기록하기 이전에 발생할 것이다.

회로(200) 및 회로(300)는 비정질 실리콘, 폴리실리콘, 결정질 실리콘으로 구현될 수 있다. 회로(200,300)는 PMOS 디바이스와 함께 사용되기 위해서 쉽게 수정될 수 있다.

본 발명의 다른 수정 및 변경이 본 기술의 당업자에게는 가능하다. 본 발명은 첨부된 청구 범위 내에서 이러한 수정 및 변경을 포함한다.

(57) 청구의 범위

청구항 1.
유기 발광 다이오드(OLED) 픽셀 회로를 구동하는 방법에 있어서,

상기 픽셀 회로의 상태를 설정할 때에는 상기 OLED의 단자에 제 1 신호를 제공하는 단계와,

상기 픽셀 회로의 설정된 상태를 관측할 때에는 상기 OLED의 단자에 제 2 신호를 제공하는 단계를 포함하는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 2.
제 1 항에 있어서,

상기 제 1 신호는 상기 OLED가 오프 상태가 되도록 하는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 3.
제 1 항에 있어서,

상기 제 1 신호는 상기 OLED가 역방향 바이어싱되도록 하는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 4.
제 1 항에 있어서,

상기 제 2 신호는 상기 OLED가 순방향 바이어싱되도록 하는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 5.
제 1 항에 있어서,

상기 상태는 전류 구동에 의해서 설정되는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 6.
제 1 항에 있어서,

상기 제 2 신호에 대한 상기 제 1 신호의 듀티 팩터(a duty factor)를 변화시키는 단계를 더 포함하는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 7.
제 1 항에 있어서,

상기 픽셀 회로는 다수의 픽셀 회로 중 하나이며,

상기 방법은 상기 다수의 픽셀 회로의 각각의 픽셀 회로의 단자에 상기 제 1 신호 및 상기 제 2 신호를 제공하는 단계를 더 포함하는

유기 발광 다이오드 픽셀 회로 구동 방법.

청구항 8.
유기 발광 다이오드(OLED) 픽셀 회로를 구동하는 구동기에 있어서,

상기 픽셀 회로의 상태를 설정할 때에는 상기 OLED의 단자에 제 1 신호를 제공하며 상기 픽셀 회로의 설정된 상태를 관측할 때에는 상기 OLED의 단자에 제 2 신호를 제공하는 스위치를 포함하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 9.
제 8 항에 있어서,

상기 제 1 신호는 상기 OLED가 오프 상태가 되도록 하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 10.
제 8 항에 있어서,

상기 제 1 신호는 상기 OLED가 역방향 바이어싱되도록 하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 11.
제 8 항에 있어서,

상기 제 2 신호는 상기 OLED가 순방향 바이어싱되도록 하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 12.
제 8 항에 있어서,

상기 상태는 전류 구동에 의해서 설정되는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 13.
제 8 항에 있어서,

상기 스위치는 상기 제 2 신호에 대한 상기 제 1 신호의 듀티 팩터를 변화시키도록 제어되는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 14.
제 8 항에 있어서,

상기 픽셀 회로는 비정질 실리콘, 폴리실리콘, 결정질 실리콘으로 구성된 그룹으로부터 선택된 물질로 구성되는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 15.
제 8 항에 있어서,

상기 픽셀 회로는 상기 OLED를 통과하는 전류를 단일 트랜지스터를 통해서 제공하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 16.
제 15 항에 있어서,

상기 트랜지스터는 상기 스위치가 상기 제 2 신호를 상기 단자에 제공할 때에 포화 상태로 동작하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

청구항 17.
제 8 항에 있어서,

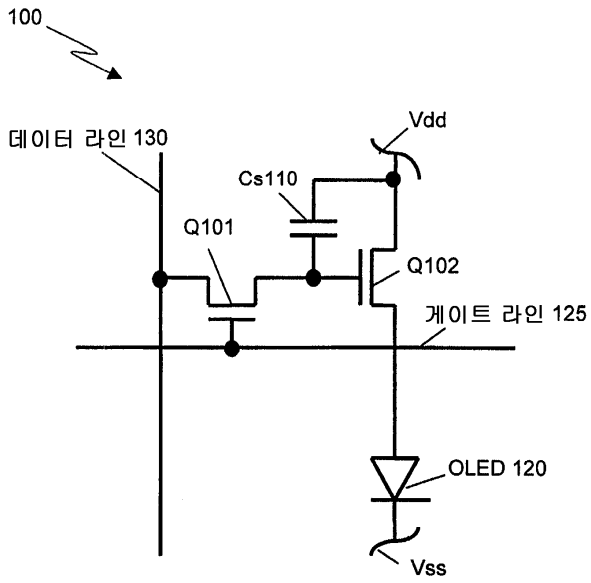
상기 픽셀 회로는 다수의 픽셀 회로 중 하나이며,

상기 스위치는 상기 다수의 픽셀 회로의 각각의 픽셀 회로의 단자에 상기 제 1 신호 및 상기 제 2 신호를 제공하는

유기 발광 다이오드 픽셀 회로를 위한 구동기.

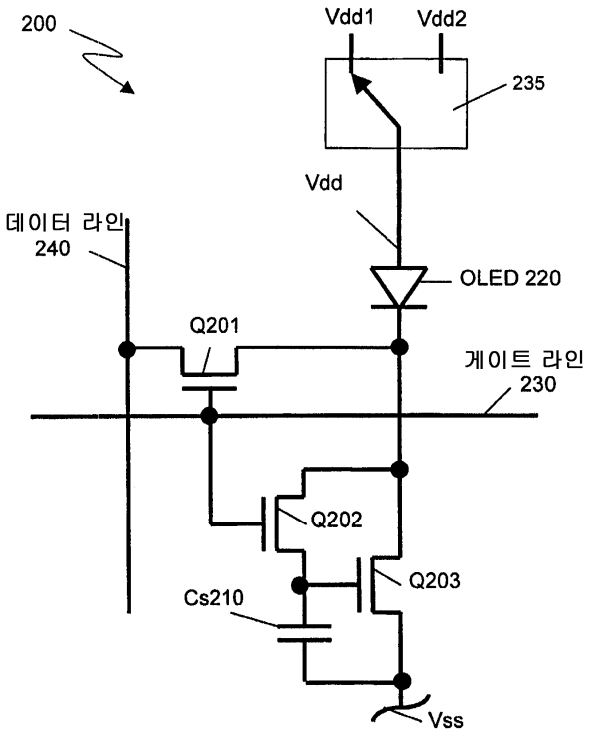
도면

도면1

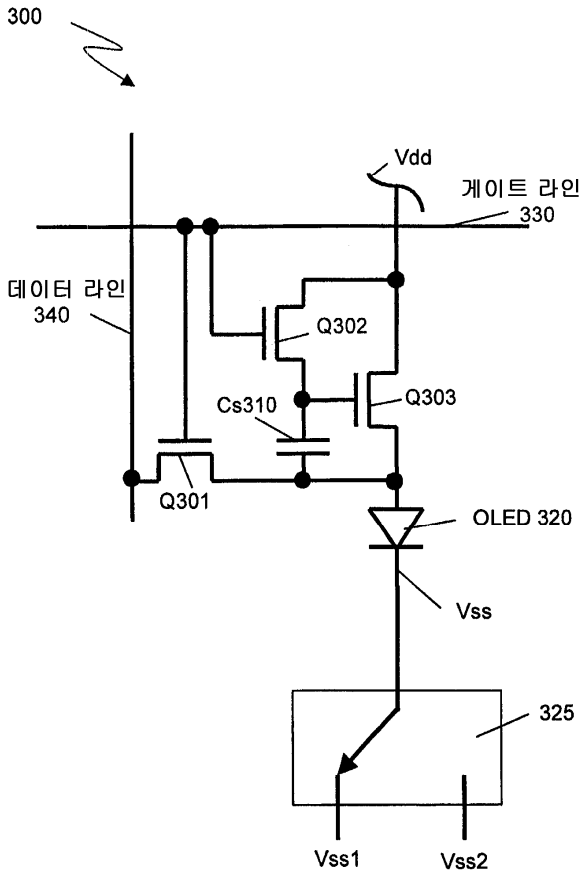

100
데이터 라인 130
Vdd
Cs110
Q101
Q102
게이트 라인 125
OLED 120
Vss

(종래기술)

도면2


200
Vdd1
Vdd2
235
Vdd
데이터 라인
240
OLED 220
Q201
게이트 라인
230
Q202
Q203
Cs210
Vss

도면3


300
Vdd
게이트 라인
330
데이터 라인
340
Q302
Cs310
Q303
Q301
OLED 320
Vss
325
Vss1
Vss2

专利名称(译)	用于驱动有机发光二极管像素电路的方法和设备		
公开(公告)号	KR1020040005974A	公开(公告)日	2004-01-16
申请号	KR1020037015151	申请日	2002-06-21
[标]申请(专利权)人(译)	统宝光电股份有限公司 塔杆来吐电子学鼻子炮升级		
申请(专利权)人(译)	塔聚来吐电子学鼻子炮升级		
当前申请(专利权)人(译)	塔聚来吐电子学鼻子炮升级		
[标]发明人	LIBSCH FRANKROBERT 리브쉬프랭크로버트 SANFORD JAMESLAWRENCE 샌포드제임스로렌스		
发明人	리브쉬프랭크로버트 샌포드제임스로렌스		
IPC分类号	H01L51/50 G09G3/30 G09G3/32 G09G3/20		
CPC分类号	G09G2300/0842 G09G3/325 G09G2320/043 G09G3/3233 G09G2320/02 G09G2300/0866 G09G2310/0256		
代理人(译)	金珍HWAN SHIN JUNG KUN		
优先权	60/300216 2001-06-22 US		
其他公开文献	KR100593276B1		
外部链接	Espacenet		

摘要(译)

本发明提供用于驱动有机发光二极管（OLED）像素电路的方法。该方法包括在OLED的端子中提供第二信号（Vdd2）的步骤，该步骤向OLED（220）的端子提供第一信号（Vdd1），设置像素电路（200）的状态，并且观察像素电路的固定状态。此外，提供了使用该方法的当前驱动的驱动器（235）OLED像素电路。