



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년02월04일
 (11) 등록번호 10-1489968
 (24) 등록일자 2015년01월29일

(51) 국제특허분류(Int. Cl.)
 G09G 3/30 (2006.01) G09G 3/32 (2006.01)
 G09G 3/20 (2006.01) H05B 33/12 (2006.01)
 (21) 출원번호 10-2008-0036104
 (22) 출원일자 2008년04월18일
 심사청구일자 2013년04월18일
 (65) 공개번호 10-2009-0110544
 (43) 공개일자 2009년10월22일
 (56) 선행기술조사문헌
 KR1020060089410 A*
 KR1020060112996 A*
 KR1020070097838 A*
 KR1020080011944 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
김세호
 충청남도 천안시 서북구 변영로 467 (성성동, 삼성SDI(주))
곽원규
 충청남도 천안시 서북구 변영로 467 (성성동, 삼성SDI(주))
김광민
 충청남도 천안시 서북구 변영로 467 (성성동, 삼성SDI(주))
 (74) 대리인
강신섭, 문용호, 이용우

전체 청구항 수 : 총 8 항

심사관 : 신영교

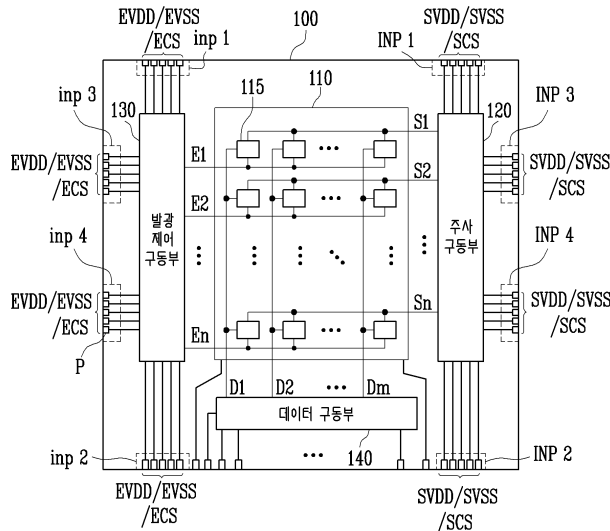
(54) 발명의 명칭 **유기전계발광 표시장치**

(57) 요약

본 발명은, 주사 구동부 및/또는 발광제어 구동부의 오작동을 방지할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

본 발명의 유기전계발광 표시장치는, 주사선들 및 데이터선들과, 상기 주사선들 및 데이터선들의 교차부에 위치되어 이들과 전기적으로 연결되는 다수의 화소들을 포함하는 화소부와, 상기 주사선들로 주사신호를 공급하는 주사 구동부와, 상기 화소부 및 주사 구동부로 구동전원들 및 구동신호들을 공급하는 다수의 패드들을 포함하며, 상기 패드들 중 상기 주사 구동부로 동일한 구동전원 또는 구동신호를 공급하는 패드는 각각 복수 개씩 구비되고, 상기 주사 구동부는 복수의 입력단으로부터 상기 구동전원들 및 구동신호들을 공급받는다.

대표도 - 도1



특허청구의 범위

청구항 1

주사선들 및 데이터선들과, 상기 주사선들 및 데이터선들의 교차부에 위치되어 이들과 전기적으로 연결되는 다수의 화소들을 포함하는 화소부;

스타트 펄스의 입력단에 종속적으로 연결되어 순차적으로 주사신호를 생성하는 다수의 스테이지들을 포함하고, 상기 주사신호를 주사선들로 공급하는 주사 구동부; 및

상기 주사 구동부로 구동전원들 및 구동신호들을 공급하는 다수의 패드들로 각각 구성된 복수의 입력단들을 포함하고,

상기 화소부와 상기 주사 구동부는 하나의 패널 상에 형성되고,

상기 복수의 입력단들은, 상기 주사 구동부의 상측에 위치하는 제1 입력단, 상기 주사 구동부의 하측에 위치하는 제2입력단 및 상기 제1입력단 및 상기 제2입력단이 위치하지 않은 상기 주사 구동부의 다른 일측에 위치하는 제3입력단을 포함하고,

상기 제1입력단, 상기 제2입력단 및 상기 제3입력단 각각은 상기 다수의 스테이지들 전체와 전기적으로 연결되는 유기전계발광 표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 복수의 입력단들로부터 상기 주사 구동부로 공급되는 상기 구동전원들 및 구동신호들은 상기 주사 구동부의 제1 및 제2 전원과 클럭신호들을 포함하는 유기전계발광 표시장치.

청구항 6

제1항에 있어서,

상기 주사 구동부는 P타입의 트랜지스터(PMOS)들 및 커패시터들로 구성된 유기전계발광 표시장치.

청구항 7

제1항에 있어서,

상기 화소부는 상기 화소들과 전기적으로 연결되는 발광 제어선들을 더 포함하며,

상기 발광 제어선들로 발광 제어신호를 공급하는 발광제어 구동부가 더 구비되는 유기전계발광 표시장치.

청구항 8

제7항에 있어서,

상기 발광제어 구동부로 구동전원들 및 구동신호들을 공급하는 복수의 다른 입력단들을 더 포함하며,

상기 복수의 다른 입력단들 중에서 적어도 둘은 상기 패널의 서로 다른 가장자리에 형성되며,

상기 복수의 다른 입력단들 각각은 상기 주사 구동부로 구동전원 또는 구동신호를 공급하는 패드들을 포함하는

유기전계발광 표시장치.

청구항 9

제8항에 있어서,

상기 발광제어 구동부는 스타트 펄스의 입력단에 종속적으로 연결되어 순차적으로 상기 발광 제어신호를 생성하는 다수의 스테이지들을 포함하며,

상기 복수의 다른 입력단들 중 일부 입력단은, 상기 스테이지들 중 첫 단의 스테이지(제1 스테이지) 및 마지막 단의 스테이지(제n 스테이지) 중 적어도 하나에 전기적으로 연결되고, 나머지 입력단은 상기 제1 스테이지와 상기 제n 스테이지 사이에 위치한 중간 단의 스테이지들 사이에 전기적으로 연결되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제8항에 있어서,

상기 복수의 다른 입력단으로부터 상기 발광제어 구동부로 공급되는 상기 구동전원들 및 구동신호들은 상기 발광제어 구동부의 제1 및 제2 전원과 클럭신호들을 포함하는 유기전계발광 표시장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

제7항에 있어서,

상기 발광제어 구동부는 P타입의 트랜지스터(PMOS)들 및 커패시터들로 구성된 유기전계발광 표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것으로, 특히 주사 구동부 및/또는 발광제어 구동부의 오작동을 방지할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

배경기술

[0002] 최근, 음극선관과 비교하여 무게가 가볍고 부피가 작은 각종 평판 표시장치(Flat Panel Display Device)들이 개발되고 있다. 평판 표시장치들 중 특히 유기전계발광 표시장치(Organic Light Emitting Display Device)는 유기 화합물을 발광재료로 사용하여 휘도 및 색순도가 뛰어나 차세대 표시장치로 주목받고 있다.

[0003] 이와 같은 유기전계발광 표시장치는 얇고 가벼우며 저전력으로 구동이 가능하여 휴대용 표시장치 등에 유용하게 이용될 것으로 기대되고 있다.

[0004] 일반적으로, 유기전계발광 표시장치는 다수의 화소들을 포함하는 화소부와, 화소들로 주사신호 및 데이터 신호를 공급하기 위한 주사 구동부 및 데이터 구동부를 포함한다.

[0005] 단, 구동 트랜지스터의 문턱전압(이하, V_{th} 라 함)을 보상하는 보상회로를 채용하는 능동형 유기전계발광 표시장치 등의 경우, 점등검사 등을 수행하기 위해 패널 내에 주사 구동부를 내장하여 제조한다.

[0006] 이와 같은 주사 구동부는 어느 일측, 예컨대, 첫 단 혹은 마지막 단으로 구동전원들 및/또는 구동신호들을 공급

받는다.

- [0007] 하지만, 고해상도의 대면적화된 패널에서는 내장된 주사 구동부에서 구동전원들 및/또는 구동신호들의 지연(RC delay) 및 전압강하(IR drop)가 심하게 발생하여 주사 구동부가 오작동할 수 있다.
- [0008] 특히, 주사 구동부가 P타입의 트랜지스터(이하, PMOS라 함)로만 구성되는 경우, 구동신호들(예컨대, 클럭신호들)은 단순히 PMOS를 온/오프하는 데에만 이용되지 않고, 전원 공급 역할도 할 수 있다. 예를 들어, 구동신호들의 로우레벨 전압이 주사신호의 로우레벨 전압으로 출력될 수 있다. 이 경우, 구동신호들의 지연은 물론, 전압강하로 인해 주사 구동부의 오작동 가능성이 증가하는 문제점이 발생한다.
- [0009] 또한, 주사 구동부 외에 발광제어신호를 생성하는 발광제어 구동부를 더 구비하는 유기전계발광 표시장치에서도 주사 구동부의 경우와 마찬가지로 구동신호들 및 구동전원들의 지연 및 전압강하로 인해, 발광제어 구동부가 오작동할 수 있다.

발명의 내용

해결 하고자하는 과제

- [0010] 따라서, 본 발명의 목적은 주사 구동부 및/또는 발광제어 구동부로 공급되는 구동신호들 및 구동전원들의 지연 및 전압강하를 최소화하여 주사 구동부 및/또는 발광제어 구동부의 오작동을 방지할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

과제 해결수단

- [0011] 이와 같은 목적을 달성하기 위하여 본 발명은 주사선들 및 데이터선들과, 상기 주사선들 및 데이터선들의 교차부에 위치되어 이들과 전기적으로 연결되는 다수의 화소들을 포함하는 화소부와, 상기 주사선들로 주사신호를 공급하는 주사 구동부와, 상기 화소부 및 주사 구동부로 구동전원들 및 구동신호들을 공급하는 다수의 패드들을 포함하며, 상기 패드들 중 상기 주사 구동부로 동일한 구동전원 또는 구동신호를 공급하는 패드는 각각 복수 개씩 구비되고, 상기 주사 구동부는 복수의 입력단으로부터 상기 구동전원들 및 구동신호들을 공급받는 유기전계발광 표시장치를 제공한다.
- [0012] 여기서, 상기 주사 구동부는 스타트 펄스(SSP)의 입력단에 종속적으로 연결되어 순차적으로 상기 주사신호를 생성하는 다수의 스테이지들을 포함하며, 상기 복수의 입력단 중 일부 입력단은, 상기 스테이지들 중 첫 단의 스테이지(제1 스테이지) 및 마지막 단의 스테이지(제n 스테이지) 중 적어도 하나에 전기적으로 연결되고, 나머지 입력단은 상기 제1 스테이지와 상기 제n 스테이지 사이에 위치한 중간 단의 스테이지들 사이에 전기적으로 연결될 수 있다.
- [0013] 또한, 상기 화소부 및 주사 구동부는 하나의 패널 상에 형성될 수 있다. 여기서, 상기 주사 구동부의 복수의 입력단 각각은 상기 패널의 서로 다른 가장자리에 형성되어, 서로 다른 방향으로부터 상기 주사 구동부로 상기 구동전원들 및 구동신호들을 공급할 수 있다.
- [0014] 또한, 상기 복수의 입력단으로부터 상기 주사 구동부로 공급되는 상기 구동전원들 및 구동신호들은 상기 주사 구동부의 제1 및 제2 전원과 클럭신호들을 포함할 수 있다.
- [0015] 또한, 상기 주사 구동부는 P타입의 트랜지스터(PMOS)들 및 커패시터들로 구성될 수 있다.
- [0016] 또한, 상기 화소부는 상기 화소들과 전기적으로 연결되는 발광 제어선들을 더 포함하며, 상기 유기전계발광 표시장치는 상기 발광 제어선들로 발광 제어신호를 공급하는 발광제어 구동부를 더 구비할 수 있다. 여기서, 상기 패드부는 상기 발광제어 구동부로 구동전원들 및 구동신호들을 공급하는 다수의 패드들을 더 포함하며, 상기 패드들 중 상기 발광제어 구동부로 동일한 구동전원 또는 구동신호를 공급하는 패드는 각각 복수 개씩 구비되고, 상기 발광제어 구동부는 복수의 입력단으로부터 상기 구동전원들 및 구동신호들을 공급받을 수 있다.
- [0017] 그리고, 상기 발광제어 구동부는 스타트 펄스(ESP)의 입력단에 종속적으로 연결되어 순차적으로 상기 발광 제어신호를 생성하는 다수의 스테이지들을 포함하며, 상기 발광제어 구동부의 복수의 입력단 중 일부 입력단은, 상기 스테이지들 중 첫 단의 스테이지(제1 스테이지) 및 마지막 단의 스테이지(제n 스테이지) 중 적어도 하나에 전기적으로 연결되고, 나머지 입력단은 상기 제1 스테이지와 상기 제n 스테이지 사이에 위치한 중간 단의 스테

이들 사이에 전기적으로 연결될 수 있다.

- [0018] 또한, 상기 발광제어 구동부의 복수의 입력단으로부터 상기 발광제어 구동부로 공급되는 상기 구동전원들 및 구동신호들은 상기 발광제어 구동부의 제1 및 제2 전원과 클럭신호들을 포함할 수 있다.
- [0019] 또한, 상기 화소부, 주사 구동부 및 발광제어 구동부는 하나의 패널 상에 형성될 수 있다. 여기서, 상기 발광제어 구동부의 복수의 입력단 각각은 상기 패널의 서로 다른 가장자리에 형성되어, 서로 다른 방향으로부터 상기 발광제어 구동부로 상기 구동전원들 및 구동신호들을 공급할 수 있다.
- [0020] 또한, 상기 발광제어 구동부는 P타입의 트랜지스터(PMOS)들 및 커패시터들로 구성될 수 있다.

효과

- [0021] 이와 같은 본 발명에 의하면, 주사 구동부 및/또는 발광제어 구동부가 복수의 입력단으로부터 적어도 두 방향으로 구동신호들 및 구동전원들을 공급받도록 함으로써, 주사 구동부 및/또는 발광제어 구동부로 공급되는 구동신호들 및 구동전원들의 지연 및 전압강하를 최소화할 수 있다.
- [0022] 특히, 주사 구동부 및/또는 발광제어 구동부의 첫 단 및/또는 마지막 단과 더불어, 중간 단으로도 구동신호들 및 구동전원들을 공급함으로써, 주사 구동부 및/또는 발광제어 구동부로 공급되는 구동신호들 및 구동전원들의 지연 및 전압강하를 효과적으로 방지할 수 있다.
- [0023] 이에 의해, 주사 구동부 및/또는 발광제어 구동부의 오작동을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0025] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치의 패널을 나타내는 평면도이다.
- [0026] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치의 패널(100)은 화소부(110), 주사 구동부(120), 발광제어 구동부(130) 및 데이터 구동부(140)와, 다수의 패드들(P)을 포함한다.
- [0027] 화소부(110)는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)과, 이들의 교차부에 위치한 다수의 화소들(115)을 포함한다.
- [0028] 화소들(115)은 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)에 전기적으로 연결되어, 이들로부터 공급되는 주사신호, 발광 제어신호 및 데이터 신호에 대응하여 발광한다.
- [0029] 한편, 화소부(110)는 패드들(P)로부터 제1 및 제2 화소전원을 공급받아 이를 각각의 화소들(115)로 전달한다.
- [0030] 주사 구동부(120)는 패드들(P)로부터 공급되는 주사 구동부(120)의 제1 및 제2 전원(이하, SVDD, SVSS라 함)과 구동신호들(이하, SCS라 함)에 대응하여 주사신호를 생성하고, 이를 주사선들(S1 내지 Sn)로 공급한다.
- [0031] 발광제어 구동부(130)는 패드들(P)로부터 공급되는 발광제어 구동부(130)의 제1 및 제2 전원(이하, EVDD, EVSS라 함)과 구동신호들(이하, ECS라 함)에 대응하여 발광 제어신호를 생성하고, 이를 발광 제어선들(E1 내지 En)로 공급한다.
- [0032] 데이터 구동부(140)는 패드들(P)로부터 공급되는 데이터 및 데이터 구동제어신호에 대응하여 데이터 신호를 생성하고, 이를 데이터선들(D1 내지 Dm)로 공급한다.
- [0033] 패드들(P)은 패널(100)의 가장자리에 형성되어, 화소부(110), 주사 구동부(120), 발광제어 구동부(130) 및/또는 데이터 구동부(140)로 구동전원들 및 구동신호들을 공급한다.
- [0034] 단, 본 발명에서, 패드들(P) 중 주사 구동부(120) 및 발광제어 구동부(130)로 동일한 구동전원 또는 구동신호를 공급하는 패드(P)는 각각 복수 개씩 구비되어 분산 배치된다.
- [0035] 예를 들어, 주사 구동부(120)로 SVDD를 공급하는 패드들(P)은 네 개 구비되어, 주사 구동부(120)의 제1 내지 제

4 입력단(INP1 내지 INP4)에 분산배치될 수 있다.

- [0036] 여기서, 주사 구동부(120)의 제1 내지 제4 입력단(INP1 내지 INP4)은 패널(100)의 서로 다른 적어도 두 가장자리에 분산되도록 형성되어, 적어도 두 방향으로부터 주사 구동부(120)로 구동전원들 및 구동신호들을 공급한다.
- [0037] 예를 들어, 제1 및 제2 입력단(INP1, INP2)은 각각 주사 구동부(120)의 상측 및 하측에 형성되고, 제3 및 제4 입력단(INP3, INP4)은 제1 및 제2 입력단(INP1, INP2)이 형성되지 않은 주사 구동부(120)의 다른 일측에 형성될 수 있다.
- [0038] 또한, 주사 구동부(120)로 SVSS 및 SCS를 공급하는 패드들(P)도 각각 네 개씩 구비되어, 제1 내지 제4 입력단(INP1 내지 INP4)에 분산배치될 수 있다. 여기서, SCS에는 주사 구동부(120)의 클럭신호들이 포함될 수 있다.
- [0039] 즉, 주사 구동부(120)는 복수의 입력단(예컨대, 제1 내지 제4 입력단(INP1 내지 INP4))으로부터 구동전원들(SVDD, SVSS) 및 구동신호들(SCS)을 공급받는다.
- [0040] 한편, 발광제어 구동부(130)도 주사 구동부(120)와 마찬가지로, 복수의 입력단으로부터 구동전원들(EVDD, EVSS) 및 구동신호들(ECS)을 공급받는다.
- [0041] 예를 들어, 발광제어 구동부(130)로 EVDD, EVSS 및 ECS를 공급하는 패드들(P)도 각각 네 개씩 구비되어, 제1 내지 제4 입력단(inp1 내지 inp4)에 분산배치될 수 있다.
- [0042] 제1 내지 제4 입력단(inp1 내지 inp4)은 발광제어 구동부(130)와 인접한 패널(100)의 서로 다른 적어도 두 가장자리에 형성된다.
- [0043] 예를 들어, 발광제어 구동부(130)의 제1 및 제2 입력단(inp1, inp2)은 각각 발광제어 구동부(130)의 상측 및 하측에 형성되고, 제3 및 제4 입력단(inp3, inp4)은 제1 및 제2 입력단(inp1, inp2)이 형성되지 않은 발광제어 구동부(130)의 다른 일측에 형성될 수 있다.
- [0044] 이와 같은 제1 내지 제4 입력단(inp1 내지 inp4)은 서로 다른 적어도 두 방향으로부터 발광제어 구동부(130)로 구동전원들(EVDD, EVSS) 및 구동신호들(ECS)을 공급한다. 여기서, 발광제어 구동부(130)의 구동신호들, 즉, ECS에는 발광제어 구동부(130)의 클럭신호들이 포함될 수 있다.
- [0045] 특히, 본 발명에서 주사 구동부(120) 및 발광제어 구동부(130)의 복수의 입력단들(INP1 내지 INP4, inp1 내지 inp4) 중 일부 입력단은 주사 구동부(120) 및 발광제어 구동부(130)의 상측 및/또는 하측에 위치된다. 이와 같은 일부 입력단은 주사 구동부(120) 및 발광제어 구동부(130)의 첫 단 및/또는 마지막 단에 전기적으로 연결되어, 이들로 구동전원들 및 구동신호들을 공급한다.
- [0046] 그리고, 주사 구동부(120) 및 발광제어 구동부(130)의 복수의 입력단들(INP1 내지 INP4, inp1 내지 inp4) 중 나머지 입력단은 주사 구동부(120) 및 발광제어 구동부(130)의 일측에 위치된다. 이와 같은 나머지 입력단은 주사 구동부(120) 및 발광제어 구동부(130)의 중간 단들 사이에 전기적으로 연결되어, 이들로 구동전원들 및 구동신호들을 공급한다.
- [0047] 한편, 도 1에는 도시되지 않았으나, 패널(100)에는 주사 구동부(120) 및 발광제어 구동부(130)로 각각 주사 구동부(120)의 스타트 펄스 및 발광제어 구동부(130)의 스타트 펄스를 공급하는 패드들이 더 형성된다. 이와 같은 패드들은 각각 하나씩 형성되어, 주사 구동부(120) 및 발광제어 구동부(130)의 첫 단으로 주사 구동부(120) 및 발광제어 구동부(130)의 스타트 펄스를 공급할 수 있다.
- [0048] 전술한 바와 같은 본 발명에 의하면, 주사 구동부(120) 및/또는 발광제어 구동부(130)는 패널(100)의 서로 다른 적어도 두 가장자리에 위치한 복수의 입력단(INP1 내지 INP4, inp1 내지 inp4)으로부터 적어도 두 방향으로 구동전원들 및 구동신호들을 공급받는다. 이에 의해, 주사 구동부(120) 및/또는 발광제어 구동부(130)로 공급되는 구동신호들 및 구동전원들의 지연 및 전압강하를 최소화할 수 있다.
- [0049] 특히, 주사 구동부(120) 및/또는 발광제어 구동부(130)의 첫 단 및/또는 마지막 단과 더불어, 중간 단으로도 구동신호들 및 구동전원들을 공급함으로써, 주사 구동부(120) 및/또는 발광제어 구동부(130)로 공급되는 구동신호들 및 구동전원들의 지연 및 전압강하를 효과적으로 방지할 수 있다.
- [0050] 이에 의해, 주사 구동부(120) 및/또는 발광제어 구동부(130)의 오작동을 방지할 수 있다.
- [0051] 한편, 도 1에서는 화소부(110), 주사 구동부(120), 발광제어 구동부(130) 및 데이터 구동부(140)와, 이들로 구동신호들 및 구동전원들을 공급하기 위한 다수의 패드들(P)이 형성된 유기전계발광 표시장치의 패널(100)을 도

시하였다. 하지만, 본 발명이 이에 한정되는 것은 아니다.

- [0052] 예를 들어, 발광제어 구동부(130)는 구비되지 않을 수도 있고, 또는 주사신호 생성부와 발광 제어신호 생성부가 함께 구비된 다른 구조의 주사 구동부가 패널(100) 상에 형성될 수도 있다. 또한, 데이터 구동부(130)는 패널(100)의 외부(예컨대, FPCB)에 실장되어, 패드들(P)을 통해 화소부(110)로 데이터 신호를 공급할 수도 있다.
- [0053] 또한, 편의상 도 1에서는 주사 구동부(120) 및 발광제어 구동부(130)의 입력단들(INP1 내지 INP4, inp1 내지 inp4) 각각에 다섯 개의 패드들(P)이 구비되어 SVDD, SVSS, SCS 또는 EVDD, EVSS, ECS를 공급하는 것으로 도시하였지만, 이들의 수는 주사 구동부(120) 및 발광제어 구동부(130)의 회로구성에 따라 다양하게 변경될 수 있다.
- [0054] 도 2는 도 1에 도시된 주사 구동부의 일례를 나타내는 블록도이다.
- [0055] 도 2를 참조하면, 주사 구동부(120)는 스타트 펄스(이하, SSP라 함)의 입력단에 종속적으로 연결된 다수의 스테이지들(ST1 내지 STn)을 구비한다.
- [0056] 각각의 스테이지들(ST1 내지 STn)은 주사 구동부(120)의 구동전원들 및 구동신호들 즉, SVDD, SVSS, SCS의 공급 라인에 접속된다. 여기서, SCS에는 순차적으로 위상이 지연되어 공급되는 제1, 제2 및 제3 클럭신호(이하, SCLK1, SCLK2, SCLK3라 함)가 포함된다.
- [0057] 이와 같은 스테이지들(ST1 내지 STn)은 SSP에 대응하여 순차적으로 주사신호(SS1 내지 SSn)를 생성하여 출력한다.
- [0058] 보다 구체적으로, 제1 스테이지(ST1)는 SCLK1 내지 SCLK3에 대응하여 자신에게 공급되는 SSP를 한 클럭만큼 위상지연시켜 출력한다.
- [0059] 그리고, 제2 내지 제n 스테이지(ST2 내지 STn)는 SCLK1 내지 SCLK3에 대응하여 자신에게 공급되는 이전단 스테이지(ST)의 출력신호(즉, 이전단 스테이지(ST)의 주사신호(SS))를 한 클럭만큼 위상지연시켜 출력한다.
- [0060] 이와 같은 구동에 의하여, 각 스테이지들(ST1 내지 STn)에서는 순차적으로 위상지연된 출력신호(SS1 내지 SSn)가 발생되고, 발생된 출력신호(SS1 내지 SSn)는 각각의 주사선들(S1 내지 Sn)로 순차적으로 공급된다.
- [0061] 한편, 도 2에서는 순차적으로 위상지연된 3개의 클럭신호, 즉 SCLK1 내지 SCLK3에 의해 구동되는 스테이지들(ST1 내지 STn)을 도시하였지만, 스테이지들(ST1 내지 STn)은 순차적으로 위상지연된 4개의 클럭신호에 의해 구동될 수도 있다.
- [0062] 이 경우, 각각의 스테이지(ST)는 4개의 클럭신호들 중 3개의 클럭신호만을 입력받아 이에 대응하는 출력신호(SS)를 생성할 수 있다.
- [0063] 예를 들어, 제1 스테이지(ST1)는 제1, 제3 및 제4 클럭신호를 입력받고, 제2 스테이지(ST2)는 제1, 제3 및 제4 클럭신호가 한 클럭만큼 순차적으로 위상 지연된 제2, 제4 및 제1 클럭신호를 입력받을 수 있다. 그리고, 제3 내지 제n 스테이지(ST3 내지 STn)에도 같은 방식으로 순차적으로 한 클럭만큼씩 위상 지연된 3개의 클럭신호가 입력될 수 있다.
- [0064] 단, 본 발명에서, 도 1에 도시된 주사 구동부(120)의 복수의 입력단(INP1 내지 INP4) 중 일부 입력단은, 제1 스테이지(ST1) 및 제n 스테이지(STn) 중 적어도 하나에 전기적으로 연결된다. 예를 들어, 제1 및 제2 입력단(INP1, INP2)은 각각 제1 스테이지(ST1) 및 제n 스테이지(STn)에 전기적으로 연결될 수 있다.
- [0065] 그리고, 나머지 입력단, 예컨대, 제3 내지 제4 입력단(INP3, INP4)은 제1 스테이지(ST1)와 제n 스테이지(STn) 사이에 위치한 중간 단의 스테이지들(ST) 사이에 전기적으로 연결된다. 예를 들어, 제3 입력단(INP3)은 제k 스테이지(STk)와 제k+1 스테이지(STk+1) 사이에 전기적으로 연결되고, 제4 입력단(INP4)은 제1 스테이지(ST1)와 제l+1 스테이지(STl+1) 사이에 전기적으로 연결될 수 있다.
- [0066] 도 3은 도 2에 도시된 스테이지의 일례를 나타내는 회로도이다. 편의상, 도 3에서는 어느 한 타입의 트랜지스터, 예컨대, P 타입의 트랜지스터들(PMOS) 및 커패시터들로 구성된 임의의 스테이지의 일례를 도시하였지만, 본 발명이 이에 한정되는 것은 아니다.

- [0067] 도 3을 참조하면, 스테이지(STi)는 전압레벨 제어부(300)와, 제1 내지 제3 트랜지스터(M1 내지 M3)와, 제1 내지 제2 커패시터(C1 내지 C2)를 포함한다.
- [0068] 전압레벨 제어부(300)는 SSP 또는 이전단 스테이지의 출력신호(SSi-1)와 SCLK2에 대응하여 제1 노드(N1)와 제2 노드(N2)의 전압레벨을 하이레벨 또는 로우레벨로 제어한다.
- [0069] 이를 위하여, 전압레벨 제어부(300)는 제4 내지 제6 트랜지스터(M4 내지 M6)를 포함한다.
- [0070] 제4 트랜지스터(M4)는 SSP 또는 이전단 스테이지 출력신호(SSi-1)의 입력라인과 제2 노드(N2) 사이에 접속되며, 제4 트랜지스터(M4)의 게이트 전극은 SCLK2의 입력라인에 접속된다. 이와 같은 제4 트랜지스터(M4)는 자신의 게이트 전극에 로우레벨의 SCLK2가 공급될 때 턴-온되어 SSP 또는 이전단의 출력신호(SSi-1)를 제2 노드(N2)에 공급한다.
- [0071] 제5 트랜지스터(M5)는 SVDD와 제1 노드(N1) 사이에 접속되며, 제5 트랜지스터(M5)의 게이트 전극은 SSP 또는 이전단 스테이지 출력신호(SSi-1)의 입력라인에 접속된다. 이와 같은 제5 트랜지스터(M5)는 자신의 게이트 전극에 로우레벨의 SSP 또는 이전단 스테이지의 출력신호(SSi-1)가 입력될 때 턴-온되어 SVDD와 제1 노드(N1)를 전기적으로 연결한다.
- [0072] 제6 트랜지스터(M6)는 SVDD와 제1 노드(N1) 사이에 접속되며, 제6 트랜지스터(M6)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제6 트랜지스터(M6)는 제2 노드(N2)의 전압레벨이 소정값 이하의 로우값으로 하강할 때 턴-온되어 SVDD와 제1 노드(N1)를 전기적으로 연결한다.
- [0073] 즉, 전압레벨 제어부(300)는 SSP 또는 이전단 스테이지의 출력신호(SSi-1)와 SCLK2에 대응하여 제2 노드(N2)의 전압레벨을 제어하고, SSP 또는 이전단 스테이지의 출력신호(SSi-1)와 제2 노드(N2)의 전압레벨에 대응하여 제1 노드(N1)의 전압레벨을 제어한다.
- [0074] 제1 트랜지스터(M1)는 하이레벨 전압원인 SVDD와 스테이지(STi)의 출력노드인 제3 노드(N3) 사이에 접속되며, 제1 트랜지스터(M1)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 제1 노드(N1)의 전압레벨이 로우일 때(즉, 제1 노드(N1)의 전압값이 제1 트랜지스터(M1)의 소스 전극의 전압값보다 작을 때) 턴-온되어 SVDD와 스테이지(STi)의 출력라인을 전기적으로 연결한다.
- [0075] 제2 트랜지스터(M2)는 제3 노드(N3)와 SCLK3의 입력라인 사이에 접속되며, 제2 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 제2 노드(N2)의 전압레벨이 로우일 때 턴-온되어 스테이지(STi)의 출력라인과 SCLK3의 입력라인을 전기적으로 연결한다. 즉, 제2 트랜지스터(M2)가 턴-온되면, 스테이지 출력신호(SSi)의 전압레벨은 SCLK3의 전압레벨과 동일해진다.
- [0076] 제3 트랜지스터(M3)는 제1 노드(N1)와 SVDD보다 낮은 로우레벨 전압원인 SVSS 사이에 접속되며, 제3 트랜지스터(M3)의 게이트 전극은 SCLK1의 입력라인에 접속된다. 이와 같은 제3 트랜지스터(M3)는 SCLK1의 입력라인으로 로우레벨의 SCLK1이 입력될 때 턴-온되어 제1 노드(N1)와 SVSS를 전기적으로 연결한다.
- [0077] 제1 커패시터(C1)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속된다. 이와 같은 제1 커패시터(C1)는 자신의 양측 단자 간 전위차에 해당되는 소정의 전압값을 충전함으로써 제2 트랜지스터(M2)의 동작을 안정화한다.
- [0078] 제2 커패시터(C2)는 SVDD와 제1 노드(N1) 사이에 접속된다. 이와 같은 제2 커패시터(C2)는 SVDD 또는 제1 노드(N1)에 인가되는 전압의 변동을 줄이는 역할을 수행한다.
- [0079] 전술한 바와 같이 스테이지(STi)들의 회로를 설계하면, 스테이지(STi) 내에 구비된 트랜지스터들(M1 내지 M6)을 모두 동일한 타입으로 설계함으로써 제조공정을 단순화할 수 있다.
- [0080] 또한, 도 1 내지 도 2에 도시된 바와 같이 주사 구동부(120)가 복수의 입력단(INP)으로부터 구동신호들 및 구동전원들을 공급받는 경우, 구동신호들 및 구동전원들의 지연 및/또는 전압강하가 방지되므로, 도 3에 도시된 스테이지(STi)가 안정적으로 동작할 수 있다.
- [0081] 한편, 도 3에 도시된 스테이지(STi)에서는 제3, 제4 및 제2 트랜지스터(M3, M4, M2)의 어느 한 전극에 각각 SCLK1, SCLK2, SCLK3가 공급되었지만, 각 스테이지(ST)들로 입력되는 SCLK1, SCLK2, SCLK3는 스테이지(ST)마다 한 클럭만큼 쉬프트 되어 공급될 수 있다.
- [0082] 예를 들어, 도 3에 도시된 스테이지(STi)의 다음 단 스테이지에서는 제3, 제4 및 제2 트랜지스터(M3, M4, M2)의 어느 한 전극에 각각 한 클럭만큼 쉬프트 된 SCLK2, SCLK3, SCLK1이 공급될 수 있다.

- [0083] 이하에서는 도 3에 도시된 스테이지의 동작을 도 4에 도시된 입/출력 신호의 파형과 결부하여 상세히 설명하기로 한다. 편의상, 트랜지스터의 문턱전압 등의 요소는 고려하지 않기로 한다.
- [0084] 도 4를 참조하면, 우선, t1 구간 동안 하이레벨의 이전단 출력신호(SSi-1)(또는, SSP)가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- [0085] 또한, 로우레벨의 SCLK1이 제3 트랜지스터(M3)의 게이트 전극에 공급되고, 하이레벨의 SCLK2 및 SCLK3가 각각 제4 트랜지스터(M4)의 게이트 전극과 제2 트랜지스터(M2)의 드레인 전극에 공급된다. 여기서, SCLK1, SCLK2 및 SCLK3는 위상이 순차적으로 지연된 파형을 갖는 신호들이다.
- [0086] 이에 의하여, 제4 및 제5 트랜지스터(M4, M5)는 턴-오프 상태를 유지하고, 제3 트랜지스터(M3)는 턴-온된다.
- [0087] 제3 트랜지스터(M3)가 턴-온되면, 제1 노드(N1)에는 SVSS의 전압이 전달된다. 따라서, t1 구간 동안 제1 노드(N1)에는 로우값의 전압이 충전된다.
- [0088] 이때, 제1 노드(N1)의 전압이 로우레벨로 하강함에 따라 제1 트랜지스터(M1)가 턴-온되어 SVDD의 전압을 스테이지(STi)의 출력라인으로 공급한다. 따라서, 스테이지(STi)에서 출력되는 출력신호(SSi)는 t1 구간 동안 하이값을 유지한다. 그리고, 제2 노드(N2)에 충전된 전압은 별다른 변동없이 하이값을 유지한다.
- [0089] 이후, t2 구간 동안 로우레벨의 이전단 출력신호(SSi-1)(또는, SSP)가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- [0090] 또한, 하이레벨의 SCLK1이 제3 트랜지스터(M3)의 게이트 전극에 공급되고, 로우레벨의 SCLK2와 하이레벨의 SCLK3가 각각 제4 트랜지스터(M4)의 게이트 전극과 제2 트랜지스터(M2)의 드레인 전극에 공급된다.
- [0091] 그러면, 로우레벨의 SCLK2에 대응하여 제4 트랜지스터(M4)가 턴-온되고, 이에 의해 이전단 출력신호(SSi-1)(또는, SSP)의 로우값이 제2 노드(N2)로 전달되어 제2 노드(N2)는 로우값으로 충전된다.
- [0092] 또한, 로우레벨의 이전단 출력신호(SSi-1)(또는, SSP)에 의하여 제5 트랜지스터(M5)가 턴-온됨은 물론, 제2 노드(N2)가 로우값으로 충전됨에 따라 제6 트랜지스터(M6)가 턴-온되어 제1 노드(N1)는 SVDD의 하이레벨 전압으로 충전된다.
- [0093] 제1 노드(N1)가 하이값으로 충전됨에 따라 제1 트랜지스터(M1)는 턴-오프되고, 제2 노드(N2)가 로우값으로 충전됨에 따라 제2 트랜지스터(M2)가 턴-온되어 하이레벨의 SCLK3가 스테이지(STi)의 출력라인에 공급된다. 이때, 제1 커패시터(C1)에는 제2 트랜지스터(M2)가 턴-온될 수 있는 전압이 저장된다.
- [0094] 이후, t3 구간 동안 하이레벨의 이전단 출력신호(SSi-1)(또는, SSP)가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- [0095] 또한, 하이레벨의 SCLK1 및 SCLK2가 각각 제3 트랜지스터(M3)의 게이트 전극과 제4 트랜지스터(M4)의 게이트 전극에 공급되고, 로우레벨의 SCLK3가 제2 트랜지스터(M2)의 드레인 전극에 공급된다.
- [0096] 그러면, 하이레벨의 이전단 출력신호(SSi-1)(또는, SSP)와 SCLK1 및 SCLK2에 대응하여 제3, 제4 및 제5 트랜지스터(M3, M4, M5)가 턴-오프된다.
- [0097] 또한, 이전 구간인 t2 구간에서 제1 커패시터(C1)에 제2 트랜지스터(M2)를 턴-온시킬 수 있는 전압이 저장되었기 때문에 제2 트랜지스터(M2)는 턴-온 상태를 유지한다. 이에 의해 스테이지(STi)의 출력신호(SSi)의 파형은 SCLK3의 파형을 그대로 따르게 된다. 즉, t3 구간에서 스테이지(STi)의 출력신호(SSi)는 로우값을 갖는다.
- [0098] 이때, SCLK3가 하이값에서 로우값으로 변동됨에 따라 제2 트랜지스터(M2)의 게이트-소스 간 커패시터(미도시)의 커플링 작용에 의해 제2 노드(N2)는 t2 구간에서의 로우값보다 더 낮은 로우값으로 충전된다.
- [0099] 이에 의하여, 제6 트랜지스터(M6)가 턴-온되어 제1 노드(N1)는 하이값으로 충전된다.
- [0100] 이후, t4 구간 동안 하이레벨의 이전단 출력신호(SSi-1)(또는, SSP)가 제4 트랜지스터(M4)의 소스 전극과 제5 트랜지스터(M5)의 게이트 전극에 공급된다.
- [0101] 또한, 하이레벨의 SCLK1, SCLK2 및 SCLK3가 각각 제3 트랜지스터(M3)의 게이트 전극, 제4 트랜지스터(M4)의 게이트 전극, 및 제2 트랜지스터(M2)의 드레인 전극에 공급된다.

- [0102] 그러면, 하이레벨의 이전단 출력신호(SSi-1)(또는, SSP)와 SCLK1 및 SCLK2에 대응하여 제3, 제4 및 제5 트랜지스터(M3, M4, M5)가 턴-오프 상태를 유지한다.
- [0103] 또한, 제2 트랜지스터(M2)는 제1 커패시터(C1)에 의하여 턴-온 상태를 유지하며, 이에 의하여 스테이지(STi)의 출력신호(SSi)는 SCLK3의 파형을 따라 하이값을 갖는다.
- [0104] 이때, 제2 트랜지스터(M2)의 게이트-소스 간 커패시터의 커플링 작용에 의해 제2 노드(N2)는 t3 구간에서의 로우값에서 소정의 값만큼 상승하여 t2 구간에서의 값과 유사하거나 동일한 중간레벨의 값으로 충전된다. 이에 따라, 제6 트랜지스터(M6)가 턴-온 상태를 유지함으로써 제1 노드(N1)는 하이값을 유지한다.
- [0105] 이후의 구간에서는 이전단 출력신호(SSi-1)(또는, SSP)가 하이레벨을 유지하기 때문에 스테이지(STi)의 출력신호(SSi)도 하이레벨을 유지한다.
- [0106] 예를 들어, t5 구간 동안 로우레벨의 SCLK2가 공급된다고 하더라도, 제4 트랜지스터(M4)를 경유하여 공급되는 이전단 출력신호(SSi-1)(또는, SSP)는 계속 하이레벨을 유지하기 때문에 제2 노드(N2)를 하이값으로 충전시킨다. 이에 의해 제2 노드(N2)에는 제2 트랜지스터(M2)를 턴-오프시키는 전압이 저장된다. 따라서, 이후, t6 구간 동안 로우레벨의 SCLK3가 공급된다고 하더라도, 제2 트랜지스터(M2)는 턴-오프 상태를 유지한다. 이에 의해, 스테이지(STi)의 출력신호(SSi)는 SCLK3의 값에 무관하게 하이레벨을 유지한다.
- [0107] 전술한 바와 같은 구동에 의하여, 본 발명에 의한 주사 구동부(120)의 스테이지(ST)들은 자신에게 입력되는 이전단 출력신호(SSi-1)(또는, SSP)를 SCLK1 내지 SCLK3에 대응하여 한 클럭만큼 위상지연시켜 출력라인으로 출력한다.
- [0108] 도 5는 도 1에 도시된 발광제어 구동부의 일례를 나타내는 블럭도이다.
- [0109] 도 5를 참조하면, 발광제어 구동부(130)는 스타트 펄스(이하, ESP라 함)의 입력단에 종속적으로 연결됨과 아울러, 제1 내지 제4 클럭신호(이하, ECLK1 내지 ECLK4라 함)의 공급라인 중 2개의 클럭신호(ECLK)의 공급라인에 각각 접속된 다수의 스테이지들(ST'1 내지 ST'n)을 구비한다.
- [0110] 여기서, ECLK1 및 ECLK2는 상반된 파형을 갖는다. 즉, ECLK2는 ECLK1의 반대파형을 갖는 클럭신호(ECLK1B)이다. 또한, ECLK3 및 ECLK4도 상반된 파형을 갖는다. 즉, ECLK4는 ECLK3의 반대파형을 갖는 클럭신호(ECLK3B)이다.
- [0111] 그리고, ECLK1과 ECLK3의 주기는 동일하며, 이들 클럭신호(ECLK)는 소정 주기만큼의 위상차를 가진다. 예를 들어, ECLK1과 ECLK3는 1/4 주기(혹은, 3/4주기)에 해당하는 위상차를 가질 수 있다.
- [0112] 이와 같은 스테이지들(ST'1 내지 ST'n)은 4개의 클럭신호 즉, ECLK1 내지 ECLK4의 입력라인 중 상반된 파형을 갖는 2개의 클럭신호(ECLK)의 입력라인에 접속되어, 상반된 파형을 갖는 클럭신호들(ECLK)에 의하여 구동된다. 즉, 스테이지들(ST'1 내지 ST'n) 각각은 ECLK1 및 ECLK2를 공급받거나, 혹은, ECLK3 및 ECLK4를 공급받는다.
- [0113] 또한, 각각의 스테이지들(ST'1 내지 ST'n)은 두 개의 출력단자를 가진다.
- [0114] 이때, 다음 단 스테이지(ST')의 입력단과 접속되는 제1 출력단자로는 ESP 또는 이전단 스테이지의 제1 출력신호(Vni-1)와 동일한 파형을 가지되, 위상이 소정 주기만큼 지연된 형태의 제1 출력신호(Vni)가 출력된다.
- [0115] 그리고, 발광 제어선(E)과 접속되는 제2 출력단자로는 ESP 또는 이전단 스테이지의 제1 출력신호(Vni-1)와 상반된 파형을 가지며, 위상이 소정 주기만큼 지연된 형태의 발광 제어신호(EMIi)가 출력된다.
- [0116] 제1 스테이지(ST'1)는 ECLK1 및 ECLK2에 대응하여 자신에게 공급되는 ESP를 소정의 주기만큼 위상지연시켜 출력신호들(Vn1, EMI1)을 출력한다.
- [0117] 제2 스테이지(ST'2)는 ECLK3 및 ECLK4에 대응하여 자신에게 공급되는 제1 스테이지(ST'1)의 제1 출력신호(Vn1)를 소정의 주기만큼 위상지연시켜 출력신호들(Vn2, EMI2)을 출력한다.
- [0118] 제3 스테이지(ST'3)는 ECLK1 및 ECLK2에 대응하여 자신에게 공급되는 제2 스테이지(ST'2)의 제1 출력신호(Vn2)를 소정의 주기만큼 위상지연시켜 출력신호들(Vn3, EMI3)을 출력한다. 이때, 제3 스테이지(ST'3)의 ECLK1 및 ECLK2의 입력단자는 제1 스테이지(ST'1)의 ECLK1 및 ECLK2의 입력단자와 상반되도록 설정된다.
- [0119] 제4 스테이지(ST'4)는 ECLK3 및 ECLK4에 대응하여 자신에게 공급되는 제3 스테이지(ST'3)의 제1 출력신호(Vn3)

를 소정의 주기만큼 위상지연시켜 출력신호들(Vn4, EMI4)을 출력한다. 이때, 제4 스테이지(ST'4)의 ECLK3 및 ECLK4의 입력단자는 제2 스테이지(ST'2)의 ECLK3 및 ECLK4의 입력단자와 상반되도록 설정된다.

[0120] 제5 내지 제n 스테이지(ST'5 내지 ST'n)는 전술한 바와 같은 구동에 의하여, ECLK1 내지 ECLK4에 대응하여 자신에게 공급되는 이전단 스테이지(ST'i-1)의 제1 출력신호(Vni-1)를 소정의 주기만큼 위상지연시켜 출력신호들(Vn, EMI)을 출력한다.

[0121] 이와 같은 각 스테이지들(ST'1 내지 ST'n)에서 발생된 발광 제어신호들(EMI1 내지 EMIn)은 각각의 발광 제어선들(E1 내지 En)로 순차적으로 공급된다.

[0122] 단, 본 발명에서, 도 1에 도시된 발광제어 구동부(130)의 복수의 입력단(inp1 내지 inp4) 중 일부 입력단은, 제1 스테이지(ST'1) 및 제n 스테이지(ST'n) 중 적어도 하나에 전기적으로 연결된다. 예를 들어, 제1 및 제2 입력단(inp1, inp2)은 각각 제1 스테이지(ST'1) 및 제n 스테이지(ST'n)에 전기적으로 연결될 수 있다.

[0123] 그리고, 나머지 입력단, 예컨대, 제3 내지 제4 입력단(inp3, inp4)은 제1 스테이지(ST'1)와 제n 스테이지(ST'n) 사이에 위치한 중간 단의 스테이지들(ST') 사이에 전기적으로 연결된다. 예를 들어, 제3 입력단(inp3)은 제k 스테이지(ST'k)와 제k+1 스테이지(ST'k+1) 사이에 전기적으로 연결되고, 제4 입력단(inp4)은 제1 스테이지(ST'1)와 제l+1 스테이지(ST'l+1) 사이에 전기적으로 연결될 수 있다.

[0124] 도 6은 도 5에 도시된 스테이지의 일례를 나타내는 회로도이다. 편의상, 도 6에서는 어느 한 타입의 트랜지스터, 예컨대, P 타입의 트랜지스터들(PMOS) 및 커패시터들로 구성된 임의의 스테이지의 일례를 도시하였지만, 본 발명이 이에 한정되는 것은 아니다.

[0125] 도 6을 참조하면, 스테이지(ST'i)는 제1 전압레벨 제어부(610), 제2 전압레벨 제어부(620) 및 제3 전압레벨 제어부(630)와, 제1 및 제2 트랜지스터(T1, T2)와, 제2 커패시터(C2')를 포함한다.

[0126] 여기서, 제1 전압레벨 제어부(610)는 ESP 또는 이전단 스테이지의 제1 출력신호(Vni-1)와 ECLK1 및 ECLK2에 대응하여 자신의 출력단자인 제1 노드(N1)의 전압레벨을 제어한다. 그리고, 제2 전압레벨 제어부(620)는 제1 노드(N1)의 전압레벨과 ECLK1에 대응하여 자신의 출력단자인 제2 노드(N2)의 전압레벨을 제어한다. 또한, 제3 전압레벨 제어부(630)는 제1 및 제2 노드(N1, N2)의 전압레벨에 대응하여 자신의 출력단자인 제3 노드(N3)의 전압레벨을 제어한다. 한편, 제1 트랜지스터(T1)는 제3 노드(N3)의 전압레벨에 대응하여 제4 노드(N4)의 전압레벨을 제어하고, 제2 트랜지스터(T2)는 제2 노드(N2)의 전압레벨에 대응하여 제4 노드(N4)의 전압레벨을 제어한다.

[0127] 이때, 제3 노드(N3) 및 제4 노드(N4)는 스테이지(ST'i)의 출력노드들이다. 보다 구체적으로, 제3 노드(N3)는 스테이지(ST'i)의 제1 출력노드로, 다음 단 스테이지(ST'i+1)의 입력라인과 접속되어 다음 단 스테이지(ST'i+1)로 제1 출력신호(Vni)를 공급한다. 그리고, 제4 노드(N4)는 스테이지(ST'i)의 제2 출력노드로, 발광 제어선들(E) 중 어느 하나(Ei)와 접속되어 자신과 접속된 발광 제어선(Ei)으로 발광 제어신호(EMIi)를 공급한다.

[0128] 제1 전압레벨 제어부(610)는 EVDD와 ECLK2의 입력라인 사이에 직렬 접속된 제3 내지 제4 트랜지스터(T3, T4)를 포함한다.

[0129] 제3 트랜지스터(T3)는 EVDD와 제1 노드(N1) 사이에 접속되며, 제3 트랜지스터(T3)의 게이트 전극은 ECLK1의 입력라인과 접속된다. 이와 같은 제3 트랜지스터(T3)는 P 타입 트랜지스터로써, 로우레벨의 전압값을 갖는 ECLK1이 공급될 때 턴-온되어 EVDD와 제1 노드(N1)를 전기적으로 연결한다.

[0130] 제4 트랜지스터(T4)는 제1 노드(N1)와 ECLK2의 입력라인 사이에 접속되며, 제4 트랜지스터(T4)의 게이트 전극은 ESP 또는 이전단 스테이지의 제1 출력신호(Vni-1)의 입력라인에 접속된다. 이와 같은 제4 트랜지스터(T4)는 P 타입 트랜지스터로써, 로우레벨의 전압값을 갖는 ESP 또는 이전단 스테이지의 제1 출력신호(Vni-1)가 공급될 때 턴-온되어 ECLK2의 전압레벨에 해당되는 전압값으로 제1 노드(N1)를 충전한다.

[0131] 제2 전압레벨 제어부(620)는 EVDD와 EVSS 사이에 직렬 접속된 제5 내지 제6 트랜지스터(T5, T6)를 포함한다. 여기서, EVSS의 전압은 EVDD의 전압보다 낮은 값으로 설정된다.

[0132] 제5 트랜지스터(T5)는 EVDD와 제2 노드(N2) 사이에 접속되며, 제5 트랜지스터(T5)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제5 트랜지스터(T5)는 P 타입 트랜지스터로써, 제1 노드(N1)의 전압레벨이 로우레벨일 때 턴-온되어 EVDD와 제2 노드(N2)를 전기적으로 연결한다.

- [0133] 제6 트랜지스터(T6)는 제2 노드(N2)와 EVSS 사이에 접속되며, 제6 트랜지스터(T6)의 게이트 전극은 ECLK1의 입력라인에 접속된다. 이와 같은 제6 트랜지스터(T6)는 P 타입 트랜지스터로써, 로우레벨의 전압값을 갖는 ECLK1이 공급될 때 턴-온되어 제2 노드(N2)와 EVSS를 전기적으로 연결한다.
- [0134] 제3 전압레벨 제어부(630)는 EVDD와 EVSS 사이에 직렬 접속된 제7 내지 제8 트랜지스터(T7, T8)를 포함한다.
- [0135] 제7 트랜지스터(T7)는 EVDD와 제3 노드(N3) 사이에 접속되며, 제7 트랜지스터(T7)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제7 트랜지스터(T7)는 P 타입 트랜지스터로써, 제2 노드(N2)의 전압레벨이 로우레벨일 때 턴-온되어 EVDD와 제3 노드(N3)를 전기적으로 연결한다.
- [0136] 즉, 제7 트랜지스터(T7)가 턴-온되면 제3 노드(N3)는 하이레벨의 전압값을 가지므로, 스테이지(ST'i)의 제1 출력노드인 제3 노드(N3)와 접속된 다음 단 스테이지(ST'i+1)의 입력라인으로 하이레벨의 제1 출력신호(Vni)가 공급된다.
- [0137] 제8 트랜지스터(T8)는 제3 노드(N3)와 EVSS 사이에 접속되며, 제8 트랜지스터(T8)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제8 트랜지스터(T8)는 P 타입 트랜지스터로써, 제1 노드(N1)의 전압레벨이 로우레벨일 때 턴-온되어 제3 노드(N3)와 EVSS를 전기적으로 연결한다.
- [0138] 즉, 제8 트랜지스터(T8)가 턴-온되면 제3 노드(N3)는 로우레벨의 전압값을 가지므로, 다음 단 스테이지(ST'i+1)의 입력라인으로 로우레벨의 제1 출력신호(Vni)가 공급된다.
- [0139] 제1 트랜지스터(T1)는 EVDD와 제4 노드(N4) 사이에 접속되며, 제1 트랜지스터(T1)의 게이트 전극은 제3 노드(N3)에 접속된다. 이와 같은 제1 트랜지스터(T1)는 P 타입 트랜지스터로써, 제3 노드(N3)의 전압레벨이 로우레벨일 때 턴-온되어 EVDD와 제4 노드(N4)를 전기적으로 연결한다. 즉, 제1 트랜지스터(T1)가 턴-온되었을 때 제4 노드(N4)는 EVDD에 대응되는 하이레벨 전압값으로 충전된다. 이로 인하여, 제1 트랜지스터(T1)가 턴-온되면 스테이지(ST'i)의 제2 출력노드인 제4 노드(N4)가 하이값으로 충전되어 제4 노드(N4)와 접속된 발광 제어선(Ei)으로 하이레벨의 발광 제어신호(EMIi)가 공급된다.
- [0140] 제2 트랜지스터(T2)는 제4 노드(N4)와 EVSS 사이에 접속되며, 제2 트랜지스터(T2)의 게이트 전극은 제2 노드(N2)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 P 타입 트랜지스터로써, 제2 노드(N2)의 전압레벨이 로우레벨일 때 턴-온되어 제4 노드(N4)와 EVSS를 전기적으로 연결한다. 즉, 제2 트랜지스터(T2)가 턴-온되었을 때 제4 노드(N4)는 EVSS에 대응되는 로우레벨 전압값으로 충전된다. 이로 인하여, 제2 트랜지스터(T2)가 턴-온되면 제4 노드(N4)가 로우값으로 충전되어 제4 노드(N4)와 접속된 발광 제어선(Ei)으로 로우레벨의 발광 제어신호(EMIi)가 공급된다.
- [0141] 또한, 스테이지(ST'i)는 ESP 또는 이전단 스테이지의 제1 출력신호(Vni-1)의 입력라인과 제1 노드(N1) 사이에 접속된 제1 커패시터(C1')와, 제2 노드(N2)와 제4 노드(N4) 사이에 접속된 제2 커패시터(C2')를 더 포함한다.
- [0142] 이와 같은 제1 커패시터(C1')는 자신의 양측 단자에 각각 접속된 제4 트랜지스터(T4)의 게이트 전극과 소스 전극 간의 전압을 안정화함으로써 제4 트랜지스터(T4)가 안정적으로 동작할 수 있게 한다.
- [0143] 그리고, 제2 커패시터(C2')는 자신의 양측 단자에 각각 접속된 제2 트랜지스터(T2)의 게이트 전극과 소스 전극 간의 전압을 안정화함으로써 제2 트랜지스터(T2)가 안정적으로 동작할 수 있게 한다. 즉, 본 발명에서는 보다 안정적인 동작을 위하여 제1 및 제2 커패시터(C1', C2')를 형성하였다. 하지만, 본 발명이 이에 한정되는 것은 아니며, 예를 들어 제1 및/또는 제2 커패시터(C1', C2')는 제거될 수도 있다.
- [0144] 전술한 바와 같이 스테이지(ST'i)들의 회로를 설계하면, 스테이지(ST'i) 내에 구비된 트랜지스터들(T1 내지 T8)을 모두 동일한 타입으로 설계함으로써 제조공정이 단순화된다.
- [0145] 또한, 도 1 및 도 5에 도시된 바와 같이 발광제어 구동부(130)가 복수의 입력단(inp)으로부터 구동신호들 및 구동전원들을 공급받는 경우, 구동신호들 및 구동전원들의 지연 및/또는 전압강하가 방지된다. 따라서, 도 6에 도시된 스테이지(ST'i)가 안정적으로 동작할 수 있다.
- [0146] 이하에서는 도 5 및 도 6에 도시된 스테이지의 동작을 도 7에 도시된 입/출력 신호의 파형과 결부하여 상세히 설명하기로 한다. 편의상, 트랜지스터의 문턱전압 등의 요소는 고려하지 않기로 한다.
- [0147] 도 7을 참조하면, 우선, p1 구간 동안 로우레벨의 ESP, 로우레벨의 ECLK1 및 하이레벨의 ECLK2가 제1 스테이지

(ST'1)로 공급된다. 여기서, 제1 스테이지(ST'1)의 회로구성은 도 6에 도시된 바와 동일하다고 가정하기로 한다.

[0148] 그러면, 로우레벨의 ECLK1에 대응하여 제3 및 제6 트랜지스터(T3, T6)가 턴-온되고, 로우레벨의 ESP에 대응하여 제4 트랜지스터(T4)가 턴-온된다.

[0149] 제3 및 제4 트랜지스터(T3, T4)가 턴-온되면 제1 노드(N1)는 EVDD 및 ECLK2의 입력라인에 전기적으로 연결된다. 이때, EVDD 및 ECLK2의 전압레벨이 모두 하이레벨이므로, 제1 노드(N1)는 하이레벨의 전압으로 충전된다. 그리고, 제6 트랜지스터(T6)가 턴-온되면 제2 노드(N2)는 EVSS와 전기적으로 연결된다. 즉, 제2 노드(N2)는 로우레벨의 전압으로 충전된다.

[0150] 제1 노드(N1)가 하이레벨 전압으로 충전됨에 따라, 제5 및 제8 트랜지스터(T5, T8)는 턴-오프된다. 그리고, 제2 노드(N2)가 로우레벨 전압으로 충전됨에 따라, 제7 트랜지스터(T7)와 제9 트랜지스터(T9)가 턴-온된다.

[0151] 제7 트랜지스터(T7)가 턴-온되면 EVDD와 제3 노드(N3)가 전기적으로 연결되어, 제3 노드(N3)가 하이레벨 전압으로 충전된다. 이에 따라, 제1 트랜지스터(T1)가 턴-오프되는 한편, 제1 출력노드인 제3 노드(N3)로부터 다음 단 스테이지(즉, 제2 스테이지, ST'2)의 입력라인으로 하이레벨의 제1 출력신호(Vn1)가 공급된다.

[0152] 또한, 제9 트랜지스터(T9)가 턴-온되면 제2 출력노드인 제4 노드(N4)와 EVSS가 전기적으로 연결되어, 제4 노드(N4)로부터 제1 발광 제어선(E1)으로 로우레벨의 발광 제어신호(EMI1)가 공급된다.

[0153] 이후, p2_1 구간 동안 로우레벨의 ESP, 하이레벨의 ECLK1 및 로우레벨의 ECLK2가 제1 스테이지(ST'1)로 공급된다.

[0154] 그러면, 하이레벨의 ECLK1에 대응하여 제3 및 제6 트랜지스터(T3, T6)가 턴-오프된다.

[0155] 그리고, 로우레벨의 ESP에 대응하여 제4 트랜지스터(T4)가 턴-온되어, ECLK2의 로우레벨 전압이 제1 노드(N1)로 전달된다. 이에 의하여, 제1 노드(N1)는 로우레벨 전압으로 충전된다.

[0156] 제1 노드(N1)가 로우레벨 전압으로 충전되면, 제5 및 제8 트랜지스터(T5, T8)가 턴-온된다. 이에 따라, 제2 노드(N2)는 EVDD의 하이레벨 전압으로 충전되고, 제3 노드(N3)는 EVSS의 로우레벨 전압으로 충전된다.

[0157] 제2 노드(N2)가 하이레벨 전압으로 충전됨에 따라, 제7 및 제2 트랜지스터(T7, T2)는 턴-오프된다.

[0158] 한편, 제3 노드(N3)가 로우레벨 전압으로 충전됨에 따라 제1 트랜지스터(T1)가 턴-온되어 제4 노드(N4)는 EVDD의 하이레벨 전압으로 충전된다. 이에 따라, 제4 노드(N4)와 접속된 제1 발광 제어선(E1)으로 하이레벨의 발광 제어신호(EMI1)가 공급된다. 또한, 제3 노드(N3)와 접속된 다음 단 스테이지(즉, 제2 스테이지, ST'2)의 입력라인으로 로우레벨의 제1 출력신호(Vn1)가 공급된다.

[0159] 이후, p2_2 구간 동안 하이레벨의 ESP, 하이레벨의 ECLK1 및 로우레벨의 ECLK2가 제1 스테이지(ST'1)로 공급된다.

[0160] 그러면, 하이레벨의 ESP 및 ECLK1에 대응하여 제3, 제4 및 제6 트랜지스터(T3, T4, T6)가 턴-오프되어 이전 상태 즉, p2_1 구간의 상태를 유지한다. 따라서, p2_1 구간 동안에도 p2_1 구간과 마찬가지로 하이레벨의 제1 발광 제어신호(EMI1)와 로우레벨의 제1 출력신호(Vn1)가 각각 제1 발광 제어선(E1)과 다음 단 스테이지(즉, 제2 스테이지, ST'2)의 입력라인으로 출력된다.

[0161] 이후, p3 구간 동안 하이레벨의 ESP, 로우레벨의 ECLK1 및 하이레벨의 ECLK2가 제1 스테이지(ST'1)로 공급된다.

[0162] 그러면, 하이레벨의 ESP에 대응하여 제4 트랜지스터(T4)가 턴-오프되고, 로우레벨의 ECLK1에 대응하여 제3 및 제6 트랜지스터(T3, T6)가 턴-온된다.

[0163] 제3 트랜지스터(T3)가 턴-온되면 제1 노드(N1)는 EVDD의 하이레벨 전압으로 충전되고, 이에 의해 제5 및 제8 트랜지스터(T5, T8)가 턴-오프된다. 그리고, 제6 트랜지스터(T6)가 턴-온되면 제2 노드(N2)가 EVSS의 로우레벨 전압으로 충전된다.

[0164] 제2 노드(N2)가 로우레벨 전압으로 충전됨에 따라 제7 및 제2 트랜지스터(T7, T2)가 턴-온된다.

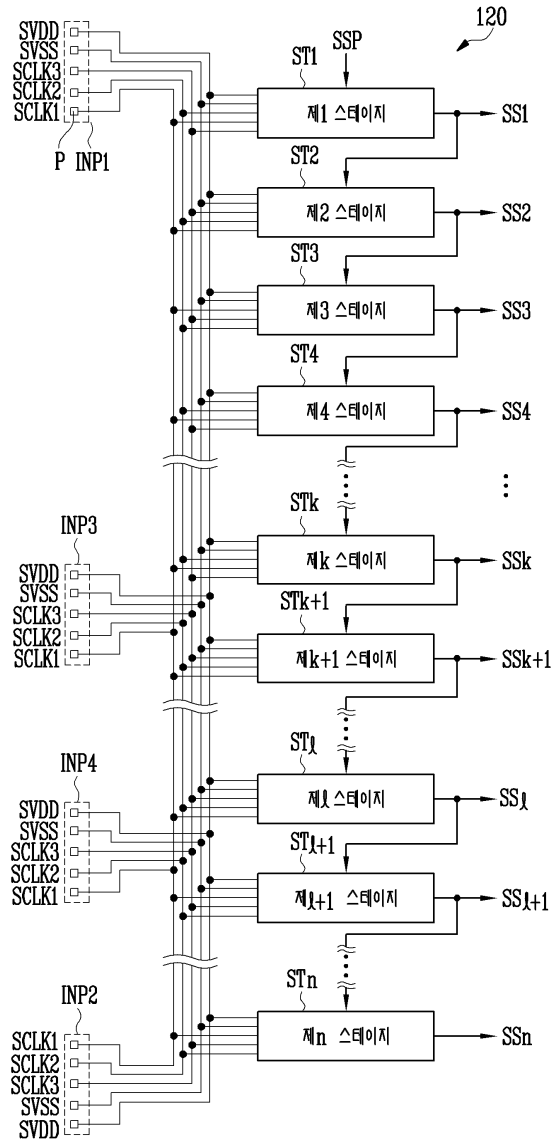
[0165] 제7 트랜지스터(T7)가 턴-온되면 제3 노드(N3)는 EVDD의 하이레벨 전압으로 충전되고, 이에 따라 제1 트랜지스터(T1)가 턴-오프되는 한편, 다음 단 스테이지(즉, 제2 스테이지, ST'2)의 입력라인으로 하이레벨의 제1 출력신호(Vn1)가 출력된다.

- [0166] 또한, 제2 트랜지스터(T2)가 턴-온되면 제4 노드(N4)가 EVSS의 로우레벨 전압으로 충전되고, 이에 따라, 제4 노드(N4)와 접속된 발광 제어선(E1)으로 로우레벨의 제1 발광 제어신호(EMI1)가 출력된다.
- [0167] 이후, p4 구간 동안 하이레벨의 ESP, 하이레벨의 ECLK1 및 로우레벨의 ECLK2가 제1 스테이지(ST'1)로 공급된다.
- [0168] 그러면, 하이레벨의 ESP 및 ECLK1에 대응하여 제3, 제4 및 제6 트랜지스터(T3, T4, T6)가 턴-오프되어 이전 상태 즉, p3 구간의 상태를 유지한다. 따라서, p4 구간 동안에도 p3 구간과 마찬가지로 로우레벨의 제1 발광 제어신호(EMI1)와 하이레벨의 제1 출력신호(Vn1)가 각각 제1 발광 제어선(E1)과 다음 단 스테이지(즉, 제2 스테이지, ST'2)의 입력라인으로 출력된다.
- [0169] 이후, p3 구간과 p4 구간에서와 동일한 신호들이 반복적으로 제1 스테이지(ST'1)로 공급됨에 따라, 나머지 구간 동안 제1 발광 제어신호(EMI1)의 전압레벨은 로우레벨로 유지되고, 제1 출력신호(Vn1)의 전압레벨은 하이레벨로 유지된다.
- [0170] 한편, 제2 스테이지(ST'2)는 ESP 대신 제1 스테이지(ST'1)로부터의 제1 출력신호(Vn1)와, ECLK3, ECLK4를 이용하여 자신에게 공급된 제1 스테이지(ST'1)로부터의 제1 출력신호(Vn1)를 반 클럭만큼, 즉, 클럭신호의 1/4 주기만큼 위상지연시켜 출력한다.
- [0171] 보다 구체적으로, p2_1 구간 동안 제2 스테이지(ST'2)는 로우레벨의 제1 스테이지(ST'1)의 제1 출력신호(Vn1), 로우레벨의 ECLK3 및 하이레벨의 ECLK4에 대응하여 로우레벨의 제2 발광 제어신호(EMI2)와 하이레벨의 제2 스테이지(ST'2)의 제1 출력신호(Vn2)를 출력한다. 여기서, p2_1 구간 동안 제2 스테이지(ST'2)의 동작은 p1 구간 동안의 제1 스테이지(ST'1)의 동작과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.
- [0172] 이후, p2_2 구간 동안 제2 스테이지(ST'2)는 로우레벨의 제1 스테이지(ST'1)의 제1 출력신호(Vn1), 하이레벨의 ECLK3 및 로우레벨의 ECLK4에 대응하여 하이레벨의 제2 발광 제어신호(EMI2)와 로우레벨의 제2 스테이지(ST'2)의 제1 출력신호(Vn2)를 출력한다. 여기서, p2_2 구간동안의 제2 스테이지(ST'2)의 동작은 p2_1 구간 동안의 제1 스테이지(ST'1)의 동작과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.
- [0173] 이후, p3_1 구간 동안 제2 스테이지(ST'2)는 하이레벨의 제1 스테이지(ST'1)의 제1 출력신호(Vn1), 하이레벨의 ECLK3 및 로우레벨의 ECLK4에 대응하여 하이레벨의 제2 발광 제어신호(EMI2)와 로우레벨의 제2 스테이지(ST'2)의 제1 출력신호(Vn2)를 출력한다. 여기서, p3_1 구간동안의 제2 스테이지(ST'2)의 동작은 p2_2 구간 동안의 제1 스테이지(ST'1)의 동작과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다.
- [0174] 이후, 제2 스테이지(ST'2)는 p3 구간 및 p4 구간에서의 제1 스테이지의(ST'1)의 동작과 동일하게 동작한다. 즉, 나머지 구간 동안 제2 스테이지(ST'2)에서 출력되는 제2 발광 제어신호(EMI2)의 전압레벨은 로우레벨로 유지되고, 제2 스테이지(ST'2)의 제1 출력신호(Vn2)의 전압레벨은 하이레벨로 유지된다.
- [0175] 전술한 바와 같은 구동에 의하여, 본 발명에 의한 발광제어 구동부(130)의 스테이지(ST')들은 자신에게 입력되는 이전단 스테이지의 제1 출력신호(Vn)(또는, ESP)를 ECLK1 및 ECLK2, 또는 ECLK3 및 ECLK4에 대응하여 반 클럭, 즉, 클럭신호의 1/4 주기만큼 위상지연시켜 출력라인으로 출력한다.
- [0176] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

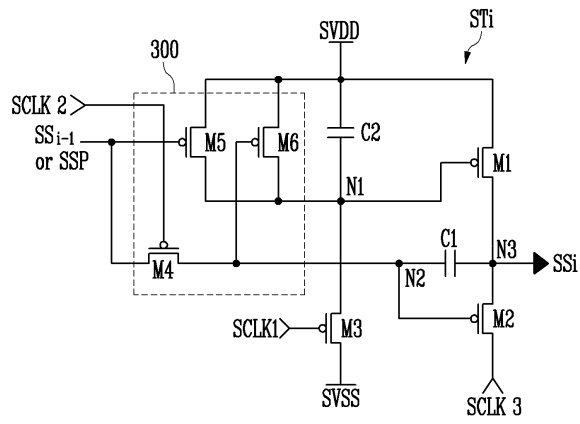
도면의 간단한 설명

- [0177] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치의 패널을 나타내는 평면도.
- [0178] 도 2는 도 1에 도시된 주사 구동부의 일례를 나타내는 블록도.
- [0179] 도 3은 도 2에 도시된 스테이지의 일례를 나타내는 회로도.
- [0180] 도 4는 도 3에 도시된 스테이지의 입/출력 신호의 파형도.
- [0181] 도 5는 도 1에 도시된 발광제어 구동부의 일례를 나타내는 블록도.
- [0182] 도 6은 도 5에 도시된 스테이지의 일례를 나타내는 회로도.

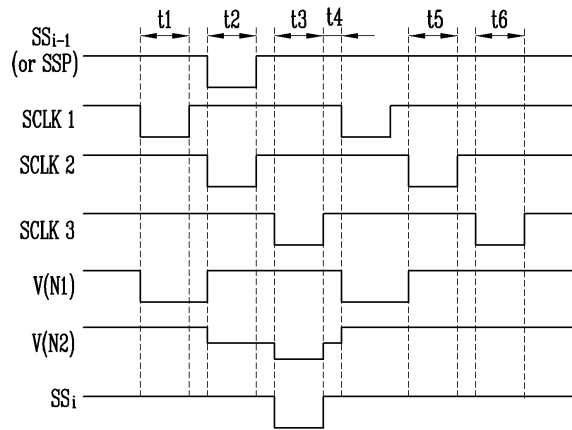
도면2



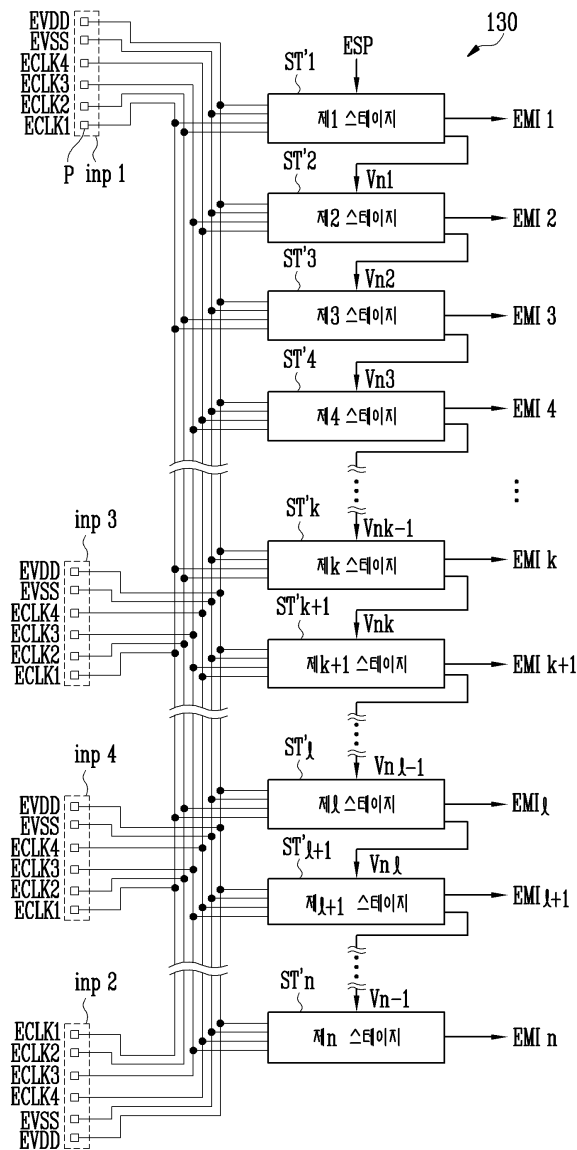
도면3



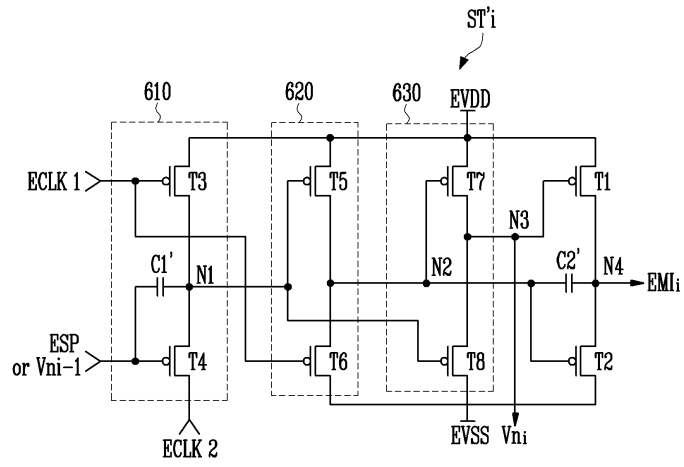
도면4



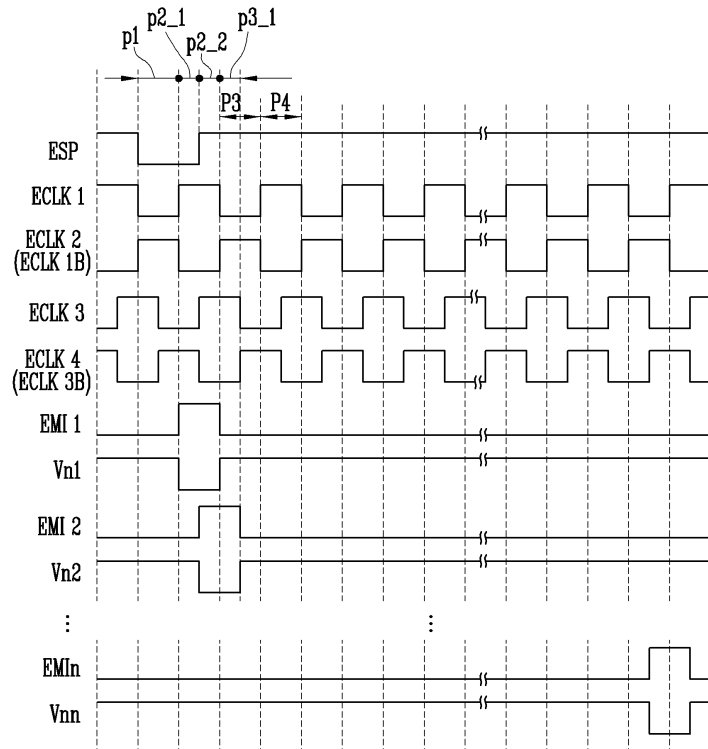
도면5



도면6



도면7



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR101489968B1	公开(公告)日	2015-02-04
申请号	KR1020080036104	申请日	2008-04-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SEHO KIM 김세호 WONKYU KWAK 박원규 KWANGMIN KIM 김광민		
发明人	김세호 박원규 김광민		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G11C19/28 G09G2310/0286 G09G3/3266 G11C19/184 G09G2300/0426		
代理人(译)	康SIN SEOB 永和的月亮 LEE, YONGWOO		
其他公开文献	KR1020090110544A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置可包括像素单元，该像素单元包括扫描线，数据线和位于扫描线和数据线的交叉部分处并且电耦合在其间的多个像素，扫描驱动器适于向扫描线提供扫描信号。扫描线和多个焊盘，其中多个焊盘中的至少一些焊盘适于向像素单元和扫描驱动器提供驱动功率和驱动信号，并且在多个焊盘中，多个焊盘供应相同的焊盘驱动电源或驱动信号到扫描驱动器。

