



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월19일
 (11) 등록번호 10-0884450
 (24) 등록일자 2009년02월11일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

H05B 33/26 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0113658

(22) 출원일자 2007년11월08일

심사청구일자 2007년11월08일

(56) 선행기술조사문헌

KR1020070056497 A

KR1020060064126 A

KR1020050110198 A

KR1020040099162 A

(73) 특허권자

삼성모바일디스플레이주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김형수

경기도 용인시 기흥읍 공세리 428-5 삼성 SDI 중앙연구소

김기욱

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(74) 대리인

신영무

전체 청구항 수 : 총 12 항

심사관 : 조기덕

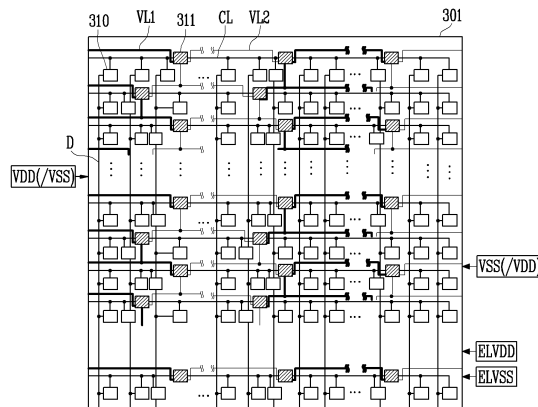
(54) 유기전계발광 표시장치

(57) 요약

본 발명은, 화소들로 전달되는 제어신호의 왜곡을 방지할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

본 발명의 유기전계발광 표시장치는, 다수의 화소들을 포함하는 화소부와, 상기 화소들 사이에 제1 방향으로 배열되어 상기 화소들로 제어신호를 공급하는 제어선들과, 상기 화소들 사이에 상기 제1 방향과 교차하는 제2 방향으로 배열되어 상기 화소들로 데이터신호를 공급하는 데이터선들을 포함하며, 상기 화소들 사이에 배치되며 상기 제어선들 각각에 적어도 하나씩 형성되는 버퍼 회로들을 더 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

다수의 화소들을 포함하는 화소부와,

상기 화소들 사이에 제1 방향으로 배열되어 상기 화소들로 제어신호를 공급하는 제어선들과,

상기 화소들 사이에 상기 제1 방향과 교차하는 제2 방향으로 배열되어 상기 화소들로 데이터신호를 공급하는 데이터선들을 포함하며,

상기 화소들 사이에 배치되며 상기 제어선들 각각에 적어도 하나씩 형성되는 버퍼 회로들을 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 제어선들은, 상기 화소들로 주사신호를 공급하는 주사선들 또는 상기 화소들로 발광 제어신호를 공급하는 발광 제어선들인 유기전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 버퍼 회로들은, 제1 전원(VDD)과 제2 전원(VSS) 사이에 직렬 연결되는 서로 다른 타입의 트랜지스터들을 각각 구비하며 서로 종속적으로 연결되는 제1 및 제2 인버터를 포함하고,

상기 제어선들 각각은 상기 버퍼 회로가 위치되는 영역에서 상기 버퍼 회로를 경유하여 상기 제1 방향으로의 전기적 연결을 유지하는 유기전계발광 표시장치.

청구항 4

제3항에 있어서,

상기 제어선들 각각은 상기 버퍼 회로가 위치되는 영역에서 그 일부가 물리적으로 단선되어, 단선된 단부가 각각 상기 제1 인버터의 입력단과 상기 제2 인버터의 출력단에 접속되어 상기 제1 방향으로의 전기적 연결을 유지하며,

상기 제어선들과 상기 제2 인버터의 출력단은 서로 다른 레이어에 위치되어 콘택홀을 통해 전기적으로 연결되는 유기전계발광 표시장치.

청구항 5

제4항에 있어서,

상기 제어선들과 상기 제2 인버터의 출력단은 서로 다른 도전물질로 형성된 유기전계발광 표시장치.

청구항 6

제1항에 있어서,

상기 버퍼 회로들은 상기 화소부 내에서 적어도 하나의 열을 형성하도록 상기 제어선들 각각의 동일한 열에 배치된 유기전계발광 표시장치.

청구항 7

제6항에 있어서,

상기 화소부 내에는, 상기 버퍼 회로들로 제1 전원(VDD)을 공급하는 제1 전원선과, 상기 버퍼 회로들로 제2 전원(VSS)을 공급하는 제2 전원선이 더 형성되며,

상기 제1 및 제2 전원선은 상기 버퍼 회로들의 양측에 열 방향으로 형성된 유기전계발광 표시장치.

청구항 8

제1항에 있어서,

상기 버퍼 회로들은 상기 화소부의 적어도 일 영역 내에서 지그재그 형상으로 배치된 유기전계발광 표시장치.

청구항 9

제8항에 있어서,

상기 화소부 내에는, 상기 버퍼 회로들로 제1 전원(VDD)을 공급하는 제1 전원선과, 상기 버퍼 회로들로 제2 전원(VSS)을 공급하는 제2 전원선이 더 형성되며,

상기 제1 및 제2 전원선은 상기 화소들의 상단에 행 방향으로 배열되어 자신과 인접한 상기 버퍼 회로들과 연결되고, 상기 화소부의 양측으로부터 상기 제1 및 제2 전원을 공급받는 유기전계발광 표시장치.

청구항 10

제1항에 있어서,

상기 버퍼 회로들은 상기 제어선들 각각에 일정 간격으로 다수 배치되며, 연속적인 행에서 동일한 열에 위치되지 않도록 배치되는 유기전계발광 표시장치.

청구항 11

제10항에 있어서,

상기 화소부 내에는, 상기 버퍼 회로들로 제1 전원(VDD)을 공급하는 제1 전원선과, 상기 버퍼 회로들로 제2 전원(VSS)을 공급하는 제2 전원선이 더 형성되며,

상기 제1 및 제2 전원선은 상기 화소들의 상단에 행방향으로 배열되며, 상기 제어선들 각각에서 상기 버퍼 회로들을 기준으로 서로 교번적으로 배치되는 유기전계발광 표시장치.

청구항 12

제11항에 있어서,

상기 제1 및 제2 전원선은 상기 화소부 내에 메쉬(mesh) 타입으로 배치되는 유기전계발광 표시장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 유기전계발광 표시장치에 관한 것으로, 특히 화소들로 전달되는 제어신호의 왜곡을 방지할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

배경기술

<2> 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기전계발광 다이오드(Organic Light Emitting Diode)를 이용하여 영상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있어 차세대 표시장치로 주목받고 있다.

<3> 단, 유기전계발광 표시장치가 대형화됨과 아울러 해상도가 높아지면서 유기전계발광 표시장치의 패널 내부에서 신호를 전달하는 배선의 길이가 증가하거나 그 폭이 감소하게 된다. 이에 따라, 신호를 전달하는 신호선의 부하가 증가하게 되어 신호 지연으로 인한 신호의 왜곡 현상이 발생하게 된다.

<4> 특히, 화소들에 선택적으로 데이터신호를 공급하기 위한 주사신호 및/또는 화소들을 선택적으로 발광시키기 위한 발광 제어신호 등의 제어신호에 왜곡이 발생하는 경우, 왜곡된 제어신호를 공급받은 화소가 정상적으로 발광하지 못하여 구동불량이 발생할 수 있다. 따라서, 제어신호들의 지연을 보상하여 왜곡을 방지할 필요가 있다.

<5> 한편, 일반적으로 동일 신호선은 동일한 금속 배선으로 패널 전반적으로 형성된다. 하지만, 유기전계발광 표시 장치가 대형화될수록 신호선들의 길이가 증가하여 한 종류의 금속 배선이 길어지면서 안테나 효과가 발생할 수 있다. 이와 같은 안테나 효과는 패널 특성 및 제조 수율의 저하를 야기시킬 수 있다. 따라서, 안테나 효과를 방지할 수 있도록 하는 방안도 더불어 요구되고 있다.

발명의 내용

해결 하고자하는 과제

<6> 따라서, 본 발명의 목적은 화소들로 전달되는 제어신호의 지연을 보상하여 왜곡을 방지함과 아울러, 안테나 효과를 방지할 수 있도록 한 유기전계발광 표시장치를 제공하는 것이다.

과제 해결수단

<7> 이와 같은 목적을 달성하기 위하여 본 발명은 다수의 화소들을 포함하는 화소부와, 상기 화소들 사이에 제1 방향으로 배열되어 상기 화소들로 제어신호를 공급하는 제어선들과, 상기 화소들 사이에 상기 제1 방향과 교차하는 제2 방향으로 배열되어 상기 화소들로 데이터신호를 공급하는 데이터선들을 포함하며, 상기 화소들 사이에 배치되며 상기 제어선들 각각에 적어도 하나씩 형성되는 버퍼 회로들을 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

<8> 여기서, 상기 제어선들은, 상기 화소들로 주사신호를 공급하는 주사선들 또는 상기 화소들로 발광 제어신호를 공급하는 발광 제어선들로 설정될 수 있다.

<9> 또한, 상기 버퍼 회로들은, 제1 전원(VDD)과 제2 전원(VSS) 사이에 직렬 연결되는 서로 다른 타입의 트랜지스터들을 각각 구비하며 서로 종속적으로 연결되는 제1 및 제2 인버터를 포함하고, 상기 제어선들 각각은 상기 버퍼 회로가 위치되는 영역에서 상기 버퍼 회로를 경유하여 상기 제1 방향으로의 전기적 연결을 유지할 수 있다. 여기서, 상기 제어선들 각각은 상기 버퍼 회로가 위치되는 영역에서 그 일부가 물리적으로 단선되어, 단선된 단부가 각각 상기 제1 인버터의 입력단과 상기 제2 인버터의 출력단에 접속되어 상기 제1 방향으로의 전기적 연결을 유지하며, 상기 제어선들과 상기 제2 인버터의 출력단은 서로 다른 레이어에 위치되어 콘택홀을 통해 전기적으로 연결될 수 있다. 또한, 상기 제어선들과 상기 제2 인버터의 출력단은 서로 다른 도전물질로 형성될 수 있다.

<10> 또한, 상기 버퍼 회로들은 상기 화소부 내에서 적어도 하나의 열을 형성하도록 상기 제어선들 각각의 동일한 열에 배치될 수 있다. 여기서, 상기 화소부 내에는, 상기 버퍼 회로들로 제1 전원(VDD)을 공급하는 제1 전원선과, 상기 버퍼 회로들로 제2 전원(VSS)을 공급하는 제2 전원선이 더 형성되며, 상기 제1 및 제2 전원선은 상기 버퍼 회로들의 양측에 열 방향으로 형성될 수 있다.

<11> 또한, 상기 버퍼 회로들은 상기 화소부의 적어도 일 영역 내에서 지그재그 형상으로 배치될 수 있다. 여기서, 상기 화소부 내에는, 상기 버퍼 회로들로 제1 전원(VDD)을 공급하는 제1 전원선과, 상기 버퍼 회로들로 제2 전원(VSS)을 공급하는 제2 전원선이 더 형성되며, 상기 제1 및 제2 전원선은 상기 화소들의 상단에 행 방향으로 배열되어 자신과 인접한 상기 버퍼 회로들과 연결되고, 상기 화소부의 양측으로부터 상기 제1 및 제2 전원을 공급받을 수 있다.

<12> 또한, 상기 버퍼 회로들은 상기 제어선들 각각에 일정 간격으로 다수 배치되며, 연속적인 행에서 동일한 열에 위치되지 않도록 배치될 수 있다. 여기서, 상기 화소부 내에는, 상기 버퍼 회로들로 제1 전원(VDD)을 공급하는 제1 전원선과, 상기 버퍼 회로들로 제2 전원(VSS)을 공급하는 제2 전원선이 더 형성되며, 상기 제1 및 제2 전원선은 상기 화소들의 상단에 행방향으로 배열되며, 상기 제어선들 각각에서 상기 버퍼 회로들을 기준으로 서로 교번적으로 배치될 수 있다.

효과

<13> 이와 같은 본 발명에 의하면, 화소부 내에 위치한 제어선들 각각에 버퍼 회로를 삽입함으로써, 제어선들을 경유하면서 지연된 제어신호를 보상할 수 있다. 이로 인하여, 각 화소들로 왜곡된 제어신호가 공급되는 것이 방지되어 화소들의 구동불량을 방지할 수 있다.

<14> 더불어, 본 발명은 화소부 내에서 효과적으로 버퍼 회로를 배치하는 다양한 실시예들을 제시함으로써, 제어신호의 왜곡은 방지하면서도 화질 저하가 발생하지 않도록 한다.

<15> 또한, 본 발명에서, 제어선들 각각은 버퍼 회로가 삽입된 영역에서 버퍼 회로를 통하여 패널 전반적으로 전기적인 연결 상태를 유지하게 된다. 이때, 버퍼 회로의 입력단과 출력단은 서로 다른 레이어에 위치한 상이한 도전물질로 형성된다. 따라서, 각각의 제어선으로 공급된 제어신호가 버퍼 회로를 경유하여 다시 제어선으로 전달되는 동안, 하나의 도전배선이 아니라 적어도 두 개의 상이한 도전배선을 경유하게 되므로 안테나 효과를 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- <16> 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 보다 상세히 설명하기로 한다.
- <17> 도 1은 본 발명을 적용하기 위한 유기전계발광 표시장치의 일례를 나타내는 블록도이다.
- <18> 도 1을 참조하면, 유기전계발광 표시장치는 화소부(10)와, 화소부(10)를 구동하기 위한 주사 구동부(20) 및 데이터 구동부(30)를 포함한다.
- <19> 화소부(10)는 제어선들(CL) 및 데이터선들(D)의 교차부에 위치한 다수의 화소들(11)을 포함한다. 여기서, 제어선들(CL)은 화소들(11) 사이에 제1 방향(수평 방향)으로 배열되어 화소들(11)로 제어신호를 공급한다. 이와 같은 제어선들(CL)로는 주사선들 및/또는 발광 제어선들 등이 있을 수 있다. 그리고, 데이터선들(D)은 화소들(11) 사이에 제1 방향과 교차하는 제2 방향(수직 방향)으로 배열되어, 화소들(11)로 데이터 신호를 공급한다.
- <20> 이와 같은 화소부(10)는 제어선들(CL)로부터 공급되는 제어신호, 데이터선들(D)로부터 공급되는 데이터 신호, 및 외부로부터 공급되는 제1 및 제2 화소전원(ELVDD, ELVSS)에 대응하여 영상을 표시한다.
- <21> 주사 구동부(20)는 외부로부터 공급되는 주사 제어신호에 대응하여 화소들(11)을 제어하기 위한 제어신호, 예컨대, 주사신호 및/또는 발광 제어신호를 생성하고, 이를 제어선들(CL)로 공급한다.
- <22> 데이터 구동부(30)는 외부로부터 공급되는 데이터 및 데이터 제어신호에 대응하여 데이터 신호를 생성하고, 이를 데이터선들(D)로 공급한다.
- <23> 진술한 유기전계발광 표시장치에 있어서, 화소들(11)을 제어하기 위한 제어선들(CL)은 화소부(10)의 전체 영역에 걸쳐 각각 행방향 및 열방향으로 배열된다.
- <24> 따라서, 유기전계발광 표시장치가 대형화되거나 해상도가 높아지면 화소들(11)로 제어신호를 공급하는 제어선들(CL)의 배선의 길이가 증가하거나 그 폭이 감소하게 된다. 이 경우, 제어선들(CL)의 부하가 증가하게 되어, 제어선들(CL)로 전달되는 제어신호에 지연이 발생할 수 있다. 이에 따라, 일부 화소들(11) 특히, 제어신호를 공급하는 구동회로(예컨대, 주사 구동부(20))로부터 거리가 먼 화소들(11)로 왜곡된 제어신호가 공급되어 구동불량이 발생할 수 있다.
- <25> 이를 방지하기 위하여, 본 발명에서는 화소부(10) 내에 위치한 제어선들(CL) 각각에 적어도 하나의 버퍼 회로(미도시)를 삽입하여 제어신호의 지연을 보상한다. 이와 같은 버퍼 회로는 화소들(11) 사이에 임의적으로 배치될 수 있다. 단, 버퍼 회로는 행 단위로 최소 하나 이상 형성되어, 제어선들(CL)을 경유하면서 지연된 제어신호를 보상할 수 있도록 배치된다.
- <26> 도 2는 본 발명의 화소부 내에 삽입되는 버퍼 회로의 일례를 나타내는 회로도이다. 그리고, 도 3은 도 2에 도시된 버퍼 회로의 일 영역 단면을 나타내는 단면도이다.
- <27> 도 2 및 도 3을 참조하면, 버퍼 회로는 제1 전원(VDD)과 제2 전원(VSS) 사이에 종속적으로 연결되는 제1 및 제2 인버터(IN1, IN2)를 포함한다. 이때, 제1 전원(VDD) 및 제2 전원(VSS)은 버퍼 회로의 구동전원으로, 주사 구동부의 구동전원 또는 별도의 구동전원 등으로 다양하게 설정될 수 있다.
- <28> 여기서, 제1 인버터(IN1)는 버퍼 회로의 입력단에 연결되고, 제2 인버터(IN2)는 버퍼 회로의 출력단에 연결된다. 그리고, 이들 사이에는 도시되지 않은 다수의 인버터가 더 구비될 수 있고, 이때, 인버터들은 두 개씩 쌍을 이루어 짝수 개 배치되는 것이 바람직하다.
- <29> 인버터들(IN1, IN2) 각각은, 구동전원인 제1 전원(VDD)과 제2 전원(VSS) 사이에 직렬 연결되는 서로 다른 타입의 트랜지스터들(T)을 구비한다. 이때, P 타입의 제1 트랜지스터(T1)는 제1 전원(VDD) 쪽에 연결되고, N 타입의 제2 트랜지스터(T2)는 제2 전원(VSS) 쪽에 연결된다.
- <30> 한편, 본 발명에서 버퍼 회로는 제어선들(CL)의 일 영역에 삽입되므로, 제어선들(CL) 각각은 버퍼 회로가 위치되는 영역에서 버퍼 회로를 경유하여 도 1에 도시된 바와 같은 제1 방향(수평 방향)으로의 전기적 연결을 유지

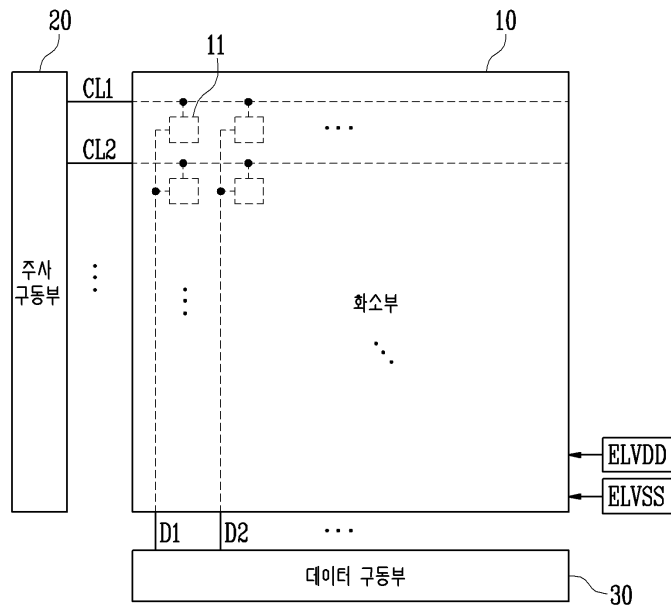
한다.

- <31> 보다 구체적으로, 제어선들(CL) 각각은 버퍼 회로가 위치되는 영역에서 그 일부가 물리적으로 단선되고, 단선된 단부가 각각 제1 인버터(IN1)의 입력단과 제2 인버터(IN2)의 출력단에 접속된다.
- <32> 이때, 제어선들(CL) 각각은 화소들(11) 내부에 형성된 스위칭 소자의 제어 전극, 예컨대, 트랜지스터의 게이트 전극에 접속된다. 따라서, 제어선들(CL)은 화소들(11)에 구비된 트랜지스터의 게이트 전극과 동일한 물질로, 동일 레이어에 형성될 수 있다.
- <33> 한편, 버퍼 회로의 입력단, 즉, 제1 인버터(IN1)의 입력단은 제1 및 제2 트랜지스터(T1, T2)의 게이트 전극과 접속된다.
- <34> 따라서, 제어선들(CL)과 버퍼 회로의 입력단은 동일 레이어에 위치한 동일한 도전성 재료로 동시에 형성될 수 있다. 예컨대, 제어선들(CL)과 버퍼 회로의 입력단은 모두 게이트 금속으로 형성될 수 있다.
- <35> 하지만, 버퍼 회로의 출력단, 즉, 제2 인버터(IN2)의 출력단은 제1 및 제2 트랜지스터(T1, T2)의 드레인 전극들이 접속되는 부분이므로, 제어선들(CL) 및 버퍼 회로의 입력단과 상이한 도전성 재료로 이들과는 다른 레이어에 형성된다. 예컨대, 버퍼 회로의 출력단은 소스 및 드레인 금속으로 형성되어 제어선들(CL) 및 버퍼 회로의 입력단과 상이한 레이어에 형성될 수 있다.
- <36> 따라서, 이와 같은 버퍼 회로의 출력단과 제어선들(CL)은 콘택홀(Ch)을 통해 서로 전기적으로 연결된다. 이와 같은 전기적 연결에 의해 버퍼 회로의 출력 노드(Nout)가 형성된다.
- <37> 전술한 바와 같이, 본 발명에서 제어선들(CL) 각각은 버퍼 회로가 삽입된 영역에서 버퍼 회로를 통하여 패널 전반적으로 전기적인 연결 상태를 유지하게 된다. 이때, 버퍼 회로의 입력단과 출력단은 서로 다른 레이어에 위치한 상이한 도전물질로 형성된다. 따라서, 각각의 제어선(CL)으로 공급된 제어신호가 버퍼 회로를 경유하여 다시 제어선(CL)으로 전달되는 동안, 하나의 도전배선이 아니라 적어도 두 개의 상이한 도전배선을 경유하게 되므로 안테나 효과가 방지된다.
- <38> 도 4는 본 발명의 제1 실시예에 의해 화소부 내에 버퍼 회로들을 배치한 평면도이다.
- <39> 도 4를 참조하면, 본 발명의 제1 실시예에 의한 버퍼 회로들(111)은, 화소부(101) 내에서 적어도 하나의 열을 형성하도록 제어선들(CL) 각각의 동일한 열에 배치된다.
- <40> 예를 들어, 버퍼 회로들(111)은 화소부(101)의 중앙에 하나의 열을 형성하도록 배치될 수 있다.
- <41> 이와 같은 버퍼 회로들(111)은 외부로부터 구동전원, 즉, 제1 및 제2 전원(VDD, VSS)을 공급받아 구동된다.
- <42> 따라서, 화소부(101) 내에는 버퍼 회로들(111)을 구동하기 위한 제1 전원선(VL1)과 제2 전원선(VL2)이 배치된다. 여기서, 제1 전원선(VL1)은 버퍼 회로들(111)로 제1 전원(VDD)을 공급하고, 제2 전원선(VL2)은 버퍼 회로들(111)로 제2 전원(VSS)을 공급한다.
- <43> 이와 같은 제1 전원선(VL1) 및 제2 전원선(VL2)은 버퍼 회로들(111)이 열 방향으로 형성되는 경우, 버퍼 회로들(111)의 양측에 열 방향으로 형성될 수 있다.
- <44> 전술한 본 발명의 제1 실시예에 의하면, 각 제어선들(CL)마다 버퍼 회로(111)를 삽입함으로써, 좌측 또는 우측으로부터 공급되는 제어신호의 파형을 보정하여 화소들(110)로 왜곡된 신호가 전달되는 것을 방지할 수 있다. 또한, 버퍼 회로들(111)의 배치가 비교적 단순하여 설계가 용이할 수 있다.
- <45> 한편, 도 4에서는 제1 전원선(VL1)과 제2 전원선(VL2)의 두께가 서로 다른 것으로 도시하였지만, 이는 단지 제1 및 제2 전원선(VL1, VL2)을 명확히 구분하여 도시하기 위한 것으로 본 발명이 이에 한정되는 것은 아니다. 이는 후술하는 도 5 내지 도 6에서도 동일하게 적용되는 물론이다.
- <46> 도 5는 본 발명의 제2 실시예에 의해 화소부 내에 버퍼 회로들을 배치한 평면도이다.
- <47> 도 5를 참조하면, 본 발명의 제2 실시예에 의한 버퍼 회로들(211)은 화소부(201)의 적어도 일 영역 내에서 지그재그 형상으로 배치될 수 있다.
- <48> 예를 들어, 버퍼 회로들(211)은 화소부(201)의 좌측 상단영역과, 우측 하단영역 각각에서 지그재그 형상으로 배치될 수 있다. 또한, 버퍼 회로들(211)이 지그재그 형상으로 배치된 영역들이 화소부(201) 전체적으로 지그재그 형상으로 배치되거나, 혹은 대각선 방향으로 형성될 수도 있다.

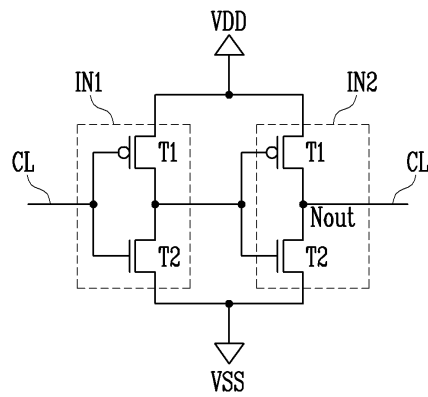
- <49> 이와 같은 버퍼 회로들(211)을 배치할 때, 버퍼 회로들(211)이 서로 이격되는 간격은 시뮬레이션 방법 등을 통해 임의적으로 설정될 수 있다.
- <50> 단, 버퍼 회로들(211)은 외부로부터 제1 및 제2 전원(VDD, VSS)을 공급받아 구동되므로, 화소부(201) 내부에는 제1 전원(VDD)을 공급하기 위한 제1 전원선(VL1)과, 제2 전원(VSS)을 공급하기 위한 제2 전원선(VL2)이 형성된다.
- <51> 제1 및 제2 전원선(VL1, VL2)은 화소들(210)의 상단에 행 방향으로 배열되어 자신과 인접한 버퍼 회로들(211)과 연결된다. 여기서, 인접한 행에 배치된 동일 전원선(VL)끼리는 서로 연결되도록 형성될 수 있다. 이와 같은 제1 및 제2 전원선(VL1, VL2)은 화소부(201)의 양측에서 제1 및 제2 전원(VDD, VSS)을 공급받아 자신과 연결된 버퍼 회로들(211)로 제1 및 제2 전원(VDD, VSS)을 전달한다.
- <52> 전술한 본 발명의 제2 실시예에 의하면, 각 제어선들(CL)마다 버퍼 회로(211)를 삽입하여 화소들(210)로 왜곡된 신호가 전달되는 것을 방지할 수 있다.
- <53> 또한, 연속하는 행들에서는 버퍼 회로들(211)이 동일한 열에 위치되지 않도록 배치함과 아울러, 화소부(201) 전체적으로 버퍼 회로들(211)을 분산 배치함으로써, 버퍼 회로들(211)이 암선으로 보이는 것을 방지할 수 있다.
- <54> 즉, 본 발명의 제2 실시예에 의하면, 제어선들(CL)을 통해 공급되는 제어신호의 왜곡은 방지하면서도 화질 저하가 발생하지 않도록 할 수 있다.
- <55> 도 6은 본 발명의 제3 실시예에 의해 화소부 내에 버퍼 회로들을 배치한 평면도이다.
- <56> 도 6을 참조하면, 본 발명의 제3 실시예에 의한 버퍼 회로들(311)은 제어선들(CL) 각각에 일정 간격으로 다수 배치되며, 연속적인 행에서 동일한 열에 위치되지 않도록 분산 배치된다.
- <57> 단, 버퍼 회로들(311)은 외부로부터 제1 및 제2 전원(VDD, VSS)을 공급받아 구동되므로, 화소부(301) 내부에는 제1 전원(VDD)을 공급하기 위한 제1 전원선(VL1)과, 제2 전원(VSS)을 공급하기 위한 제2 전원선(VL2)이 형성된다.
- <58> 제1 및 제2 전원선(VL1, VL2)은 화소들(310)의 상단에 행 방향으로 배열되어 자신과 인접한 버퍼 회로들(311)과 연결된다.
- <59> 이때, 제1 및 제2 전원선(VL1, VL2)은 제어선들(CL) 각각에서 버퍼 회로들(311)을 기준으로 서로 교번적으로 배치된다. 예컨대, 제1 및 제2 전원선(VL1, VL2)은 메쉬(mesh) 타입으로 배치될 수 있다.
- <60> 이와 같은 제1 및 제2 전원선(VL1, VL2)은 화소부(301)의 일측 또는 양측에서 제1 및 제2 전원(VDD, VSS)을 공급받아 자신과 연결된 버퍼 회로들(311)로 제1 및 제2 전원(VDD, VSS)을 전달한다.
- <61> 전술한 본 발명의 제3 실시예에 의하면, 각 제어선들(CL)마다 버퍼 회로(311)를 삽입하여 화소들(310)로 왜곡된 신호가 전달되는 것을 방지할 수 있다.
- <62> 특히, 각 제어선들(CL)마다 일정한 간격으로 이격된 다수의 버퍼 회로들(311)을 삽입함으로써, 제어선들(CL)을 경유하면서 지연된 제어신호를 효과적으로 보정할 수 있다. 이에 의해, 화소부(301) 내에 위치한 어떤 화소(310)에도 제어신호가 왜곡없이 전달되도록 할 수 있다. 따라서, 제어신호의 왜곡으로 인한 구동불량을 효과적으로 방지할 수 있다.
- <63> 또한, 연속하는 행들에서는 버퍼 회로들(311)이 동일한 열에 위치되지 않도록 배치함과 아울러, 화소부(301) 전체적으로 버퍼 회로들(311)을 분산 배치함으로써, 버퍼 회로들(311)이 암선으로 보이는 것을 방지할 수 있다.
- <64> 즉, 본 발명의 제3 실시예에 의하면, 제어선들(CL)을 통해 공급되는 제어신호의 왜곡은 방지하면서도 화질 저하가 발생하지 않도록 할 수 있다.
- <65> 더불어, 제3 실시예에 의한 버퍼 회로들(311)의 배치는 일정한 패턴으로 반복되기 때문에 화소부(301)의 크기에 관계없이 무한 확장이 가능하다. 따라서, 패널이 대형화되어도 화소부(301) 전체적으로 일정하게 제어신호의 왜곡을 보정할 수 있다.
- <66> 한편, 도 4 내지 도 6에서, 버퍼 회로들(111, 211, 311)은 화소들(110, 210, 310)과 중첩되지 않도록 도시하였지만, 본 발명이 이에 한정되는 것은 아니다. 즉, 버퍼 회로들(111, 211, 311)과 화소들(110, 210, 310)은 서로 적어도 일 영역이 중첩되도록 배치될 수 있다.

도면

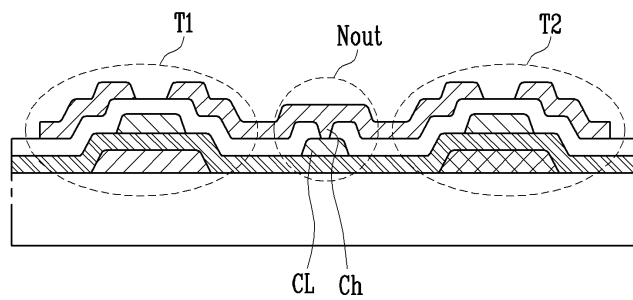
도면1



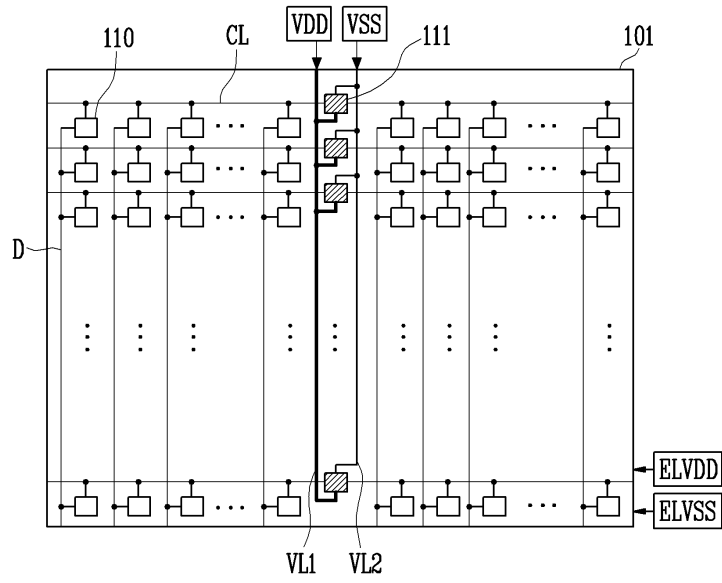
도면2



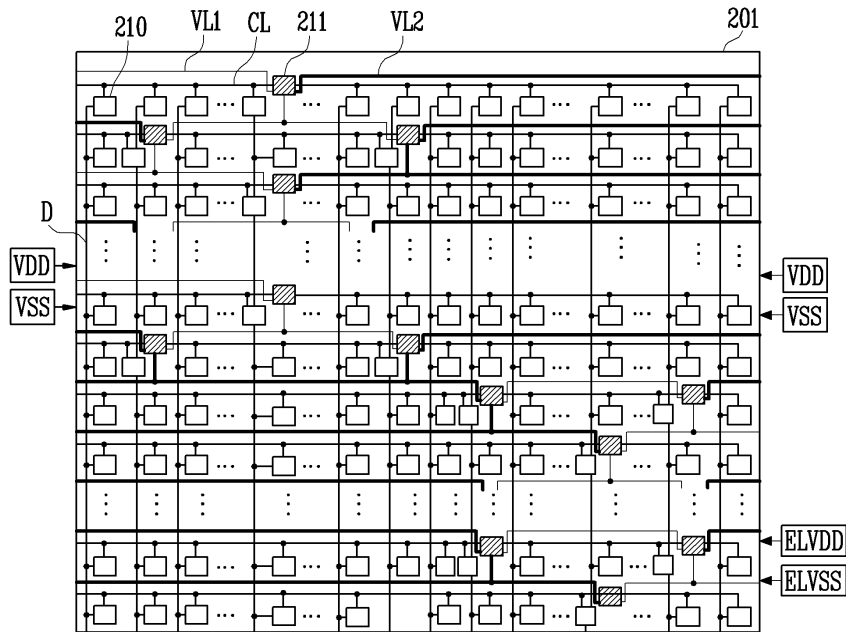
도면3



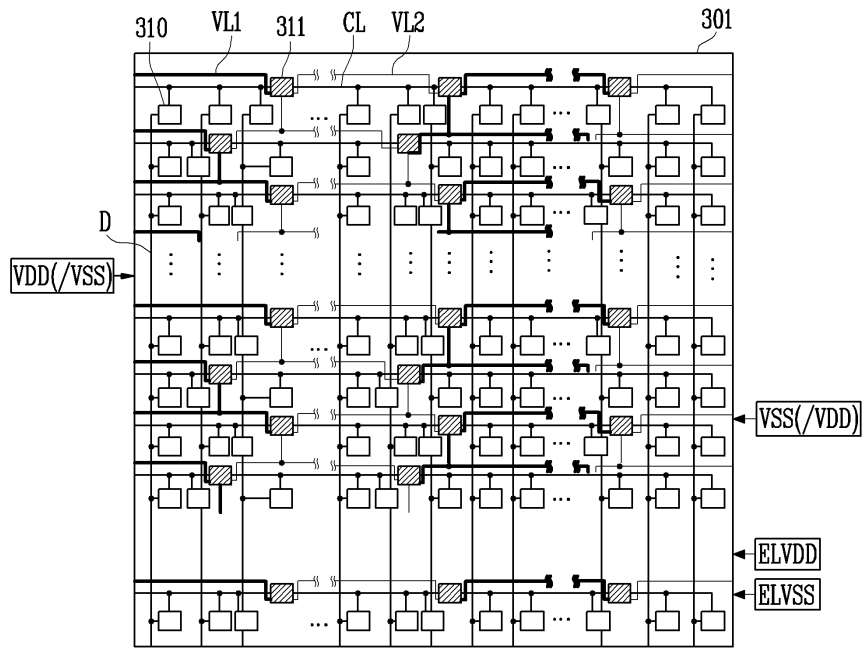
도면4



도면5



도면6



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100884450B1	公开(公告)日	2009-02-19
申请号	KR1020070113658	申请日	2007-11-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	HYUNGSOO KIM 김형수 KIWOOK KIM 김기욱		
发明人	김형수 김기욱		
IPC分类号	G09G3/30 G09G3/32 H05B33/26 G09G3/20		
CPC分类号	H01L27/1214 G09G2330/06 G09G2300/0408 G09G3/3266 G09G2320/0223 G09G2300/0426 H01L27/326		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置，通过补偿传输到像素的控制信号的延迟来防止控制信号的失真和天线效应。像素单元 (301) 包括多个像素。控制线 (CL) 沿像素之间的第一方向布置，并将控制信号提供给像素。数据线沿第二方向排列，并向像素提供数据信号。第二方向与第一方向交叉。缓冲电路 (311) 布置在像素之间。在每条控制线中形成至少一个或多个缓冲电路。

