

특허청구의 범위

청구항 1

기관;

상기 기관에 형성되는 액티브층;

상기 액티브층에 형성된 게이트 절연막;

상기 액티브층과 대응되는 게이트 절연막에 형성된 게이트 전극;

상기 게이트 전극에 형성된 층간 절연막;

상기 층간 절연막에 형성되고, 상기 액티브층과 전기적으로 연결된 소스 드레인 전극;

상기 소스 드레인 전극에 형성된 절연막; 및

상기 절연막에 형성되며, 상기 소스 드레인 전극과 전기적으로 연결된 유기 전계 발광 소자를 포함하고,

상기 액티브층은 반도체층 및 커패시터의 하부 전극을 포함하며, 상기 커패시터의 하부 전극에는 적녹청(RGB) 화소별로 각각 다른 형태로 형성되는 구분 패턴이 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 1항에 있어서, 상기 커패시터의 하부 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 번의 서로 다른 위치에 더 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

청구항 1항에 있어서, 상기 커패시터의 하부 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 더 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

청구항 1항에 있어서, 상기 구분 패턴은 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

삭제

청구항 8

기관;

상기 기관에 형성되는 액티브층;

상기 액티브층에 형성된 게이트 절연막;

상기 액티브층과 대응되는 게이트 절연막에 형성된 게이트 전극;

상기 게이트 전극에 형성된 층간 절연막;

상기 층간 절연막에 형성되고, 상기 액티브층과 전기적으로 연결된 소스 드레인 전극;

상기 소스 드레인 전극에 형성된 절연막; 및

상기 절연막에 형성되며, 상기 소스 드레인 전극과 전기적으로 연결된 유기 전계 발광 소자를 포함하고,

상기 유기 전계 발광 소자는 애노드 전극, 유기 박막 및 캐소드 전극을 포함하며, 상기 애노드 전극에는 적녹청(RGB) 화소별로 각각 다른 형태로 형성되는 구분 패턴이 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

청구항 8항에 있어서, 상기 애노드 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

청구항 8항에 있어서, 상기 애노드 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

청구항 8항에 있어서, 상기 구분 패턴은 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

삭제

청구항 13

기판을 준비하는 기판 준비 단계;

상기 기판에 비정질 실리콘을 증착하는 비정질 실리콘 증착 단계;

상기 비정질 실리콘이 다결정 실리콘으로 결정화 되도록 하는 결정화 단계;

상기 다결정 실리콘을 이용하여 액티브층을 형성하는 액티브층 형성 단계; 및

상기 액티브층에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 픽셀 단계를 포함하며,

상기 액티브층 형성 단계는 커패시터 하부 전극 형성 단계를 포함하고, 상기 커패시터 하부 전극 형성 단계는 커패시터에 적녹청(RGB) 화소별로 각각 다른 형태를 갖는 구분 패턴을 형성하는 구분 패턴 형성 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

청구항 13항에 있어서, 상기 커패시터 하부 전극 형성 단계는 상기 커패시터의 평면 형태를 직사각 형태로 형성하고, 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 상기 구분 패턴이 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17

청구항 13항에 있어서, 상기 커패시터 하부 전극 형성 단계는 상기 커패시터의 평면 형태를 직사각 형태로 형성하고, 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 상기 구분 패턴이 형성되도록 하는 단

계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18

청구항 13항에 있어서, 상기 구분 패턴 형성 단계는 상기 구분 패턴이 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성되게 하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19

삭제

청구항 20

기판을 준비하는 기판 준비 단계;

상기 기판에 비정질 실리콘을 증착하는 비정질 실리콘 증착 단계;

상기 비정질 실리콘이 다결정 실리콘으로 결정화 되도록 하는 결정화 단계;

상기 다결정 실리콘을 이용하여 액티브층을 형성하는 액티브층 형성 단계; 및

상기 액티브층에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 픽셀 단계를 포함하고,

상기 픽셀 단계는 상기 유기 전계 발광 소자의 애노드 전극을 형성하는 애노드 전극 형성 단계를 포함하며, 상기 애노드 전극 형성 단계는 적녹청(RGB) 화소별로 각각 다른 형태를 갖는 구분 패턴을 형성하는 구분 패턴 형성 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 21

청구항 20항에 있어서, 상기 애노드 전극 형성 단계는 상기 애노드 전극의 평면 형태를 직사각 형태로 형성하고, 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 상기 구분 패턴이 형성되게 하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 22

청구항 20항에 있어서, 상기 애노드 전극 형성 단계는 상기 애노드 전극의 평면 형태를 직사각 형태로 형성하고, 상기 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 상기 구분 패턴이 형성되게 하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 23

청구항 20항에 있어서, 상기 구분 패턴 형성 단계는 상기 구분 패턴이 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성되게 하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 24

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<21> 본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 보다 상세히는 커패시터의 하부 전극 및 애노드 전극중 적어도 어느 하나에 적녹청(RGB) 화소를 구분할 수 있는 구분 패턴을 형성함으로써, 적녹청(RGB) 화소의 위치의 구분이 가능하도록 하며, 이에 따라 유기 전계 발광 표시 장치의 제조 공정의 불량 원인

분석시 불량 원인을 정확하게 판단할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.

- <22> 일반적으로 유기 전계 발광 표시 소자는 애노드(Anode)에 정공을 주입하고 캐소드(Cathode)에 전자를 주입함으로써 형광 또는 인광 유기 화합물에서 전자와 정공이 결합하여 발광하는 장치이다.
- <23> 이러한 유기 전계 발광 소자는 도 1에 도시된 바와 같이 애노드 전극(ITO; Indium Tin Oxide), 유기 박막 및 캐소드 전극(Metal)을 기본 구조로 한다. 상기 유기 박막은 전자와 정공이 만나 여기자(excitation)를 형성하여 발광하는 발광층(Emitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는 전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 더 형성되고, 상기 정공 수송층의 일측면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다.
- <24> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로는 수동 매트릭스(passive matrix) 구동 방식과 능동 매트릭스(active matrix) 구동 방식이 알려져 있다. 상기 수동 매트릭스 구동 방식은 양극과 음극을 직교하도록 형성하고 라인(Line)을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 구동 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.
- <25> 한편, 이러한 유기 전계 발광 표시 장치의 제조 방법은 크게 비정질 실리콘의 결정화 단계와, 액티브층(박막 트랜지스터 및 커패시터 하부 전극) 제조 단계와, 유기 전계 발광 소자 제조 단계로 이루어질 수 있다. 물론, 이 밖에도 봉지 단계 및 모듈 조립 단계 등이 있지만 이에 대해서는 설명을 생략하기로 한다.
- <26> 상기 비정질 실리콘 결정화 단계는 기판 세정 단계, 버퍼층 형성 단계, 비정질 실리콘 증착 단계 및 다결정 실리콘 형성 단계 등으로 이루어질 수 있다.
- <27> 또한, 상기 액티브층 제조 단계는 상기 다결정 실리콘의 패터닝 단계, 게이트 절연막 형성 단계, 게이트 패터닝 단계, 이온 주입/활성화 단계, 층간 절연막 형성 단계, 컨택 형성 단계 및 소스 드레인 패터닝 단계 등으로 이루어진다. 물론, 이밖에도 절연막 및 비아(via) 형성 단계, ITO 형성 단계 및 화소 정의막(pixel define layer) 형성 단계 등이 추가적으로 더 수행된다.
- <28> 한편, 유기 전계 발광 표시 제조 방법에서는 유기 전계 발광 소자가 양호한 발광 특성을 보이지 않는 불량품을 찾아내기 위해서, 검사 공정이 이루어지고 있다. 이러한 불량 원인의 정확한 판단을 위해서는 많은 시간이 소요될 수 있으며, 따라서 생산수율의 저하 문제가 초래될 수 있다.
- <29> 최근의 고해상도 유기 전계 발광 표시 장치에서 인접하는 배선간의 간격이 감소함에 따라 원하지 않는 전기적 접촉(short)등이 일어날 수 있으며, 이는 불량의 주요한 원인이 되고 있다. 따라서, 불량의 원인이 되는 원하지 않는 전기적 접촉이 적색(Red), 녹색(Green) 및 청색(Blue)의 화소중 어느 영역에서 일어나는지의 판단을 위해 점등검사등이 이루어질 수 있다.
- <30> 종래에는 적색(Red), 녹색(Green) 및 청색(Blue)의 빛을 내는 화소의 개구율이 동일할 경우, 기판에 증착되는 소자들은 적색, 녹색 및 청색의 화소 각각에 동일 형태의 패턴(Pattern)이 형성되었다. 따라서, 유기물이 증착되기 이전 단계에서는 상기 패턴(Pattern)으로 적녹청(RGB, 이하 Red, Green, Blue를 의미한다.)를 구분할 수 없었다. 이와 같은 이유로 인하여 불량 원인을 분석할 경우 정확한 판단을 하기 위해 많은 시간이 소요되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 적색(Red), 녹색(Green) 및 청색(Blue)의 화소에 있어서, 액티브층(반도체층 및 커패시터 하부전극) 형성시 각각 다른 형태의 구분 패턴을 형성하거나 또는 유기 전계 발광 소자의 애노드 전극 형성시 각각 다른 형태의 구분 패턴을 형성함으로써, 화소를 적녹청(RGB) 별로 구분할 수 있고, 이에 따라 점등 검사중 불량 원인이 적녹청(RGB) 화소중 어느 영역의 화소에 해당하는지에 대한 정확한 판단이 가능하게 함에 있다.

발명의 구성 및 작용

- <32> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치는 기판과 상기 기판에 형성되는 액티브층과 상기 액티브층에 형성된 게이트 절연막과 상기 액티브층과 대응되는 게이트 절연막에 형성된 게이트 전극

과 상기 게이트 전극에 형성된 층간 절연막과 상기 층간 절연막에 형성되고, 상기 액티브층과 전기적으로 연결된 소스 드레인 전극과 상기 소스 드레인 전극에 형성된 절연막 및 상기 절연막에 형성되며, 상기 소스 드레인 전극과 전기적으로 연결된 유기 전계 발광 소자를 포함하며, 상기 액티브층 또는 유기 전계 발광 소자에 적녹청(RGB) 화소별로 구분할 수 있게 하는 구분 패턴이 형성된 유기 전계 발광 표시 장치를 포함한다.

- <33> 상기 액티브층은 소스 드레인 영역과 채널 영역을 포함하는 반도체층 및 커패시터의 하부 전극을 포함할 수 있다.
- <34> 상기 구분 패턴은 상기 커패시터의 하부 전극에 형성될 수 있다.
- <35> 상기 커패시터의 하부 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 더 형성될 수 있다.
- <36> 상기 커패시터의 하부 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 더 형성될 수 있다.
- <37> 상기 구분 패턴은 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성될 수 있다.
- <38> 상기 구분 패턴은 적녹청(RGB) 화소별로 각각 다른 형태로 형성될 수 있다.
- <39> 상기 유기 전계 발광 소자는 애노드 전극, 유기 박막 및 캐소드 전극을 포함하며, 상기 구분 패턴은 상기 애노드 전극에 형성될 수 있다.
- <40> 상기 애노드 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 형성될 수 있다.
- <41> 상기 애노드 전극은 평면 형태가 직사각 형태로 형성되고, 상기 구분 패턴은 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 형성될 수 있다.
- <42> 상기 구분 패턴은 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성될 수 있다.
- <43> 상기 구분 패턴은 적녹청(RGB) 화소별로 각각 다른 형태로 형성될 수 있다.
- <44> 또한, 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치의 제조 방법은 기판을 준비하는 기판 준비 단계와 상기 기판에 비정질 실리콘을 증착하는 비정질 실리콘 증착 단계와 상기 비정질 실리콘이 다결정 실리콘으로 결정화 되도록 하는 결정화 단계와 상기 다결정 실리콘을 이용하여 액티브층을 형성하는 액티브층 형성 단계와 상기 액티브층에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 픽셀 단계를 포함할 수 있고, 상기 액티브층 형성 단계 또는 픽셀 단계는 적녹청(RGB) 화소를 구분할 수 있게 하는 구분 패턴 형성 단계를 포함할 수 있다.
- <45> 상기 액티브층 형성 단계는 반도체층 형성 단계 및 커패시터 하부 전극 형성단계를 포함할 수 있다.
- <46> 상기 커패시터 하부 전극 형성 단계는 상기 구분 패턴 형성 단계를 더 포함할 수 있다.
- <47> 상기 커패시터 하부 전극 형성 단계는 상기 커패시터의 평면 형태를 직사각 형태로 형성하고, 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 상기 구분 패턴이 더 형성되는 단계를 포함할 수 있다.
- <48> 상기 커패시터 하부 전극 형성 단계는 상기 커패시터의 평면 형태를 직사각 형태로 형성하고, 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 상기 구분 패턴이 더 형성되는 단계를 포함할 수 있다.
- <49> 상기 구분 패턴 형성 단계는 상기 구분 패턴을 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성되게 하는 단계를 포함할 수 있다.
- <50> 상기 구분 패턴 형성 단계는 상기 구분 패턴을 적녹청(RGB) 화소별로 각각 다른 형태로 형성되게 하는 단계를 포함할 수 있다.
- <51> 상기 픽셀 단계는 상기 유기 전계 발광 소자의 애노드 전극을 형성하는 애노드 전극 형성 단계를 포함할 수 있다.

- <52> 상기 애노드 전극 형성 단계는 상기 애노드 전극의 평면 형태를 직사각 형태로 형성하고, 적녹청(RGB) 화소별로 상기 직사각 형태의 적어도 한 변의 서로 다른 위치에 상기 구분 패턴이 형성되게 하는 단계를 포함할 수 있다.
- <53> 상기 애노드 전극 형성 단계는 상기 애노드 전극의 평면 형태를 직사각 형태로 형성하고, 적녹청(RGB) 화소별로 상기 직사각 형태의 서로 다른 변에 상기 구분 패턴이 형성되게 하는 단계를 포함할 수 있다.
- <54> 상기 구분 패턴 형성 단계는 상기 구분 패턴을 삼각형, 사각형, 오각형 및 반원형 중 선택된 어느 하나 또는 이들의 조합으로 이루어진 형태로 형성되게 하는 단계를 포함할 수 있다.
- <55> 상기 구분 패턴 형성 단계는 상기 구분 패턴을 적녹청(RGB) 화소별로 각각 다른 형태로 형성되게 하는 단계를 포함할 수 있다.
- <56> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 커패시터의 하부 전극 또는 애노드 전극에 적녹청(RGB) 화소마다 각각 다르게 구분 패턴을 형성함으로써, 적녹청(RGB) 화소의 위치의 구분이 가능하도록 하며, 이에 따라 유기 전계 발광 표시 장치의 제조 공정의 불량 원인 분석시 불량 원인을 정확하게 판단할 수 있게 된다.
- <57> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <58> 도 2를 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 단면도가 도시되어 있다.
- <59> 도 2에 도시된 바와 같이 본 발명에 따른 유기 전계 발광 유기 전계 발광 표시 장치(100)는 기판(110)과, 상기 기판(110)상에 형성된 버퍼층(120)과, 상기 버퍼층(120)상에 형성된 액티브층(130)과, 상기 액티브층(130)상에 형성된 게이트 절연막(140)과, 상기 게이트 절연막(140)상에 형성된 게이트 전극(150) 및 커패시터 상부전극(155)과, 상기 게이트 전극(150) 및 커패시터 상부전극(155)상에 형성된 층간 절연막(160)과, 상기 층간 절연막(160)상에 형성된 소스 드레인 전극(170)과, 상기 소스 드레인 전극(170)상에 형성된 절연막(180)과, 상기 절연막(180)상에 형성된 유기 전계 발광 소자(200)와, 상기 절연막(180)상에 형성된 화소 정의막(210)을 포함할 수 있다.
- <60> 상기 기판(110)은 상면과 하면이 평행하게 형성되며, 상면과 하면 사이의 두께는 대략 0.05~1mm 정도로 형성될 수 있다. 상기 기판(110)의 두께가 대략 0.05mm 이하인 경우에는 제조 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 또한 외력에 약한 단점이 있다. 또한, 상기 기판(110)의 두께가 대략 1mm 이상인 경우에는 최근의 슬립후 추세에 있는 각종 표시 장치에 적용하기 곤란하다. 또한, 상기 기판(110)은 통상의 유리기판, 플라스틱기판, 메탈기판, 폴리머기판 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 이러한 기판재질로 본 발명을 한정하는 것은 아니다.
- <61> 상기 버퍼층(120)은 상기 기판(110)의 상면에 형성될 수 있다. 이러한 버퍼층(120)은 하기 반도체층(131)이나 유기 전계 발광 소자(200)쪽으로 수분(H₂O), 수소(H₂) 또는 산소(O₂) 등이 상기 기판(110)을 관통하여 침투하지 않도록 하는 역할을 한다. 이를 위해, 상기 버퍼층(120)은 반도체 공정중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다. 물론, 이러한 버퍼층(120)은 기판(110) 또는 액티브층(130)의 구조에 따라 생략될 수 있다.
- <62> 상기 액티브층(130)은 상기 버퍼층(120)의 상면에 형성되는 반도체층(131)과 커패시터의 하부 전극(135)으로 구성된다.
- <63> 상기 반도체층(131)은 상기 버퍼층(120)의 상면에 형성될 수 있다. 이러한 반도체층(131)은 상호 대향되는 양측에 형성된 소스 드레인 영역(132)과, 상기 소스 드레인 영역(132) 사이에 형성된 채널 영역(134)으로 이루어질 수 있다.
- <64> 이러한 반도체층(131)은 비정질 실리콘(amorphous Si), 다결정 실리콘(poly Si), 유기 박막, 마이크로 실리콘(micro Si, 비정질 실리콘과 다결정 실리콘 사이의 그레인 사이즈를 갖는 실리콘) 및 그 등가물 중 선택된 적어도 어느 하나로 형성될 수 있으나 본 발명에서 상기 반도체층(131)의 종류를 한정하는 것은 아니다.
- <65> 또한, 상기 반도체층(131)이 다결정 실리콘으로 형성된 경우, 상기 반도체층(131)은 저온에서 레이저를 이용하여 결정화는 방법, 금속촉매를 이용하여 결정화하는 방법 및 그 등가 방법 중 선택된 어느 하나의 방법으로 형

성될 수 있으나, 본 발명에서 상기 다결정 실리콘의 결정화 방법을 한정하는 것은 아니다.

- <66> 상기 레이저를 이용하여 결정화하는 방법은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), SPC(Solid Phase Crystallization)등의 방식이 가능하나 이러한 방법으로 본 발명을 한정하는 것은 아니다.
- <67> 또한, 금속촉매를 이용하여 결정화하는 방법은 MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization), SGS(Super Grained Silicon) 등이 가능하나 이러한 방식으로 본 발명을 한정하는 것은 아니다.
- <68> 상기 커패시터 하부전극(135)은 상기 반도체층(131)과 마찬가지로 상기 버퍼층(120)의 상면에 형성될 수 있다. 즉, 상기 커패시터 하부 전극(135)과 반도체층(131)은 동일 평면상에 위치할 수 있다. 상기 커패시터 하부전극(135)은 상기 반도체층(131)과 함께 액티브층을 형성하게 된다.
- <69> 한편, 도 2에 도시되어 있지는 않으나, 상기 반도체층(131)과 커패시터 하부전극(135)은 전기적으로 연결되어 있다. 상기 커패시터 하부 전극(135)은 일반적으로 직사각형의 평면 형태를 갖는다. 또한, 상기 커패시터 하부 전극(135)은 상기 반도체층(131)의 형성 과정과 동일한 과정에 의해 형성되어 질 수 있다.
- <70> 한편, 상기 커패시터 하부 전극(135)은 적색(Red) 화소, 녹색(Green) 화소 및 청색(Blue) 화소에 대응하는 하부에 형성될 수 있다. 또한, 상기 커패시터 하부 전극(135)에는 적녹청(RGB) 화소별로 각각 다른 형태의 구분 패턴이 형성될 수 있다. 즉, 액티브층(130) 중 커패시터 하부전극(135)에 상기 구분 패턴이 형성될 수 있다.
- <71> 상기 구분 패턴의 위치 및 형태에 관한 설명은 하기할 본 발명의 실시예에 따른 유기 발광 표시 장치에 관한 설명에서 같이 하도록 한다.
- <72> 상기 게이트 절연막(140)은 상기 반도체층(131) 상에 형성될 수 있다. 물론, 이러한 게이트 절연막(140)은 상기 반도체층(131)의 외주연인 버퍼층(120) 위에도 형성될 수 있다. 또한, 상기 게이트 절연막(140)은 반도체 공정 중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.
- <73> 상기 게이트 전극(150)은 상기 게이트 절연막(140)의 상면에 형성될 수 있다. 좀더 구체적으로, 상기 게이트 전극(150)은 상기 반도체층(131)중 채널 영역(134)과 대응되는 게이트 절연막(140) 위에 형성될 수 있다. 이러한 게이트 전극(150)은 상기 게이트 절연막(140) 하부의 채널 영역(134)에 전계를 인가함으로써, 상기 채널 영역(134)에 정공 또는 전자의 채널이 형성되도록 하며 이러한 구조를 FET(Field Effect Transistor)로 명명하며 본 발명의 구조를 보다 상세하게 언급하면 MOSFET(Metal Oxide Silicon Field Effect Transistor)이라고 한다. 또한, 상기 게이트 전극(150)은 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.
- <74> 상기 커패시터 상부 전극(155)은 상기 게이트 절연막(140)의 상면에 형성될 수 있다. 한편, 도 2에 도시되어 있지는 않으나, 상기 커패시터 상부전극(155)은 상기 게이트 전극(150)과 전기적으로 연결되어 있다. 또한, 상기 커패시터 상부 전극(155)은 상기 게이트 전극(150)과 마찬가지로 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 또한, 상기 커패시터 상부 전극(155)은 경우에 따라서 상기 유기 전계 발광 소자(200)의 애노드 전극으로 대체되기도 한다. 즉, 이러한 경우 상기 커패시터 상부 전극(155)의 제조 공정은 생략이 가능하다.
- <75> 상기 층간 절연막(160)은 상기 게이트 절연막(140) 및 게이트 전극(150)의 상면에 형성될 수 있다. 상기 층간 절연막(160)은 실리콘 산화막, 실리콘 질화막, 폴리머, 플라스틱, 유리 또는 그 등가물 중 선택된 어느 하나로 형성될 수 있으나 여기서 상기 층간 절연막(160)의 재질을 한정하는 것은 아니다.
- <76> 상기 층간 절연막(160)상에 반도체 영역과 소스 드레인 영역(132)을 접촉시키기 위해 식각 공정이 진행하는데 이를 컨택홀 공정이라고 하며, 이러한 노출된 영역을 통상 컨택홀이라 하며, 이러한 컨택홀에는 도전성 컨택(176)이 형성된다.
- <77> 상기 소스 드레인 전극(170)은 상기 층간 절연막(160)의 상면에 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure Chemical Vapor Deposition), 스퍼터링 및 그 등가 방법 중 선택된 어느 하나의 방법으로 형성된다. 물론, 상기와 같은 공정 이후에는 포토 레지스트 도포, 노광, 현상, 식각 및 포토 레

지스트 박리 등의 공정을 통해 원하는 위치에 소스 드레인 전극(170)을 형성한다. 상기 소스 드레인 전극(170)과 반도체층(131)의 소스 드레인 영역(132) 사이에는 상기 층간 절연막(160)을 관통하는 도전성 콘택(176)(Conductive contact)을 형성한다. 물론, 상기 도전성 콘택(176)은 상술한 바와 같이 미리 형성된 콘택홀을 통하여 형성된다.

- <78> 상기 반도체층(131)과 소스 드레인 전극(170)은 상기 도전성 콘택(176)에 의해 전기적으로 상호 연결된다. 이러한 도전성 콘택(176) 역시 상기 게이트 전극(150) 및 소스 드레인 전극(170)과 같은 재질의 재료를 이용하여 형성할 수 있으며, 여기서 상기 도전성 콘택(176)의 재질을 한정하는 것은 아니다.
- <79> 상기 소스 드레인 전극(170)은 상기 층간 절연막(160)의 상면에 형성될 수 있다. 물론, 상기 소스 드레인 전극(170)과 반도체층(131) 사이에는 층간 절연막(160)을 관통하는 도전성 콘택(176)(Conductive contact)이 형성될 수 있다. 즉, 상기 도전성 콘택(176)에 의해 상기 반도체층(131)중 소스 드레인 영역(132)과 소스 드레인 전극(170)이 상호 전기적으로 연결된다. 또한, 상기 소스 드레인 전극(170)은 상기 게이트 전극(150)과 같은 금속 재질로 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.
- <80> 상기 절연막(180)은 상기 층간 절연막(160) 및 소스 드레인 전극(170)의 상면에 형성될 수 있다. 이러한 절연막(180)은 다시 보호막(182)과, 상기 보호막(182)의 상면에 형성된 평탄화막(184)을 포함하여 이루어질 수 있다.
- <81> 상기 보호막(182)은 상기 소스 드레인 전극(170) 및 층간 절연막(160)을 덮으며, 상기 소스 드레인 전극(170)등을 보호하는 역할을 한다. 물론, 상기 보호막(182) 및 평탄화막(184)에는 상기 소스 드레인 전극(170)과 대응되는 영역을 식각하여 비아홀을 미리 형성해 둔다. 이러한 비아홀에는 차후 도전성 비아(208)를 형성한다. 이러한 도전성 비아(208)는 상기 유기 전계 발광 소자(200)의 애노드(202)와 상기 반도체층(131)의 소스 드레인 영역(132)을 전기적으로 연결하는 역할을 한다. 이러한 보호막(182)은 통상의 무기막 및 그 등가물 중 선택된 어느 하나로 형성될 수 있으나, 본 발명에서 상기 보호막(182)의 재질을 한정하는 것은 아니다.
- <82> 상기 평탄화막(184)은 상기 보호막(182)상에 형성된다. 이러한 평탄화막(184)은 유기 전계 발광 소자(OLED) 및 그의 캐소드 전극이 단차로 인해 단락되거나 단선되는 것을 방지해주는 역할을 하는 것으로 BCB(Benzo Cyclo Butene), 아크릴(Acrylic) 및 그 등가물 중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.
- <83> 상기 유기 전계 발광 소자(200)는 상기 화소 정의막(210)의 외주연에 형성될 수 있다. 이러한 유기 전계 발광 소자(200)는 다시 애노드 전극(202), 상기 애노드 전극(202)의 상면에 형성된 유기 전계 발광 박막(204) 및 상기 유기 전계 발광 박막(204)의 상면에 형성된 캐소드 전극(206)를 포함할 수 있다.
- <84> 상기 애노드 전극(202)은 ITO(Indium Tin Oxide), ITO/Ag, ITO/Ag/ITO, ITO/Ag/IZO(Indium Zinc Oxide), 은합금(ITO/Ag 합금/ITO) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 상기 애노드 전극(202)의 재질을 한정하는 것은 아니다. 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막(204)에 대한 정공 주입 장벽이 작은 투명 도전막이고, 상기 Ag는 전면 발광 방식에서 특히 유기 전계 발광 박막(204)으로부터의 빛을 상면으로 반사시키는 막이다.
- <85> 상기 애노드 전극(202)은 상기 커패시터 하부 전극(135)와 마찬가지로 적색(Red) 화소, 녹색(Green) 화소 및 청색(Blue) 화소에 대응하는 하부에 각각 형성될 수 있다. 그리고, 역시 적녹청(RGB) 화소별로 각각 다른 형태의 구분 패턴이 상기 애노드 전극(202)에 형성될 수 있다.
- <86> 상기 구분 패턴의 위치 및 형태에 관한 설명은 하기할 본 발명의 다른 실시예에 관한 설명에서 같이 하도록 한다.
- <87> 상기 유기 전계 발광 박막(204)은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL)으로 이루어질 수 있다.
- <88> 또한, 상기 전자 수송층에는 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)이 형성되고, 상기 정공 수송층에는 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL)이 더 형성될 수 있다.
- <89> 더불어, 상기 캐소드 전극(206)은 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나일 수 있으나 본 발명에서 상기 캐소드 전극(206)의 재질을 한정하는 것은 아니다. 다만, 본 발명에서 전면 발광식을 택

할 경우 상기 A1은 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커지는 단점이 있다. 상기 MgAg 합금은 상기 A1에 비해 전자 주입 장벽이 작고, 상기 MgCa 합금은 상기 MgAg 합금에 비해 전자 주입 장벽이 더 낮다. 따라서, 전면 발광식일 경우는 상기 A1 대신 MgAg 합금 및 MgCa 합금을 캐소드 전극(206)으로 사용함이 좋다. 그러나, 이러한 MgAg 합금 및 MgCa 합금은 주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다.

<90> 상기 화소 정의막(210)은 상기 유기 전계 발광 소자(200)의 외주연으로서 상기 상기 절연막(180)의 상면에 형성될 수 있다. 이러한 화소 정의막(210)은 적색 유기 전계 발광 소자, 녹색 유기 전계 발광 소자, 청색 유기 전계 발광 소자 사이의 경계를 명확히 해주어 화소 사이의 발광 경계 영역이 명확해지도록 한다. 또한, 이러한 화소 정의막(210)은 폴리이미드(polyimide) 및 그 등가물 중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 상기 화소 정의막(210)의 재질을 한정하는 것은 아니다.

<91> 한편, 도 2에서는 박막 트랜지스터 1개, 커패시터 1개, 유기 전계 발광 소자 1개를 도시하였으나, 이는 본 발명을 설명하기 위한 하나의 일례에 불과하며, 유기 전계 발광 표시 장치 내의 화소 회로의 종류에 따라, 박막 트랜지스터의 개수 및 커패시터의 개수가 달라질 수 있다. 또한, 도 2에서는 상기 커패시터의 상부 전극(155)을 별도로 도시하였으나 경우에 따라서는 상기 애노드 전극(202)이 상기 커패시터의 상부 전극(155)으로 사용되는 경우도 있으며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 그 변형이 용이하여 별도의 설명은 생략한다.

<92> 이하에서는 일반적인 유기 전계 발광 표시 장치의 화소 회로를 설명한다.

<93> 도 3에는 일반적으로 사용되는 유기 전계 발광 표시 장치의 화소 회로가 도시되어 있다.

<94> 도 3의 화소 회로도들 참고하면, 화소 회로는 스위칭 트랜지스터(Ma), 구동 트랜지스터(Mb), 커패시터(C) 및 유기 전계 발광 소자(OLED)를 포함하여 구성된다.

<95> 상기 스위칭 트랜지스터(Ma)는 제어 전극(게이트 전극)이 주사선에 전기적으로 연결되어 있고, 제 1전극(소스 또는 드레인 전극)은 데이터선에 전기적으로 연결되어 있다. 또한, 상기 스위칭 트랜지스터의 제 2전극(드레인 또는 소스 전극)은 상기 구동 트랜지스터(Mb)의 제어 전극에 전기적으로 연결되어 있다. 따라서, 상기 주사선에 의해 스위칭 트랜지스터(Ma)의 제어 전극에 주사 신호가 입력되면 상기 스위칭 트랜지스터(Ma)가 턴온(turn on)되어 상기 구동 트랜지스터(Mb)에 전류가 흐르게 된다.

<96> 상기 구동 트랜지스터(Mb)는 제어 전극이 상기 스위칭 트랜지스터(Ma)에 연결되어 있고, 제 1전극은 전원 공급부(VDD)에 연결되어 있으며, 제 2전극은 상기 유기 전계 발광 소자(OLED)에 전기적으로 연결되어 있다. 따라서, 상기 구동 트랜지스터(Mb)가 턴온되면 상기 유기 전계 발광 소자(OLED)에 전류가 흐르게 되어 발광을 하게 된다.

<97> 상기 커패시터(C)는 제 1전극이 상기 스위칭 트랜지스터(Ma)의 제2전극과 상기 구동 트랜지스터(Mb)의 제어 전극에 전기적으로 연결되어 있다. 또한, 상기 커패시터(C)의 제 2전극은 전원 공급부(VDD)와 상기 구동 트랜지스터(Mb)의 제 1전극에 전기적으로 연결되어 있다. 즉, 상기 커패시터(C)는 상기 구동 트랜지스터(Mb)의 제어 전극과 제 1전극 사이에 전기적으로 연결되어 있다. 따라서, 상기 스위칭 트랜지스터(Ma)가 턴온되어 데이터 값이 인가되면, 상기 커패시터(C)에 상기 데이터값이 저장되게 된다. 그 결과, 상기 커패시터(C)의 전압에 의해

$$I_{OLED} = \frac{1}{2} \beta (V_{GS} - V_{TH})^2$$

<98> 의 전류가 상기 유기 전계 발광 소자(OLED)에 흐르게 되어 발광을 하게 된다. 여기서, 상기 β 는 $\mu_n C_{ox}$ 를 의미하는 값으로서, μ_n 는 전자의 이동도를 의미하며, C_{ox} 는 상기 구동 트랜지스터(Mb)의 산화층(SiO₂)의 커패시턴스를 의미한다. 또한, V_{GS} 는 상기 구동 트랜지스터(Mb)의 제어 전극과 제 1전극의 전압차를 의미하며, V_{TH} 는 상기 구동 트랜지스터(Mb)의 문턱전압값을 의미한다.

<100> 이하에서는 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치를 설명하도록 한다.

<101> 도 4에는 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치(1000)의 평면도가 도시되어 있다.

<102> 도 4에서 보듯이, 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치(1000)는 적녹청(RGB) 화소별로 다른 구

분 패턴(220)으로 형성되어 있는 애노드 전극(202)을 포함한다. 상기 구분 패턴(220)은 각각 상기 애노드 전극(202)의 우측 상부에 형성되어 있다.

- <103> 화소별로 설명을 하면, 적색 화소에 해당하는 애노드 전극(202a)은 우측 상부에 직각 삼각형의 형태인 구분 패턴(220a)을 구비한다. 또한, 녹색 화소에 해당하는 애노드 전극(202b)도 역시 우측 상부에 직각 삼각형 형태의 구분 패턴(220b)을 구비한다. 상기 구분 패턴(220a, 220b)의 형태인 직각 삼각형에는 빗변을 제외한 나머지 두 변이 존재한다. 두 변 중에서 더 긴 변이 상기 애노드 전극의 상부에 형성되는 것이 적색 화소에 해당하는 애노드 전극(202a)의 구분 패턴(220a)의 특징이다. 반면, 더 짧은 변이 애노드 전극의 상부에 형성되는 것이 녹색 화소에 해당하는 애노드 전극(202b)의 구분 패턴(220b)의 특징이다. 한편, 청색 화소에 대응하는 애노드 전극(202c)은 별도의 형상을 갖지 않는 구분 패턴(220c)을 갖는다. 즉, 기존의 일반적인 애노드 전극들과 같이 별도의 구분 패턴이 없다고 볼 수 있다.
- <104> 상기 화소들은 적녹청(RGB) 화소별로 애노드 전극에 각각 다른 구분 패턴을 구비하고 있다. 결과적으로 점등 검사 불량 원인 분석시에 빠르고 정확한 원인 파악이 가능하다. 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치를 이용한 점등 검사 불량 원인 분석 과정을 아래에서 후술하도록 한다.
- <105> 한편, 상기 구분 패턴(220)들은 삼각형의 형상일 필요는 없으며, 상기 화소들을 적녹청(RGB)별로 구별할 수 있게 할 수 있는 형상이라면, 사각형, 오각형 또는 반원 등의 형상이거나 이들의 조합이어도 무방하다. 또한, 상기 화소들을 적녹청(RGB)별로 구별할 수 있게 할 수 있도록 한다면, 상기 애노드 전극(202)의 우측 상부에만 형성될 필요는 없다. 화소 별로 상기 애노드 전극(202)의 적어도 하나 이상의 면에 형성되어 다른 화소들과의 구별이 될 수 있으면 상기 애노드 전극(202)의 어느 면에 형성되든지 무관하다. 즉, 상기 애노드 전극(202)의 우측 상부에 형성된 직각 삼각형의 형상으로 본 발명의 구분 패턴(220)의 위치 및 모양을 한정하는 것은 아니며, 화소 별로 구별이 가능하다면 어떤 형상으로 어디에 위치하든지 무관하다.
- <106> 구분 패턴은 상기 애노드 전극(202)에 형성되는 것 뿐만 아니라, 커패시터의 하부 전극(135)에도 구비될 수 있다. 다만, 커패시터의 하부 전극(135)에 구비되는 구분 패턴(221)은 유기 전계 발광 소자(OLED)까지 형성된 이후에 육안으로 구별이 어렵기 때문에, 별도의 평면도를 도시하지는 않았다. 상기 커패시터의 하부 전극에 구분 패턴이 형성되는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치(2000)는 아래에서 후술하도록 한다.
- <107> 이하에서는 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치(1000)를 설명하도록 한다.
- <108> 도 5a 내지 도 5e를 참조하면, 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치(1000) 중, 상기 애노드 전극(202)에 적녹청(RGB) 화소당 각각 다른 형태의 구분 패턴(220)을 형성한 사진 및 상기 애노드 전극(202)의 구분 패턴(221)이 도시되어 있다.
- <109> 도 5a에서 볼 수 있듯이, 좌측부터 각각 적색(Red) 화소용 애노드 전극(202a), 녹색(Green) 화소용 애노드 전극(202b) 및 청색(Blue) 화소용 애노드 전극(202c)의 확대 사진이 도시되어 있다. 상술한 바와 같이, 적색(Red), 녹색(Green) 및 청색(Blue) 화소용 애노드 전극(202) 각각에는 구분 패턴(220)이 형성되어 적녹청(RGB)를 구분할 수 있게 된다.
- <110> 도 5a에서 보듯이 상기 애노드 전극(202)은 직사각 형태로 구성되어 있고, 적색(Red) 화소용 애노드 전극(202a)은 우측 상단에, 녹색(Green) 화소용 애노드(202b) 전극 역시 우측 상단에 구분 패턴(220a, 220b)이 형성되어 있고, 청색(Blue) 화소용 애노드 전극(202c)의 경우 구분 패턴(220c)이 형성되어 있지 않다. 다만 적녹청(RGB) 화소 각각의 구별이 가능하다면 상기 구분 패턴(220)의 위치는 상기 애노드 전극(202)의 어디에 위치하든지 관계 없다.
- <111> 또한, 도 5a에서 볼 수 있듯이 적색(Red) 화소용 애노드 전극(202a)의 우측 상단에 애노드 전극의 상단 방향으로 긴 밑변을 가지는 직각 삼각형의 모양의 구분 패턴(220a)이 형성되어 있고, 녹색(Green) 화소용 애노드 전극(202b)의 우측 상단에 애노드 전극의 우측면 방향으로 긴 밑변을 가지는 직각 삼각형의 모양의 구분패턴(220b)이 형성되어 있으며, 청색(Blue) 화소용 애노드 전극(202c)에는 별도의 형상이 없는 구분 패턴(220c)이 형성되어 있다. 상기 구분 패턴(220)의 모양은 상기 적녹청(RGB) 화소들을 서로 구별하기 위한 것이며, 상기 구분 패턴(220)의 모양은 경우에 따라 삼각형, 사각형, 오각형, 반원 등으로 형성될 수도 있다.
- <112> 도 5b 내지 도 5e에는 상기 애노드 전극(202)의 구분 패턴(220)의 대표로 적색(Red) 화소용 애노드 전극(202a)의 구분 패턴(220a)이 도시되어 있다. 도 5b에는 상기 적색(Red) 화소용 애노드 전극(202a_1)에 형성된 사각형 형태의 구분 패턴(220a_1), 도 5c에는 상기 적색 화소용 애노드 전극(202a_2)에 형성된 오각형 형태의 구분 패턴(220a_2), 도 5d에는 상기 적색 화소용 애노드 전극(202a_3)에 형성된 반원 형태의 구분 패턴(220a_3), 도 5e

에는 상기 적색 화소용 애노드 전극(202a_4)에 형성된 사분원 형태의 구분 패턴(220a_4)이 각각 도시되어 있다.

- <113> 도 5b 내지 도 5e에는 상기 적색 화소용 애노드 전극(202a)상에 형성되는 구분 패턴(220a)을 대표적으로 설명하였으나, 다른 색의 화소용 애노드 전극(202b, 202c)상의 구분 패턴(220b, 220c)들도 같은 형태로 형성될 수 있다.
- <114> 다만, 상기 애노드 전극(202)상에서 상기 구분 패턴(220)이 형성되는 위치와 모양에 의해 본 발명을 한정하는 것은 아니며, 상기 적녹청(RGB) 화소의 구분 패턴(202a, 220b, 220c)은 상기 애노드 전극(202a, 202b, 202c) 각각의 다양한 위치에 다양한 모양으로 형성될 수 있다.
- <115> 이하에서는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치(2000)를 설명한다.
- <116> 도 6a 내지 도 6d를 참조하면, 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치(2000) 중, 상기 커패시터 하부 전극(135)에 적녹청(RGB) 화소당 각각 다른 형태의 구분 패턴(221)을 형성한 사진 및 상기 커패시터 하부 전극(135)의 구분 패턴(221)이 도시되어 있다.
- <117> 도 6a에서 볼 수 있듯이, 좌측부터 각각 적색(Red) 화소용 커패시터 하부 전극(135a), 녹색(Green)화소용 커패시터 하부 전극(135b) 및 청색(Blue) 화소용 커패시터 하부 전극(135c)의 확대사진이 도시되어 있다. 상술한 바와 같이, 적색(Red), 녹색(Green) 및 청색(Blue) 화소용 커패시터 하부 전극(135) 각각에는 구분패턴(221)이 형성되어 적녹청(RGB) 화소를 구분할 수 있게 된다.
- <118> 도 6a에서 상기 커패시터 하부 전극(135)은 각각 직사각 형태로 구성되어 있고, 적색(Red) 화소용 커패시터 하부 전극(135a)은 우측 상단(501)에, 녹색(Green) 화소용 커패시터 하부 전극(135b)은 우측 하단(502)에, 청색(Blue) 화소용 커패시터 하부 전극(135c)은 좌측 상단(503)에 구분 패턴(221)이 형성되어 있다. 상기 구분 패턴(221)은 상기 커패시터 하부 전극(135)의 직사각 형태의 적어도 일면에 형성될 수 있다. 또한, 상기 적녹청(RGB) 화소를 구별할 수 있게 하기만 한다면, 상기 구분 패턴(221)이 상기 커패시터 하부 전극(135)의 직사각 형태에서 어느 변에 위치하든 관계없다.
- <119> 또한, 도 6a에서는 사각형 형상의 구분 패턴(221)이 형성되어 있으나, 상기 구분 패턴의 모양(221)으로는 삼각형, 사각형, 오각형 및 반원형 등과 같이 다양한 모양의 구분 패턴을 형성할 수 있다. 경우에 따라서는 상기 구분 패턴(221)의 형상을 각 화소마다 다른 형상으로 형성할 수도 있다.
- <120> 도 6b 내지 도 6d에는 상기 커패시터 하부 전극(135)의 구분 패턴(221)이 대표적으로 적색(Red) 화소용 커패시터 하부 전극(135a)의 구분 패턴(221a)으로 예시되어 있다. 도 6b에는 상기 적색(Red) 화소용 커패시터 하부 전극(135a_1)의 우측 상부에 삼각형 형태의 구분 패턴(221a_1), 도 6c에는 상기 적색 화소용 커패시터 하부 전극(135a_2) 상에 오각형의 형태의 구분 패턴(221b_2), 도 6d에는 상기 적색 화소용 커패시터 하부 전극(135a_3) 상에 반원형 형태의 구분 패턴(221a_3)이 형성되어 있다.
- <121> 도 6b 내지 도 6d에는 상기 적색 화소용 커패시터 하부 전극(135a) 상의 구분 패턴(221a)을 대표적으로 예를 들어 설명을 하였지만, 다른 색의 화소용 커패시터 하부 전극(135b, 135c) 상의 구분 패턴(221b, 221c)들도 같은 형태로 형성될 수 있다.
- <122> 다만, 적색, 녹색 및 청색 중 어느 화소에 해당하는 커패시터 하부 전극(135a, 135b, 135c)인지를 구분할 수 있는 형태라면, 상기 구분 패턴(221a, 221b, 221c)은 상기 커패시터 하부 전극(135a, 135b, 135c)상의 어떠한 위치에 어떠한 형태로 형성되든지 무관하며, 본 실시예로서 상기 구분 패턴(221a, 221b, 221c)의 위치 및 모양을 한정하는 것은 아니다.
- <123> 이하에서는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(1000)에 따른 불량 화소의 발생 원인 분석 과정을 설명하도록 한다.
- <124> 이하에서 설명하게 될 내용은 점등검사 공정에서 발견된 불량 화소의 발생 원인을 분석하는 과정을 설명하기 위한 일례에 불과하며, 하기의 설명된 내용으로 본 발명을 한정하는 것은 아니다.
- <125> 도 7a 내지 도 7d를 참조하면, 녹색 점등검사 공정에서 발견된 불량 화소의 발생 원인을 분석하는 사진이 도시되어 있다.
- <126> 도 7a는 녹색(Green) 점등 검사 사진이며, 도 7a에 도시된 바와 같이 암점 두 개가 나타나 있다.
- <127> 이에 따라, 상기 불량 원인을 분석하게 되고, 도 7b의 사진과 같은 불량 원인으로 예상되는 부분이 도시되어

있다.

- <128> 도 7c와 도 7d는 도 7b의 암점의 사진을 확대한 사진이다. 도 7c는 소스-드레인(source-drain) 검사 공정의 사진이다. 따라서, 도 7c를 보면 두 개의 암점 중 하나는 쇼트에 의한 암점이라는 것을 알 수 있다. 도 7b는 현미경 관찰 결과 조그마한 파티클이 하나 발견된 것을 도시한 사진이다.
- <129> 만약 종래의 적녹청(RGB) 패턴이 동일한 종래의 픽셀 회로라면 상기 파티클이 암점의 원인인지는 확인하기 어렵다.
- <130> 그러나 본 발명에 따른 유기 전계 발광 표시 장치의 픽셀 회로에서는 상기 적녹청(RGB) 패턴이 구분되어 있다. 따라서 도 7b를 참조하면 상기 파티클은 청색 픽셀에 존재하는 것을 알 수 있다. 즉, 녹색(Green) 점등 사진에서 나타나는 두 개의 암점 중에서 하나는 상기 파티클이 아니라 다른 원인에 의한 것임을 알 수 있다.
- <131> 이와 같이, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(1000)는 애노드 전극(202)에 적녹청(RGB)를 구분할 수 있는 구분 패턴(220)을 형성함으로써 점등 검사시 발견할 수 있는 불량原因的 분석시 불량原因的 적색, 녹색 및 청색 화소 중 어느 부분의 화소에 해당하는 영역에서 발생하였는지 빠르게 판단할 수 있게 한다.
- <132> 이하에서는 본 발명의 유기 전계 발광 표시 장치의 다른 실시예(2000)에 따른 불량 화소의 발생 원인 분석 과정을 설명한다.
- <133> 이하에서 설명하게 될 내용은 점등검사 공정에서 발견된 불량 화소의 발생 원인을 분석하는 과정을 설명하기 위한 일례에 불과하며, 하기의 설명된 내용으로 본 발명을 한정하는 것은 아니다.
- <134> 도 8a 내지 도 8c를 참조하면, 적색 점등검사 공정에서 발견된 불량 화소의 발생 원인을 분석하는 사진이 도시되어 있다.
- <135> 도 8a는 적색(Red) 점등 검사 사진이며, 도 8a에 도시된 바와 같이 세로 방향으로 암선이 나타나 있다. 즉 세로 방향의 선불량이 발생하였다.
- <136> 이에 따라, 상기 불량原因的 원인을 분석하게 되고, 도 8b의 사진과 같은 불량原因的으로 예상되는 부분을 발견하였다. 도 8c는 도 8b의 사진을 확대한 사진이다. 다만, 상기 불량原因的으로 예상되는 부분이 적색(Red) 점등검사에서 발생한 세로 방향의 암선의 원인인지에 대해서는 단정할 수 없다. 일반적으로 데이터선과 제1전원전압선(VDD)의 부적절한 접속이 있는 경우 세로 방향의 선불량이 발생하기는 하나, 도 8b의 사진상으로 부적절한 접속이 있었는지 명확하지 않은 상황이다.
- <137> 다만, 도 8c에 도시된 바와 같이 녹색(Green) 화소용 커패시터 하부 전극(135b)에 구분 패턴(221b)이 형성되어 있는 경우, 불량原因的으로 예상되는 부분이 녹색(Green) 화소와 관계되는 부분이라는 것을 알 수 있게 된다.
- <138> 따라서, 적색(Red) 점등검사에서 발생한 세로 방향의 암선의 원인은 도 8c에 도시된 부적절한 접속부분(221b)과는 아무런 관계가 없다는 것을 유기 전계 발광 표시 장치의 제조 공정 중 쉽게 발견할 수 있게 된다.
- <139> 이와 같이, 본 발명에 다른 실시예에 따른 유기 전계 발광 표시 장치(2000)는 커패시터 하부 전극(135)에 적녹청(RGB)를 구분할 수 있는 구분 패턴(221)을 형성함으로써 점등 검사시 발견할 수 있는 불량原因的 분석시 불량原因的 원인이 적색, 녹색 및 청색 화소 중 어느 부분의 화소에 해당하는 영역에서 발생하였는지 빠르게 판단할 수 있게 한다.
- <140> 이하에서는 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법에 대해서 설명을 하도록 한다.
- <141> 도 9a 내지 도 9m를 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법이 단면도로서 도시되어 있다.
- <142> 도 9a에 도시된 바와 같이 상기 기관 준비 단계에서는, 상면과 하면이 대략 평평하고 일정 두께를 갖는 기관(110)을 제공한다.
- <143> 상기 기관(110)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노 복합재료 및 그 등가물 중 선택된 어느 하나로 준비할 수 있으나, 본 발명에서 상기 기관(110)의 재질이나 종류를 한정하는 것은 아니다. 또한, 상기 기관(110)은 두께가 대략 0.05mm ~ 1mm 정도인 것을 준비함이 좋다. 상기 기관(110)의 두께가 대략 0.05mm이하인 경우에는 제조 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 취급이 어려우며 또한 외력에 의해 파손되기 쉬운 단점이 있다. 또한, 상기 기관(110)의 두께가 1mm 이상인 경우에는 최근의 슬립화 추세에 있는 각종 표시 장치에 적용하기 곤란한 단점이 있다.

- <144> 도 9b에 도시된 바와 같이 상기 버퍼층 형성 단계에서는 상기 기판(110)의 상면에 일정 두께의 버퍼층(120)을 형성한다. 상기 버퍼층(120)은 수분, 수소 또는 산소등이 상기 기판(110)을 통하여 반도체층(131) 또는 유기 전계 발광 소자(200)등에 침투되지 않도록 하는 역할을 한다. 물론, 이러한 버퍼층(120)은 그 표면에 반도체층(131) 등이 잘 형성되도록 도와주는 역할도 한다. 이러한 버퍼층(120)은 실리콘 산화막, 실리콘 질화막, 무기막 및 그 등가물 중 선택된 적어도 어느 하나를 이용하여 형성할 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 또한, 상기 버퍼층(120)은 기판(110) 및 액티브층(130)의 구조에 따라 생략되는 경우도 있다.
- <145> 도 9c에 도시된 바와 같이 비정질 실리콘 증착 단계에서는 상기 버퍼층(120)의 상면에 일정 두께의 비정질 실리콘(a-si)을 증착한다.
- <146> 예를 들면, 상기 비정질 실리콘(amorphous silicon, a-si)은 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure Chemical Vapor Deposition), 스퍼터링(sputtering) 및 그 등가 방식 중 선택된 적어도 어느 하나의 방법으로 형성할 수 있으며, 여기서 상기 비정질 실리콘(a-si)의 형성 방법을 한정하는 것은 아니다.
- <147> 도 9d에 도시된 바와 같이 결정화 단계에서는 상기 버퍼층(120)의 상면에 증착된 비정질 실리콘(a-si)을 다결정 실리콘(poly-silicon, poly-si)으로 결정화한다.
- <148> 상기 결정화 방법으로는 저온에서 레이저를 이용하여 결정화하는 방법, 금속촉매를 이용하여 결정화하는 방법 및 그 등가 방법중 선택된 어느 하나의 방법일 수 있으나, 본 발명에서 상기 다결정 실리콘의 결정화 방법을 한정하는 것은 아니다. 상기 레이저를 이용하여 결정화하는 방법은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), SPC(Solid Phase Crystallization)등의 방식이 가능하나 이러한 방법으로 본 발명을 한정하는 것은 아니다. 또한, 금속촉매를 이용하여 결정화하는 방법은 MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization), SGS(Super Grained Silicon) 등이 가능하나 이러한 방식으로 본 발명을 한정하는 것은 아니다.
- <149> 도 9e에 도시된 바와 같이 액티브층 형성단계에서는 액티브층(반도체층 및 커패시터의 하부전극)을 형성한다.
- <150> 상기 반도체층(131) 및 커패시터의 하부전극(135)은 결정화된 다결정 실리콘(poly-si)층에서 반도체층(131) 및 커패시터 하부전극(135) 부분을 제외한 부분을 식각함으로써 형성된다. 다만, 상기 식각 방법으로 본 발명을 한정하는 것은 아니다.
- <151> 또한, 상기 반도체층(131)은 채널 영역(134)과, 상기 채널 영역(134)의 양측에 형성된 소스 드레인 영역(132)으로 이루어질 수 있다. 이러한 반도체층(131)은 박막 트랜지스터로 이용될 수 있다. 물론, 상기 박막 트랜지스터는 PMOS, NMOS 및 그 등가 형태중 선택된 적어도 어느 하나일 수 있으나, 본 발명에서 상기 박막 트랜지스터의 도전 형태를 한정하는 것도 아니다.
- <152> 물론, 상기 액티브층 형성단계에서는 커패시터 하부전극(135)을 형성할 수 있다, 상기 커패시터 하부전극(135) 역시 상기 반도체층(131) 형성 방법과 동일한 방법으로 형성될 수 있다.
- <153> 또한, 상기 커패시터 하부전극(135)을 형성할 때, 적색(Red) 화소용 커패시터 하부전극, 녹색(Green) 화소용 커패시터 하부전극 및 청색(Blue) 화소용 커패시터 하부 전극 각각에 상이한 구분 패턴(221)을 형성할 수 있다.
- <154> 상기 구분 패턴(221)은 상술한 바와 같이 적녹청(RGB) 화소를 각각 구별할 수 있게만 하면 그 위치 및 모양에 대해서는 제한이 없다. 또한, 적녹청(RGB) 화소를 각각 구별하여 형성된 마스크를 상기 커패시터의 하부 전극(135)의 식각시에 사용함으로써 상기 구분 패턴(221)은 형성될 수 있다.
- <155> 이에 따라, 상기 커패시터 하부 전극(135)의 모양을 보고 적녹청(RGB) 화소중 화소 영역에 있는 커패시터 하부 전극인지를 쉽게 판단할 수 있게 된다.
- <156> 도 9f에 도시된 바와 같이 게이트 절연막 형성 단계에서는 상기 게이트 절연막(140)을 형성한다. 상기 게이트 절연막(140)은 상기 반도체층(131) 및 커패시터 하부 전극(135)의 상면에 형성될 수 있다. 물론, 이러한 게이트 절연막(140)은 상기 반도체층(131) 및 커패시터 하부전극(135)의 외주연인 버퍼층(120)의 상면에도 형성될 수 있다. 또한, 상기 게이트 절연막(140)은 반도체 공정 중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물 중 선택된 적어도 어느 하나로 형성할 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.
- <157> 도 9g에 도시된 바와 같이 게이트 전극 및 커패시터 상부 전극 형성 단계에서는 상기 게이트 전극(150) 및 커패

시터 상부 전극(155)을 형성할 수 있다. 상기 게이트 전극(150) 및 커패시터 상부전극(155)은 상기 게이트 절연막(140)의 상면에 형성될 수 있다. 좀더 구체적으로, 상기 게이트 전극(150)은 상기 반도체층(131) 중 채널 영역(134)과 대응되는 게이트 절연막(140)의 상면에 형성될 수 있으며, 상기 커패시터 상부 전극(155)은 상기 커패시터 하부 전극(135)과 대응되는 게이트 절연막(140)의 상면에 형성될 수 있다. 주지된 바와 같이 상기 게이트 전극(150)은 상기 게이트 절연막(140)의 하부 채널 영역(134)에 전계를 인가함으로써, 상기 채널 영역(134)에 정공 또는 전자의 채널이 형성되도록 한다.

- <158> 아울러, 상기 커패시터 상부 전극(155)은 상기 커패시터 하부전극(135)과 함께 유기 전계 발광 표시 장치 내에서 용량성 소자인 커패시터로서 기능하게 되며, 한 프레임 동안 데이터 전압을 저장하고, 발광 기간중 상기 데이터 전압에 대응하는 전류를 한 프레임 동안 일정하게 유기 전계 발광 소자에 흐를 수 있도록 한다.
- <159> 또한, 상기 게이트 전극(150) 및 커패시터 상부전극(155)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물 중 선택된 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.
- <160> 또한, 상기 커패시터 상부 전극(155)는 경우에 따라서 유기 전계 발광 소자의 애노드 전극(202)으로 대체되는 경우가 있다. 이러한 경우에는 상기의 커패시터 상부 전극 형성 단계는 생략이 가능하다.
- <161> 도 9h에 도시된 바와 같이 층간 절연막 형성 단계에서는 게이트 전극(150) 및 커패시터 상부전극(155)의 상면에 상기 층간 절연막(160)을 형성할 수 있다. 물론, 이러한 층간 절연막(160)은 상기 게이트 전극(150) 및 상기 커패시터 상부 전극(155)의 외주연인 게이트 절연막(140)의 상면에도 형성될 수 있다. 더불어, 상기 층간 절연막(160)은 폴리머 계열, 플라스틱 계열, 유리 계열 및 그 등가 계열중 선택된 어느 하나로 형성될 수 있으나 여기서 상기 층간 절연막(160)의 재질을 한정하는 것은 아니다.
- <162> 도 9i에 도시된 바와 같이 소스 드레인 전극 형성 단계는 상기 층간 절연막(160) 위에 소스와 드레인의 전극(170)을 형성하는 단계이다. 좀 더 구체적으로, 상기 층간 절연막(160)이 형성된 이후에 컨택(176)이 형성되고, 상기 액티브층(130) 중 소스 드레인 영역(132)과 전기적으로 연결되도록 상기 소스 드레인 전극(170)을 형성한 후 패터닝한다.
- <163> 이 후에는 도 9j에 도시된 바와 같이 상기 층간 절연막(160) 및 소스 드레인 전극(170) 위에 절연막(180)이 형성된다. 상기 절연막은 보호막(182)과 평탄화막(184)으로 이루어질 수 있다. 상기 보호막(182)은 통상의 무기막 및 그 등가물중 선택된 적어도 어느 하나를 증착 또는 코팅하여 형성할 수 있다. 상기 평탄화막(184)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴 및 그 등가물 중 선택된 적어도 어느 하나를 코팅 또는 증착하여 형성할 수 있다.
- <164> 도 9k에 도시된 바와 같이 상기 절연막(180) 위에 애노드 전극(202)이 형성된다. 상기 애노드 전극(202)은 ITO(Indium Tin Oxide), ITO(Indium Tin Oxide)/Ag, ITO(Indium Tin Oxide)/Ag/ITO(IZO:Indium Zinc Oxide) 및 그 등가물 중 선택된 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 애노드(310)의 재질이나 형성 방법을 한정하는 것은 아니다.
- <165> 일례로, 상기 애노드 전극(202)은 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법 중 선택된 어느 하나의 방법을 통해서 상기 절연막(180) 중 평탄화막(184)의 상부에 형성된다. 이후, 포토 레지스트 도포, 노광, 현상, 식각 및 포토 레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 애노드(202)를 형성한다. 물론, 이 때 상기 애노드 전극(202)은 상기 절연막(180)을 관통하는 도전성 비아(208)를 통하여 상기 소스 드레인 전극(170)에 전기적으로 연결된다.
- <166> 상기 애노드 전극(202)에는 상기 구분 패턴(220)이 형성될 수 있다. 상기 구분 패턴(220)은 상기 애노드 전극(202)의 형성시에 적록청(RGB) 화소별로 각각 구별된 패턴을 구비한 마스크를 사용함으로써 가능하다. 이 때, 상기 구분 패턴(220)은 적록청(RGB) 화소별로 구별이 가능한 정도로만 구비되면 되고, 상기 애노드 전극(202) 상에서의 위치나 모양을 제한하는 것은 아니다.
- <167> 그 다음 단계로 도 9l에 도시된 바와 같이 상기 상기 평탄화막(184) 및 애노드 전극(202)의 상부에 화소 정의막(210)이 형성된다.
- <168> 상기 화소 정의막(210)은 통상의 폴리이미드 및 그 등가물 중 선택된 적어도 어느 하나를 코팅하거나 증착하여 형성한다. 물론, 이러한 코팅이나 증착후에는 통상의 포토레지스트 도포, 노광, 현상, 식각 및 포토 레지스트 박리 등의 공정을 통해 상술한 유기 전계 발광 소자(200)가 외부로 노출되도록 한다.

- <169> 마지막으로, 도 9m에 도시된 바와 같이 상기 애노드 전극(202) 상부에 유기 박막(204) 및 캐소드 전극(206)이 순차적으로 형성된다.
- <170> 상기 유기 박막(204)은 주지된 바와 같이 정공의 주입 효율을 향상시키는 전공 주입층(hole injecting layer, HIL), 정공의 이동 속도를 조절하는 정공 수송층(hole transport layer, HTL), 전자와 정공이 만나 여기자(exciton)를 형성하는 발광층(emitting layer, EML), 전자의 주입 효율을 향상시키는 전자 주입층(electron injectinh layer, EIL)을 순차적으로 형성하여 이루어질 수 있으나, 이러한 층 종류로 본 발명을 한정하는 것은 아니다.
- <171> 일례로, 이러한 유기 박막(204)은 용액 상태로 도포하는 스핀 코팅, 딥 코팅, 스프레이법, 스크린 인쇄법, 잉크젯 프린팅법 등의 습식 코팅 방법으로 형성하거나, 또는 스퍼터링, 진공 증착 등의 건식 코팅 방법으로 형성할 수 있다.
- <172> 더불어, 인광형 유기 전계 발광 소자의 경우에는 정공 억제층(hole blocking layer, HBL)이 발광층(EML)과 전자 수송층(ETL) 사이에 선택적으로 형성될 수도 있으며, 전자 억제층(electron blocking layer, EBL)이 발광층(EML)과 정공 수송층(ETL) 사이에 선택적으로 형성될 수 있다.
- <173> 상기 캐소드 전극(206)은 상기 유기 박막(204)의 상부에 형성된다. 이러한 캐소드 전극(206)은 Al, MgAg 합금, MgCa 합금 및 그 등가물 중 선택된 적어도 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 캐소드 전극(206)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 캐소드 전극(206)은 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법 중 선택된 어느 하나의 방법으로 형성될 수 있다. 이후, 포토 레지스트 도포, 노광, 현상, 식각 및 포토 레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 캐소드 전극(206)을 형성할 수 있다.
- <174> 여기에서 본 발명은 기관(110)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기관(110)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(110)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.

발명의 효과

- <175> 상술한 바와 같이, 본 발명에 따른 유기 전계 발광 표시 장치 및 그 제조 방법은 커패시터의 하부 전극 또는 애노드 전극에 적록청(RGB) 화소별로 구별되는 구분 패턴을 형성함으로써, 유기 전계 발광 표시 장치의 제조 공정의 불량 원인 분석시 불량 화소와 불량 원인을 신속하고 정확하게 판단할 수 있게 하는 효과가 있다.

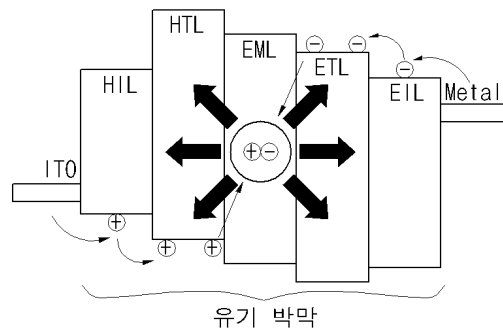
도면의 간단한 설명

- <1> 도 1은 일반적인 유기 전계 발광 표시 소자의 구성을 도시한 개략도이다.
- <2> 도 2는 본 발명에 따른 유기 전계 발광 표시 장치의 단면도이다.
- <3> 도 3은 본 일반적인 유기 전계 발광 표시 장치를 나타내는 화소 회로를 도시한 것이다.
- <4> 도 4는 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치의 평면도이다.
- <5> 도 5a 내지 도 5e는 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치의 애노드 전극 사진 및 애노드 전극의 구분 패턴을 도시한 것이다.
- <6> 도 6a 내지 도 6d는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치의 커패시터 하부 전극 사진 및 커패시터 하부 전극의 구분 패턴을 도시한 것이다.
- <7> 도 7a 내지 도 7d는 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치에서 녹색 점등검사 공정시 발견된 불량 화소의 발생 원인을 분석하는 사진이다.
- <8> 도 8a 내지 도 8c는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치에서 적색 점등검사 공정시 발견된 불량 화소의 발생 원인을 분석하는 사진이다.
- <9> 도 9a 내지 도 9m은 본 발명의 실시예에 따른 유기 전계 발광 표시 장치를 제조 공정 순서에 맞게 도시한 적층 순서도이다.
- <10> <도면의 주요 부분에 대한 부호의 설명>

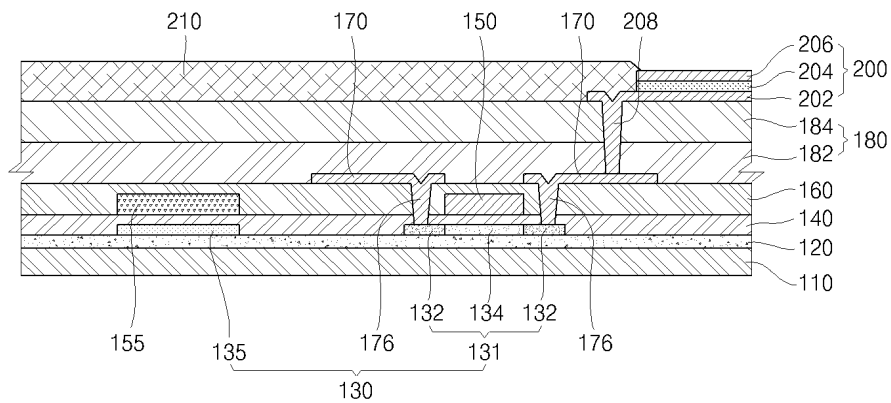
- <11> 1000, 2000; 본 발명의 실시예
- <12> 110; 기판 120; 버퍼층
- <13> 130; 액티브층 131; 반도체층
- <14> 132; 소스 드레인 영역 134; 채널 영역
- <15> 135; 커패시터 하부 전극 140; 게이트 절연막
- <16> 150; 게이트 전극 155; 커패시터 상부 전극
- <17> 160; 층간 절연막 170; 소스 드레인 전극
- <18> 180; 절연막 200; 유기 전계 발광 소자
- <19> 202; 애노드 전극 220; 구분 패턴(애노드 전극)
- <20> 221; 구분 패턴(커패시터 하부 전극)

도면

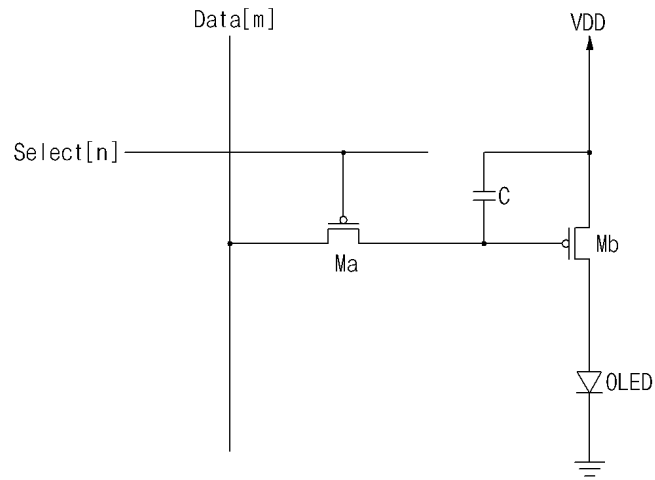
도면1



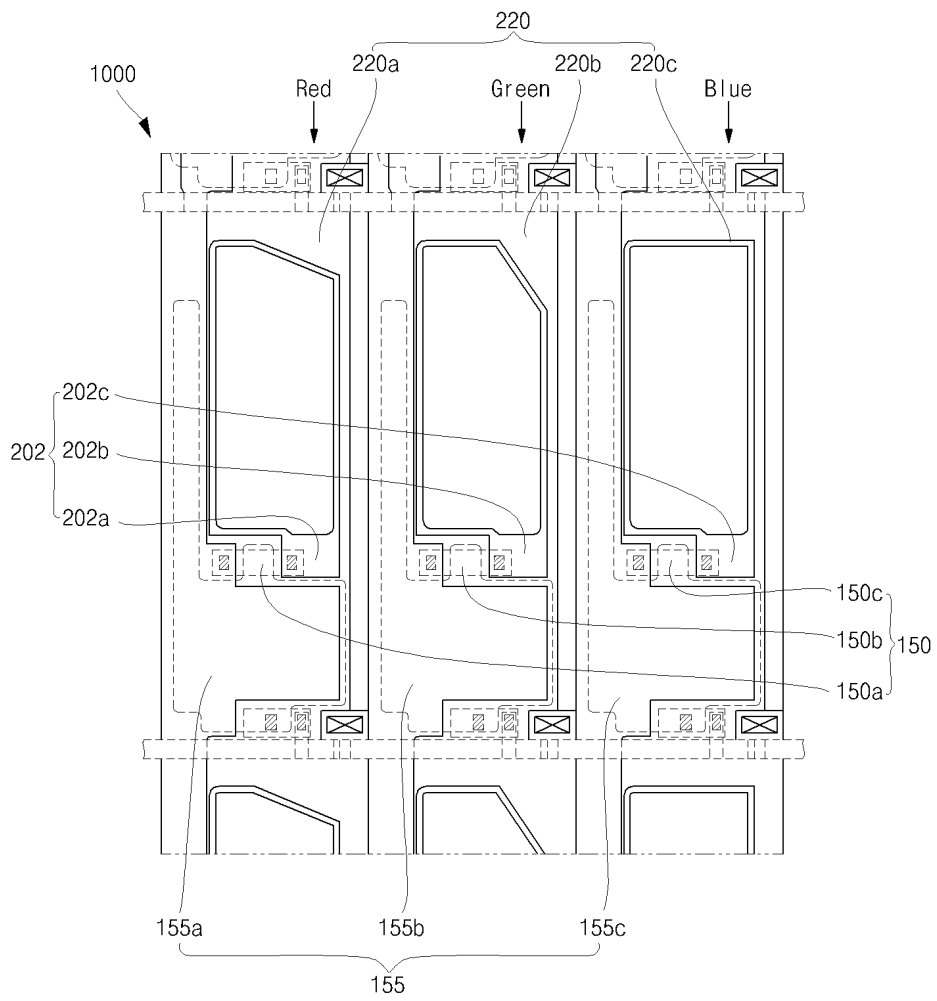
도면2



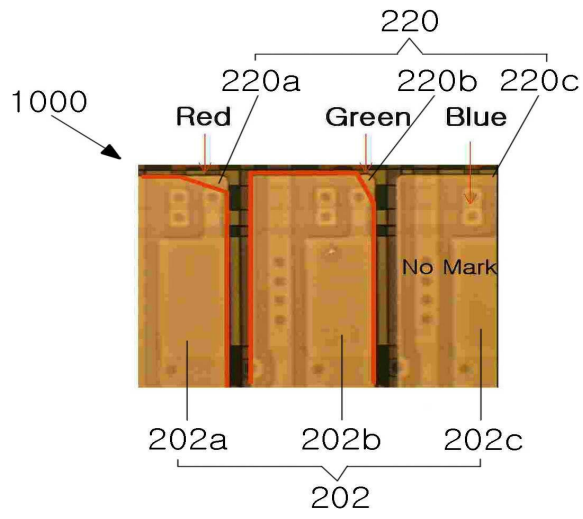
도면3



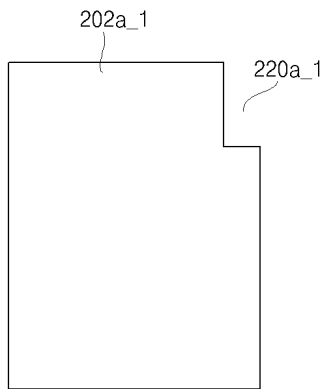
도면4



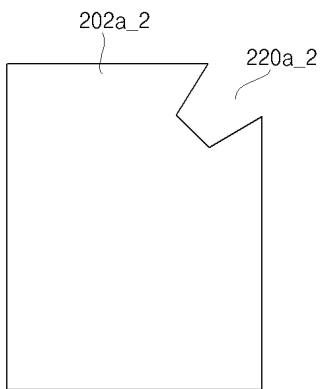
도면5a



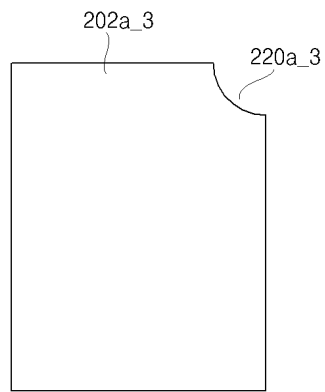
도면5b



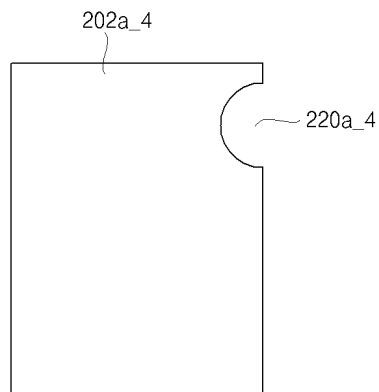
도면5c



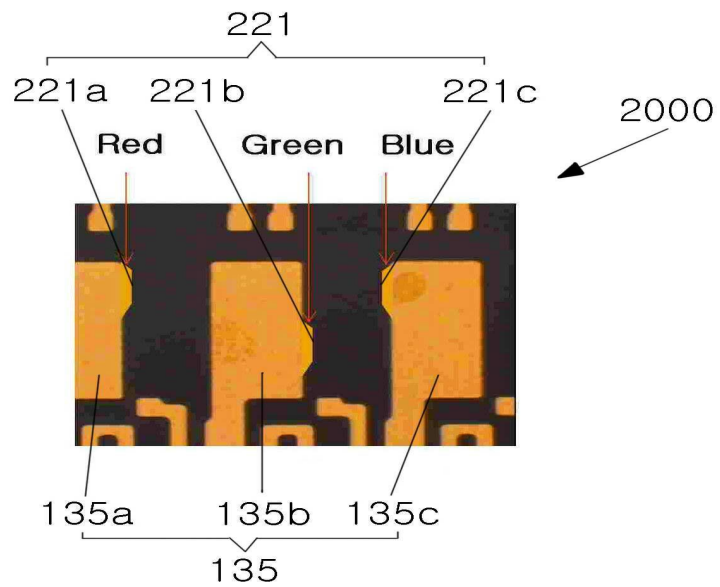
도면5d



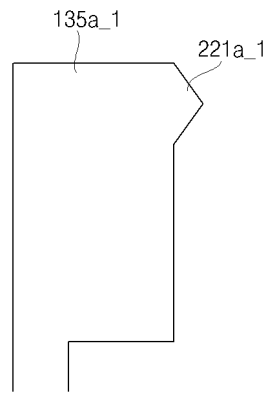
도면5e



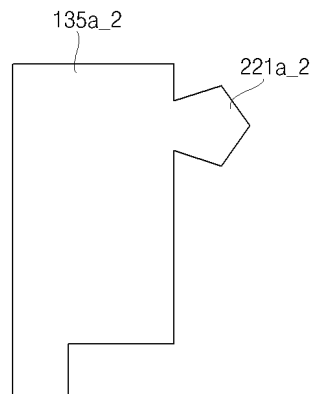
도면6a



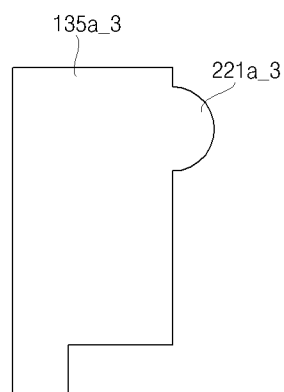
도면6b



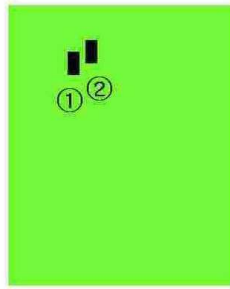
도면6c



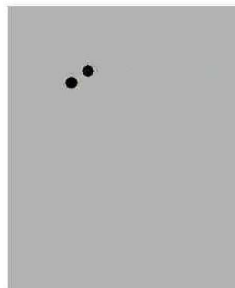
도면6d



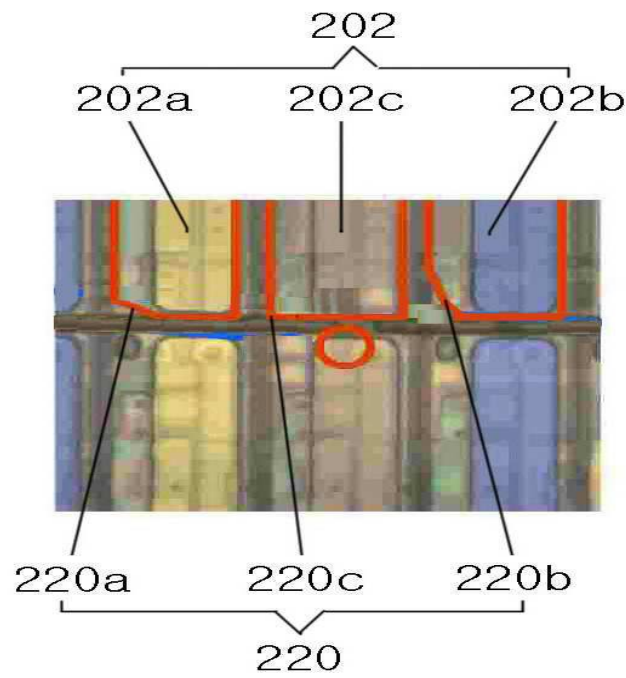
도면7a



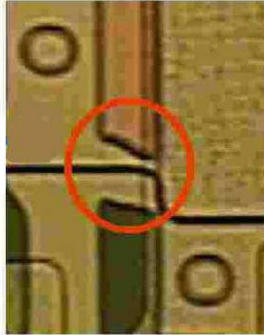
도면7b



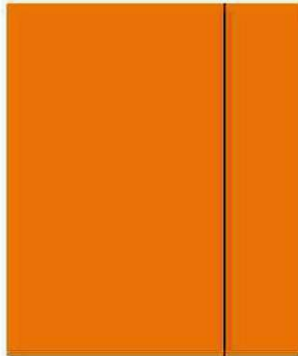
도면7c



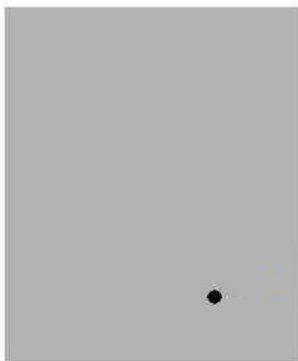
도면7d



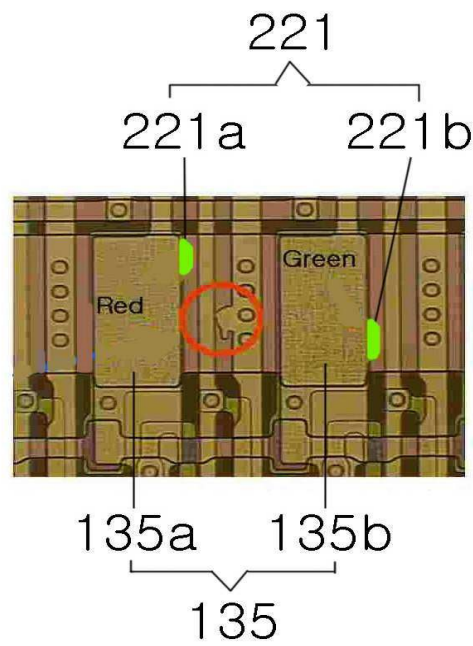
도면8a



도면8b



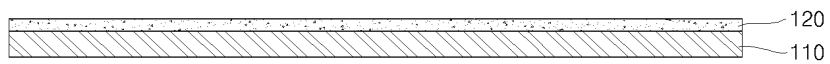
도면8c



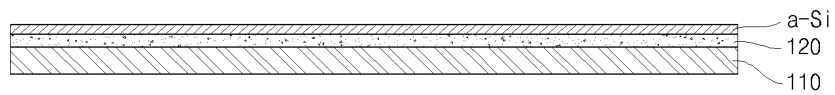
도면9a



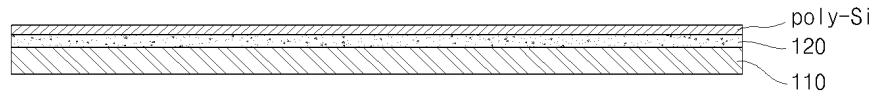
도면9b



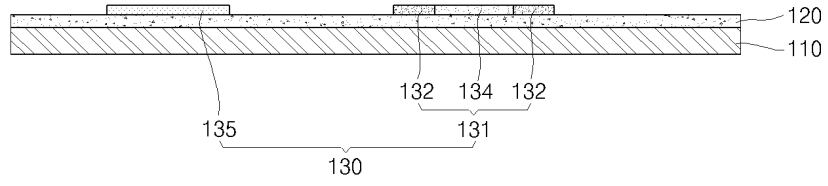
도면9c



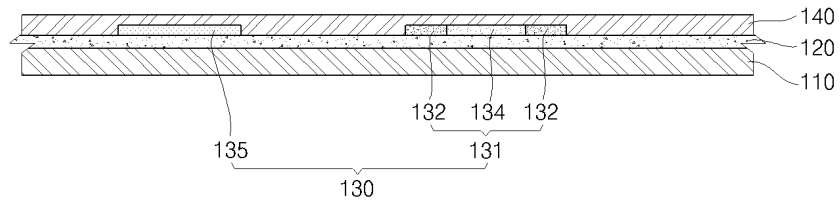
도면9d



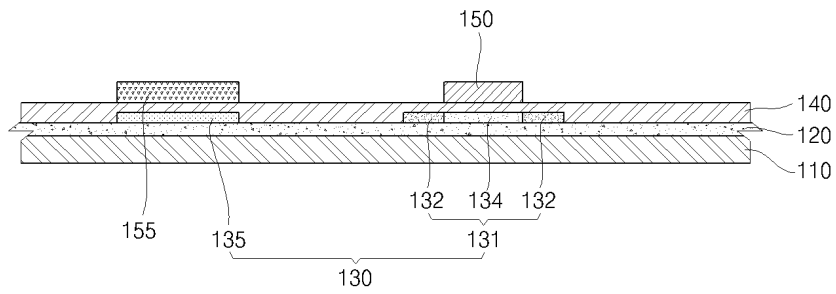
도면9e



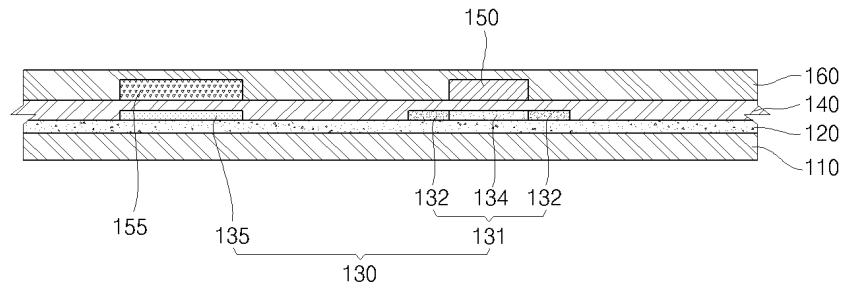
도면9f



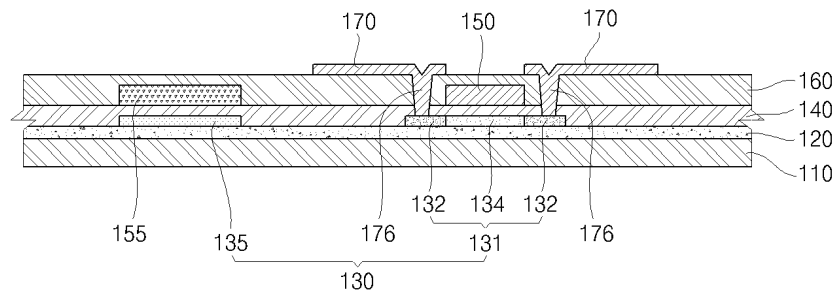
도면9g



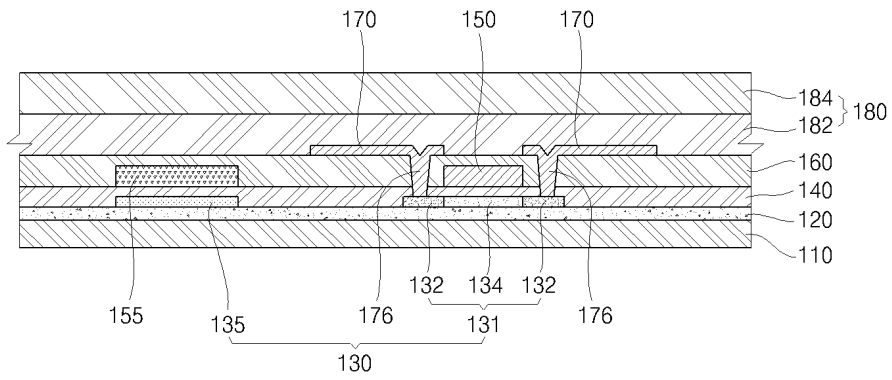
도면9h



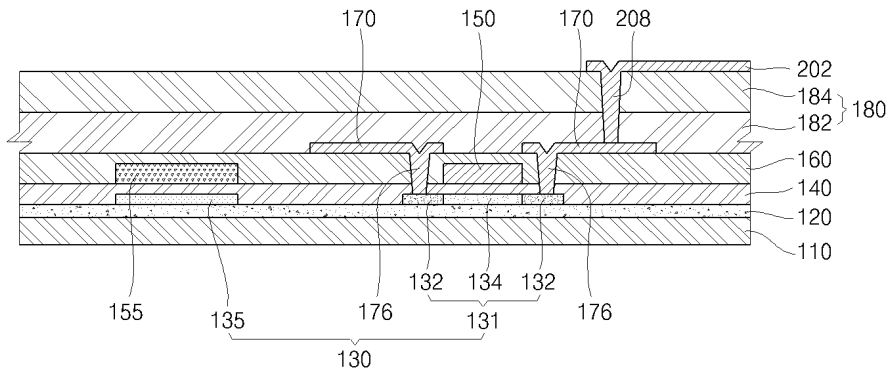
도면9i



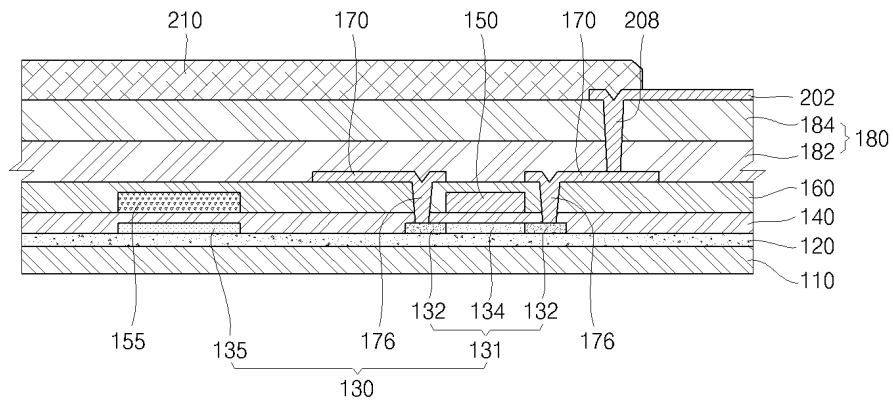
도면9j



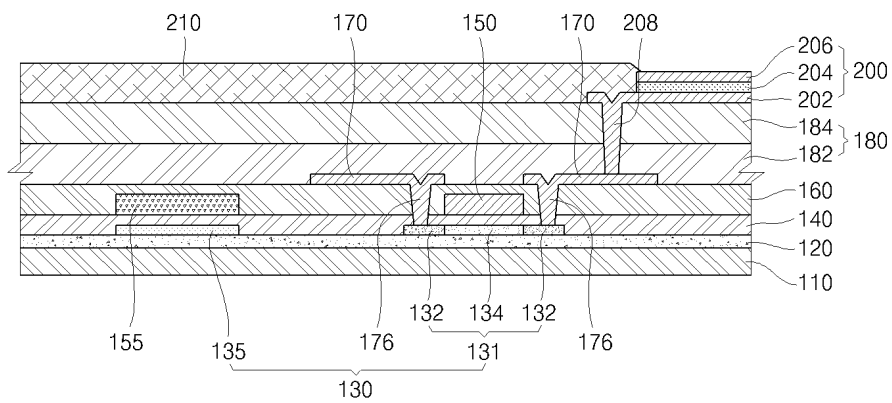
도면9k



도면9l



도면9m



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100846985B1	公开(公告)日	2008-07-17
申请号	KR1020070034286	申请日	2007-04-06
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM JONG YUN		
发明人	KIM, JONG YUN		
IPC分类号	H05B33/22		
CPC分类号	H01L27/3211		
外部链接	Espacenet		

摘要(译)

有机发光显示器及其制造方法技术领域本发明涉及有机发光显示器及其制造方法，更具体地，涉及有机发光显示器和制造有机发光显示器的方法。有机发光显示器包括下电极和阳极，在分析有机电致发光显示装置的制造过程中的缺陷原因时，它是能够判断的。形成在对应于有源层的栅极绝缘膜上的栅电极；形成在栅电极上的层间绝缘膜；以及形成在栅电极上的层间绝缘膜，形成在层间绝缘膜中并与有源层电连接的源电极，漏电极，以及形成在所述源 - 漏电极的绝缘膜，形成在所述有源层或所述有机EL器件的绝缘膜，不断青色 (RGB)，包括有机发光器件，其中所述源电极和漏电极电连接到有机发光显示装置包括：它公开。

