

청구항 1.

투명기관;

상기 투명기관 상에 형성되는 버퍼층;

상기 버퍼층 상에 형성되며, 적어도 하나의 박막트랜지스터의 채널영역이 형성되는 반도체층;

상기 반도체층의 상부에 형성되는 제 1 절연막;

상기 제 1 절연막 상부와 상기 버퍼층 상에 형성되며 적어도 하나의 게이트 전극과 적어도 하나의 캐패시터의 제 1 전극으로 형성되며, 상기 게이트 전극은 상기 제 1 절연막의 상부에 형성되는 상기 제 1 금속층;

상기 제 1 금속층과 상기 제 2 절연막의 상부에 형성되며, 상부가 평탄화되도록 구성되는 제 2 절연막; 및

상기 제 2 절연막을 통해 상기 반도체층과 접촉하여 상기 적어도 하나의 박막트랜지스터의 소스드레인 전극과 상기 적어도 하나의 캐패시터의 제 2 전극으로 형성되는 제 2 금속층을 포함하는 유기발광표시장치.

청구항 2.

투명기관;

상기 투명기관 상에 형성되는 버퍼층;

상기 버퍼층 상에 형성되며, 적어도 하나의 박막트랜지스터의 채널영역이 형성되는 반도체층;

상기 반도체층의 상부에 형성되는 제 1 절연막;

상기 제 1 절연막 상부와 상기 버퍼층 상에 형성되며 적어도 하나의 게이트 전극과 적어도 하나의 캐패시터의 제 1 전극으로 형성되며, 상기 게이트 전극은 상기 제 1 절연막의 상부에 형성되는 상기 제 1 금속층;

상기 제 1 금속층과 상기 제 2 절연막의 상부에 형성되며, 상부가 평탄화되도록 구성되는 제 2 절연막;

상기 제 2 절연막의 상부에 형성되며, 상기 제 1 금속층 중 상기 캐패시터의 제 1 전극의 상부에 형성되는 제 3 절연막; 및

상기 제 2 절연막을 통해 상기 반도체층과 접촉하여 상기 적어도 하나의 박막트랜지스터의 소스드레인 전극과 상기 적어도 하나의 캐패시터의 제 2 전극으로 형성되는 제 2 금속층을 포함하는 유기발광표시장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 금속층을 통해 주사신호가 전달되고, 상기 제 2 금속층을 통해 데이터신호 또는 화소전원이 전달되는 유기발광표시장치.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 금속층은 폴리브덴 혹은 폴리브덴 합금으로 구성되는 유기발광표시장치.

청구항 5.

제 1 항 또는 제 2 항에 있어서,

상기 제 2 금속층은 타이타늄/알루미늄/타이타늄의 조합으로 구성되는 유기발광표시장치.

청구항 6.

버퍼층이 형성된 투명기판 상에 섬 형태의 반도체층을 형성하는 단계;

상기 반도체층의 상부에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막의 상부와 상기 버퍼층의 상부에 소정의 형태로 제 1 금속층을 형성하는 단계;

상기 제 1 금속층이 형성된 상기 제 1 절연막의 상부에 제 2 절연막을 형성하고 그 상부를 평탄화하는 단계; 및

상기 제 2 절연막의 소정의 영역에 컨택홀을 형성하며 상기 컨택홀을 통해 제 2 금속층이 상기 반도체층과 접촉하도록 하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 7.

버퍼층이 형성된 투명기판 상에 섬 형태의 반도체층을 형성하는 단계;

상기 반도체층의 상부에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막의 상부와 상기 버퍼층의 상부에 소정의 형태로 제 1 금속층을 형성하는 단계;

상기 제 1 금속층이 형성된 상기 제 1 절연막의 상부에 제 2 절연막을 형성하는 단계;

상기 제 1 금속층이 형성되는 상기 제 1 절연막의 상부에 제 2 절연막을 형성하는 단계;

상기 제 1 절연막의 상부 중 상기 버퍼층에 형성되어 있는 제 1 금속층의 상부에 제 3 절연막을 형성하는 단계; 및

상기 제 2 절연막의 소정의 영역에 컨택홀을 형성하며 상기 컨택홀을 통해 제 2 금속층이 상기 반도체층과 접촉하도록 하는 단계를 포함하는 유기발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기발광표시장치에 관한 것으로, 더욱 상세히 설명하면, 애노드 전극의 전류밀도의 불균일을 줄여 색불균일을 방지하도록 하는 화소 및 유기발광표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 발광 소자(Organic Light emitting Device: 이하 OLED 라 한다)를 이용한 유기 발광 표시장치 등이 있다.

평판표시장치 중 유기발광소자는 전자와 정공의 재결합으로 형광물질을 발광시키는 자발광소자로서, 액정 표시장치와 같이 별도의 광원을 필요로 하는 발광소자에 비하여 음극선관과 같은 빠른 응답속도를 가지는 장점을 갖고 있다.

유기발광소자의 애노드 전극은 화소회로에 접속되고 캐소드 전극은 제 2 전압전원 (VSS)에 접속된다. 그리고 유기발광소자는 애노드 전극과 캐소드 전극 사이에 형성된 발광층(Emitting Layer : EML), 전자 수송층(Electron Transport Layer : ETL) 및 정공 수송층(Hole Transport Layer : HTL)을 포함한다. 또한, OLED는 전자 주입층 (Electron Injection Layer : EIL)과 정공 주입층(Hole Injection Layer : HIL)을 추가적으로 포함할 수 있다.

이러한, 유기발광소자에서 애노드 전극과 캐소드 전극 사이에 전압을 인가하면 캐소드 전극으로부터 발생된 전자는 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 애노드 전극으로부터 발생된 정공은 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다.

이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 충돌하여 재결합함에 의해 빛이 발생하게 된다.

도 1은 일반적인 유기발광표시장치의 화소의 구조를 나타내는 레이아웃도이고, 도 2는 도 1에 도시된 유기발광표시장치 II-II의 단면을 나타내는 단면도이다. 도 1 및 도 2를 참조하여 설명하면, 투명기관(100) 상에 버퍼층(102)을 형성하고 그 상부에 반도체층(104)을 형성한다. 반도체층(104)은 섬 형태로 구성된다. 그리고, 그 상부에 제 1 절연막(106)을 형성한 후 게이트전극(108)과 캐패시터의 제 1 전극(109a)과 주사선(109b)으로 사용되는 제 1 금속층을 형성한다. 제 1 금속층을 형성한 후 이온도핑 공정을 수행하며 그 상부에 제 2 절연막(110)을 형성한다. 그리고, 제 2 절연막(110)의 상부에 콘택홀을 형성하고 제 2 금속층(112)을 형성하여 소스, 드레인 전극을 형성한다. 소스, 드레인 전극이 형성될 때 데이터선(112(D))과 화소전원선(112(VDD))도 제 2 금속층(112)에 의해 형성되며, 데이터선과 화소전원선은 주사선과 교차하는 형태로 배열된다.

그리고, 그 상부에 제 3 절연막(114)을 형성한 후 콘택홀을 형성한 후 애노드 전극(118)을 형성하여 애노드 전극이 소스전극과 연결되도록 한다. 그리고, 그 상부에 PDL(Pixel Definition Layer:120)를 형성한 후 발광소자(122,124)를 형성한다.

상기와 같이 구성되는 유기발광표시장치에서 데이터선 또는 화소전원선은 주사선과 교차하게 되어 교차한 영역에 기생캐패시터가 형성되게 된다.

주사선과 데이터선 또는 화소전원선에 의해 발생된 기생캐패시터에 의해 주사신호와 데이터신호는 기생캐패시터에 충전되는 시간을 필요로 하게 된다. 즉, 기생캐패시터에 전류가 충전된 후에 주사신호와 데이터신호가 정확한 크기로 전달되게 되어 데이터신호 또는 주사신호가 기생캐패시터에 의해 지연되는 문제점이 있다. 또한 기생캐패시터에 의해 전류가 충전되게 되어 전류소모량이 크게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 기생캐패시터의 크기를 줄여 소비전력을 감소시키고 신호의 지연을 방지하도록 하는 유기발광표시장치 및 그의 제조방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 투명기관, 상기 투명기관 상에 형성되는 버퍼층, 상기 버퍼층 상에 형성되며, 적어도 하나의 박막트랜지스터의 채널영역이 형성되는 반도체층, 상기 반도체층의 상부에 형성되는 제 1 절연막, 상기 제 1 절연막 상부와 상기 버퍼층 상에 형성되며 적어도 하나의 게이트 전극과 적어도 하나의 캐패시터의 제 1 전극으로 형성되며, 상기 게이트 전극은 상기 제 1 절연막의 상부에 형성되는 상기 제 1 금속층 상기 제 1 금속층과 상기 제 2 절

연막의 상부에 형성되며, 상부가 평탄화되도록 구성되는 제 2 절연막 및 상기 제 2 절연막을 통해 상기 반도체층과 접촉하여 상기 적어도 하나의 박막트랜지스터의 소스드레인 전극과 상기 적어도 하나의 캐패시터의 제 2 전극으로 형성되는 제 2 금속층을 포함하는 유기발광표시장치를 제공하는 것이다.

본 발명의 제 2 측면은, 버퍼층이 형성된 투명기판 상에 섬 형태의 반도체층을 형성하는 단계, 상기 반도체층의 상부에 제 1 절연막을 형성하는 단계, 상기 제 1 절연막의 상부와 상기 버퍼층의 상부에 소정의 형태로 제 1 금속층을 형성하는 단계 및 상기 제 1 금속층이 형성된 상기 제 1 절연막의 상부에 제 2 절연막을 형성하고, 소정의 영역에 콘택홀을 형성하여 제 2 금속층을 형성하여 상기 제 2 금속층이 상기 콘택홀을 통해 상기 반도체층과 접촉하도록 하는 단계를 포함하는 유기발광표시장치의 제조방법을 제공하는 것이다.

이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.

도 3은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다. 도 3을 참조하여 설명하면, 유기전계발광표시장치는 화소부(10), 데이터구동부(20), 주사구동부(30) 및 전원공급부(40)를 포함한다.

화소부(10)는 화상을 표시하는 수단으로, 복수의 주사선(S1,S2,...,Sn-1,Sn)과 복수의 데이터선(D1,D2...Dm-1,Dm) 및 복수의 화소전원선(VDD)이 배열되며 복수의 주사선(S1,S2,...,Sn-1,Sn), 복수의 데이터선(D1,D2...Dm-1,Dm) 및 복수의 화소전원선에 의해 정의되는 영역에 화소(11)가 형성되며, 주사선(S1,S2,...,Sn-1,Sn)과 데이터선(D1,D2...Dm-1,Dm)에 인가되는 주사신호와 데이터신호에 대응하여 화소전원선(VDD)을 통해 전원을 공급받아 발광하는 복수의 화소(11)로 이루어진다. 그리고, 각 화소(11)는 발광소자와 발광소자를 구동하는 구동회로를 포함한다.

그리고, 화소부(10)에서 복수의 데이터선(D1,D2...Dm-1,Dm), 복수의 주사선(S1,S2,...,Sn-1,Sn) 및 복수의 화소전원선(VDD)은 서로 교차되어 형성되며, 이에 따라 복수의 데이터선(D1,D2...Dm-1,Dm) 및 복수의 화소전원선(VDD)과 복수의 주사선(S1,S2,...,Sn-1,Sn) 사이에 용량성부하(기생캐패시터)가 형성된다. 용량성부하의 크기가 크면 신호 지연, 전력소모 등의 문제점이 발생하므로, 용량성부하의 크기를 작게 하기 위해 복수의 데이터선(D1,D2...Dm-1,Dm) 및 화소전원선(VDD)과 복수의 주사선(S1,S2,...,Sn-1,Sn)이 교차하는 부분에서 복수의 데이터선(D1,D2...Dm-1,Dm) 및 화소전원선(VDD)과 복수의 주사선(S1,S2,...,Sn-1,Sn)폭을 작게 한다.

데이터구동부(20)는 화소부(10)의 데이터선(D1,D2...Dm-1,Dm)과 연결되어 데이터 신호를 화소에 인가하는 수단으로, 주사선(S1,S2,...,Sn-1,Sn)에 의해 선택되어진 복수의 화소(11)에 데이터 신호를 인가한다.

주사구동부(30)는 화소부(10)의 특정한 행을 선택하도록 하는 선택신호를 발생하여 화소부(10)의 주사선(S1,S2,...,Sn-1,Sn)에 전달하는 수단이다.

전원공급부(40)는 화소전원선(VDD)과 연결되어 화소(11)에 화소전원을 공급하며 화소전원보다 낮은 전압인 제 2 전원(VSS)을 전달한다. 또한, 데이터구동부(20)와 주사구동부(30)의 구동전압을 생성하여 전달한다.

도 4a 내지 도 4e는 도 3에 도시된 유기발광표시장치의 화소부의 제 1 실시예의 제조과정을 나타내는 도이다. 도 4a 내지 도 4e를 참조하여 설명하면, 먼저, 투명기판(200) 상에 버퍼층(202)을 형성하고 그 상부에 반도체층(204)을 형성한다. 반도체층(204)은 섬 형태로 구성된다.(도 4a) 그리고, 그 상부에 제 1 절연막(206)을 형성한 후 제 1 절연막(206)을 식각하여 반도체층(204) 상과 소정의 영역에만 제 1 절연막(206)이 남아 있도록 한다.(도 4b) 그리고, 게이트전극(208)과 주사선과 캐패시터의 제 1 전극으로 사용되는 제 1 금속층(209a,209b)을 형성한다. 이때, 주사선(209b)으로 사용되는 제 1 금속층은 버퍼층(202) 상에 형성되게 된다.(도 4c) 그리고, 제 1 금속층을 형성한 후 이온도핑 공정을 수행하며 그 상부에 제 2 절연막(210)을 형성하고 제 2 절연막(210)의 상부를 평탄화하여 제 2 절연막(210)의 상부 중 주사선이 형성되어 있는 부분의 제 2 절연막(210)의 두께가 제 1 절연막(206)이 형성된 부분의 상부에 형성되어 있는 제 2 절연막(210)의 두께보다 더 두꺼워지게 된다. 그리고, 제 2 절연막(210)의 상부에 콘택홀을 형성하고 제 2 금속층(212)을 형성하여 소스, 드레인 전극을 형성한다. 소스, 드레인 전극이 형성될 때 데이터선(212(D))과 화소전원선(212(VDD))도 제 2 금속층(212)에 의해 형성된다.(도 4d) 도 2에 도시된 것과 달리 주사선이 버퍼층 상에 형성되어 주사선과 화소전원선 간의 간격이 커지게 된다. 이때, 캐패시터의 용량은 하기의 수학적 식 1에 의해 결정된다.

수학적 식 1

$$Q = \epsilon \frac{A}{d}$$

여기서, Q는 캐패시터의 용량, ϵ 은 유전계수, A는 캐패시터의 전극의 면적, d는 캐패시터의 전극간의 거리를 나타낸다.

상기의 수학적 식 1에 의하면, 캐패시터의 용량은 전극의 면적과 비례하고 전극의 간격과 반비례를 하게 된다. 따라서, 캐패시터의 전극간의 거리가 커지게 되어 캐패시터의 용량이 작아지게 된다. 따라서, 캐패시터에 충전되는 전류량과 충전에 필요한 시간이 줄어들게 된다.

그리고, 그 상부에 제 4 절연막(214)을 형성한 후 콘택홀을 형성한 후 애노드 전극을 형성하여 애노드 전극이 소스전극과 연결되도록 한다. 그리고, 그 상부에 PDL(Pixel Definition Layer:220)를 형성한 후 발광소자를 형성한다.(도 4e)

따라서, 도 2와 비교해보면 주사선이 버퍼층 상부에 형성되고, 제 2 절연막(210)의 두께가 더 두꺼워진 상태에서 제 2 절연막(210)의 상부에 화소전원선(212(VDD))이 형성되어 제 2 절연막(210)에 의해 주사선과 데이터선 또는 화소전원선 간에 생기는 기생캐패시터의 크기는 주사선과 데이터선 또는 화소전원선 간의 거리가 커져 상기의 수학적 식 1에 따라 기생캐패시터의 용량이 작아지게 된다.

도 5a 내지 도 5e는 도 3에 도시된 유기발광표시장치의 화소부의 제 2 실시예의 제조과정을 나타내는 도이다. 도 5a 내지 도 5e를 참조하여 설명하면, 도 5a 내지 도 5c는 도 4a 내지 도 4c와 동일한 과정을 통해 형성되어 그 설명은 생략한다.

그리고, 제 1 금속층을 형성한 후 이온도핑 공정을 수행하며 그 상부에 제 2 절연막(310a)을 형성한다. 그리고, 화소전원선(312(VDD))이 형성되어 있는 소정의 영역에 제 3 절연막(310b)을 형성한다. 그리고, 제 2 절연막(310a)과 제 3 절연막(310b)의 상부에 콘택홀을 형성하고 제 2 금속층(312)을 형성하여 소스, 드레인 전극을 형성한다. 소스, 드레인 전극이 형성될 때 데이터선(312(D))과 화소전원선(312(VDD))도 제 2 금속층(312)에 의해 형성된다.(도 5d) 이때, 제 3 절연막(310b)가 형성되어 있는 영역에서 화소전원선(312(VDD))과 주사선(309b)이 교차하게 된다. 따라서, 화소전원선(312(VDD))과 주사선(309b) 사이의 간격이 커지게 되어 상기의 수학적 식 1에 의해 화소전원선(312(VDD))과 주사선(309b)에 형성되는 기생캐패시터의 용량은 작아지게 된다. 이와 마찬가지로, 도 5d에는 도시되어 있지 않지만, 데이터선(310(D))과 주사선(309)이 교차되는 영역 역시 제 2 절연막(310a)과 제 3 절연막(310b)이 형성되어 데이터선과 주사선의 간격이 넓어지게 되어 데이터선과 주사선에 의해 형성되는 기생캐패시터의 용량이 작아지게 된다.

따라서, 주사신호와 데이터신호는 주사선(Sn)과 데이터선(Dm-1, Dm)에 의해 형성되는 용량성부하에 영향을 적게 받게 된다.

발명의 효과

본 발명에 따른 유기발광표시장치 및 그의 제조방법에 의하면, 화소부에 형성되는 기생캐패시터의 용량이 작아지게 되어 기생캐패시터에 충전되는 전류량이 감소되어 소비전력이 감소하며 기생캐패시터에 주사신호 또는 데이터신호가 전달되는 시간을 줄여 신호가 지연되는 것을 방지한다.

본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어져야 한다.

도면의 간단한 설명

도 1은 일반적인 유기발광표시장치의 화소의 구조를 나타내는 레이아웃도이다.

도 2는 도 1에 도시된 유기발광표시장치 II-II의 단면을 나타내는 단면도이다.

도 3은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다.

도 4a 내지 도 4e는 도 3에 도시된 유기발광표시장치의 화소부의 제 1 실시예의 제조과정을 나타내는 도이다.

도 5a 내지 도 5e는 도 3에 도시된 유기발광표시장치의 화소부의 제 2 실시예의 제조과정을 나타내는 도이다.

도면의 주요부분에 대한 부호설명

10: 화소부 20: 데이터구동부

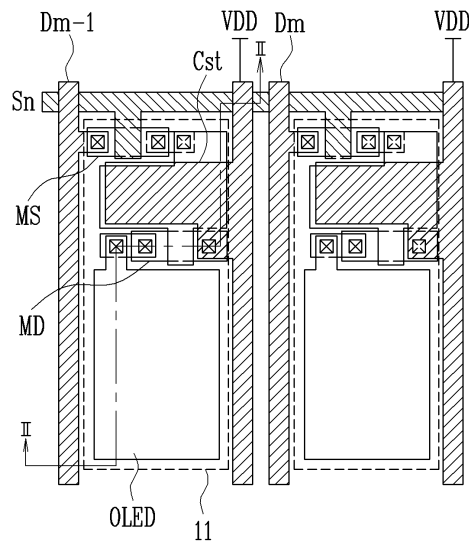
30: 주사구동부 40: 전원공급부

Sn: 주사선 Dm-1, Dm: 데이터선

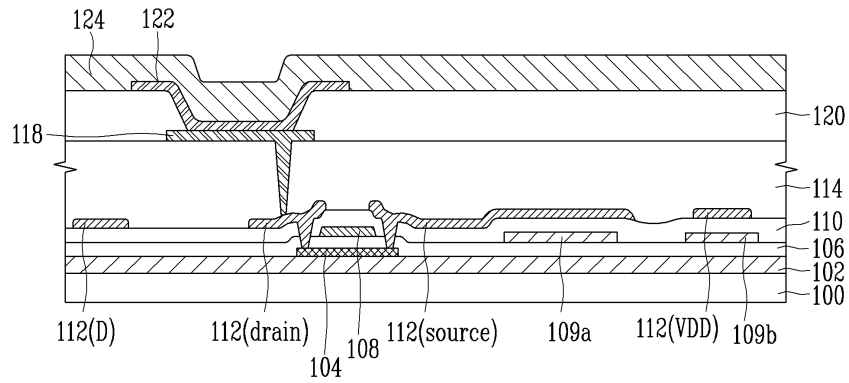
VDD: 화소전원선

도면

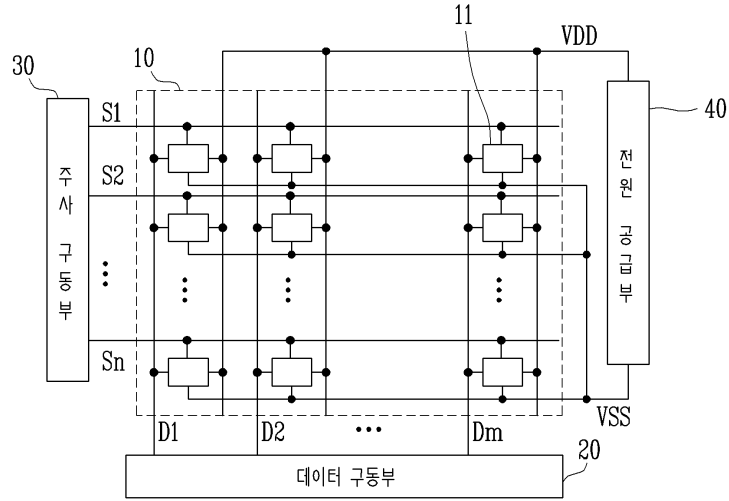
도면1



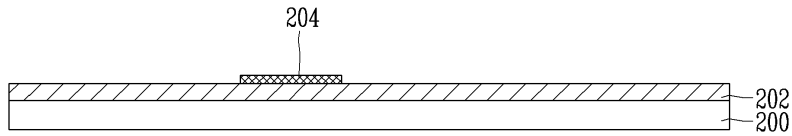
도면2



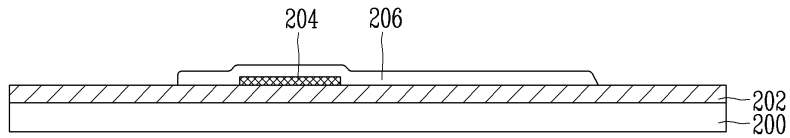
도면3



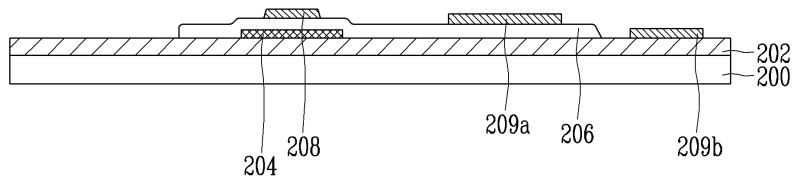
도면4a



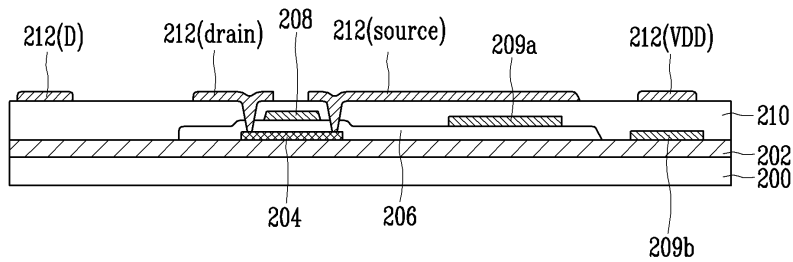
도면4b



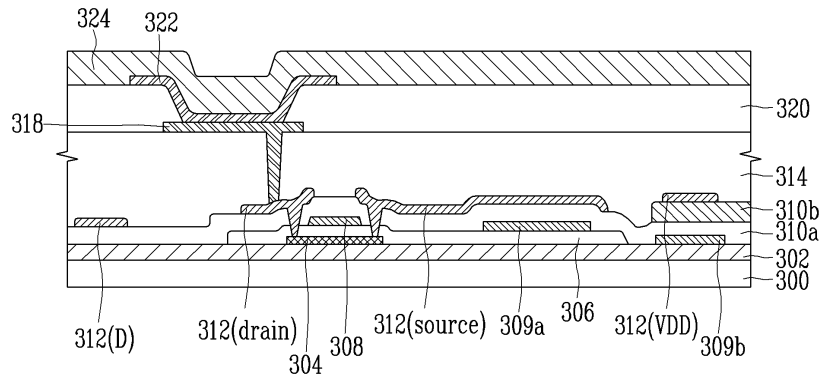
도면4c



도면4d



도면5e



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100748310B1	公开(公告)日	2007-08-09
申请号	KR1020060016425	申请日	2006-02-20
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YOUNG JONG PARK 박영중		
发明人	박영중		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	G09G2300/0842 H01L27/3262 H01L27/3265 H01L51/5203 H01L51/56		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

能够防止信号延迟的有机发光显示装置本发明的目的是减小寄生电容器的尺寸并降低功耗，并提供其制造方法。本发明提供一种有机发光显示装置，包括：第二金属层，形成在形成于透明基板上的缓冲层上；透明基板；以及缓冲层，其形成有至少一个电容器的第一电极，在半导体层上形成至少一个栅电极，其中至少一个薄膜晶体管的沟道区形成在上述半导体层的上部形成的第一绝缘层，以及介电层的第一顶部和缓冲层和栅电极形成在第一金属层第一金属层的上部 and 形成在第一绝缘层的上部的第二绝缘层中，并且形成成为穿过第二绝缘层和第二绝缘层，其中上层该部分被配置成与上述半导体层接触平面化为至少一个的源极和漏极薄膜晶体管 and 至少一个电容器的第二电极。

