



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

H05B 33/26 (2006.01)

H05B 33/10 (2006.01)

(45) 공고일자

2007년07월12일

(11) 등록번호

10-0738233

(24) 등록일자

2007년07월05일

(21) 출원번호 10-2006-0029228

(65) 공개번호

(22) 출원일자 2006년03월30일

(43) 공개일자

심사청구일자 2006년03월30일

(73) 특허권자

엘지전자 주식회사  
서울특별시 영등포구 여의도동 20번지

(72) 발명자

김홍규  
경기도 의왕시 왕곡동 신안포은아파트 103동 902호김성중  
서울 관악구 봉천2동 동부센트레빌아파트 106동 904호

(74) 대리인

이수웅

(56) 선행기술조사문현

JP2005031645 A

KR1020050023831 A

KR1020050098596 A

KR1020060053228 A

심사관 : 안준형

전체 청구항 수 : 총 29 항

**(54) 전계발광표시장치 및 그 제조방법****(57) 요약**

본 발명은, 스캔 드라이버, 데이터 드라이버 및 전압공급부를 포함하는 구동부와, 매트릭스 형태로 배치되고 구동부로부터 인가되는 신호들을 전달하는 데이터 라인들, 스캔 라인들 및 전압 라인들을 포함하는 신호선들, 신호선들에 의해 한정되는 단위 화소 영역들에 위치하는 제 1 전극들, 제 1 전극들과 대항되도록 위치하고 스캔 라인들과 전기적으로 연결되며 하나 이상의 단위 화소 영역들에 대응되도록 패터닝된 제 2 전극들 및 제 1 전극들과 제 2 전극들 사이에 개재된 발광층들을 포함하는 표시부를 포함하는 전계발광표시장치를 제공한다.

**대표도**

도 3a

**특허청구의 범위**

## 청구항 1.

스캔 드라이버, 데이터 드라이버 및 전압공급부를 포함하는 구동부; 및

매트릭스 형태로 배치되고 상기 구동부로부터 인가되는 신호들을 전달하는 데이터 라인들, 스캔 라인들 및 전압 라인들을 포함하는 신호선들, 상기 신호선들에 의해 한정되는 단위 화소 영역들에 위치하는 제 1 전극들, 상기 제 1 전극들과 대향되도록 위치하고 상기 스캔 라인들과 전기적으로 연결되며 상기 하나 이상의 단위 화소 영역들에 대응되도록 패터닝된 제 2 전극들 및 상기 제 1 전극들과 상기 제 2 전극들 사이에 개재된 발광층들을 포함하는 표시부;를 포함하는 전계발광표시장치.

## 청구항 2.

제 1 항에 있어서,

상기 제 2 전극들은 스캔 라인들에 의해 한정되는 영역들에 대응되도록 패터닝된 전계발광표시장치.

## 청구항 3.

제 1 항에 있어서,

상기 제 1 전극들 상에 상기 제 1 전극들을 절연시키는 절연막을 더 포함하는 전계발광표시장치.

## 청구항 4.

제 3 항에 있어서,

상기 절연막 상에 상기 스캔 라인들과 인접하도록 위치하며 오비행 구조인 격벽들을 더 포함하는 전계발광표시장치.

## 청구항 5.

제 4 항에 있어서,

상기 제 2 전극들은 상기 격벽에 의해 패터닝된 전계발광표시장치.

## 청구항 6.

제 1 항에 있어서,

상기 제 2 전극들은 상기 표시부 내측에 위치한 연결홀들을 통하여 상기 스캔 라인들과 전기적으로 연결된 전계발광표시장치.

## 청구항 7.

제 1 항에 있어서,

상기 제 2 전극들은 상기 표시부 외측에 위치한 연결홀들을 통하여 상기 스캔 라인들과 전기적으로 연결된 전계발광표시장치.

### 청구항 8.

제 1 항에 있어서,

상기 제 1 전극 또는 제 2 전극과 발광층 사이에, 정공주입층 또는 정공수송층 중 어느 하나 이상이 개재된 전계발광표시장치.

### 청구항 9.

제 1 항에 있어서,

상기 제 1 전극 또는 제 2 전극과 발광층 사이에, 전자주입층 또는 전자수송층 중 어느 하나 이상이 개재된 전계발광표시장치.

### 청구항 10.

제 1 항에 있어서,

상기 스캔 라인들은 상기 데이터인들과 중첩되지 않도록 상기 데이터 라인들과 소정 간격 이격되도록 분리되어 위치한 전계발광표시장치.

### 청구항 11.

제 10 항에 있어서,

상기 스캔 라인들은 상기 제 2 전극에 의해 전기적으로 연결된 전계발광표시장치.

### 청구항 12.

제 1 항에 있어서,

상기 제 1 전극은 구동 트랜지스터에 전기적으로 연결된 전계발광표시장치.

### 청구항 13.

제 12 항에 있어서,

상기 구동 트랜지스터는 반도체층, 상기 반도체층의 일정 영역에 대응되는 게이트 전극, 상기 게이트 전극과 반도체층 사이에 개재되는 게이트 절연막 및 상기 반도체층과 전기적으로 연결되는 소오스 전극 및 드레인 전극을 포함하는 전계발광표시장치.

### 청구항 14.

제 13 항에 있어서,

상기 반도체층은 다결정 실리콘으로 이루어진 전계발광표시장치.

### 청구항 15.

제 13 항에 있어서,

상기 반도체층은 비정질 실리콘으로 이루어진 전계발광표시장치.

### 청구항 16.

제 12 항에 있어서,

상기 구동 트랜지스터는 반도체층, 게이트 절연막, 게이트 전극, 소오스 전극 및 드레인 전극이 순차적으로 적층되고, 상기 게이트 전극과 상기 소오스 전극 및 드레인 전극 사이에 충간 절연막이 개재된 탑 게이트 구조인 전계발광표시장치.

### 청구항 17.

제 12 항에 있어서,

상기 구동 트랜지스터는 게이트 절연막, 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극이 순차적으로 적층된 바텀 게이트 구조인 전계발광표시장치.

### 청구항 18.

제 12 항에 있어서,

상기 구동 트랜지스터와 연결되며, 상부 및 하부 저장 전극을 포함하고, 상기 데이터 라인으로부터 인가되는 데이터 신호를 저장하기 위한 커패시터를 더 포함하는 전계발광표시장치.

### 청구항 19.

제 13 항 또는 제 18 항에 있어서,

상기 게이트 전극 또는 상기 하부 저장 전극은 상기 스캔 라인과 동일 평면 상에 위치하는 전계발광표시장치.

### 청구항 20.

제 13 항 또는 제 18 항에 있어서,

상기 소오스 전극 및 드레인 전극 또는 상기 상부 저장 전극은 상기 데이터 라인과 동일 평면 상에 위치하는 전계발광표시장치.

### 청구항 21.

제 18 항에 있어서,

상기 데이터 라인과 연결되어 상기 커패시터에 상기 데이터 신호를 인가하기 위한 제 1 스위칭 트랜지스터를 더 포함하는 전계발광표시장치.

### 청구항 22.

제 21 항에 있어서,

상기 전압 라인에 연결되어 상기 커패시터에 전원전압을 인가하기 위한 제 2 스위칭 트랜지스터를 더 포함하는 전계발광표시장치.

### 청구항 23.

제 21 항 또는 제 22 항에 있어서,

상기 제 1 및 제 2 스위칭 트랜지스터는 상기 스캔 라인에 연결된 전계발광표시장치.

### 청구항 24.

기판을 제공하는 단계;

상기 기판 상에 스캔 라인들을 형성하는 단계;

상기 스캔 라인과 수직 또는 수평한 방향으로 상기 스캔 라인들과 절연되도록 데이터 라인들 및 전원 라인들을 형성하는 단계;

상기 스캔 라인들, 데이터 라인들 및 전원 라인들에 한정되는 단위 화소 영역들 상에 제 1 전극들을 형성하는 단계;

상기 제 1 전극들 상에 상기 제 1 전극을 절연시키며 상기 제 1 전극의 일부를 노출시키는 개구부를 포함하는 절연막을 형성하는 단계;

상기 절연막 상에 격벽을 형성하는 단계;

상기 개구부 내에 발광층을 형성하는 단계;

상기 격벽 및 발광층을 포함하는 기판 상에 상기 스캔 라인과 전기적으로 연결되며, 상기 하나 이상의 단위 화소 영역에 대응되도록 제 2 전극들을 형성하는 단계를 포함하는 전계발광표시장치의 제조방법.

### 청구항 25.

제 24 항에 있어서,

상기 제 2 전극들은 상기 스캔 라인들에 한정되는 영역들 상에 대응되도록 패터닝되는 전계발광표시장치의 제조방법.

## 청구항 26.

제 24 항에 있어서,

상기 제 2 전극들은 상기 격벽에 의해 패터닝되는 전계발광표시장치의 제조방법.

## 청구항 27.

제 24 항에 있어서,

상기 제 2 전극들은 상기 스캔 라인들을 노출시키는 연결홀에 의해 상기 스캔 라인들과 전기적으로 연결되는 전계발광표시장치의 제조방법.

## 청구항 28.

제 24 항에 있어서,

상기 제 1 전극들은 상기 스캔 라인과 동시에 형성된 게이트 전극, 상기 데이터 라인들과 전원 라인들과 동시에 형성된 소오스 전극 및 드레인 전극들을 포함하는 구동 트랜지스터들에 연결되는 전계발광표시장치의 제조방법.

## 청구항 29.

제 28 항에 있어서,

상기 구동 트랜지스터들은 다결정 실리콘 또는 비정질 실리콘으로 이루어진 반도체층, 상기 반도체층의 일정 영역과 대응되고 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막, 상기 반도체층과 전기적으로 연결되며 전계발광표시장치의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계발광표시장치 및 그 제조방법에 관한 것이다.

평판표시장치(Flat Panel Display Device) 중에서 전계발광표시장치(light emitting display device)는 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치로서 LCD에서 사용되는 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있으며, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

도 1a는 종래의 전계발광표시장치의 화소 회로를 도시한 회로도이다.

도 1a를 참조하면, 상기 화소 회로는 스위칭 트랜지스터(T1), 상기 스위칭 트랜지스터를 통해 수신되는 데이터 신호를 저장하기 위한 커페시터(Cst), 상기 커페시터에 저장된 상기 데이터 신호에 따라 구동 전류를 발생하기 위한 구동 트랜지스터(T2) 및 상기 구동 전류에 따라 발광 동작을 수행하기 위한 발광다이오드(OLED)를 포함한다.

상기 스위칭 트랜지스터(T1)는 스캔 라인(Sn)으로부터의 스캔 신호에 응답하여 데이터 라인(Dm)으로부터의 데이터 신호를 전달한다. 상기 커패시터(Cst)는 상기 스위칭 트랜지스터(T1)를 통해 수신되는 데이터 신호를 저장하여 상기 구동 트랜지스터(T2)의 게이트-소스 전압(Vgs)을 일정 기간 유지한다. 상기 구동 트랜지스터(T2)의 게이트 전극은 상기 스위칭 트랜지스터(T1)에 연결되어 상기 스위칭 트랜지스터(T1)를 통하여 전달된 데이터 신호에 상응하는 구동 전류를 발광다이오드(OLED)로 출력한다. 상기 발광다이오드(OLED)는 애노드, 캐소드 및 애노드와 캐소드 사이에 위치하는 발광층을 포함하며, 상기 애노드(anode)는 구동 트랜지스터(T2)의 드레인 단자와 연결되어 제 1 전압 라인(Vdd)과 연결되고, 상기 캐소드(cathode)는 제 2 전압 라인(Vss)에 연결되어 상기 구동 트랜지스터(T2)에서 흐르는 전류에 해당하는 빛을 발광하게 된다.

도 1b는 종래의 전계발광표시장치를 도시한 평면도이며, 도 1c는 도 1b의 I - I'선을 따라 절단한 단면도로서, 도 1a에 도시한 화소 회로를 구현하기 위한 전계발광표시장치의 구성은 다음과 같다.

도 1b를 참조하면, 매트릭스 형태로 배치된 스캔 라인(120a)과 데이터 라인(140a) 및 전압 라인(140e)에 의해 한정되는 단위 화소 영역 내에, 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 커패시터(Cst), 제 1 전극(155), 발광층(도시 안됨) 및 제 2 전극(도시 안됨)을 포함하는 발광다이오드가 위치한다. 이하에서는 도 1b 및 1c를 참조하여, 전계발광표시장치의 구조를 자세히 살펴본다.

도 1b 및 도 1c를 참조하면, 기판(100) 상에 버퍼층(105)이 위치하며, 버퍼층(105) 상에 반도체층(110)이 위치한다. 반도체층(110)을 덮도록 게이트 절연막인 제 1 절연막(115)이 위치하며, 제 1 절연막(115)의 일정 영역과 대응되는 게이트 전극(120c)이 위치한다. 스캔 라인(120a) 및 하부 저장 전극(120b)은 게이트 전극(120c)과 동일 평면 상에 위치한다.

스캔 라인(120a), 하부 저장 전극(120b) 및 게이트 전극(120c) 상에 층간 절연막인 제 2 절연막(125)이 위치하며, 제 2 절연막(125) 및 제 1 절연막(115) 내에 반도체층(120)의 일부를 노출시키는 콘택홀들(130b, 130c)이 위치한다.

제 2 절연막(125) 상에 콘택홀들(130b, 130c)을 통하여 반도체층과 전기적으로 연결되는 소오스 및 드레인 전극(140c, 140d)이 위치한다. 데이터 라인(140a), 상부 저장 전극(140b) 및 전압 라인(140e)은 소오스 및 드레인 전극(140c, 140d)과 동일 평면 상에 위치한다.

데이터 라인(140a), 상부 저장 전극(140b), 소오스 전극 및 드레인 전극(140c, 140d)과 전압 라인(140e) 상에 제 3 절연막(145)이 위치한다.

제 3 절연막(145) 내에 소오스 전극 및 드레인 전극(140c, 140d) 중 어느 하나를 노출시키는 비어홀(150)이 위치하며, 제 3 절연막(145) 상에 비어홀(150)을 통하여 소오스 전극 및 드레인 전극(140c, 140d) 중 어느 하나와 전기적으로 연결되는 제 1 전극(155)이 위치한다.

제 1 전극(155) 상에 인접하는 제 1 전극들을 절연시키기며, 제 1 전극(155)의 일부를 노출시키는 개구부(165)를 포함하는 제 4 절연막(160)이 위치한다. 개구부(165)에 의해 노출된 제 1 전극(155) 상에 발광층(175)이 위치한다. 발광층(175)을 포함한 기판 전면 상에 제 2 전극(180)이 위치한다.

상기와 같은 구조를 갖는 종래의 전계발광표시장치는, 구동 트랜지스터들의 문턱 전압의 편차 및 전류 이동도의 편차로 인하여 화소 회로들 간에 희도가 불균일하다는 문제점이 있다.

또한, 상기 문제점을 해결하기 위하여, 문턱 전압을 보상하기 위한 트랜지스터들을 사용하는 경우, 트랜지스터의 개수가 많아지기 때문에 공정이 복잡해지며, 개구율이 떨어지는 문제점이 발생한다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 공정이 단순하며 개구율을 확보할 수 있는 전계발광표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

### 발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은, 스캔 드라이버, 데이터 드라이버 및 전압공급부를 포함하는 구동부와, 매트릭스 형태로 배치되고 구동부로부터 인가되는 신호들을 전달하는 데이터 라인들, 스캔 라인들 및 전압 라인들을 포함하는 신호선들, 신호선들에 의해 한정되는 단위 화소 영역들에 위치하는 제 1 전극들, 제 1 전극들과 대향되도록 위치하고 스캔 라인들과 전기적으로 연결되며 하나 이상의 단위 화소 영역들에 대응되도록 패터닝된 제 2 전극들 및 제 1 전극들과 제 2 전극들 사이에 개재된 발광층들을 포함하는 표시부를 포함하는 전계발광표시장치를 제공한다.

제 2 전극들은 스캔 라인들에 의해 한정되는 영역들에 대응되도록 패터닝될 수 있다.

제 2 전극들은 표시부 내측에 위치한 연결홀들을 통하여 스캔 라인들과 전기적으로 연결될 수 있다.

제 2 전극들은 표시부 외측에 위치한 연결홀들을 통하여 스캔 라인들과 전기적으로 연결될 수 있다.

스캔 라인들은 데이터인들과 중첩되지 않도록 데이터 라인들과 소정 간격 이격되도록 분리되어 위치할 수 있다.

스캔 라인들은 제 2 전극에 의해 전기적으로 연결될 수 있다.

제 1 전극은 구동 트랜지스터에 전기적으로 연결될 수 있다.

구동 트랜지스터와 연결되며, 상부 및 하부 저장 전극을 포함하고, 데이터 라인으로부터 인가되는 데이터 신호를 저장하기 위한 커패시터를 더 포함할 수 있다.

데이터 라인과 연결되어 커패시터에 데이터 신호를 인가하기 위한 제 1 스위칭 트랜지스터를 더 포함할 수 있다.

전압 라인에 연결되어 커패시터에 전원전압을 인가하기 위한 제 2 스위칭 트랜지스터를 더 포함할 수 있다.

제 1 및 제 2 스위칭 트랜지스터는 스캔 라인에 연결될 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명에 따른 전계발광표시장치를 상세히 설명하도록 한다.

도 2a는 본 발명의 일실시예에 따른 전계발광표시장치를 나타낸 블록도이며, 도 2b는 본 발명의 일실시예에 따른 화소 회로를 도시한 회로도이다.

도 2a 및 도 2b를 참조하면, 본 발명의 일실시예에 따른 전계발광표시장치는, 스캔 드라이버(SD), 데이터 드라이버(DD), 제어부(C) 및 전원공급부(V)를 포함하는 구동부 및 상기 구동부로부터 신호를 인가받아 영상 이미지를 표시하는 표시부(A)를 포함한다.

표시부(A)는 제 1 방향으로 배열되는 데이터 라인들(D1-Dm)과 제 1 방향과 교차되고 제 2 방향으로 배열되는 스캔 라인들(S1-Sn) 및 전원 라인들(V1-Vm))에 의해 한정되는 단위 화소 영역에 위치하는 화소 회로들(P11-Pnm)을 포함한다.

화소 회로는 제 1 스위칭 트랜지스터(T1), 제 2 스위칭 트랜지스터(T2) 및 커패시터(Cst), 구동 트랜지스터(T3) 및 발광다이오드(OLED)를 포함한다.

제 1 스위칭 트랜지스터(T1)는 스캔 라인(Sn)으로부터 스캔 신호에 응답하여 데이터 라인(Dm)으로부터의 데이터 신호를 커패시터(Cst)에 전달한다. 제 2 스위칭 트랜지스터(T2)는 스캔 라인(Sn)으로부터 스캔 신호에 응답하여 전압 라인(VDD)으로부터 전압을 커패시터(Cst)에 인가한다. 커패시터(Cst)는 제 1 스위칭 트랜지스터(T1) 및 제 2 스위칭 트랜지스터(T2)로부터 수신한 데이터 신호 및 전압을 저장하여 구동 트랜지스터(T3)의 게이트-소스 전압(Vgs)을 일정 기간 유지한다. 구동 트랜지스터(T3)의 게이트 전극은 커패시터(Cst)에 연결되어 전달된 데이터 신호에 상응하는 구동전류를 발광다이오드(OLED)로 출력한다. 발광다이오드(OLED)는 애노드, 캐소드 및 애노드와 캐소드 사이에 위치하는 발광층을 포함하며, 애노드는 구동 트랜지스터(T3)의 드레인 단자와 연결되어 전압 라인(Vdd)과 연결되고, 캐소드는 스캔 라인(Sn)에 연결되어 구동 트랜지스터(T3)에서 흐르는 전류에 해당하는 빛을 발광하게 된다.

도 2a 및 도 2b를 참조하여 상기와 같은 구성을 갖는 전계발광표시장치의 동작을 설명하면, 제어부로부터 스캔 드라이버, 데이터 드라이버 및 전원공급부에 제어신호가 인가된다. 제어신호를 인가받은 전원공급부는, 표시부의 전압 라인(VDD1-VDDn)에 전압을 출력하고, 스캔 드라이버 및 데이터 드라이버는 스캔 라인들(S1-Sn) 및 데이터 라인들(D1-Dm)을 통하여 스캔 신호 및 데이터 신호를 표시부의 화소 회로들(P11-Pnm)에 출력한다.

화소 회로들(P11-Pnm)에 스캔 드라이버로부터 스캔 라인(Sn)에 하이 신호가 인가된다. 하이 신호는 전압 라인(Vdd)에 걸린 전압보다 높은 전압일 수 있다. 스캔 라인(Sn)의 하이 신호에 의하여 제 1 스위칭 트랜지스터(T1) 및 제 2 스위칭 트랜지스터(T2)가 턠-온된다. 제 1 스위칭 트랜지스터(T1)은 제 1 전극에 연결된 데이터 라인으로부터 인가되는 데이터 신호를 커페시터에 전달하고, 제 2 스위칭 트랜지스터(T2)는 전압 라인으로부터 인가되는 전압을 커페시터(Cst)에 전달한다. 그런 다음, 데이터 라인(Dm)을 통하여 구동에 필요한 전류를 싱크하게 되면, 커페시터(Cst)에는 싱크된 전류에 대응되는 구동 트랜지스터(T3)의 게이트-소오스 전압이 저장된다. 이 때, 발광다이오드(OLED)의 타단에는 전압 라인(Vdd)에 연결된 일단에 걸린 전압보다 높은 전압이 인가되기 때문에, 전류가 흐르지 않게 된다.

다음으로, 스캔 드라이버로부터 스캔 라인(Sn)에 로우 신호가 인가되면 제 1 스위칭 트랜지스터(T1) 및 제 2 스위칭 트랜지스터(T2)는 턠-오프되고, 커페시터에 저장된 구동 트랜지스터(T3)의 게이트-소오스 전압에 해당되는 전류, 즉 싱크된 전류와 동일한 양의 전류가 발광다이오드에 흐르게 된다.

상기와 같은 전계발광표시장치는, 발광다이오드의 캐소드가 스캔 라인에 연결되므로 신호선의 개수를 줄일 수 있어 화소 구조가 간단해진다는 장점이 있다. 또한, 전류 싱크 방식에 의하여 커페시터에 전압을 충전하게 되므로, 적은 수의 트랜지스터를 사용하여 구동 트랜지스터의 문턱 전압에 따른 휘도 불균일을 보상할 수 있어 공정이 간소해지며, 개구율이 향상되는 효과가 있다.

도 3a는 본 발명의 일 실시예에 따른 전계발광표시장치를 도시한 평면도이며, 도 3b는 도 3a의 Ⅲ-Ⅲ'선을 따라 절단한 단면도로서, 도 2b에 도시한 화소 회로를 구현하기 위한 전계발광표시장치의 구성은 다음과 같다.

도 3a를 참조하면, 매트릭스 형태로 배치된 스캔 라인(320a)과 데이터 라인(340a) 및 전압 라인(340e)에 의해 한정되는 단위 화소 영역 내에, 제 1 스위칭 트랜지스터(T1), 제 2 스위칭 트랜지스터(T2) 및 구동 트랜지스터(T3), 커페시터(Cst), 제 1 전극(155), 발광층(도시 안됨) 및 제 2 전극(도시 안됨)을 포함하는 발광다이오드가 위치한다. 이하에서는 도 3a 및 3b를 참조하여, 본 발명의 일 실시예에 따른 전계발광표시장치의 구조를 자세히 살펴본다.

도 3a 및 도 3b를 참조하면, 기판(300) 상에 버퍼층(305)이 위치하며, 버퍼층(305) 상에 반도체층(310)이 위치한다. 반도체층(310)을 덮도록 게이트 절연막인 제 1 절연막(325)이 위치하며, 제 1 절연막(325)의 일정 영역과 대응되는 게이트 전극(320c)이 위치한다. 스캔 라인(320a) 및 하부 저장 전극(320b)은 게이트 전극(320c)과 동일 평면 상에 위치한다.

스캔 라인(320a), 하부 저장 전극(320b) 및 게이트 전극(320c) 상에 충간 절연막인 제 2 절연막(325)이 위치하며, 제 2 절연막(325) 및 제 1 절연막(315) 내에 반도체층(310)의 일부를 노출시키는 콘택홀들(330b, 330c)이 위치한다.

충간 절연막(325) 상에 콘택홀들(330b, 330c)을 통하여 반도체층과 전기적으로 연결되는 소오스 및 드레인 전극(340c, 340d)이 위치한다. 데이터 라인(340a), 상부 저장 전극(340b) 및 전압 라인(340e)은 소오스 전극 및 드레인 전극(340c, 340d)과 동일 평면 상에 위치한다.

데이터 라인(340a), 상부 저장 전극(340b), 전압 라인(340e), 소오스 전극 및 드레인 전극(340c, 340d) 상에 제 3 절연막(345)이 위치한다.

제 3 절연막(345) 내에 소오스 전극 및 드레인 전극(340c, 340d) 중 어느 하나를 노출시키는 비어홀(350)이 위치하며, 제 3 절연막(345) 상에 비어홀(350)을 통하여 소오스 전극 및 드레인 전극(340c, 340d) 중 어느 하나와 전기적으로 연결되는 제 1 전극(355)이 위치한다.

제 1 전극(355) 상에 인접하는 제 1 전극들을 절연시키는 제 4 절연막(360)이 위치한다. 제 2 절연막(325), 제 3 절연막(345) 및 제 4 절연막(360) 내에 스캔 라인(320a)의 일부를 노출시키는 연결홀(365a)이 위치하며, 제 4 절연막(360) 내에 제 1 전극을 노출시키는 개구부(365b)가 위치한다. 개구부(365b) 내에 발광층(375)이 위치한다.

스캔 라인(320a)과 인접한 제 4 절연막(360) 상에 격벽(370a)이 위치한다. 격벽(370a)은 오버행 구조일 수 있으며, 스캔 라인(320a)과 인접한 위치에 스캔 라인(320a)과 동일한 방향으로 위치할 수 있다.

격벽(370a) 및 발광층(375)을 포함한 기판 전면 상에, 제 2 전극(380)이 위치한다. 제 2 전극(380)은 연결홀(365a)를 통하여 스캔 라인(320a)과 접속된다. 여기서, 제 2 전극(380)은 오버행 구조의 격벽(370a)에 의해 패터닝되며, 도 3a의 스캔 라인들(320a, 320aa)에 의해 한정되는 영역 상에 대응되도록 위치할 수 있다.

본 발명의 실시예에서는 격벽(370a)에 의하여 제 2 전극(380)이 패터닝되는 구조를 설명하였지만, 제 2 전극은 다른 수단에 의하여 패터닝될 수도 있다.

상술한 바와 같이, 본 발명의 일 실시예에 따른 전계발광표시장치는 캐소드가 스캔 라인과 연결된다. 또한, 캐소드는 스캔 라인과 동일한 방향으로 패터닝된다. 따라서, 종래의 전계발광표시장치에 비하여 적은 수의 신호선을 포함하므로 화소 구조가 간단해진다. 또한, 개구율이 향상되며, 전류 성크 방식에 의하여 휘도 불균일을 조절할 수 있으므로 적은 수의 트랜지스터를 포함한다. 따라서, 그 제조 공정이 간소해질 수 있다.

도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 4a를 참조하면, 유리, 플라스틱 또는 금속으로 이루어진 기판(400) 상에 베퍼층(405)을 형성한다. 베퍼층(405)은 기판(400)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.

베퍼층(405) 상에 반도체층(410)이 위치한다. 반도체층(410)은 비정질 실리콘으로 형성할 수 있다. 또한, 반도체층(410)은 베퍼층(405) 상에 비정질 실리콘층을 형성한 후, ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization), MILC(Matal Induced Lateral Crystallization)법 등을 사용하여 결정화하고 이를 패터닝한 다결정 실리콘층으로 형성할 수 있다.

반도체층(410)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있다. 소오스 영역 및 드레인 영역을 불순물 이온을 도핑하거나, 불순물 이온이 도핑된 다결정 실리콘 또는 비정질 실리콘을 증착하여 패터닝함으로써 형성할 수도 있다.

반도체층(410)을 덮도록 게이트 절연막인 제 1 절연막(425)을 형성한다. 제 1 절연막(330)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.

제 1 절연막(425) 상에, 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 등을 이용해서 금속막을 적층한 다음, 이를 패터닝하여 스캔 라인(420a), 하부 저장 전극(420b) 및 반도체층(410)의 일정 영역과 대응되는 게이트 전극(420c)을 형성한다.

다음으로, 스캔 라인(420a), 하부 저장 전극(420b) 및 게이트 전극(420c) 상에 층간 절연막인 제 2 절연막(425)을 형성한 다음, 제 2 절연막(425) 및 제 1 절연막(415)을 식각하여, 반도체층(410)의 일부를 노출시키는 콘택홀들(430b, 430c)을 형성한다. 여기서, 스캔 라인(420a)을 노출시키는 제 1 연결홀(430a)을 형성할 수 있다. 이때, 하프톤 마스크(half-ton mask)를 이용하여 콘택홀들(430b, 430c)과 제 1 연결홀(430a)을 동시에 형성할 수도 있다.

도 4b를 참조하면, 제 2 절연막(425) 상에, 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW) 및 알루미늄(Al) 등과 같은 금속을 이용하여 금속막을 적층한다. 그런 다음, 이를 패터닝하여, 데이터 라인(440a), 상부 저장 전극(440b) 및 전압 라인(440e)을 형성하고, 이와 동시에, 콘택홀들(430b, 430c)을 통하여 반도체층(410)과 전기적으로 연결되는 소오스 및 드레인 전극(440c, 440d)을 형성한다.

여기서, 소오스 및 드레인 전극(440c, 440d)을 형성시 스캔 라인(420a) 상에 적층된 금속층도 제거하여 스캔 라인(420a)이 노출될 수 있도록 한다. 이때, 하프톤 마스크(half-ton mask)를 이용하여 두 공정을 동시에 수행할 수도 있다.

상기와 같은 공정을 거쳐, 반도체층(410), 게이트 절연막, 게이트 전극, 층간절연막, 소오스 및 드레인 전극을 포함하는 박막 트랜지스터의 제조가 완성된다. 본 발명의 일 실시예에서는 탑 게이트 구조의 박막 트랜지스터 제조방법을 설명하였지만, 이와는 달리, 게이트 전극 및 게이트 절연막을 형성한 다음 반도체층을 형성하여 바텀 게이트 구조의 박막 트랜지스터로 제조할 수도 있다.

데이터 라인(440a), 상부 저장 전극(440b), 소오스 및 드레인 전극(440c, 440d)과 전압 라인(440e) 상에 제 3 절연막(445)을 형성한다. 제 3 절연막(455)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부탄계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물을 사용하여 형성할 수도 있다.

그런 다음, 제 3 절연막(445)을 삭각하여, 소오스 전극 및 드레인 전극(440c, 340d) 중 어느 하나를 노출시키는 비어홀(450b)을 형성한다. 여기서, 스캔 라인(420a) 상에 적층된 제 3 절연막도 제거하여 스캔 라인(420a)을 노출시키는 제 2 연결홀(450a)을 형성한다. 이때, 하프톤 마스크(half-ton mask)를 이용하여 두 공정을 동시에 수행할 수도 있다.

도 4c를 참조하면, 비어홀(450b)을 통하여 소오스 전극 및 드레인 전극(440c, 340d) 중 어느 하나와 연결되는 제 1 전극(455)을 형성한다. 제 1 전극(455)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전막으로 형성할 수 있다. 또한, 전면발광형 구조로 형성할 경우 투명도전막의 하부에 알루미늄(Al), 알루미늄-네오디움(Al-Nd), 은(Ag), 은 합금(Ag alloy)등과 같은 고반사율의 특성을 갖는 반사금속막을 더 포함할 수 있다.

제 1 전극(455) 상에 인접하는 제 1 전극들을 절연시키기 위하여 제 4 절연막(460)을 형성한다. 그런 다음, 제 4 절연막(460)을 삭각하여 제 1 전극(455)을 노출시키는 개구부(465b)를 형성한다. 여기서, 스캔 라인(420a)의 일부를 노출시키도록 제 3 연결홀(465a)을 형성한다. 이때, 하프톤 마스크(half-ton mask)를 이용하여 두 공정을 동시에 수행할 수도 있다.

도 4d를 참조하면, 스캔 라인(420a)과 인접한 제 4 절연막(460) 상에 격벽(470a)을 형성한다. 격벽(470a)은 후속하여 형성될 제 2 전극(480)을 패터닝하기 위한 것으로, 오버행 구조로 형성할 수 있다. 격벽(470)은 유기물 또는 무기물을 적층한 다음, 이를 공지의 공정을 이용하여 삭각함으로써 형성할 수 있다. 또한 바람직하게는 네거티브 포토레지스트를 도포하고 이를 노광 및 현상하여 형성할 수도 있다.

제 1 전극(455)을 노출시키는 개구부(465b) 내에 발광층(475)을 형성한다. 발광층(475)은 진공증착법, 레이저 열 전사법, 스크린 프린팅법 등을 이용하여 형성할 수 있다. 또한, 발광층(475)의 상부 또는 하부에 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 어느 하나 이상의 층을 추가로 포함할 수 있다.

격벽(470a) 및 발광층(475)을 포함한 기판 전면 상에, 제 2 전극(480)을 형성한다. 제 2 전극(480)은 제 3 연결홀(465a)를 통하여 스캔 라인(420a)과 접속된다. 또한, 오버행 구조인 격벽(470a)에 의해 패터닝된다. 본 발명의 일 실시예에서 격벽(470a)은 스캔 라인(420a)과 동일한 방향으로 형성되었으므로, 제 2 전극(480)은 스캔 라인(420a, 420b)에 한정되는 영역에 대응되도록 형성된다.

본 발명의 일 실시예에서는 격벽(470a)을 이용하여 제 2 전극(480)을 패터닝하였지만, 이에 한정되지 않고 색도우 마스크, 포토 리쏘그래피법 등 공지의 공정을 이용하여 패터닝하여, 스캔 라인(420a)에 연결되도록 형성할 수도 있다.

도 5는 본 발명의 다른 실시예에 따른 전계발광표시장치를 도시한 평면도이다.

도 5를 참조하면, 본 발명의 다른 실시예에 따른 전계발광표시장치는 스캔 드라이버(SD)를 포함하는 구동부 및 스캔 라인(520a)들을 포함하는 신호선들에 의해 한정되는 단위 화소 영역(B)들을 포함하는 표시부(A)를 포함한다.

본 발명의 다른 실시예에 따른 전계발광표시장치는 연결홀(565a)의 위치를 제외하고는 도 3a 및 도 3b에 도시한 본 발명의 일 실시예에 따른 전계발광표시장치와 동일하다. 즉, 도 3a 및 도 3b에 도시한 본 발명의 일 실시예에서는 연결홀들이 표시부 내측에 각 단위 화소 영역에 인접하여 위치하는 스캔 라인(520a)과 동일한 방향으로 패터닝된 제 2 전극(180)들이 표시부(A)의 외측에서 스캔라인(520a)과 전기적으로 연결된다. 따라서, 본 발명의 또 다른 실시예에 따른 전계발광표시장치는 발광 면적이 더 확보할 수 있다는 장점이 있다.

도 6a는 본 발명의 또 다른 실시예에 따른 전계 발광 소자를 도시한 평면도이며, 도 6b는 도 5a의 V-V'선을 따라 절단한 단면도이다.

도 6a를 참조하면, 매트릭스 형태로 배치된 스캔 라인(620a, 620a'), 데이터 라인(640a) 및 전압 라인(640e)에 의해 한정되는 단위 화소 영역 내에, 제 1 스위칭 트랜지스터(T1), 제 2 스위칭 트랜지스터(T2) 및 구동 트랜지스터(T3), 커페시터(Cst), 제 1 전극(155), 발광층(도시 안됨) 및 제 2 전극(도시 안됨)을 포함하는 발광 다이오드가 위치한다. 여기서, 스캔 라인(620a, 620a')은 데이터 라인(640a)과 중첩되지 않도록 데이터 라인(640a)으로부터 소정간격 이격하여 단위 화소 영역 별로 분리되어 위치한다. 이하에서는 도 6a 및 도 6b를 참조하여, 본 발명의 일 실시예에 따른 전계발광표시장치의 단면 구조를 살펴본다.

도 6a 및 도 6b를 참조하면, 기판(600) 상에 베피층(605)이 위치하며, 베피층(605) 상에 반도체층(610)이 위치한다. 반도체층(610)을 덮도록 게이트 절연막인 제 1 절연막(625)이 위치하며, 제 1 절연막(625)의 일정 영역과 대응되는 게이트 전극(620c)이 위치한다. 스캔 라인(620a, 620a') 및 하부 저장 전극(620b)은 게이트 전극(620c)과 동일 평면 상에 위치하며, 스캔 라인(620a, 620a')은 단위 화소 영역별로 분리되어 위치한다.

스캔 라인(620a, 620a'), 하부 저장 전극(620b) 및 게이트 전극(620c) 상에 중간 절연막인 제 2 절연막(625)이 위치하며, 제 2 절연막(625) 및 제 1 절연막(615) 내에 반도체층(610)의 일부를 노출시키는 콘택홀들(630b, 630c)이 위치한다.

중간 절연막(625) 상에 콘택홀들(630b, 630c)을 통하여 반도체층과 전기적으로 연결되는 소오스 및 드레인 전극(640c, 640d)이 위치한다. 데이터 라인(640a), 상부 저장 전극(640b) 및 전압 라인(640e)은 소오스 전극 및 드레인 전극(640c, 640d)과 동일 평면 상에 위치한다. 이 때, 데이터 라인(640a)은 하부에 위치하는 스캔 라인들(620a, 620a')과 중첩되도록 위치하지 않으므로, 데이터 라인(640a)과 스캔 라인들(620a, 620a')간에 발생하였던 기생 커페시턴스를 감소시킬 수 있다.

데이터 라인(640a), 상부 저장 전극(640b), 전압 라인(640e), 소오스 전극 및 드레인 전극(640c, 640d) 상에 제 3 절연막(645)이 위치한다.

제 3 절연막(645) 내에 소오스 전극 및 드레인 전극(640c, 640d) 중 어느 하나를 노출시키는 비어홀(650)이 위치하며, 제 3 절연막(645) 상에 비어홀(650)을 통하여 소오스 전극 및 드레인 전극(640c, 340d) 중 어느 하나와 전기적으로 연결되는 제 1 전극(655)이 위치한다.

제 1 전극(655) 상에 인접하는 제 1 전극들을 절연시키는 제 4 절연막(660)이 위치한다. 제 2 절연막(625), 제 3 절연막(645) 및 제 4 절연막(660) 내에 스캔 라인(620a, 620a')의 일부를 노출시키는 연결홀들(665a, 665a')이 위치하며, 제 4 절연막(660) 내에 제 1 전극을 노출시키는 개구부(665b)가 위치한다.

스캔 라인(620a)과 인접한 제 4 절연막(660) 상에 격벽(670a)이 위치하며, 개구부(665b) 내에 발광층(675)가 위치한다.

격벽(670a) 및 발광층(675)을 포함한 기판 전면 상에, 제 2 전극(680)이 위치한다. 제 2 전극(680)은 연결홀들(665a, 665a')을 통하여 스캔 라인(620a, 620a')과 접속된다. 또한, 단위 화소 영역별로 분리된 스캔 라인(620a, 620a')은 제 2 전극(680)을 통하여 전기적으로 연결된다.

여기서, 제 2 전극은 격벽(670a)에 의해 패터닝되며, 격벽(670a)은 스캔 라인(620a)과 동일한 방향으로 위치하므로, 제 2 전극은 도 6a의 스캔 라인들(620a, 620aa)에 의해 한정되는 영역 상에 대응되도록 위치한다.

상술한 바와 같이, 본 발명의 또 다른 실시예에 따른 전계발광표시장치는 캐소드가 패터닝되어 스캔 라인과 연결된다. 따라서, 종래의 전계발광표시장치에 비하여 신호선들의 개수가 적으므로, 개구율이 향상되며 그 제조 공정이 간소해질 수 있다.

또한, 본 발명의 또 다른 실시예에 따른 전계발광표시장치는 데이터 라인이 스캔 라인과 중첩되지 않도록 위치하므로, 종래의 데이터 라인 및 스캔 라인의 중첩으로 발생하였던 기생 커페시턴스를 줄일 수 있는 장점이 있다.

## 발명의 효과

본 발명은 전계발광표시장치의 개구율을 향상시킬 수 있으며, 공정을 단순화할 수 있는 효과가 있다.

### 도면의 간단한 설명

도 1a는 종래의 전계발광표시장치의 화소 회로를 도시한 회로도이다.

도 1b는 종래의 전계발광표시장치를 도시한 평면도이다.

도 1c는 도 1b의 I - I'선을 따라 절단한 단면도이다.

도 2a는 본 발명에 따른 전계발광표시장치를 도시한 블록도이다.

도 2b는 본 발명에 따른 전계발광표시장치의 화소 회로를 도시한 회로도이다.

도 3a는 본 발명의 일 실시예에 따른 전계발광표시장치를 도시한 평면도이다.

도 3b는 도 3a의 III-III'선을 따라 절단한 단면도이다.

도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도들이다.

도 5는 본 발명의 다른 실시예에 따른 전계발광표시장치를 도시한 평면도이다.

도 6a는 본 발명의 또다른 실시예에 따른 전계발광표시장치를 도시한 평면도이다.

도 6b는 도 6a의 VI-VI'선을 따라 절단한 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

300: 기판 305: 벼파층

310: 반도체층 315: 제 1 절연막

320a: 스캔 라인 320b: 하부 저장 전극

320c: 게이트 전극 325: 제 2 절연막

330b, 330c: 콘택홀들 340a: 데이터 라인

340b: 상부 저장 전극 340c, 340d: 소오스 및 드레인 전극

340e: 전압 라인 345: 제 3 절연막

350b: 비어홀 355: 제 1 전극

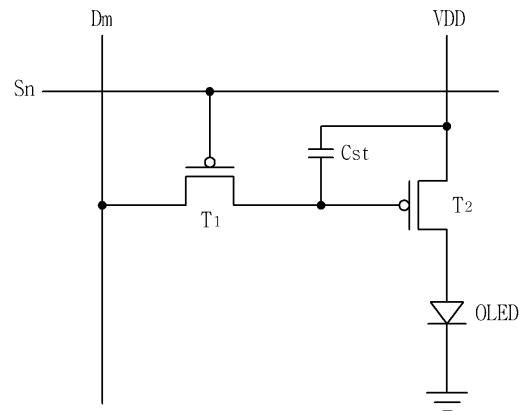
360: 제 4 절연막 365a: 연결홀

365b: 개구부 370a, 370b: 격벽

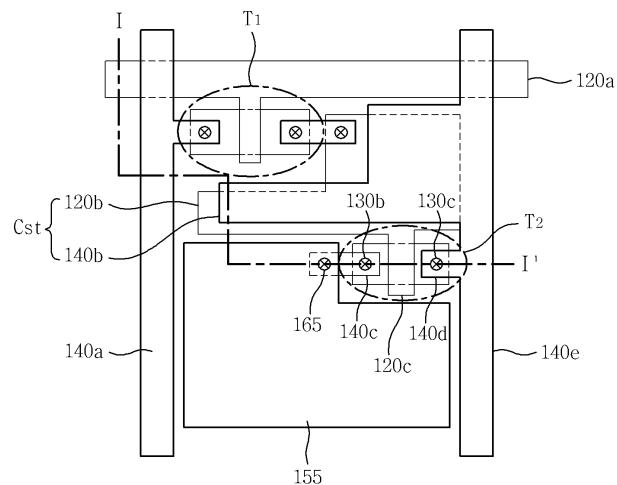
375: 발광층 380: 제 2 전극

### 도면

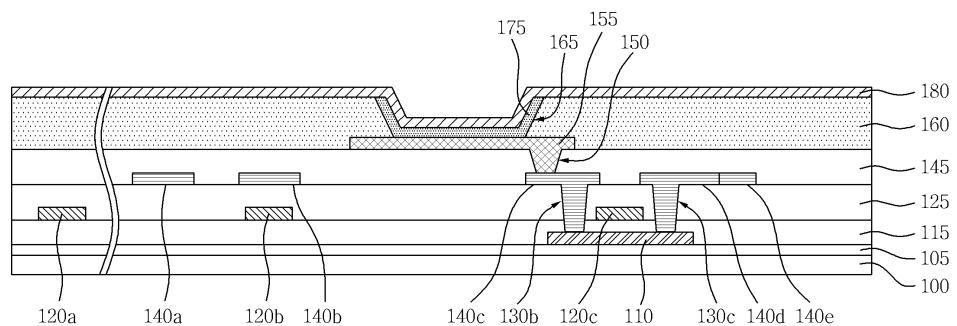
## 도면 1a



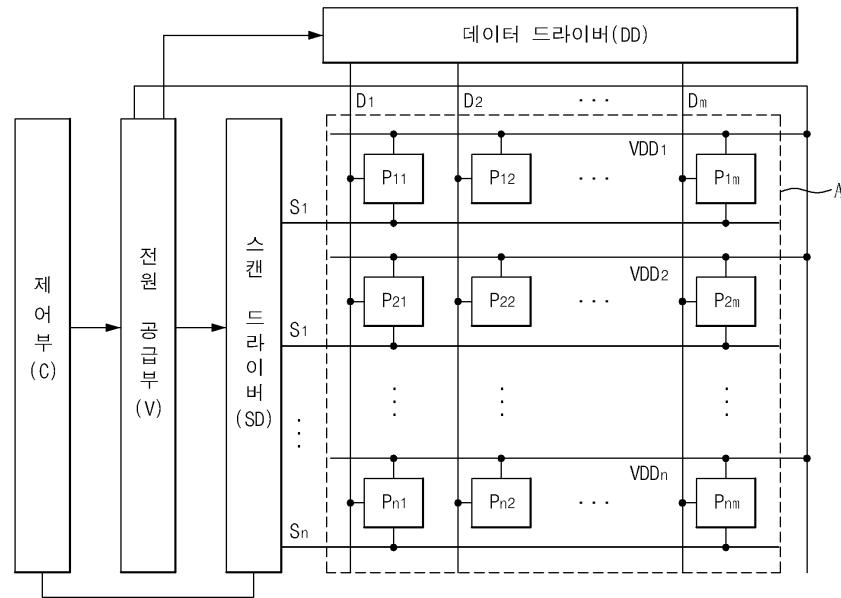
## 도면 1b



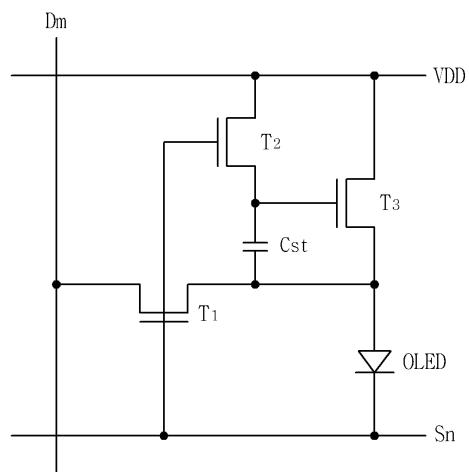
### 도면 1c



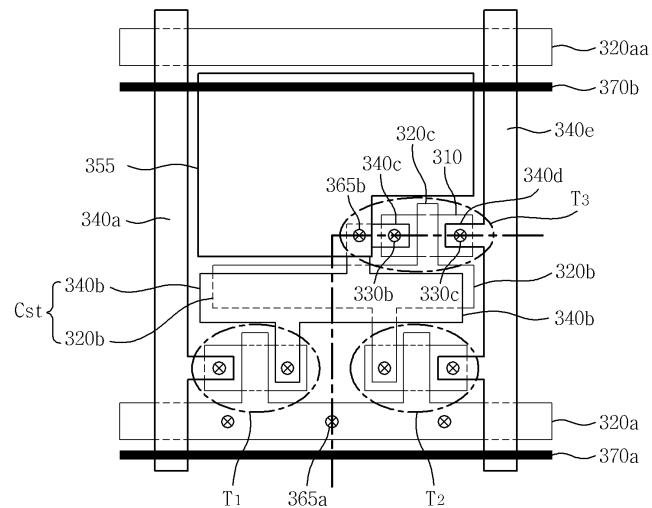
도면2a



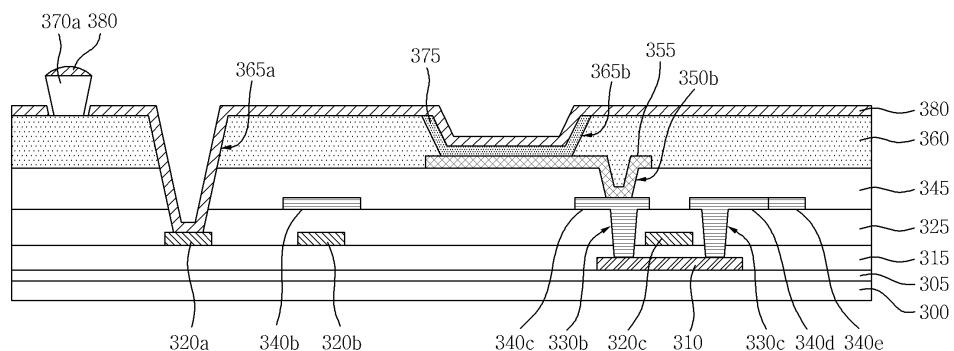
도면2b



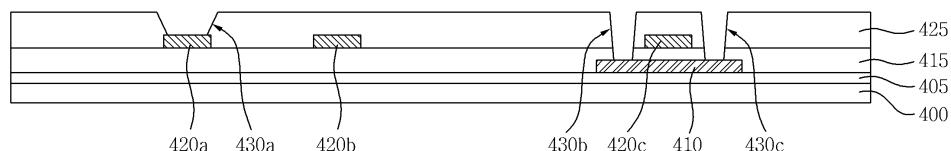
### 도면3a



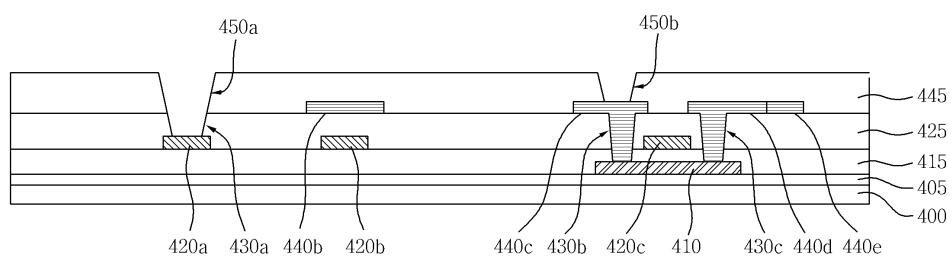
### 도면3b



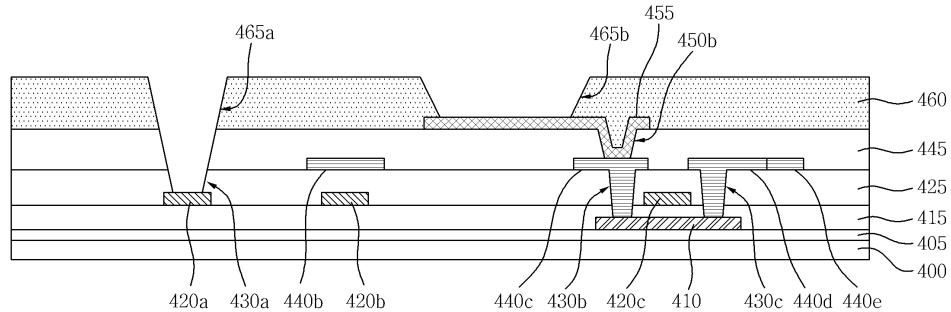
### 도면4a



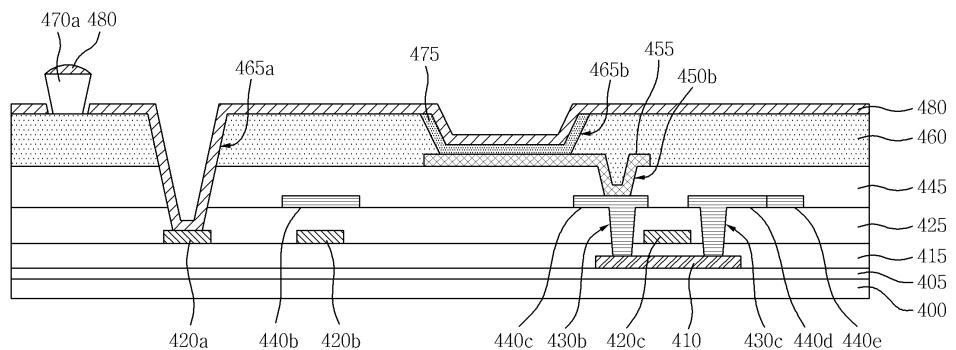
### 도면4b



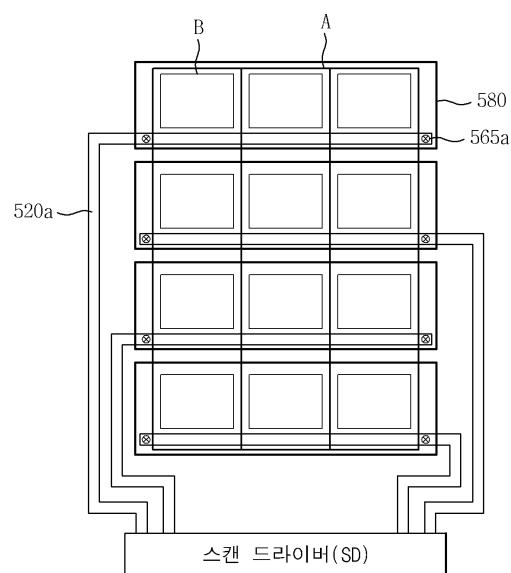
도면4c



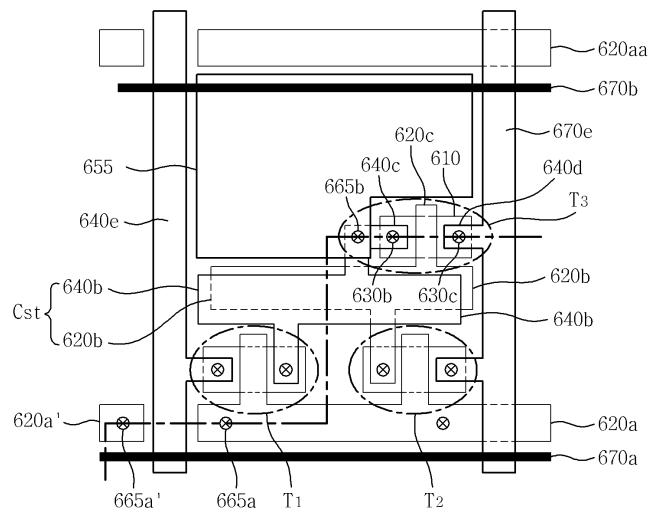
도면4d



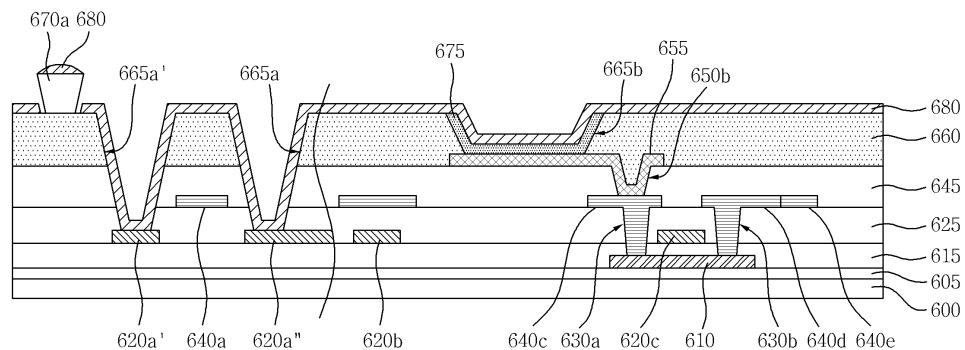
도면5



### 도면6a



### 도면6b



|               |   |         |            |
|---------------|---|---------|------------|
| 专利名称(译)       | 电致发光显示装置及其制造方法  |         |            |
| 公开(公告)号       | <a href="#">KR100738233B1</a>                           | 公开(公告)日 | 2007-07-12 |
| 申请号           | KR1020060029228   | 申请日     | 2006-03-30 |
| 申请(专利权)人(译)   | LG电子公司  |         |            |
| 当前申请(专利权)人(译) | LG电子公司  |         |            |
| [标]发明人        | KIM HONG GYU<br>김홍규<br>KIM SEONG JOONG<br>김성중           |         |            |
| 发明人           | 김홍규<br>김성중  |         |            |
| IPC分类号        | H05B33/26 H05B33/10                                     |         |            |
| CPC分类号        | G09G3/30 G09G3/3208 G09G2300/0842 H01L27/3244 H01L51/56 |         |            |
| 代理人(译)        | 李, SOO WOONG  |         |            |
| 外部链接          | <a href="#">Espacenet</a>                               |         |            |

### 摘要(译)

本发明提供一种电致发光显示器，包括：显示单元，包括传送驱动器的数据线；信号，信号线，包括扫描线和电压线；第一电极，位于受限单元像素区域中，具有信号线，以及允许的发光层第一电极，第二电极，第一电极和包括扫描驱动器的第二电极，以及数据驱动器和电压供应部分。传送驱动器的数据线和信号以矩阵的形式排列并从驱动器应用。在第一电极，第二电极，第一电极和第二电极之间允许的发光层被定位以便相对，并且它与扫描线电连接并被图案化以对应于至少一个单位像素区域。

