



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/20 (2006.01) G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월25일 10-0722124 2007년05월18일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0079605 2005년08월29일 2005년08월29일	(65) 공개번호 (43) 공개일자	10-2007-0027793 2007년03월12일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                    삼성에스디아이 주식회사  
    경기 수원시 영통구 신동 575

(72) 발명자                        신동용  
    서울특별시 관악구 봉천1동 969-37

(74) 대리인                        신영무

(56) 선행기술조사문헌 JP58188396 A US5222082 A US5434899 A	KR100430314 B1 US5410583 A
---	-------------------------------

심사관 : 박부식

전체 청구항 수 : 총 27 항

(54) 주사 구동회로와 이를 이용한 유기 전계발광 장치

(57) 요약

본 발명의 실시예에 의한 주사 구동회로는, 스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로에 있어서,

상기 스테이지는, 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드 사이(N1)에 접속된 제 3 트랜지스터(M3)가 포함되는 전달부와; 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 상기 제 1클럭단자에 게이트 단자가 접속되는 제 4트랜지스터(M4)와, 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 4 트랜지스터(M4)의 출력단에 게이트 단자가 접속되고, 제 1클럭 단자 및 제 2노드 사이(N2)에 접속된 제 6 트랜지스터(M6)가 포함되는 반전부와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 상기 제 1전원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함되는 버퍼부로 구성됨을 특징으로 한다.

대표도

도 6

## 특허청구의 범위

### 청구항 1.

스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로에 있어서,

상기 스테이지는, 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드 사이(N1)에 접속된 제 3 트랜지스터(M3)가 포함되는 전달부와;

상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 상기 제 1클럭단자에 게이트 단자가 접속되는 제 4트랜지스터(M4)와, 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 4 트랜지스터(M4)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6 트랜지스터(M6)가 포함되는 반전부와;

상기 제 1노드(N1)에 게이트 단자가 접속되고, 상기 제 2전원(VSS) 및 출력 라인(OUT) 사이에 접속된 제 7트랜지스터(M7)와, 상기 제 2노드(N2)에 게이트 단자가 접속되고, 상기 제 1전원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함되는 버퍼부로 구성됨을 특징으로 하는 주사 구동회로.

### 청구항 2.

제 1항에 있어서,

상기 전달부에는 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 1전원(VDD) 및 제 1노드(N1) 사이에 접속된 제 2트랜지스터(M2)가 더 포함됨을 특징으로 하는 주사 구동회로.

### 청구항 3.

삭제

### 청구항 4.

제 1항에 있어서,

상기 전달부에는 상기 제 1트랜지스터(M1)의 출력단 및 상기 제 1노드(N1) 사이에 접속된 제 1캐패시터(C1)와; 상기 제 1노드(N1) 및 상기 제 2전원(VSS) 사이에 접속된 제 2캐패시터(C2)가 더 포함됨을 특징으로 하는 주사 구동회로.

### 청구항 5.

제 1항에 있어서,

상기 반전부에는 상기 제 4트랜지스터(M4)의 출력단 및 상기 제 2전원(VSS) 사이에 접속된 제 3캐패시터(C3)와; 상기 제 2노드(N2) 및 상기 제 2전원(VSS) 사이에 접속된 제 4캐패시터(C4)가 더 포함됨을 특징으로 하는 주사 구동회로.

### 청구항 6.

제 1항 또는 제 2항에 있어서,

상기 제 1트랜지스터 내지 제 8트랜지스터는 POMS 트랜지스터 임을 특징으로 하는 주사 구동회로.

### 청구항 7.

제 1항에 있어서,

상기 제 2전원(VSS)은 접지(GND)되어 구현됨을 특징으로 하는 주사 구동회로.

### 청구항 8.

제 1항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 서로 상반된 위상을 가지는 것을 특징으로 하는 주사 구동회로.

### 청구항 9.

제 1항에 있어서,

상기 스테이지가 기수번째인 경우에는 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급됨을 특징으로 하는 주사 구동회로.

### 청구항 10.

제 9항에 있어서,

상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간(제 1 기간)에는 하이 레벨이 출력되고, 상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간(제 2기간)에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호가 출력되어 로우 레벨의 펄스가 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트되어 출력됨을 특징으로 하는 주사 구동회로.

### 청구항 11.

제 1항에 있어서,

상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에 제 2클럭신호(CLK2)가 공급되고, 제 2클럭단자에 제 1클럭신호(CLK1)가 공급됨을 특징으로 하는 주사 구동회로.

### 청구항 12.

제 11항에 있어서,

상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간(제 1 기간)에는 하이 레벨이 출력되고, 상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간(제 2기간)에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호가 출력되어 로우 레벨의 펄스가 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트되어 출력됨을 특징으로 하는 주사 구동회로.

**청구항 13.**

삭제

**청구항 14.**

제 1항에 있어서,

상기 스테이지는 하이 레벨의 스타트 펄스(SP)와, 로우 레벨의 제 1 및 제 2클럭신호(CLK1,CLK2)가 동시에 입력됨으로써 초기화됨을 특징으로 하는 주사 구동회로.

**청구항 15.**

스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로에 있어서,

상기 스테이지는, 상기 스타트펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 3트랜지스터(M3)가 포함된 전달부와;

상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6트랜지스터(M6)가 포함된 반전부와;

상기 제 2노드(N2)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함된 버퍼부로 구성됨을 특징으로 하는 주사 구동회로.

**청구항 16.**

제 15항에 있어서,

상기 전달부에 상기 제 1트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함됨을 특징으로 하는 주사 구동회로.

**청구항 17.**

제 15항에 있어서,

상기 전달부에 상기 출력 라인(OUT) 및 제 2전원(VSS) 사이에 접속된 제 2캐패시터(C2)가 더 포함되고, 상기 반전부에 상기 제 8트랜지스터(M8)의 게이트 단자 및 상기 제 2전원(VSS) 사이에 접속된 제 4캐패시터(C4)가 더 포함됨을 특징으로 하는 주사 구동회로.

**청구항 18.**

제 15항에 있어서,

상기 반전부에 상기 제 6트랜지스터(M6)의 게이트 단자 및 상기 제 2전원(VSS) 사이에 접속된 제 3캐패시터(C3)가 더 구비됨을 특징으로 하는 주사 구동회로.

### 청구항 19.

제 15항에 있어서,

상기 전달부에 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 1전원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 2트랜지스터(M2)가 더 구비됨을 특징으로 하는 주사 구동회로.

### 청구항 20.

제 19항에 있어서,

상기 제 1, 2, 3, 5, 6, 8트랜지스터(M1,M2,M3,M5,M6,M8)는 POMS 트랜지스터 임을 특징으로 하는 주사 구동회로.

### 청구항 21.

제 15항에 있어서,

상기 제 2전원(VSS)은 접지(GND)되어 구현됨을 특징으로 하는 주사 구동회로.

### 청구항 22.

제 15항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 서로 상반된 위상을 가지는 것을 특징으로 하는 주사 구동회로.

### 청구항 23.

제 15항에 있어서,

상기 스테이지가 기수번째인 경우에는 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급됨을 특징으로 하는 주사 구동회로.

### 청구항 24.

제 23항에 있어서,

상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간(제 1 기간)에는 하이 레벨이 출력되고, 상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간(제 2기간)에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호가 출력되어 로우 레벨의 펄스가 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트되어 출력됨을 특징으로 하는 주사 구동회로.

**청구항 25.**

제 15항에 있어서,

상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에 제 2클럭신호(CLK2)가 공급되고, 제 2클럭단자에 제 1클럭신호(CLK1)가 공급됨을 특징으로 하는 주사 구동회로.

**청구항 26.**

제 25항에 있어서,

상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간(제 1 기간)에는 하이 레벨이 출력되고, 상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간(제 2기간)에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호가 출력되어 로우 레벨의 펄스가 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트되어 출력됨을 특징으로 하는 주사 구동회로.

**청구항 27.**

삭제

**청구항 28.**

제 15항에 있어서,

상기 스테이지는 하이 레벨의 스타트 펄스(SP)와, 로우 레벨의 제 1 및 제 2클럭신호(CLK1,CLK2)가 동시에 입력됨으로써 초기화됨을 특징으로 하는 주사 구동회로.

**청구항 29.**

삭제

**청구항 30.**

주사선들, 데이터선들 및 발광 제어선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와;

상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와;

스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로가 포함되어 구성되며,

상기 스테이지는, 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드 사이(N1)에 접속된 제 3 트랜지스터(M3)가 포함되는 전달부와; 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 상기 제 1클럭단자에 게이트 단자가 접속되는 제 4트랜지스터(M4)와, 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 4 트랜지스터(M4)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6 트랜지스터(M6)가 포함되는 반전부와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 상기 제 2전원(VSS) 및 출력 라인(OUT) 사이에 접속된 제 7트랜지스터(M7)와, 상기 제 2노드(N2)에 게이트 단자가 접속되고, 상기 제 1전원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함되는 버퍼부로 구성됨을 특징으로 하는 유기 전계발광 장치.

## 청구항 31.

주사선들, 데이터선들 및 발광 제어선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와;

상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와;

스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로가 포함되어 구성되며,

상기 스테이지는, 상기 스타트펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 3트랜지스터(M3)가 포함된 전달부와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드(N2)에 접속된 제 6트랜지스터(M6)가 포함된 반전부와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함된 버퍼부로 구성됨을 특징으로 하는 유기 전계발광 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 표시장치용 구동회로에 관한 것으로, 특히 유기 전계발광 장치의 화소열을 구동하는 주사 구동회로에 관한 것이다.

일반적으로 유기 전계발광 장치와 같은 액티브 매트릭스 표시장치는 데이터 선들과 주사선들과의 교차부들에 매트릭스 형태로 배열된 화소 어레이(array)를 구비한다.

여기서, 상기 주사선들은 상기 매트릭스 화소부의 수평라인(로우라인)들을 구성하며, 이는 주사 구동회로에 의해 순차적으로 소정의 신호 즉, 주사 신호를 상기 매트릭스 화소 어레이에 제공한다.

도 1은 일반적인 주사 구동회로의 구성을 나타내는 블록도이다.

도 1을 참조하면, 종래의 일반적인 주사 구동회로는 스타트 펄스(SP) 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)으로 구성되며, 상기 다수의 스테이지들(ST1 내지 STn)은 스타트 펄스(SP)를 클럭 신호(C)에 따라 순차적으로 쉬프트시켜 출력신호(SO1 내지 SOn)를 발생한다. 이 경우 제 2 내지 제 n 스테이지(ST2 내지 STn) 각각은 전단 출력 신호를 스타트 펄스로 입력받아 이를 쉬프트시키게 된다.

이에 따라 상기 스테이지들은 상기 스타트 펄스가 순차적으로 쉬프트되는 형태의 출력신호(SO1 내지 SOn)를 발생하여 이를 상기 매트릭스 화소 어레이에 제공하게 되는 것이다.

도 2는 도 1에 도시된 주사 구동회로에서 임의 스테이지의 회로도이고, 도 3은 도 2에 도시된 스테이지의 입/출력 신호 파형도이다.

도 2 및 도 3을 참조하면, 종래의 경우 주사 구동회로를 구성하는 각 스테이지는 마스터-슬레이브(Master-Slave) 형태의 플립플롭(flip/flop)을 사용한다. 이러한 플립플롭은 클럭(clk)이 로우 레벨일 때 입력을 계속 받으며, 출력은 이전의 출력을 유지한다.

반면에 상기 클럭(clk)이 하이 레벨인 경우에는 상기 클럭(clk)이 로우 레벨일 때 받은 입력(IN)을 유지하며 이를 출력으로 내보내고 더 이상의 입력을 받지 않는다.

이와 같은 회로에 있어서, 상기 플립플롭 내부에 구비되는 인버터(inverter)의 경우 그 입력(in)이 로우 레벨일 때 스태틱 전류(static current)가 흐르는 문제가 있다. 또한, 상기 플립플롭 내부에서 하이 레벨 입력(in)을 받은 인버터와 로우 레벨 입력(in)을 받는 인버터의 수가 같으므로 상기 플립플롭 내부의 인버터 중 절반에서는 상기 스태틱 전류가 발생되어 소비 전력이 크게 되는 단점이 있다.

그리고, 도 2의 회로에서 출력 전압(OUT)의 하이 레벨은 공급전압(VDD)과 접지(GND) 사이를 연결하는 저항의 비에 의한 전압값으로 결정되며(ratioed logic), 출력 전압(OUT)의 로우 레벨은 접지(GND)보다 트랜지스터의 문턱전압 만큼 높게 된다.

즉, 트랜지스터의 특성 편차에 따라 각 스테이지마다 하이 레벨로 받아들이는 입력전압 레벨이 다르게 되기 때문에 이와 같은 회로를 채용할 경우 출력 전압의 하이 레벨에도 편차가 생겨 회로가 오동작할 수 있게 되는 단점이 있다.

또한, 상기 출력 전압의 로우 레벨 편차는 도 2의 회로에 구비된 인버터의 입력 트랜지스터(T1)의 온(on) 저항의 편차로 반영되어 출력 전압의 하이 레벨 편차를 가중시킬 수 있다. 특히 유기 전계발광 장치 패널에서는 특성 편차가 큰 트랜지스터를 사용하므로 이러한 문제가 더욱 심각해 진다.

또한, 상기 인버터는 입력 트랜지스터(T1)를 통해서 전류가 흘러 출력단(out)을 충전하며, 로드 트랜지스터(T2)를 통해서 전류가 흘러 출력단(out)을 방전하는데, 상기 출력단을 충전할 경우 상기 로드 트랜지스터(T2)의 소스-게이트 전압이 점점 줄어 방전 전류가 급격히 감소해 방전 효율이 떨어지는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 다수의 PMOS 트랜지스터 및 캐패시터를 포함하여 구성되고, 2상(2-phase) 클럭신호에 의해 구동되는 주사 구동회로로서, 스태틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이고, 부트스트랩(bootstrap)을 이용하여 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 주사 구동회로 및 이를 이용한 유기전계발광 장치를 제공함에 그 목적이 있다.

### 발명의 구성

상기 목적을 달성하기 위하여 본 발명의 제 1측면은, 스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로에 있어서,

상기 스테이지는, 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드 사이(N1)에 접속된 제 3 트랜지스터(M3)가 포함되는 전달부와; 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 상기 제 1클럭단자에 게이트 단자가 접속되는 제 4트랜지스터(M4)와, 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 4 트랜지스터(M4)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6 트랜지스터(M6)가 포함되는 반전부와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 상기 제 1전원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함되는 버퍼부로 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

또한, 본 발명의 제 2측면은 스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로에 있어서,

상기 스테이지는, 상기 스타트펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 3트랜지스터(M3)가 포함된 전달부와; 상기 제 1트랜지스터(M1) 및 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자

가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6트랜지스터(M6)가 포함된 반전부와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함된 버퍼부로 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

또한, 본 발명의 제 3측면은, 스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로에 있어서,

상기 입력되는 제 1클럭신호 및 제 2클럭신호의 한 주기를 둘로 나누어 제 1기간에는 하이 레벨을 출력하는 프리차지를 수행하고, 제 2기간에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호를 출력함에 로우 레벨의 펄스를 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트 하여 출력함을 특징으로 하는 주사 구동회로를 제공한다.

또한, 본 발명의 제 4측면은, 주사선들, 데이터선들 및 발광 제어선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와; 상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와; 스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로가 포함되어 구성되며,

상기 스테이지는, 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드 사이(N1)에 접속된 제 3 트랜지스터(M3)가 포함되는 전달부와; 상기 스타트 펄스 또는 이전단 출력전압을 입력 받고, 상기 제 1클럭단자에 게이트 단자가 접속되는 제 4트랜지스터(M4)와, 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 4 트랜지스터(M4)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6 트랜지스터(M6)가 포함되는 반전부와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 상기 제 1전원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함되는 버퍼부로 구성됨을 특징으로 하는 유기 전계발광 장치를 제공한다.

또한, 본 발명의 제 5측면은, 주사선들, 데이터선들 및 발광 제어선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와; 상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와; 스타트펄스(SP) 입력라인 또는 이전단 출력전압라인에 종속 접속됨과 아울러 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하는 주사 구동회로가 포함되어 구성되며,

상기 스테이지는, 상기 스타트펄스 또는 이전단 출력전압을 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 3트랜지스터(M3)가 포함된 전달부와; 상기 제 1트랜지스터(M1) 및 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5트랜지스터(M5)와, 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6트랜지스터(M6)가 포함된 반전부와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 8트랜지스터(M8)가 포함된 버퍼부로 구성됨을 특징으로 하는 유기 전계발광 장치를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 4는 본 발명의 실시예에 의한 유기 전계발광 장치의 구성을 나타내는 블록도이다.

단, 이는 본 발명의 일 실시예에 불과한 것으로 본 발명에 의한 유기 전계발광 장치가 이에 한정되는 것은 아니다.

도 4를 참조하면, 유기 전계발광 장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동회로(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동회로(20)와, 주사 구동회로(10) 및 데이터 구동회로(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동회로(20)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동회로(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동회로(20)로 공급한다.

데이터 구동회로(20)는 타이밍 제어부(50)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동회로(20)는 데이터신호를 생성하고, 생성된 데이터신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.

화소부(30)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(40) 각각은 데이터신호에 대응하여 제 1전원(ELVDD)으로부터 발광 소자를 경유하여 제 2전원(ELVSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 빛을 생성한다.

또한, 주사 구동회로(10)는 타이밍 제어부(50)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동회로(10)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.

즉, 상기 주사 구동회로(10)는 상기 복수의 화소들을 구동하기 위해 순차적으로 상기 주사신호를 생성하여 이를 화소부에 제공하는 역할을 수행한다.

이하에서는 본 발명에 의한 유기 전계발광 장치의 주사 구동회로의 실시예를 설명하도록 한다.

도 5는 본 발명에 의한 주사 구동회로의 구성을 나타내는 블록도이다.

도 5를 참조하면, 본 발명의 주사 구동회로는  $m \times n$  화소 어레이(Pixel Array)를 구동하기 위하여 스타트 펄스 입력 라인에 종속 접속되어진  $n$ 개의 스테이지들을 구비한다.

이들  $n$ 개의 스테이지들의 출력라인들은 상기 화소 어레이에 포함된  $n$ 개의 로우라인들(ROW1 내지 ROWn)에 각각 접속된다. 제 1 스테이지에는 스타트 펄스(SP)가 공급되고 제 1 내지 제  $n-1$  스테이지들의 출력신호는 각각 후단의 스테이지들에 스타트 펄스로서 공급된다.

여기서, 상기 각 스테이지들은 위상 반전된 제1 및 제2 클럭신호(CLK1, CLK2)가 각각 공급되는 제1 클럭단자(CLKa)와 제2 클럭단자(CLKb)를 구비하며, 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1 클럭신호(CLK1)가 공급되고, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급된다. 이와 반대로 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2 클럭신호(CLK2)가 공급되며, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급된다.

즉, 스타트 펄스(SP) 또는 이전단 출력전압( $g_i$ )과, 제1 및 제2 클럭신호(CLK1, CLK2)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 순차적으로 로우 논리의 펄스 신호를 출력하여 유기 전계발광 장치의 화소부를 라인별로 순차 구동하게 되는 것이다.

이와 같은 주사 구동회로에 있어서의 입력 신호들, 즉 스타트 펄스(SP), 위상 반전되는 제1 및 제2 클럭신호(CLK1, CLK2)와, 공급전압(VDD)은 외부 제어회로로부터 공급된다.

도 6은 본 발명의 제 1 실시예에 의한 주사 구동회로 내의 임의 스테이지에 대한 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이며, 도 7은 도 6에 도시된 스테이지의 입/출력 신호 파형도이다.

도 6에 도시된 바와 같이 본 발명의 실시예의 경우 트랜지스터가 모두 PMOS 트랜지스터로 구성되어 있으며, 주사 구동회로를 통해 순차적으로 로우 레벨의 출력을 내보낸다. 즉, 본 발명에 의한 주사 구동회로에서는 유기 전계발광 장치와 같은 액티브 매트릭스 표시장치의 화소부에 도 6에 도시된 바와 같이 대부분의 시간 동안 하이 레벨의 신호를 출력하고 여러 스테이지를 통해 순차적으로 로우 레벨의 펄스를 출력한다.

도 6 및 도 7을 참조하면, 상기 주사 구동회로의 각 스테이지는 입력되는 클럭(CLK1, CLK2)의 한 주기를 둘로 나누어 제 1 기간 동안에는 프리차지(Precharge)를 수행하고, 제 2 기간 동안에 평가(Evaluation)를 수행하여 로우 레벨의 펄스를 상기 클럭의 반 주기만큼 쉬프트 하여 출력하는 동작을 한다. 즉, 상기 프리차지 기간에서는 하이 레벨의 출력을 내며, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

또한, 기수번째 스테이지의 평가 기간을 우수번째 스테이지의 프리차지 기간과 같게 함으로써, 로우 레벨의 신호가 상기 클럭의 반 주기 만큼의 시간 간격으로 모든 스테이지에 순차적으로 전달되도록 한다.

이하, 도 6에 도시된 스테이지 중 기수번째 스테이지의 회로 구성을 통해 보다 구체적으로 스테이지의 동작을 설명하도록 한다.

도 6을 참조하면, 이는 이전단 출력전압(gi) 또는 최초 스타트 펄스(SP)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 1전원으로서의 공급 전압원(VDD) 및 제 1노드(N1) 사이에 접속된 제 2PMOS 트랜지스터(M2)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 제 1노드 사이(N1)에 접속된 제 3PMOS 트랜지스터(M3)와; 상기 이전단 출력전압 또는 최초 스타트 펄스(SP)를 입력 받고, 상기 제 1클럭단자에 게이트 단자가 접속되는 제 4PMOS 트랜지스터(M4)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원으로서의 기저 전압원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5PMOS 트랜지스터(M5)와; 상기 제 4PMOS 트랜지스터(M4)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드 사이(N2)에 접속된 제 6PMOS 트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 상기 기저 전압원(VSS) 및 출력 라인(OUT) 사이에 접속된 제 7PMOS 트랜지스터(M7)와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 상기 공급 전압원(VDD) 및 출력 라인(OUT) 사이에 접속된 제 8PMOS 트랜지스터(M8)이 포함되어 구성된다.

또한, 상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 제 1노드(N1) 사이에 접속된 제 1캐패시터(C1)와; 상기 제 1노드(N1) 및 상기 기저 전압원(VSS) 사이에 접속된 제 2캐패시터(C2)와; 상기 제 4PMOS 트랜지스터(M4)의 출력단 및 상기 기저 전압원(VSS) 사이에 접속된 제 3캐패시터(C3)와; 상기 제 2노드(N2) 및 상기 기저 전압원(VSS) 사이에 접속된 제 4캐패시터(C4)가 더 포함되어 구성된다.

상기 제 1 및 제 3캐패시터(C1, C3)는 데이터 저장 캐패시터이고, 제 2 및 제 4캐패시터(C2, C4)는 프리차지 캐패시터이며, 이는 도시된 바와 같이 별도의 캐패시터를 연결하여 구현할 수 있을 뿐 아니라, 트랜지스터의 기생 캐패시턴스를 이용하여 구현할 수도 있다.

여기서, 상기 스테이지가 기수번째인 경우에는 도시된 바와 같이 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급된다. 이와 반대로 상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에는 제 2클럭신호(CLK2)가 공급되며, 제 2클럭단자에는 제 1클럭신호(CLK1)가 공급된다.

또한, 상기 기저전압원(VSS)에는 별도의 음의 전원이 인가될 수 있으나, 도시된 바와 같이 접지(GND) 되어 구성될 수도 있다. 본 발명의 실시예에서는 상기 기저전압원이 접지(GND)로 구현되는 것이 도시되어 있다.

이와 같은 각 스테이지는 크게 전달부(transfer unit), 반전부(inversion unit), 버퍼부(buffer unit)로 이루어지며, 상기 전달부는 제 1, 2, 3 PMOS 트랜지스터(M1,M2,M3) 및 제 1, 2 캐패시터(C1,C2)로 구성되고, 상기 반전부는 제 4, 5, 6 PMOS 트랜지스터(M4,M5,M6) 및 제 3, 4 트랜지스터(C3,C4)로 구성되고, 상기 버퍼부는 제 7, 8 PMOS 트랜지스터(M7,M8)로 구성된다.

상기 스테이지가 기수번째 스테이지로 가정할 경우 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨인 기간이 프리차지 기간이 되고, 제 1클럭신호(CLK1)가 하이 레벨 즉, 제 2클럭신호(CLK2)가 로우 레벨인 기간이 평가 기간이 된다.

회로의 동작을 살펴보면, 먼저 프리차지(Precharge) 기간 동안에는 M1, M2, M4, M5, M8이 온(ON)되고, M7이 오프(OFF) 된다.

따라서, 상기 프리차지 기간에 데이터 저장 캐패시터인 C1, C3에는 입력 신호로서 상기 이전단 출력전압 또는 최초 스타트 펄스가 저장되고, 상기 전달부 및 반전부의 출력은 각각 프리차지 캐패시터인 C2, C4에 각각 하이 레벨, 로우 레벨로 프리차지되어 결과적으로 상기 버퍼부의 출력은 하이 레벨이 된다.

즉, 상기 전달부의 경우에는 M2가 온 됨에 따라 M2가 입력받는 하이 레벨의 공급전압(VDD)은 C2에 프리차지되어 M7이 오프 되고, 상기 반전부의 경우 M5가 온 됨에 따라 로우 레벨의 기저전압이 C4에 프리차지되어 M8이 온 되므로 결과적으로 상기 버퍼부는 M8에 의해 하이 레벨의 공급전압(VDD)이 출력됨으로써 상기 버퍼부의 출력은 하이 레벨이 되는 것이다.

반면에 평가(Evaluation) 기간 동안에는 M1, M2, M5가 오프되어 입력 신호가 차단되고, 상기 전달부, 반전부, 버퍼부에서는 평가 동작이 이루어진다.

즉, 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 최초 스타트 펄스가 하이 레벨인 경우에는 M3, M6이 모두 오프 되어 프리차지 기간 동안 C2, C4에 프리차지된 신호 레벨이 유지되어 상기 버퍼부는 여전히 하이 레벨을 출력하게 된다.

반면에 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 최초 스타트 펄스가 로우 레벨인 경우에는 상기 M3, M6가 온 되는데, 이에 상기 전달부에서는 상기 M3가 온 됨에 따라 부트스트랩(bootstrap) 동작에 의해 C2에 프리차지된 전압이 상기 제 2클럭신호의 로우 레벨까지 떨어지고, 상기 반전부에서는 상기 M7이 온 됨에 따라 C4에 프리차지된 전압이 공급전압원(VDD)의 하이 레벨까지 올라가게 된다.

이에 따라 상기 버퍼부의 M7은 온, M8은 오프되어 결과적으로 상기 버퍼부는 M7에 의해 제 2클럭신호의 로우 레벨 전압이 출력됨으로써, 상기 버퍼부의 출력은 로우 레벨이 되는 것이다.

즉, 상기 평가 기간에 있어서 상기 전달부는 이전 프리차지 기간에 입력 받은 신호 즉, 이전단 출력전압 또는 최초 스타트 펄스가 로우 레벨인 경우에는 로우 레벨로 출력하고, 하이 레벨인 경우에는 하이 레벨로 출력하는 동작을 수행하며, 상기 반전부는 이전 프리차지 기간에 입력 받은 신호 즉, 이전단 출력전압 또는 최초 스타트 펄스가 로우 레벨인 경우에는 하이 레벨로 출력하고, 하이 레벨인 경우에는 로우 레벨로 출력하는 동작을 수행한다.

여기서, 상기 스테이지의 전달부만 구비되는 경우에도 입력 신호를 클럭신호의 반 주기만큼 쉬프트하는 동작을 수행할 수 있으나, 이 경우 상기 평가 기간 동안 다음 스테이지를 하이 레벨로 구동할 수 없다는 문제가 있다.

즉, 다단의 스테이지가 연결되는 경우 현재 스테이지의 평가 기간 동안 다음 스테이지가 프리차지 기간에 있어 입력 신호를 받게 되므로, 다음 스테이지에 구비된 전달부의 데이터 저장 캐패시터(C5)를 충전하기 위해서는 상기 평가 기간 동안 현재 스테이지의 출력단을 통해 전류가 흘러야만 한다.

그러나, 상기 전달부는 앞서 설명한 바와 같이 평가 기간 동안 출력이 하이 레벨일 때에는 전류가 흐르지 않고 프리차지 캐패시터(C2)의 전압을 그대로 유지하고 있게 되어, 로우 레벨의 신호가 저장되어 있는 다음 스테이지를 하이 레벨로 구동할 수 없게 되는 것이다.

따라서, 본 발명의 실시예는 상기 스테이지를 구현하기 위해 평가 기간 동안 출력단을 로우 레벨로 구동하는 전달부와, 그 반대로 하이 레벨로 구동하는 반전부가 조합되어 구성되어야 하며, 버퍼부는 상기 전달부 및 반전부에 구비된 프리차지 캐패시터 C2, C4를 다른 회로와 분리(isolation)시키기 위해 구비된다.

또한, 도 7에 도시된 입력 신호 파형을 참조하면, 상기 스테이지의 상태를 초기화하기 위해서는 로우 레벨을 갖는 입력 신호(SP)가 인가되기 전에 상기 입력 신호는 하이 레벨을 유지해야 하며, 제 1, 2클럭신호(CLK1, CLK2)는 초기화를 위해 최초에는 로우 레벨을 유지해야 한다.

상기와 같이 하이 레벨의 입력 신호 및 로우 레벨의 제 1, 2 클럭신호가 최초 인가되면 풀업??스위치(M8, M16)는 모두 온 되어 출력은 모두 하이 레벨이 출력되고, C1, C2, C3, C4는 모두 방전됨으로써, 정상적인 동작을 위한 초기화가 완료된다.

도 8은 본 발명의 제 2실시예에 의한 주사 구동회로 스테이지의 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이다.

단, 도 6에 도시된 본 발명의 제 1실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 8에 도시된 본 발명의 제 2실시예는 도시된 바와 같이 앞서 제 1실시예와 비교할 때 기수번째 스테이지의 경우 버퍼부를 구성하는 제 7 PMOS 트랜지스터가 제거됨을 특징으로 한다.

이는 각 스테이지의 출력 전압이 공급전압(VDD) 범위까지 스위칭되도록 개선하기 위함으로써, 앞서 제 1실시예와 같은 회로 구성의 경우 상기 출력 전압의 하이 레벨은 공급전압(VDD)이지만, 로우 레벨은 접지(GND)보다 제 7 PMOS 트랜지스터(M7)의 문턱전압(Vth) 만큼 높게 되어 결과적으로 트랜지스터의 특성 편차에 따라 각 스테이지의 출력 전압 로우 레벨이 달라지게 되는 문제가 있다.

또한, 원하는 전압 범위(VDD ~ GND)의 출력을 얻기 위해서는 음의 전원전압을 접지(GND) 보다 트랜지스터의 문턱전압(Vth) 만큼 낮게 설정해야 한다.

이에 본 발명의 제 2실시예는 이를 개선하기 위해 제 1실시예에 구비된 기수번째 스테이지의 M7 및 우수번째 스테이지의 M15를 제거하여 결과적으로 부트스트랩(bootstrap) 동작을 통해 접지(GND)까지 내려간 로우 레벨의 전압이 그대로 출력 되도록 함에 그 특징이 있다.

도 9는 본 발명의 제 3실시예에 의한 주사 구동회로 스테이지의 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이다.

단, 도 6 및 도 8에 도시된 본 발명의 제 1실시예 및 제 2실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 9에 도시된 본 발명의 제 3실시예는 제 1실시예와 비교할 때 제 2실시예와 같이 기수번째 스테이지의 M7과 우수번째 스테이지의 M15를 제거할 뿐 아니라, 동일한 신호에 의해 제어되는 기수번째 스테이지의 M1 및 M4과 우수번째 스테이지의 M9 및 M12를 하나로 합쳐 구성함으로써 특징으로 한다. 즉, 상기 M4를 제거하고, M6의 게이트 단자가 M1의 출력단에 접속되며, M12를 제거하고 M14의 게이트 단자가 M9의 출력단에 접속되도록 구성하는 것이다.

단, 이와 같이 입력을 위한 트랜지스터의 수를 줄일 경우 도 9에 도시된 바와 같이 C3의 일측이 C1에 연결되고, 다른 일측은 접지(GND)와 연결된다. 이 경우 상기 구성을 갖는 회로가 로우 레벨의 출력을 낼 때 상기 C1에 저장된 전압에 의해 부트스트랩 동작을 하게 되는데, 출력 전압이 내려가면서 상기 C1과 C3 사이에서 전하 재분배(charge redistribution)가 일어나 상기 C1의 전압이 줄어드는 현상이 발생한다. 이때, 상기 C1의 전압 변화를 작게 하기 위해서 C3를 C1보다 아주 작게 하거나 제거할 수 있다.

여기서, 상기 C3를 제거할 경우 상기 C1에 입력 신호가 저장되는데, 입력 신호가 하이 레벨일 경우에는 C1 양단 전압은 0V이고 출력단 측은 M8에 의해 하이 레벨로 고정되어, M3 및 M6의 게이트 단자가 하이 레벨로 유지되고, 입력 신호가 로우 레벨일 경우에는 출력단 측이 상기 M3에 의해 제 2클럭단자와 연결되며, 상기 M3 및 M6의 게이트 단자가 같이 부트스트랩 된다.

상기 M6의 게이트 단자가 부트스트랩되면 M6를 통하여 흐르는 전류가 커져 C4를 충전하여 M8을 오프시키는 속도가 빨라지고, 이에 따라 출력단을 풀-다운(pull-down)하는 속도가 빨라질 수 있게 된다.

또한, 부트스트랩 동작 중에 상기 C3에 의해 C1의 전압이 줄어들어 발생하는 문제를 해결하기 위해 상기 C3의 두 단자 중 C1과 연결되지 않는 단자를 도시된 바와 같이 접지(GND)하지 아니하고, 접지보다 낮은 전압의 전원에 연결할 수도 있다. 그러나, 이 경우 전원이 하나 더 늘어나게 되는 단점이 있다.

도 10은 본 발명의 제 4실시예에 의한 주사 구동회로 스테이지의 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이다.

단, 도 8에 도시된 본 발명의 제 2실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 10에 도시된 본 발명의 제 4실시예는 앞서 도 8을 통해 설명한 제 2실시예의 비대칭적인 스위칭 속도를 개선하기 위해 기수번째 스테이지의 M2와, 우수번째 스테이지의 M10을 제거함을 특징으로 한다.

앞서 도 8에 도시된 제 2실시예는 기수번째 스테이지를 예로 들면 출력단의 풀-업 스위치로 M2, M8 2개를 사용하고 풀-다운 스위치로 M3 하나를 사용한다. 이에 따라 출력 신호의 폴링 타임(falling time)에 비해 라이징 타임(rising time)이 매우 짧게 된다. 이와 같이 출력 신호의 라이징 타임이 짧을 경우 도 6에서와 같은 제 1, 2클럭신호(CLK1,CLK2)를 사용하면 상기 두 클럭 신호의 레벨이 바뀌는 시간 동안 다음 스테이지에 입력된 로우 레벨의 신호가 하이 레벨로 바뀌어 인식될 수 있다.

이에 본 발명의 제 4실시예는 상기 M8이 온 되는 시간이 M2가 온 되는 시간을 포함하고 있으므로, 이를 개선하기 위해서 도 10에 도시된 바와 같이 상기 M2를 제거함을 특징으로 한다.

이와 같이 M2를 제거하면 풀-업 할 때 M8의 소스-게이트 전압과 풀-다운 할 때 M3의 소스-게이트 전압이 같아지므로 대칭적인 스위칭 속도를 얻을 수 있게 된다.

도 11은 본 발명의 제 5실시에에 의한 주사 구동회로 스테이지의 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이다.

단, 도 9 및 도 10에 도시된 본 발명의 제 3 및 제 4실시에와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 11에 도시된 본 발명의 제 5 실시예는 도시된 바와 같이 앞서 도 9 및 도 10를 통해 설명한 제 3 실시예 및 제 4실시에를 결합한 형태를 구성한다.

즉, 이는 최초 제 1실시에와 비교할 때 제 3실시에와 같이 기수번째 스테이지의 M7과 우수번째 스테이지의 M15를 제거하고, 동일한 신호에 의해 제어되는 기수번째 스테이지의 M1 및 M4과 우수번째 스테이지의 M9 및 M12를 하나로 합쳐 구성함으로써 입력을 위한 트랜지스터의 수를 줄이며, 또한, 제 4실시에와 같이 비대칭적인 스위칭 속도를 개선하기 위해 기수번째 스테이지의 M2와, 우수번째 스테이지의 M10을 제거함을 특징으로 한다.

도 12는 본 발명의 제 6실시에에 의한 주사 구동회로 스테이지의 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이다.

단, 도 11에 도시된 본 발명의 제 5실시에와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 12에 도시된 본 발명의 제 6 실시예는 도시된 바와 같이 앞서 도 11을 통해 설명한 제 5 실시예에서 부트스트랩 동작 시 전하재분배에 의한 문제를 해결하기 위해 기수번째 스테이지의 C3, 우수번째 스테이지의 C7을 제거함을 그 특징으로 한다.

도 13은 본 발명의 제 7실시에에 의한 주사 구동회로 스테이지의 회로도로서, 도 5에 도시된 주사 구동회로에서 인접하는 기수 및 우수번째 스테이지의 구체적인 회로 구성을 나타내는 것이다.

단, 도 12에 도시된 본 발명의 제 6실시에와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 13에 도시된 본 발명의 제 7 실시예는 도시된 바와 같이 앞서 도 12를 통해 설명한 제 6 실시예에서 기수번째 스테이지의 C2, C4와, 우수번째 스테이지의 C6, C8을 제거함을 그 특징으로 한다.

여기서, 상기 C2 및 C6와, C4 및 C8은 각각 기수/우수번째 스테이지의 전달부, 반전부에 구비되는 프리차지 캐패시터로서, 본 발명의 제 7 실시예에서는 상기 프리차지 캐패시터(C2, C4, C6, C8)를 별도의 캐패시터를 연결하여 구현하지 아니하고, 트랜지스터의 기생 캐패시턴스를 이용하여 구현하는 것이다.

즉, 본 발명에 제 7실시에에 의한 주사 구동회로의 임의의 스테이지는, 이전단 출력전압( $g_i$ ) 또는 최초 스타트 펄스(SP)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 3POMS 트랜지스터(M3)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 기저 전압원(VSS) 및 제 2노드(N2) 사이에 접속된 제 5PMOS 트랜지스터(M5)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 2노드(N2)에 접속된 제 6POMS 트랜지스터(M6)와; 상기 제 2노드(N2)에 게이트 단자가 접속되고, 공급 전압원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 8PMOS 트랜지스터(M8)이 포함되어 구성된다.

또한, 상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성된다.

여기서, 상기 스테이지가 기수번째인 경우에는 도시된 바와 같이 상기 제 1 클럭단자에 제 1 클럭신호(CLK1)가 공급되고, 제 2 클럭단자에 제 2 클럭신호(CLK2)가 공급된다. 이와 반대로 상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에는 제 2 클럭신호(CLK2)가 공급되며, 제 2 클럭단자에는 제 1 클럭신호(CLK1)가 공급된다.

또한, 상기 기저전압원(VSS)에는 별도의 음의 전원이 인가될 수 있으나, 도시된 바와 같이 접지(GND) 되어 구성될 수도 있다. 본 발명의 실시예에서는 상기 기저전압원이 접지로 구현되는 것이 도시되어 있다.

이와 같은 각 스테이지는 크게 전달부(transfer unit), 반전부(inversion unit), 버퍼부(buffer unit)로 이루어지며, 상기 전달부는 제 1, 3 POMS 트랜지스터(M1, M3) 및 제 1 캐패시터(C1)로 구성되고, 상기 반전부는 제 1, 5, 6 PMOS 트랜지스터(M1, M5, M6)로 구성되고, 상기 버퍼부는 제 8 PMOS 트랜지스터(M8)로 구성된다.

상기 스테이지가 기수번째 스테이지로 가정할 경우 제 1 클럭신호가 로우 레벨 즉, 제 2 클럭신호가 하이 레벨인 기간이 프리차지 기간이 되고, 제 1 클럭신호가 하이 레벨 즉, 제 1 클럭신호가 로우 레벨인 기간이 평가 기간이 되며, 구체적인 회로의 동작은 앞서 설명한 제 1 실시예와 동일하므로 그 설명은 생략하기로 한다.

도 14는 본 발명의 제 8 실시예에 의한 주사 구동회로의 기수번째 스테이지에 대한 회로도이다.

단, 도 13에 도시된 본 발명의 제 7 실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작에 대한 설명은 앞서 설명한 바와 같으므로 생략토록 한다.

도 14에 도시된 본 발명의 제 8 실시예는 도시된 바와 같이 앞서 도 13을 통해 설명한 제 7 실시예에서 기수번째 스테이지의 경우의 M5(우수번째 스테이지의 M13)에 있어서 게이트 단자 및 출력단에 제 1 클럭단자가 공통 접속되도록 구성됨을 특징으로 한다.

즉, 제 7 실시예의 경우에는 상기 M5, M13이 상기 제 1 클럭단자에 게이트 단자가 접속되고, 기저 전압원(VSS) 및 제 2 노드(B) 사이에 접속되도록 구성되었으나, 본 발명의 제 8 실시예에서는 상기 제 1 클럭단자에 게이트 단자 및 출력단이 공통 접속되고, 제 2 노드(B)에 입력단이 접속되도록 구성되며, 그 동작은 앞서 설명한 바와 동일하므로 그 설명은 생략토록 한다.

도 15는 본 발명의 다른 실시예에 의한 주사 구동회로의 기수/우수번째 스테이지에 대한 입/출력 신호 파형도이다.

도 15를 참조하면, 각 스테이지에 입력되는 신호로서의 제 1 및 제 2 클럭신호가 하이 레벨에서 소정부분 오버랩되어 제공됨을 특징으로 한다.

이는 앞서 설명한 제 2 실시예 내지 제 8 실시예에서와 같이 각 스테이지의 버퍼부에 구비된 풀-다운 트랜지스터(기수번째 스테이지의 M7, 우수번째 스테이지의 M15)가 제거된 경우에 각 스테이지에서 출력되는 신호가 상기 제 1, 2 클럭신호(CLK1, CLK2)가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 출력되도록 한다.

이와 같이 각 스테이지의 출력 신호간에 소정의 시간 간격을 두도록 하는 것은 클럭 스큐(skew) 또는 지연(delay)에 대한 마진을 확보하기 위함이다.

도 15에 도시된 입/출력 파형 및 도 8에 도시된 제 2 실시예의 기수번째 스테이지를 참조하여 그 동작을 설명하면 다음과 같다.

먼저 제 1 및 제 2 클럭신호(CLK1, CLK2)가 하이 레벨일 때 그 이전이 프리차지(Precharge) 기간이면 제 1 클럭신호(CLK1)에 의해 제어되는 프리차지용 트랜지스터 즉, M1, M2, M4, M5가 모두 오프 되고, 제 2 클럭신호(CLK2)에 의해 제어되는 평가용 트랜지스터 즉, M3, M6이 이전 상태를 유지하므로 프리차지 캐패시터인 C1, C2의 전압이 그대로 유지되므로 이전의 출력을 유지한다.

반면에 그 이전이 평가(Evaluation) 기간이면 상기 프리차지용 트랜지스터 M1, M2, M4, M5가 오프 되어 있고, 상기 평가용 스위치 M3는 이전 상태를 유지하며 M6가 오프되어 C4의 전압이 그대로 유지된다. M3가 오프되어 있으면 하이 레벨을 입력 받은 것이므로 평가 기간 동안 C4의 전압이 로우 레벨이고, M8에 의해 하이 레벨 출력이 유지된다.

반대로 상기 M3가 온 되어 있으면 로우 레벨을 입력 받은 것이므로 평가 기간 동안 C4의 전압이 하이 레벨이고, M8은 오프 되어 있다. 그리고, 상기 M3의 게이트 단자가 플로팅(floating)되어 있기 때문에 C1의 전압이 그대로 유지되며 그에 따라 M3는 계속 온 되어 출력을 하이 레벨로 만든다.

이와 같이 제 1, 2클럭신호(CLK1,CLK2)가 하이 레벨일 때 이전이 프리차지 기간이면 이전 출력을 유지하고, 평가 기간이면 출력이 하이 레벨이 되므로, 제 1, 2클럭신호(CLK1,CLK2)의 하이 레벨이 오버랩된 만큼 인접한 스테이지의 출력 펄스 사이에 시간 간격을 줄 수 있게 되는 것이다.

### 발명의 효과

이와 같은 본 발명에 의하면, 스태틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이고, 부트스트랩(bootstrap)을 이용하여 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭할 수 있게 되는 장점이 있다.

또한, 주사 구동회로를 통해 하이 레벨 출력을 낼 때 출력단을 충전하지 않게 되어 새는 전류(leakage current)를 최소화 하며, 로우 레벨 출력을 낼 때 부트스트랩 동작을 하므로 출력단을 방전하는 전류의 감소 정도를 최소화하여 동작 속도가 빨라지는 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정하여져야만 한다.

### 도면의 간단한 설명

도 1은 일반적인 주사 구동회로의 구성을 나타내는 블록도.

도 2는 도 1에 도시된 주사 구동회로에서 임의 스테이지의 회로도.

도 3는 도 2에 도시된 스테이지의 입/출력 신호 파형도.

도 4는 본 발명의 실시예에 의한 유기 전계발광 장치의 구성을 나타내는 블록도.

도 5는 본 발명에 의한 주사 구동회로의 구성을 나타내는 블록도.

도 6은 본 발명의 제 1실시예에 의한 주사 구동회로 스테이지의 회로도.

도 7은 도 5에 도시된 스테이지의 입/출력 신호 파형도.

도 8은 본 발명의 제 2실시예에 의한 주사 구동회로 스테이지의 회로도.

도 9는 본 발명의 제 3실시예에 의한 주사 구동회로 스테이지의 회로도.

도 10은 본 발명의 제 4실시예에 의한 주사 구동회로 스테이지의 회로도.

도 11은 본 발명의 제 5실시예에 의한 주사 구동회로 스테이지의 회로도.

도 12는 본 발명의 제 6실시예에 의한 주사 구동회로 스테이지의 회로도.

도 13은 본 발명의 제 7실시예에 의한 주사 구동회로 스테이지의 회로도.

도 14는 본 발명의 제 8실시예에 의한 주사 구동회로의 기수번째 스테이지에 대한 회로도.

도 15는 본 발명의 다른 실시예에 의한 주사 구동회로의 기수/우수번째 스테이지에 대한 입/출력 신호 파형도.

<도면의 주요 부분에 대한 부호의 설명>

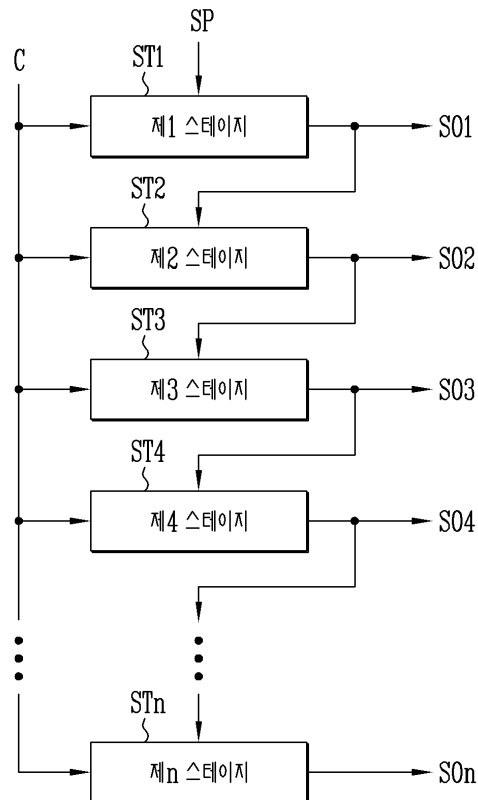
10 : 주사 구동회로 20 : 데이터 구동회로

30 : 화소부 40 : 화소

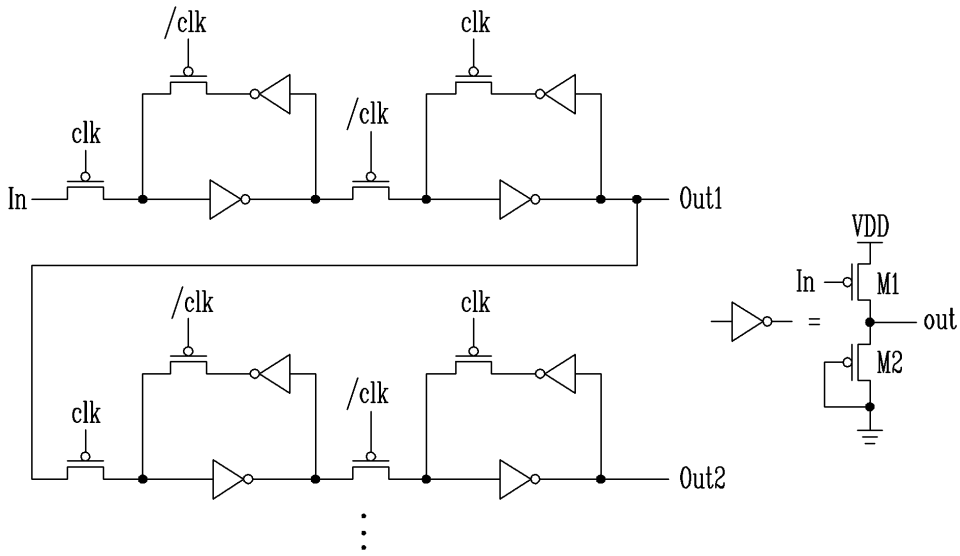
50 : 타이밍 제어부

도면

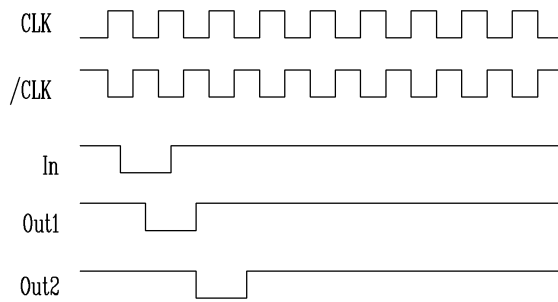
도면1



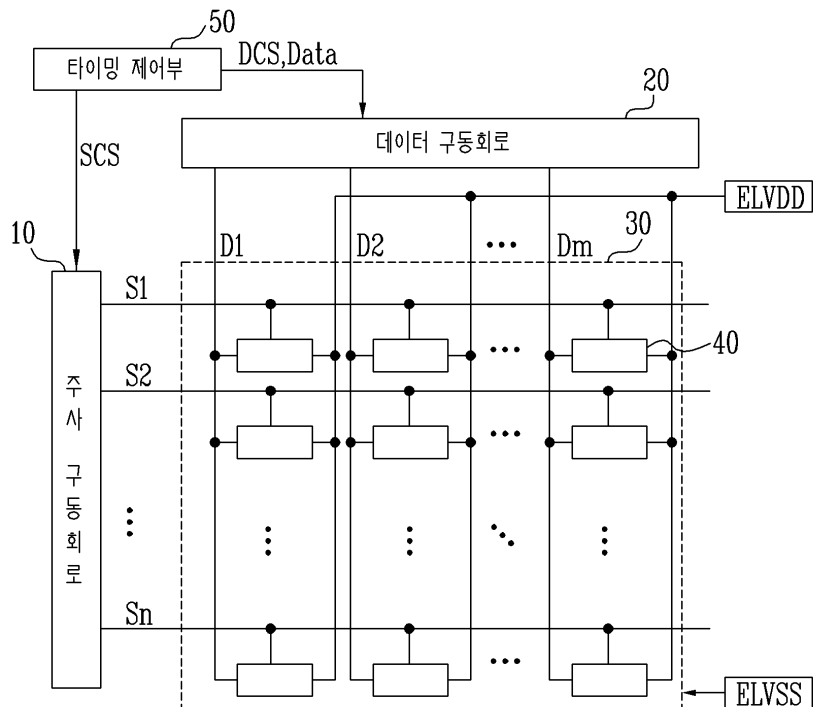
도면2



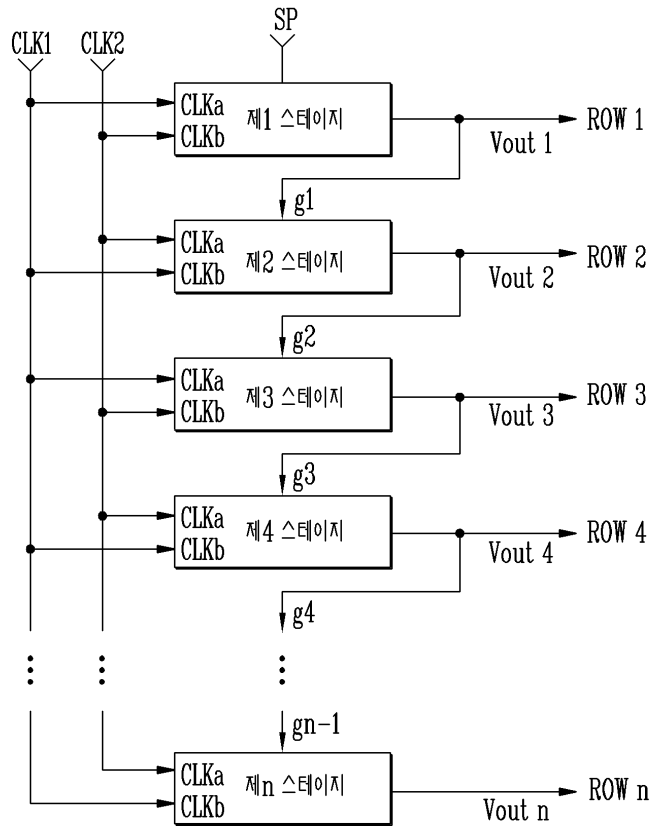
도면3



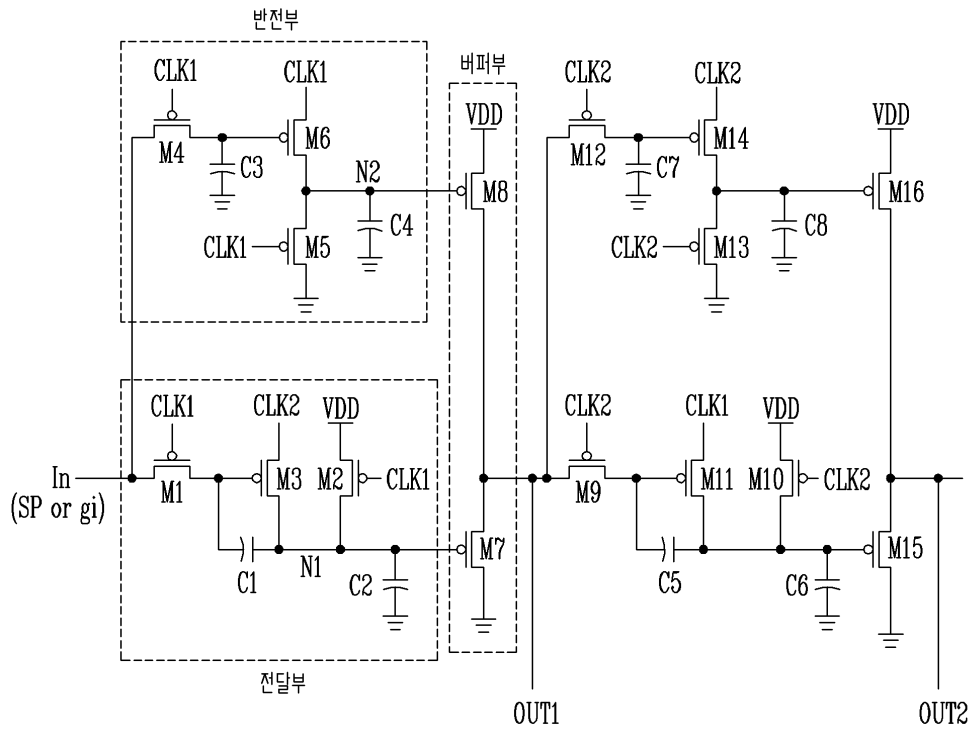
도면4



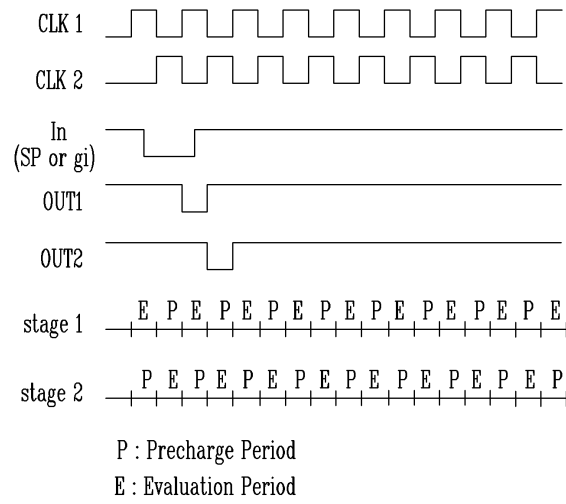
도면5



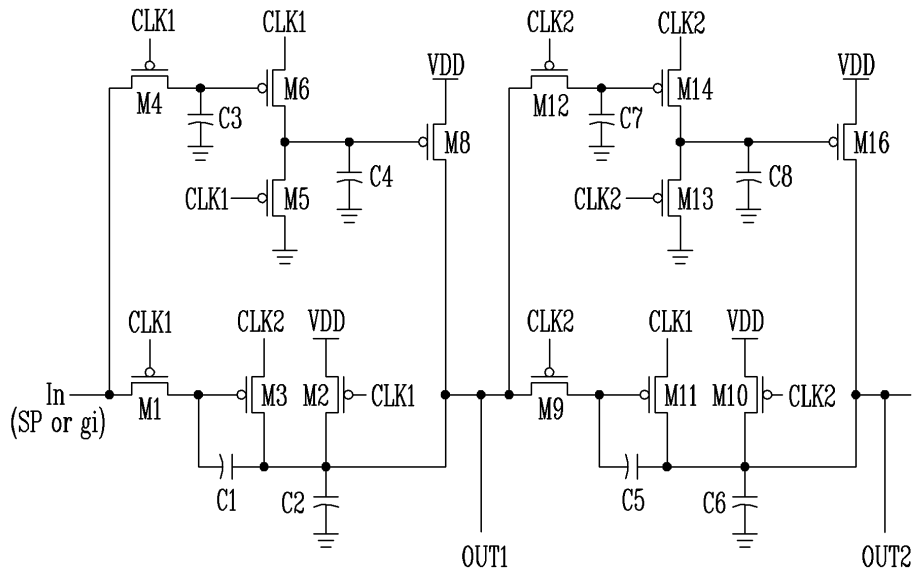
도면6



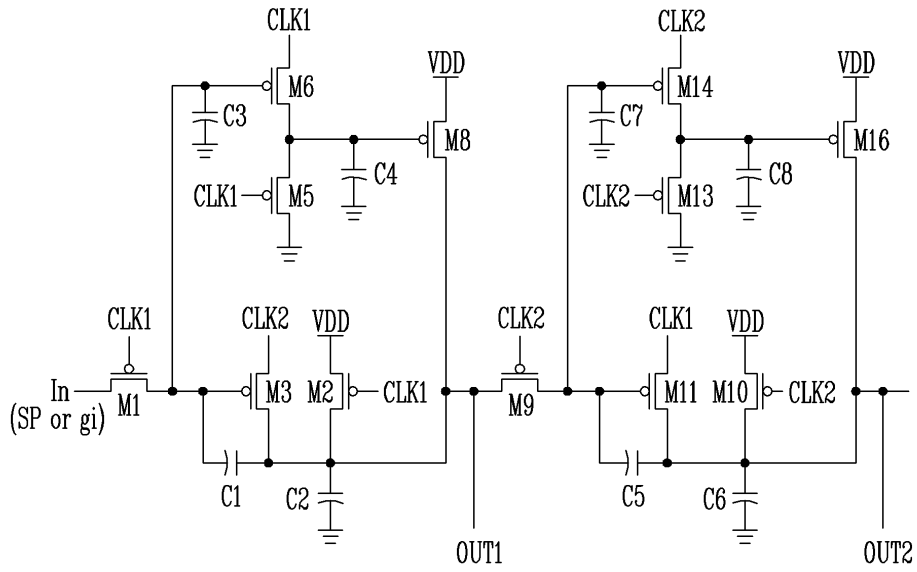
도면7



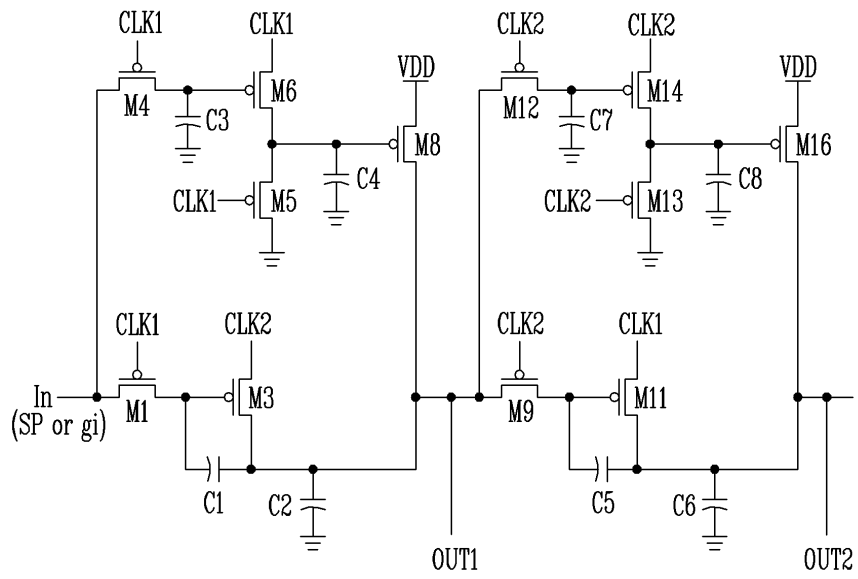
도면8



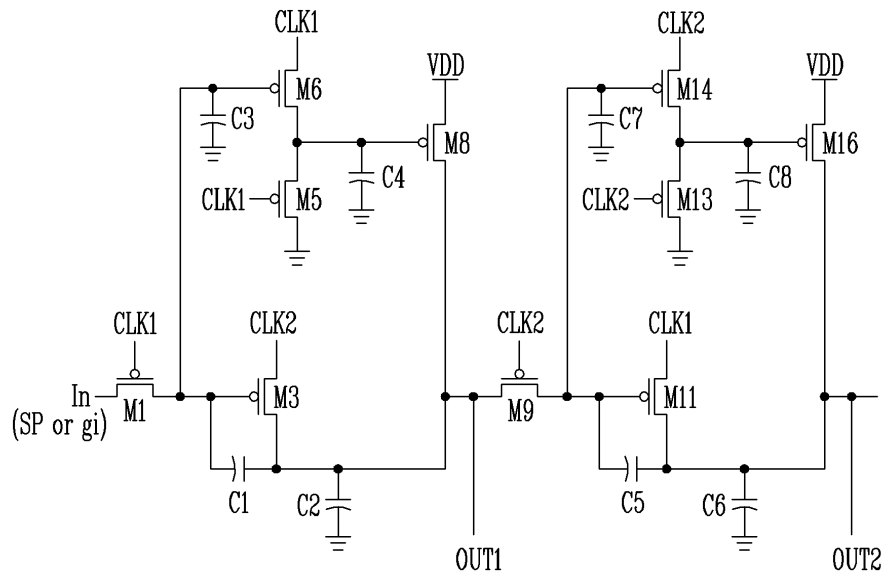
도면9



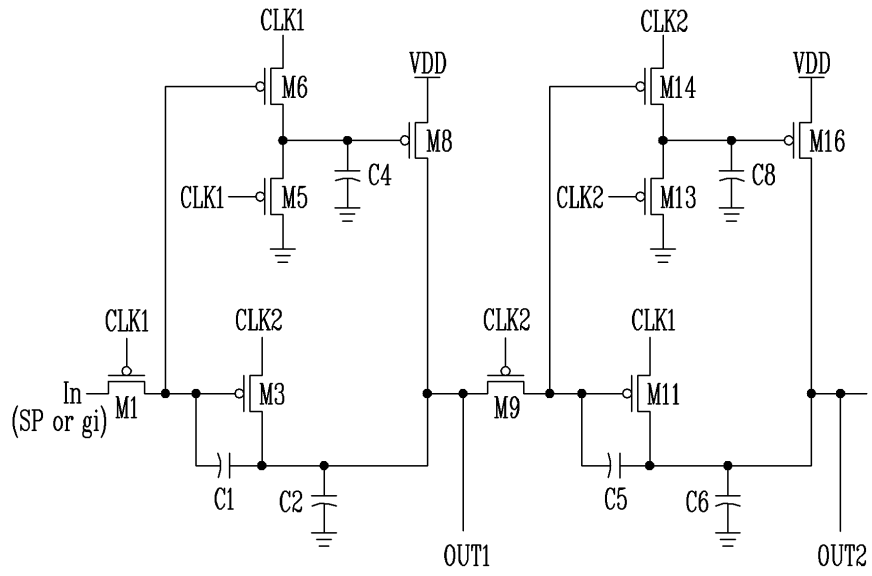
도면10



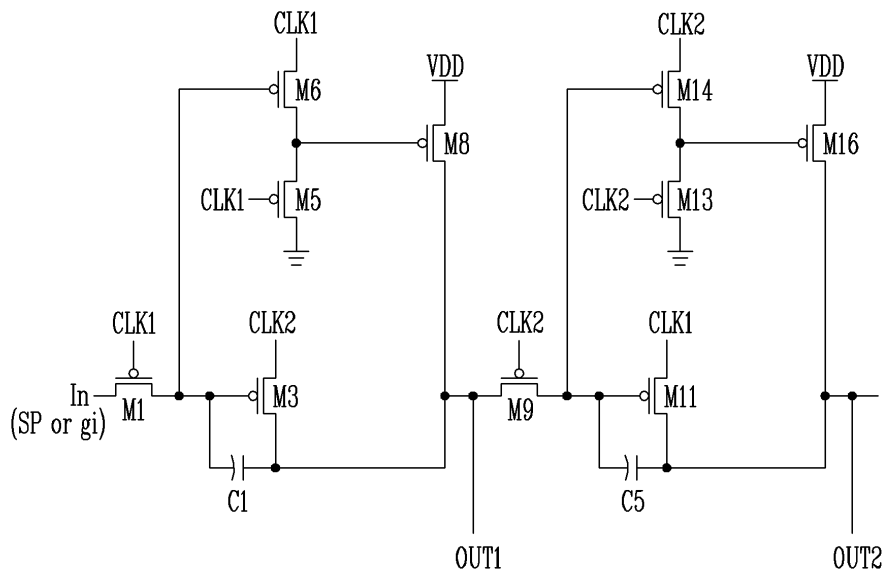
도면11



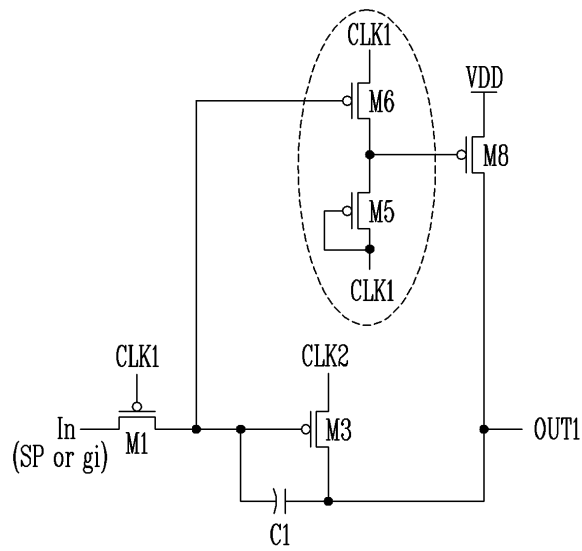
도면12



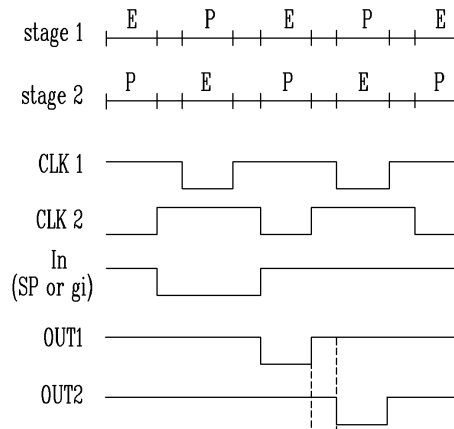
도면13



도면14



도면15



专利名称(译)	扫描驱动电路和使用其的有机电致发光器件		
公开(公告)号	<a href="#">KR100722124B1</a>	公开(公告)日	2007-05-25
申请号	KR1020050079605	申请日	2005-08-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONG YONG		
发明人	SHIN,DONG YONG		
IPC分类号	G09G3/20 G09G3/30		
CPC分类号	G09G3/3266 G09G2330/023		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070027793A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供扫描驱动电路和使用该扫描驱动电路的有机发光显示器，通过去除静态电流路径来降低功耗，通过不对高输出的输出端子充电来最小化漏电流，并通过执行来提高操作速度低输出的bootstrap。

